

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-64888

(P2013-64888A)

(43) 公開日 平成25年4月11日(2013.4.11)

(51) Int.Cl.	F 1	テーマコード (参考)
GO 2 F 1/1343 (2006.01)	GO 2 F 1/1343	2 H 0 9 2
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368	

審査請求 未請求 請求項の数 15 O L (全 24 頁)

(21) 出願番号	特願2011-203773 (P2011-203773)	(71) 出願人	302020207
(22) 出願日	平成23年9月16日 (2011. 9. 16)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

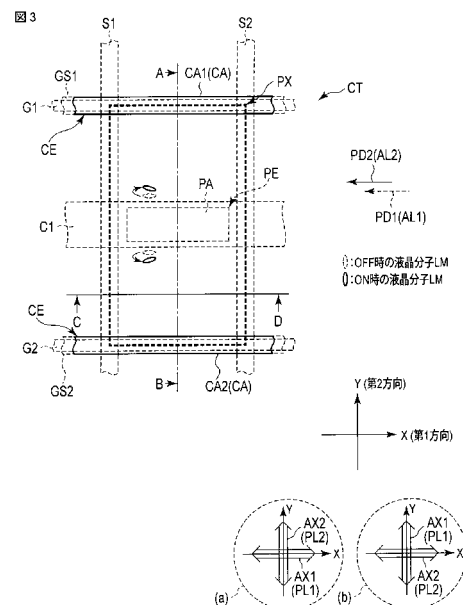
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】第1方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第2方向に沿って延出したソース配線と、ゲート配線及びソース配線と電氣的に接続されたスイッチング素子と、補助容量線の直上に位置するとともに第1方向に沿って延出した主画素電極を備えスイッチング素子と電氣的に接続された画素電極と、画素電極を覆う第1配向膜と、を備えた第1基板と、ゲート配線の直上に位置するとともに第1方向に沿って延出した主共通電極を備えた共通電極と、共通電極を覆う第2配向膜と、を備えた第2基板と、第1基板と第2基板との間に保持され、画素電極と共通電極との間に電界が形成されていない状態で第1方向に沿って初期配向するとともに第1基板と第2基板との間においてスプレィ配向した液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

第 1 方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電氣的に接続されたスイッチング素子と、前記補助容量線の直上に位置するとともに第 1 方向に沿って延出した主画素電極を備え前記スイッチング素子と電氣的に接続された画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記ゲート配線の直上に位置するとともに第 1 方向に沿って延出した主共通電極を備えた共通電極と、前記共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持され、前記画素電極と前記共通電極との間に電界が形成されていない状態で第 1 方向に沿って初期配向するとともに前記第 1 基板と前記第 2 基板との間においてスプレイ配向した液晶分子を含む液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記画素電極は、第 1 方向に沿った長さが第 2 方向に沿った長さよりも短い画素に配置されたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記スイッチング素子は、前記ソース配線及び前記補助容量線と重なる領域に設けられたことを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記ゲート配線と対向し前記共通電極と同電位のゲートシールド電極を備えたことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶表示装置。

【請求項 5】

前記第 2 基板は、さらに、第 2 方向に沿って延出した副共通電極を備えたことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の液晶表示装置。

【請求項 6】

前記第 1 基板は、さらに、前記主画素電極の一端部に繋がり第 2 方向に沿って延出した副画素電極を備えたことを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 7】

第 1 方向に沿ってそれぞれ延出するとともに第 1 方向に交差する第 2 方向に沿って第 1 ピッチで配置された第 1 ゲート配線及び第 2 ゲート配線と、第 2 方向に沿ってそれぞれ延出するとともに第 1 方向に沿って第 1 ピッチよりも小さな第 2 ピッチで配置された第 1 ソース配線及び第 2 ソース配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との略中間に位置するとともに第 1 方向に沿って延出した第 1 主電極を備えた第 1 電極と、前記第 1 電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記第 1 ゲート配線及び前記第 2 ゲート配線のそれぞれの直上に位置するとともに第 1 方向に沿って延出した第 2 主電極を備えた第 2 電極と、前記第 2 電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持され、前記第 1 電極と前記第 2 電極との間に電界が形成されていない状態で第 1 方向に沿って初期配向するとともに前記第 1 基板と前記第 2 基板との間においてスプレイ配向した液晶分子を含む液晶層と、

を備えたことを特徴とする液晶表示装置。

【請求項 8】

前記第 1 基板は、さらに、前記第 1 ゲート配線と前記第 2 ゲート配線との間に位置し第 1 方向に沿って延出した補助容量線と、前記第 1 ゲート配線及び前記第 1 ソース配線と電氣的に接続され前記第 1 ソース配線及び前記補助容量線と重なる領域に設けられたスイッチング素子と、を備え、前記第 1 電極は前記補助容量線の直上に位置し前記スイッチング素子と電氣的に接続されたことを特徴とする請求項 7 に記載の液晶表示装置。

【請求項 9】

前記第 1 基板は、さらに、前記第 1 ゲート配線及び前記第 2 ゲート配線とそれぞれ対向し前記第 2 電極と同電位のゲートシールド電極を備えたことを特徴とする請求項 7 または 8 に記載の液晶表示装置。

【請求項 10】

第 1 方向に沿った長さが第 1 方向に交差する第 2 方向に沿った長さよりも短い画素に配置されるとともに第 1 方向に沿って延出した主画素電極を備えた画素電極と、前記画素電極を覆うとともに第 1 方向と平行な第 1 配向処理方向に沿って配向処理された第 1 配向膜と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側で第 1 方向に沿って延出した主共通電極を備えた共通電極と、前記共通電極を覆うとともに第 1 配向処理方向と同一方向である第 2 配向処理方向に配向処理された第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 11】

前記画素は、第 1 方向に沿った一对の短辺と、第 2 方向に沿った一对の長辺を有する長方形形状であり、

前記主共通電極は前記一对の短辺上にそれぞれ位置し、前記主画素電極は前記一对の短辺からそれぞれ略等距離の画素の略中央部に位置することを特徴とする請求項 10 に記載の液晶表示装置。

【請求項 12】

前記第 1 基板は、さらに、前記主画素電極の直下に位置し第 1 方向に沿って延出した補助容量線と、前記主共通電極の直下に位置し第 1 方向に沿って延出したゲート配線と、第 2 方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電気的に接続されるとともに前記ソース配線及び前記補助容量線と重なる領域に設けられたスイッチング素子と、を備えたことを特徴とする請求項 10 または 11 に記載の液晶表示装置。

【請求項 13】

直線的に延出した帯状の主画素電極を備えた第 1 基板と、

前記主画素電極を挟んだ両側で前記主画素電極の延出方向と略平行な方向に沿って延出した主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備え、

前記液晶分子は、前記主画素電極と前記主共通電極との間に電界が形成されていない状態で前記主画素電極の延出方向と略平行な初期配向方向に沿って初期配向するとともに前記第 1 基板と前記第 2 基板との間においてスプレイ配向し、前記主画素電極と前記主共通電極との間に電界が形成された状態でスプレイ配向を維持しつつ基板面と平行な面内で初期配向方向に対して鋭角な方向に向かって回転することを特徴とする液晶表示装置。

【請求項 14】

前記液晶分子は、前記主画素電極と前記主共通電極との間に電界が形成された状態では、前記主画素電極を挟んだ両側で前記主画素電極に対して対称に配向することを特徴とする請求項 13 に記載の液晶表示装置。

【請求項 15】

前記液晶分子は、前記主画素電極と前記主共通電極との間に電界が形成された状態では、前記主画素電極を挟んだ両側のうちの一方の領域で初期配向方向に対して時計回りに回転し、前記主画素電極を挟んだ両側のうちの他方の領域で初期配向方向に対して反時計回りに回転することを特徴とする請求項 13 または 14 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In-Plane Switching) モードやFFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2009-192822号公報

【特許文献2】特開平9-160041号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1方向に沿ってそれぞれ延出したゲート配線及び補助容量線と、第1方向に交差する第2方向に沿って延出したソース配線と、前記ゲート配線及び前記ソース配線と電気的に接続されたスイッチング素子と、前記補助容量線の直上に位置するとともに第1方向に沿って延出した主画素電極を備え前記スイッチング素子と電気的に接続された画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記ゲート配線の直上に位置するとともに第1方向に沿って延出した主共通電極を備えた共通電極と、前記共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持され、前記画素電極と前記共通電極との間に電界が形成されていない状態で第1方向に沿って初期配向するとともに前記第1基板と前記第2基板との間においてスプレイ配向した液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【0007】

本実施形態によれば、

第1方向に沿ってそれぞれ延出するとともに第1方向に交差する第2方向に沿って第1ピッチで配置された第1ゲート配線及び第2ゲート配線と、第2方向に沿ってそれぞれ延出するとともに第1方向に沿って第1ピッチよりも小さな第2ピッチで配置された第1ソース配線及び第2ソース配線と、前記第1ゲート配線と前記第2ゲート配線との略中間に位置するとともに第1方向に沿って延出した第1主電極を備えた第1電極と、前記第1電極を覆う第1配向膜と、を備えた第1基板と、前記第1ゲート配線及び前記第2ゲート配線のそれぞれの直上に位置するとともに第1方向に沿って延出した第2主電極を備えた第2電極と、前記第2電極を覆う第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持され、前記第1電極と前記第2電極との間に電界が形成されていない状態で第1方向に沿って初期配向するとともに前記第1基板と前記第2基板との間においてスプレイ配向した液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【0008】

本実施形態によれば、

第1方向に沿った長さが第1方向に交差する第2方向に沿った長さよりも短い画素に配置されるとともに第1方向に沿って延出した主画素電極を備えた画素電極と、前記画素電極を覆うとともに第1方向と平行な第1配向処理方向に沿って配向処理された第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で第1方向に沿って延出した主共通電極を備えた共通電極と、前記共通電極を覆うとともに第1配向処理方向と同一方向である第2配向処理方向に配向処理された第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【0009】

10

本実施形態によれば、

直線的に延出した帯状の主画素電極を備えた第1基板と、前記主画素電極を挟んだ両側で前記主画素電極の延出方向と略平行な方向に沿って延出した主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備え、前記液晶分子は、前記主画素電極と前記主共通電極との間に電界が形成されていない状態で前記主画素電極の延出方向と略平行な初期配向方向に沿って初期配向するとともに前記第1基板と前記第2基板との間においてスプレィ配向し、前記主画素電極と前記主共通電極との間に電界が形成された状態でスプレィ配向を維持しつつ基板面と平行な面内で初期配向方向に対して鋭角な方向に向かって回転することを特徴とする液晶表示装置が提供される。

20

【図面の簡単な説明】

【0010】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図1に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図4】図4は、図3のA-B線で切断した液晶表示パネルをソース配線S1側から見た断面構造を概略的に示す断面図である。

30

【図5】図5は、図3のC-D線で切断した液晶表示パネルをゲート配線G2側から見た断面構造を概略的に示す断面図である。

【図6】図6は、OFF時の液晶層における液晶分子の配向状態を模式的に示す図である。

【図7】図7は、ON時の液晶層における液晶分子の配向状態を模式的に示す図である。

【図8】図8の(a)乃至(c)は、本実施形態における画素構成のバリエーションを説明するための図である。

【図9】図9の(a)及び(b)は、本実施形態における画素構成のバリエーションを説明するための図である。

【図10】図10の(a)乃至(d)は、本実施形態における画素構成のバリエーションを説明するための図である。

40

【発明を実施するための形態】

【0011】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0012】

図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0013】

50

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

【0014】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G（ $G_1 \sim G_n$ ）、 n 本の補助容量線 C（ $C_1 \sim C_n$ ）、 m 本のソース配線 S（ $S_1 \sim S_m$ ）などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出した信号配線に相当する。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出した信号配線に相当する。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0015】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【0016】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【0017】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

【0018】

スイッチング素子 S W は、例えば、 n チャネル薄膜トランジスタ（T F T）によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても

【0019】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキシド（I T O）やインジウム・ジंक・オキシド（I Z O）などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【0020】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。こ

10

20

30

40

50

の給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。対向基板 C T の共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

【0021】

図 2 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X-Y 平面における平面図を示している。

【0022】

アレイ基板 A R は、ゲート配線 G 1、ゲート配線 G 2、補助容量線 C 1、ソース配線 S 1、ソース配線 S 2、スイッチング素子 S W、画素電極 P E、第 1 配向膜 A L 1 などを備えている。図示した例では、アレイ基板 A R は、さらに、ゲートシールド電極 G S を備えている。

10

【0023】

図示した例では、画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い縦長の長方形状であり、ゲート配線 G 1 上及びゲート配線 G 2 上にそれぞれ位置する一对の短辺と、ソース配線 S 1 上及びソース配線 S 2 上に位置する一对の長辺と、を有している。ゲート配線 G 1 及びゲート配線 G 2 は、第 2 方向 Y に沿って第 1 ピッチで配置され、それぞれ第 1 方向 X に沿って延出している。補助容量線 C 1 は、ゲート配線 G 1 とゲート配線 G 2 との間に位置し、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 1 方向 X に沿って第 2 ピッチで配置され、それぞれ第 2 方向 Y に沿って延出している。

20

【0024】

図示した画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。つまり、画素 P X の第 1 方向 X に沿った長さは、ソース配線間の第 2 ピッチに相当する。

【0025】

また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。つまり、画素 P X の第 2 方向 Y に沿った長さは、ゲート配線間の第 1 ピッチに相当する。第 1 ピッチは、第 2 ピッチよりも大きい。

30

【0026】

また、図示した画素 P X においては、補助容量線 C 1 は、画素の略中央部、つまり、ゲート配線 G 2 とゲート配線 G 1 との略中間に位置している。つまり、補助容量線 C 1 とゲート配線 G 1 との第 2 方向 Y に沿った間隔は、補助容量線 C 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔と略同一である。

【0027】

スイッチング素子 S W は、図示した例では、ゲート配線 G 2 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 2 とソース配線 S 1 の交点に設けられている。スイッチング素子 S W のゲート電極はゲート配線 G 2 と電氣的に接続され、ソース電極 W S はソース配線 S 1 と電氣的に接続され、ソース配線 S 1 及び補助容量線 C 1 に沿って延長されたドレイン配線に接続されたドレイン電極は補助容量線 C 1 と重なる領域で画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

40

【0028】

画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に位置するとともに、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。つまり、画素電極 P E は、ソ

50

ース配線 S 1 及びソース配線 S 2 と、ゲート配線 G 1 及びゲート配線 G 2 とで囲まれた内側に位置している。

【0029】

画素電極 P E は、補助容量線 C 1 の直上に位置する主画素電極 P A を備えている。主画素電極 P A は、ソース配線 S 1 と補助容量線 C 1 とが交差する第 1 交差部 C R 1 と、ソース配線 S 2 と補助容量線 C 1 とが交差する第 2 交差部 C R 2 との間に位置しており、第 1 交差部 C R 1 と第 2 交差部 C R 2 との間を第 1 方向 X に沿って直線的に延出している。このような主画素電極 P A は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。このような主画素電極 P A の第 1 方向 X に沿った長さは、ソース配線間の第 2 ピッチよりも短い。

10

【0030】

このような画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との間に配置されている。換言すると、ゲート配線 G 1 及びゲート配線 G 2 は、画素電極 P E を挟んだ両側に位置している。図示した例では、画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との略中間の位置、つまり、画素 P X の略中央部に配置されている。このため、主画素電極 P A は、画素 P X の一对の短辺からそれぞれ略等距離に位置している。換言すると、ゲート配線 G 1 と主画素電極 P A との第 2 方向 Y に沿った間隔は、ゲート配線 G 2 と主画素電極 P A との第 2 方向 Y に沿った間隔と略同等である。

【0031】

ゲートシールド電極 G S は、X-Y 平面内において、ゲート配線 G とそれぞれ対向するとともに主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って直線的に延出している。このようなゲートシールド電極 G S は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。

20

【0032】

図示した例では、ゲートシールド電極 G S は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。以下では、これらのゲートシールド電極 G S を区別するために、図中の上側のゲートシールド電極を G S 1 と称し、図中の下側のゲートシールド電極を G S 2 と称する。ゲートシールド電極 G S 1 は、ゲート配線 G 1 と対向している。ゲートシールド電極 G S 2 は、ゲート配線 G 2 と対向している。

30

【0033】

画素 P X において、ゲートシールド電極 G S 1 は上側端部に配置され、ゲートシールド電極 G S 2 は下側端部に配置されている。厳密には、ゲートシールド電極 G S 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲートシールド電極 G S 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。つまり、ここに示した例では、アレイ基板 A R に備えられたゲートシールド電極 G S は、ストライプ状に形成され、給電部 V S に電氣的に接続され、共通電極 C E と同電位となる。このため、ゲートシールド電極 G S は、画素電極 P E との間で電界を形成可能な共通電極 C E と同様の機能を兼ね備えている。

【0034】

画素電極 P E とゲートシールド電極 G S との位置関係に着目すると、以下の関係が言える。

40

【0035】

X-Y 平面内において、主画素電極 P A とゲートシールド電極 G S とは、第 2 方向 Y に沿って交互に配置されている。これらの主画素電極 P A とゲートシールド電極 G S とは、互いに略平行に配置されている。このとき、X-Y 平面内において、ゲートシールド電極 G S のいずれも画素電極 P E とは重ならない。すなわち、第 2 方向 Y に沿って間隔をおいて隣接するゲートシールド電極 G S 1 及びゲートシールド電極 G S 2 の間には、1 本の主画素電極 P A が位置している。換言すると、ゲートシールド電極 G S 1 及びゲートシールド電極 G S 2 は、主画素電極 P A を挟んだ両側に配置されている。このため、ゲートシ

50

ルド電極 G S 1、主画素電極 P A、及び、ゲートシールド電極 G S 2 は、第 2 方向 Y に沿ってこの順に配置されている。

【0036】

これらの主画素電極 P A とゲートシールド電極 G S との第 2 方向 Y に沿った間隔は略一定である。すなわち、ゲートシールド電極 G S 1 と主画素電極 P A との第 2 方向 Y に沿った間隔は、ゲートシールド電極 G S 2 と主画素電極 P A との第 2 方向 Y に沿った間隔と略同等である。

【0037】

このようなアレイ基板 A R においては、画素電極 P E 及びゲートシールド電極 G S は、第 1 配向膜 A L 1 によって覆われている。この第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、主画素電極 P A の延出方向である第 1 方向 X と略平行である。

【0038】

図 3 は、図 1 に示した対向基板 C T における一画素 P X の構造例を概略的に示す平面図である。ここでは、X-Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の主要部である画素電極 P E、ゲートシールド電極 G S、ソース配線 S、ゲート配線 G、補助容量線 C などを破線で示している。

【0039】

対向基板 C T は、対向基板 C T に主共通電極 C A を備えている。この主共通電極 C A は、例えば、アクティブエリアの外側などにおいて、アレイ基板に備えられた給電部 V S 及びゲートシールド電極 G S と電気的に接続されており、ゲートシールド電極 G S と同電位である。

【0040】

主共通電極 C A は、X-Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、主共通電極 C A は、ゲートシールド電極 G S とそれぞれ対向するとともに主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って延出している。あるいは、主共通電極 C A は、ゲート配線 G の上方にそれぞれ配置されるとともに主画素電極 P A の延出方向と略平行な第 1 方向 X に沿って延出している。あるいは、主共通電極 C A は、画素 P X の一对の短辺上にそれぞれ位置している。このような主共通電極 C A は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。

【0041】

図示した例では、主共通電極 C A は、第 2 方向 Y に間隔をおいて 2 本平行に並んでいる。すなわち、一画素あたり、2 本の主共通電極 C A が第 2 方向 Y に沿って等ピッチで配置されている。画素 P X において、主共通電極 C A 1 は上側端部に配置され、主共通電極 C A 2 は下側端部に配置されている。厳密には、主共通電極 C A 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、主共通電極 C A 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。主共通電極 C A 1 は、ゲートシールド電極 G S 1 に対向するとともに、ゲート配線 G 1 の上方に位置している。主共通電極 C A 2 は、ゲートシールド電極 G S 2 に対向するとともに、ゲート配線 G 2 の上方に位置している。

【0042】

主共通電極 C A 1 及び主共通電極 C A 2 は、X-Y 平面内において、主画素電極 P A を挟んだ両側に位置している。つまり、X-Y 平面内において、第 2 方向 Y に沿って主共通電極 C A と主画素電極 P A とが交互に並んでおり、図示した例では、主共通電極 C A 1、主画素電極 P A、主共通電極 C A 2 がこの順に並んでいる。なお、主画素電極 P A と主共通電極 C A 1 との間の第 2 方向 Y に沿った電極間距離、及び、主共通電極 C A 2 と主画素電極 P A との間の第 2 方向 Y に沿った電極間距離は略同等である。

【0043】

このような対向基板CTにおいては、共通電極CEは、第2配向膜AL2によって覆われている。この第2配向膜AL2には、液晶層LQの液晶分子を初期配向させるために、第2配向処理方向PD2に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、第1配向処理方向PD1と同一方向である。すなわち、第2配向処理方向PD2は、主画素電極PAの延出方向である第1方向Xと略平行であり、X-Y平面内において、第1配向処理方向PD1とは互いに平行であって、互いに同じ向きである。

【0044】

図4は、図3のA-B線で切断した液晶表示パネルLPNをソース配線S1側から見た断面構造を概略的に示す断面図である。図5は、図3のC-D線で切断した液晶表示パネルLPNをゲート配線G2側から見た断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

10

【0045】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0046】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の内側、つまり、対向基板CTと対向する側においてゲート配線G1、ゲート配線G2、補助容量線C1、ソース配線S1、ソース配線S2、画素電極PE、ゲートシールド電極GS、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。

20

【0047】

ゲート配線G1、ゲート配線G2、及び、補助容量線C1は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。ソース配線S1及びソース配線S2は、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。つまり、第2絶縁膜12は、ゲート配線G1、ゲート配線G2、補助容量線C1と、ソース配線S1、ソース配線S2との間の層間絶縁膜に相当する。

30

【0048】

画素電極PEの主画素電極PAや、ゲートシールド電極GS1及びゲートシールド電極GS2などは、同一絶縁膜の上面、すなわち、第3絶縁膜13の上面に形成されている。このような画素電極PE及びゲートシールド電極GSは、同一材料によって形成可能である。

【0049】

主画素電極PAは、隣接するゲート配線G1及びゲート配線G2のそれぞれの直上の位置よりもそれらの内側に位置している。ゲートシールド電極GS1は、ゲート配線G1の直上に位置している。ゲートシールド電極GS2は、ゲート配線G2の直上に位置している。なお、ソース配線S1の直上及びソース配線S2の直上には、共通電極CEと同等の機能を有する電極類（シールド電極など）を配置する必要はない。これは、仮にソース配線Sと画素電極PEとの間に漏れ電界が生じたとしても、その漏れ電界が液晶分子LMの初期配向方向である第1方向Xと略平行に形成されるため、表示に悪影響を及ぼさないためである。

40

【0050】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEや第1共通電極CE1などを覆っており、第3絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0051】

50

対向基板 C T は、光透過性を有する第 2 絶縁基板 2 0 を用いて形成されている。この対向基板 C T は、第 2 絶縁基板 2 0 の内側、つまり、アレイ基板 A R と対向する側においてブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、共通電極 C E、第 2 配向膜 A L 2 などを備えている。

【0052】

ブラックマトリクス B M は、各画素 P X を区画し、開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線 G、補助容量線 C、スイッチング素子 S W などの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクス B M は、ソース配線 S 1 及びソース配線 S 2 の上方に位置し第 2 方向 Y に沿って延出した部分と、ゲート配線 G 1 及びゲート配線 G 2 の上方に位置し第 1 方向 X に沿って延出した部分を備えており、格子状に形成されている。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

【0053】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A においてブラックマトリクス B M によって区画された内側に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

【0054】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【0055】

共通電極 C E の主共通電極 C A 1 及び主共通電極 C A 2 などは、オーバーコート層 O C のアレイ基板 A R と対向する側に形成され、いずれもブラックマトリクス B M の直下に位置している。主共通電極 C A 1 は、ゲートシールド電極 G S 1 の直上に位置している。また、主共通電極 C A 1 の直下には、ゲート配線 G 1 が位置している。主共通電極 C A 2 は、ゲートシールド電極 G S 2 の直上に位置している。また、主共通電極 C A 2 の直下には、ゲート配線 G 2 が位置している。

【0056】

上記の開口部 A P において、画素電極 P E と共通電極 C E との間の領域、つまり、主共通電極 C A 1 と主画素電極 P A との間の領域、及び、主共通電極 C A 2 と主画素電極 P A との間の領域は、いずれもバックライト光が透過可能な透過領域に相当する。

【0057】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極 C E やオーバーコート層 O C などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【0058】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせられている。

【0059】

液晶層LQは、アレイ基板ARと対向基板CTとの間に形成されたセルギャップに保持され、第1配向膜AL1と第2配向膜AL2との間に配置されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【0060】

また、主画素電極PAとゲートシールド電極GSとの第2方向Yに沿った間隔は、液晶層LQの厚みよりも大きく、主画素電極PAとゲートシールド電極GSとの間隔は、液晶層LQの厚みの2倍以上の大きさを持つ。

【0061】

アレイ基板ARの外表面、つまり、アレイ基板ARを構成する第1絶縁基板10の外表面10Bには、第1光学素子OD1が接着剤などにより貼付されている。この第1光学素子OD1は、液晶表示パネルLPNのバックライト4と対向する側に位置しており、バックライト4から液晶表示パネルLPNに入射する入射光の偏光状態を制御する。この第1光学素子OD1は、第1偏光軸（あるいは第1吸収軸）AX1を有する第1偏光板PL1を含んでいる。なお、第1偏光板PL1と第1絶縁基板10との間に位相差板などの他の光学素子が配置されても良い。

【0062】

対向基板CTの外表面、つまり、対向基板CTを構成する第2絶縁基板20の外表面20Bには、第2光学素子OD2が接着剤などにより貼付されている。この第2光学素子OD2は、液晶表示パネルLPNの表示面側に位置しており、液晶表示パネルLPNから出射した出射光の偏光状態を制御する。この第2光学素子OD2は、第2偏光軸（あるいは第2吸収軸）AX2を有する第2偏光板PL2を含んでいる。なお、第2偏光板PL2と第2絶縁基板20との間に位相差板などの他の光学素子が配置されていても良い。

【0063】

第1偏光板PL1の第1偏光軸AX1と、第2偏光板PL2の第2偏光軸AX2とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極PAあるいは主共通電極CAの延出方向と略平行または略直交するように配置されている。つまり、主画素電極PAあるいは主共通電極CAの延出方向が第1方向Xである場合、一方の偏光板の吸収軸は、第1方向Xと略平行である（つまり、第2方向Yと略直交する）、あるいは、第1方向Xと略直交する（つまり、第2方向Yと略平行である）。

【0064】

あるいは、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第1配向処理方向PD1あるいは第2配向処理方向PD2と平行または直交するように配置されている。初期配向方向が第1方向Xと平行である場合、一方の偏光板の偏光軸は、第1方向Xと平行、あるいは、第2方向Yと平行である。

【0065】

図3において、(a)で示した例では、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向（第1方向X）に対して平行となる（つまり、第1方向Xに平行となる）ように配置され、また、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して直交する（つまり、第2方向Yと平行となる）ように配置されている。

【0066】

また、図3において、(b)で示した例では、第2偏光板PL2は、その第2偏光軸AX2が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向（第1方向X）に対して平行となる（つまり、第1方向Xに平行となる）ように配置され、また、第1偏光板PL1は、その第1偏光軸AX1が主画素電極PAの延出方向あるいは液晶分子LMの初期配向方向に対して直交する（つまり、第2方向Yと平行となる）ように配置されている。

【0067】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【0068】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成されていない状態（O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【0069】

なお、厳密には、液晶分子 L M は、X-Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X-Y 平面に正射影した方向である。

【0070】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 1 方向 X と略平行な方向であって且つ同じ向きである。O F F 時においては、液晶分子 L M は、X-Y 平面内において、その長軸が第 1 方向 X と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、主画素電極 P A あるいは主共通電極 C A の延出方向である第 1 方向 X と平行（あるいは、第 1 方向 X に対して 0°）である。

【0071】

図 6 は、O F F 時の液晶層 L Q における液晶分子 L M の配向状態を模式的に示す図である。なお、液晶分子 L M は一般的には棒状あるいはラグビーボール状であるが、ここでは、液晶分子 L M を円錐形状で図示しており、それぞれの液晶分子 L M が一端部に円形の底面を有し、他端部に頂点を有する形で図示している。また、液晶表示パネル L P N を図 3 の A-B 線で切断した A-B 断面については、図 4 に示した構成のうちの主要部、つまり、アレイ基板側の第 3 絶縁膜 13 の上の主画素電極 P A、ゲートシールド電極 G S 1 及びゲートシールド電極 G S 2 と、対向基板側のオーバーコート層 O C の上の主共通電極 C A 1 及び主共通電極 C A 2 とを図示している。また、液晶表示パネル L P N を図 3 の C-D 線で切断した C-D 断面については、図 5 に示した構成のうちの主要部を図示している。

【0072】

液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界としてアレイ基板 A R の近傍（つまり、第 1 配向膜 A L 1 の近傍）及び対向基板 C T の近傍（つまり、第 2 配向膜 A L 2 の近傍）において対称となるようなプレチルト角を持って配向する（スプレイ配向）。

【0073】

配向処理方向の下流側、つまり、ソース配線 S 1 の側から見た A-B 断面においては、液晶層 L Q の中間部の液晶分子 L M は、図面の法線方向である第 1 方向 X を向き、円錐の底面が正面を向くように配向する。液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B は、円錐の底面が第 1 方向 X の手前側で対向基板 C T 側を向くとともに、円錐の頂点が第 1 方向 X の奥側でアレイ基板 A R 側を向くように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U は、円錐の底面が第 1 方向 X の手前側でアレイ基板 A R 側を向くとともに、円錐の頂点が第 1 方向 X の奥側で対向基板 C T 側を向くように配向する。

【0074】

主画素電極 P A と主共通電極 C A 2 との間の領域をゲート配線 G 2 の側から見た C-D 断面においては、液晶層 L Q の中間部の液晶分子 L M は、円錐の底面が配向処理方向の下流側（あるいはソース配線 S 1 側）を向くとともに、円錐の頂点が配向処理方向の上流側（あるいはソース配線 S 2 側）を向き、X-Y 平面と略平行に配向している。液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B は、第 1 配向処理方向 P D 1 の下流側で対向基板 C T に向かって起き上がり、第 1 配向処理方向 P D 1 の上流側に位置する円錐の頂点がアレイ基板 A R 側を向くとともに、第 1 配向処理方向 P D 1 の下流側に位置する円錐の底面が対向基板 C T 側を向くように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U は、第 2 配向処理方向 P D 2 の下流側でアレイ基板 A R に向かって起き上がり、第 2

配向処理方向 P D 2 の上流側に位置する円錐の頂点が対向基板 C T 側を向くとともに、第 2 配向処理方向 P D 2 の下流側に位置する円錐の底面がアレイ基板 A R 側を向くように配向する。

【0075】

このような O F F 時において、バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって変化するが、O F F 時においては、液晶層 L Q を通過した直線偏光の偏光状態はほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

10

【0076】

このように、第 1 配向膜 A L 1 を第 1 配向処理方向 P D 1 に配向処理した結果、第 1 配向膜 A L 1 の近傍における液晶分子 L M は第 1 配向処理方向 P D 1 に初期配向され、第 2 配向膜 A L 2 を第 2 配向処理方向 P D 2 に配向処理した結果、第 2 配向膜 A L 2 の近傍における液晶分子 L M は第 2 配向処理方向 P D 2 に初期配向される。そして、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 は互いに平行で且つ同じ向きである場合には、上述のように液晶層 L Q における液晶分子 L M の配向状態はスプレイ配向になり、液晶層 L Q の中間部を境界として、第 1 配向膜 A L 1 の近傍での液晶分子 L M B の配向と第 2 配向膜 A L 2 の近傍での液晶分子 L M U の配向は、上下で対称となる。このため、液晶分子 L M がスプレイ配向している状態では、基板の法線方向である第 3 方向 Z から傾いた視角は、主に液晶分子 L M B 及び液晶分子 L M U によって光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

20

【0077】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電界が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、画素電極 P E と共通電極 C E との間の電界の影響を受け、その配向状態が変化する。より具体的には、液晶分子 L M は、液晶層 L Q の断面においてスプレイ配向を維持しつつ、基板面と平行な X - Y 平面内において初期配向方向に対して鋭角な方向に向かって回転する。

30

【0078】

図 3 に示した例では、当該画素 P X において、主画素電極 P A を挟んだ両側で主画素電極 P A に対して対称に配向する。すなわち、画素 P X の上側半分の領域、つまり、主画素電極 P A と主共通電極 C A 1 との間の透過領域内では、液晶分子 L M は、主に、主画素電極 P A と主共通電極 C A 1 との間の電界により、その配向状態が変化する。X - Y 平面内では、液晶分子 L M は、第 1 方向 X に対して時計回りに回転し、図中の左上を向くように配向する。また、画素 P X の下側半分の領域、つまり、主画素電極 P A と主共通電極 C A 2 との間の透過領域内では、液晶分子 L M は、主に、主画素電極 P A と主共通電極 C A 2 との間の電界により、その配向状態が変化する。X - Y 平面内では、液晶分子 L M は、第 1 方向 X に対して反時計回りに回転し、図中の左下を向くように配向する。

40

【0079】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【0080】

このような O N 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表

50

示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。例えば、第 1 方向 X に平行な直線偏光が液晶表示パネル L P N に入射すると、X-Y 平面内において、液晶層 L Q を通過する際に第 1 方向 X に対して 45° - 225° 方位あるいは 135° - 315° 方位に配向した液晶分子 L M により $\lambda/2$ の位相差の影響を受ける（但し、 λ は液晶層 L Q を透過する光の波長である）。これにより、液晶層 L Q を通過した光の偏光状態は、第 2 方向 Y に平行な直線偏光となる。このため、ON 時においては、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。但し、画素電極あるいは共通電極と重なる位置では、液晶分子が初期配向状態を維持しているため、OFF 時と同様に黒表示となる。

10

【0081】

上記の通り、本実施形態の構成によれば、一画素内における液晶分子 L M の配向方向は、ON 時には、X-Y 平面内において少なくとも主として 2 方向に分かれる。液晶層 L Q における液晶分子 L M の 3 次元的な配向状態については後述する。

【0082】

このような配向を実現するためには、少なくとも主画素電極 P A を備えた画素電極 P E に加えて、共通電極 C E として主共通電極 C A 1 及び主共通電極 C A 2 を備えていればよい。つまり、アレイ基板 A R に備えられたゲートシールド電極 G S は、ゲート配線 G からの電界をシールドしたり、液晶分子 L M の配向制御に必要な電界を補強したり、隣接する画素での液晶分子 L M の配向制御に必要な電界を形成したり、共通電極 C E を冗長化したりするものであって、上記のマルチドメインを形成するのに必須ではない。

20

【0083】

図 7 は、ON 時の液晶層 L Q における液晶分子 L M の配向状態を模式的に示す図である。この図 7 においても、図 6 と同様に、液晶分子 L M を円錐形状で図示している。また、A-B 断面、及び、C-D 断面については主要部のみを図示している。

【0084】

液晶層 L Q の断面において、液晶分子 L M の配向状態は、OFF 時と同様に依然としてスプレイ配向を維持している。

【0085】

A-B 断面において、主画素電極 P A と主共通電極 C A 1 との間の液晶分子 L M は、主画素電極 P A から主共通電極 C A 1 を向くように配向している。液晶層 L Q の中間部の液晶分子 L M M 1、液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B 1、及び、液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U 1 は、それぞれの円錐の底面が図面の法線方向である第 1 方向 X の手前側で主共通電極 C A 1 の側を向くとともに、円錐の頂点が第 1 方向 X の奥側で主画素電極 P A を向くように配向する。液晶分子 L M M 1 は、アレイ基板 A R 及び対向基板 C T の主面と略平行な水平な方向に配向している。液晶分子 L M B 1 は円錐の底面が対向基板 C T に向かって起き上がり（あるいは円錐の底面が主共通電極 C A 1 を向き）、液晶分子 L M U 1 は円錐の底面がアレイ基板 A R に向かって起き上がっている（あるいは円錐の底面がゲートシールド電極 G S 1 を向く）。これらの液晶分子 L M M 1、液晶分子 L M B 1、及び、液晶分子 L M U 1 の配向状態は、スプレイ配向を維持している。

30

40

【0086】

A-B 断面において、主画素電極 P A と主共通電極 C A 2 との間の液晶分子 L M は、主画素電極 P A から主共通電極 C A 2 を向くように配向している。液晶層 L Q の中間部の液晶分子 L M M 2、液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B 2、及び、液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U 2 は、それぞれの円錐の底面が第 1 方向 X の手前側で主共通電極 C A 2 の側を向くとともに、円錐の頂点が第 1 方向 X の奥側で主画素電極 P A を向くように配向する。液晶分子 L M M 2 は、アレイ基板 A R 及び対向基板 C T の主面と略平行な X-Y 平面と略平行に配向している。液晶分子 L M B 2 は円錐の底面が対向基板 C T に向かって起き上がり（あるいは円錐の底面が主共通電極 C A 2 を向き）、液晶

50

分子LMU2は円錐の底面がアレイ基板ARに向かって起き上がっている（あるいは円錐の底面がゲートシールド電極GS2を向く）。これらの液晶分子LMM2、液晶分子LMB2、及び、液晶分子LMU2の配向状態は、スプレィ配向を維持している。

【0087】

主画素電極PAと主共通電極CA2との間の領域をゲート配線G2の側から見たC-D断面においては、液晶層LQの中間部の液晶分子LMM2、液晶層LQのアレイ基板AR近傍の液晶分子LMB2、及び、液晶層LQの対向基板CT近傍の液晶分子LMU2のそれぞれは、配向処理方向の下流側に位置する円錐の底面が図面の法線方向である第2方向Yの手前側に位置し、配向処理方向の上流側に位置する円錐の頂点が第2方向Yの奥側に位置するように配向する。液晶分子LMM2は、X-Y平面と略平行に配向している。液晶分子LMB2は、第1配向処理方向PD1の下流側に位置する円錐の底面が対向基板CT側を向き第2方向Yの手前側に位置し、第1配向処理方向PD1の上流側に位置する円錐の頂点がアレイ基板AR側を向き第2方向Yの奥側に位置するように配向する。液晶層LQの対向基板CT近傍の液晶分子LMU2は、第2配向処理方向PD2の下流側に位置する円錐の底面がアレイ基板AR側を向き第2方向Yの手前側に位置し、第2配向処理方向PD2の上流側に位置する円錐の頂点が対向基板CT側を向き第2方向Yの奥側に位置するように配向する。

10

【0088】

このように、液晶分子LMU1、液晶分子LMB1、液晶分子LMU2、及び、液晶分子LMB2は、ON時において、液晶層LQの3次元空間においてそれぞれ異なる方位に配向しており、それぞれの液晶分子によって一画素内に実質的に4つのドメインを形成することが可能となる。そして、ON時においても、第3方向Zから傾いた視角方向において、主に液晶分子LMU1と液晶分子LMB1との組み合わせ、及び、主に液晶分子LMU2と液晶分子LMB2との組み合わせによって光学的に補償される。したがって、階調反転が生ずることなく高い透過率を得ることが可能な視角を拡大することができ、広視野角化が可能となる。

20

【0089】

また、本実施形態によれば、画素電極PEと共通電極CEとの間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極PAと主共通電極CAとの間の電極間距離を拡大することで対応することが可能となる。

30

【0090】

また、高解像度の製品においては、一画素PXにおけるソース配線間の第2ピッチは狭くなり、主画素電極PA及び主共通電極CAをソース配線Sに対して平行に配置すると、主画素電極PAと主共通電極CAとの間の電極間距離を十分にとることが出来ない虞がある。一方、一画素におけるゲート配線間の第1ピッチは第2ピッチより広く、本実施形態のように主画素電極PA及び主共通電極CAをゲート配線Gに対して平行に配置すると、第2ピッチが狭い高解像度仕様においても、主画素電極PAと主共通電極CAとの間の電極間距離を十分にとることが出来る。

【0091】

ここで、一画素における第1ピッチと第2ピッチの関係について以下に述べる。カラーフィルタのR（赤）G（緑）B（青）にそれぞれ対応し隣接する画素のうち最小の画素数によって1つのユニット（絵素）が構成され、このユニット（絵素）が略正方形になるように画素ピッチは設計される。換言すれば、1つのユニットは最小の画素数、例えば、カラーフィルタがRGBの3原色の場合には3つの画素を一方向に配列して略正方形になるように画素ピッチは設計される。第1方向Xに沿って3つの画素PXを配列して1つのユニットを構成する場合、一画素PXあたり、ゲート配線間の第1ピッチは、ソース配線間の第2ピッチよりも大きい。すなわち、第1ピッチは第2ピッチの略3倍となっている。この第1ピッチと第2ピッチの関係を考慮して、一画素PXにおける主共通電極CA1と主共通電極CA2との電極間距離が第1ピッチと略等しくなるように主共通電極CAをゲ

40

50

ート配線に対して平行に配置する。さらに、この主共通電極C Aに対して平行であり且つ2本の主共通電極C Aの間（より望ましくは2本の主共通電極C Aの略中間の位置）に主画素電極P Aを配置する。これにより、高い透過率を維持できる電極間距離を確保することができる。換言すれば、長方形の画素P Xにおいて画素P Xの長辺の距離を利用して表示に寄与する透過領域を形成するように、画素P Xの短辺に対して平行に主画素電極P A及び主共通電極C Aを配置することにより、電極間距離を十分にとることが出来る。これにより、第2ピッチの狭くなる高解像度の製品においても、一画素P Xあたりの透過率を十分に高くすることが可能であり、さらに、上述の通りマルチドメインとなるため広視野角化も可能となる。

【0092】

10

尚、本実施形態では、第1方向Xに3原色R G Bのカラーフィルタが配列されているが、4原色R（赤）G（緑）B（青）Y（黄）以上の色を配列する場合も、3原色の場合と同様に長方形の画素P Xにおいて、画素P Xの長辺の距離を利用して表示に寄与する透過領域を形成するように、画素P Xの短辺に対して平行に主画素電極P A及び主共通電極C Aを配置することにより上記と同様の効果が生じる。

【0093】

また、ゲート配線間の間隔よりもソース配線間の間隔の方が大きい画素の場合、すなわち、画素P Xの長辺がゲート配線Gに平行な辺であり、画素P Xの短辺がソース配線Sに平行な辺である場合には、ソース配線間の第2ピッチを利用できるように主画素電極P Aと主共通電極C Aをソース配線Sに対して平行に配置する。具体的には、2本の主共通電極C A間の距離がソース配線間の第2ピッチに略等しくなるように主共通電極C Aをソース配線に対して平行に配置する。あるいは、2本の主共通電極C Aはそれぞれソース配線Sの上方に位置するように配置する。このとき、主画素電極P Aは、画素P Xの略中央部、つまり、主画素電極C Aのそれぞれから略等距離に位置するように配置することが望ましい。これにより、上記と同様の効果が生じる。

20

【0094】

尚、主共通電極C Aと主画素電極P Aの配置は、上記の配置と入れ替えて配置しても良い。すなわち、一画素P Xにおいて、2本の主画素電極P Aを画素P Xの一对の短辺近傍にそれぞれ配置し、1本の主共通電極C Aを2本の主画素電極P Aの間に配置する。

【0095】

30

また、画素ピッチが異なる製品仕様に対しては、主画素電極P Aと主共通電極C Aとの間の電極間距離を変更することで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

【0096】

また、本実施形態によれば、ブラックマトリクスB Mと重なる領域では、透過率が十分に低下している。これは、ゲート配線Gの上方に位置する共通電極C Eの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスB Mを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスB Mと重なる領域の液晶分子L MがO F F時（あるいは黒表示時）と同様に初期配向状態を保っているためである。また、ソース配線Sの上方には共通電極C Eが配置されていないが、ソース配線Sと画素電極P Eとの間の漏れ電界は液晶分子L Mの初期配向方向である第1方向Xと略平行に形成されるため、その周辺領域の液晶分子L Mが初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタC Fの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

40

【0097】

また、アレイ基板A Rと対向基板C Tとの合わせずれが生じた際に、画素電極P Eを挟

50

んだ両側の共通電極 C E との電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0098】

また、本実施形態によれば、主共通電極 C A は、それぞれゲート配線 G と対向している。特に、主共通電極 C A 1 及び主共通電極 C A 2 がそれぞれゲート配線 G 1 及びゲート配線 G 2 の直上に配置されている場合には、主共通電極 C A 1 及び主共通電極 C A 2 がゲート配線 G 1 及びゲート配線 G 2 よりも画素電極 P E 側に配置された場合と比較して、開口部 A P のうちの透過領域を拡大することができ、画素 P X の透過率を向上することが可能となる。

【0099】

また、主共通電極 C A 1 及び主共通電極 C A 2 をそれぞれゲート配線 G 1 及びゲート配線 G 2 の直上に配置することによって、画素電極 P E と主共通電極 C A 1 及び主共通電極 C A 2 との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となるとともに、基板の合わせズレによる画素電極 P E と共通電極 C E との電極間距離の変化量に対して電極間距離を十分に大きく設定することができ、合わせズレに起因した輝度バラツキを低減することが可能である。

【0100】

また、本実施形態によれば、アレイ基板 A R は、画素電極 P E を挟んだ両側に位置するゲートシールド電極 G S を備えている。このゲートシールド電極 G S は、ゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。

【0101】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウム (A l)、チタン (T i)、銀 (A g)、モリブデン (M o)、タングステン (W)、クロム (C r) などの不透明な導電材料を用いて形成しても良い。

【0102】

画素電極 P E 及び共通電極 C E の少なくとも一方が上記の不透明な導電材料によって形成された場合、液晶表示パネル L P N に入射した直線偏光は、画素電極 P E や共通電極 C E のエッジの延出方向と略平行であるあるいは略直交する。また、上記のような不透明な導電材料によって形成されているゲート配線 G、補助容量線 C、及び、ソース配線 S の延出方向は、液晶表示パネル L P N に入射した直線偏光と略平行であるあるいは略直交する。このため、画素電極 P E や共通電極 C E、ゲート配線 G、補助容量線 C、及び、ソース配線 S のエッジで反射された直線偏光は、その偏光面が乱れにくく、偏光子である第 1 偏光板 P L 1 を透過した際の偏光面を維持することができる。したがって、OFF 時において、液晶表示パネル L P N を透過した直線偏光は、検光子である第 2 偏光板 P L 2 で十分に吸収されるため、光漏れを抑制することが可能となる。つまり、黒表示の際に十分に透過率を低減することができ、コントラスト比の低下を抑制することが可能となる。また、

画素電極 P E や共通電極 C E の周辺での光漏れ対策のためにブラックマトリクス B M の幅を拡張する必要がなく、開口部 A P の面積の低減、O N 時の透過率の低減を抑制することが可能となる。

【0103】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。

【0104】

なお、本実施形態において、画素 P X の構造は、上記の例に限定されるものではない。以下に、図 8 乃至図 10 を参照しながら、本実施形態における画素構成のバリエーションについて簡単に説明する。なお、各図において、アレイ基板 A R 近傍の液晶分子 L M B を図示しており、円錐の底面が第 1 配向処理方向 P D 1 の下流側に位置するとともに紙面の法線方向に起き上がり、円錐の頂点が第 1 配向処理方向 P D 1 の上流側に位置している。また、各図において、主画素電極 P A 、主共通電極 C A はともに簡略化して図示しており、ソース配線、ゲート配線、補助容量線、スイッチング素子などの図示を省略している。図中の破線で囲んだ領域が画素 P X に相当する。

10

【0105】

図 8 の（a）は、上記の図 2 乃至図 7 を参照しながら説明した本実施形態の構造例に対応する。

【0106】

図 8 の（b）及び（c）の構造例は、共通電極として、主共通電極 C A に加えて、さらに、第 2 方向 Y に沿って延出した副共通電極 C B を備えている点で、（a）に示した構造例と相違している。このような副共通電極 C B は、図示しないソース配線 S の上方に位置し、アレイ基板 A R 及び対向基板 C T の少なくとも一方に備えられている。

20

【0107】

（b）の構造例では、副共通電極 C B は、第 2 方向 Y に一直線状に延出しており、第 2 方向 Y に隣接する画素 P X の同一の側のみ（つまり、画素 P X の右側のみあるいは画素 P X の左側のみ）に配置されている。また、第 1 方向 X に隣接する一方の画素 P X では副共通電極 C B が右側に配置され、他方の画素 P X では副共通電極が左側に配置されている。

【0108】

このような構造例の場合でも、いずれの画素 P X でも上記の通り O N 時及び O F F 時にスプレィ配向しているが、副共通電極 C B が左側のみに配置されている画素 P X と、副共通電極 C B が右側のみに配置されている画素 P X とでは、液晶分子 L M B の配向状態が相違する。すなわち、副共通電極 C B が左側のみに配置されている画素 P X では、その上側の領域では液晶分子 L M B が時計回りに回転する一方で、その下側の領域では液晶分子 L M B が反時計回りに回転する。副共通電極 C B が右側のみに配置されている画素 P X では、その上側の領域では液晶分子 L M B が反時計回りに回転し且つ円錐の底面がアレイ基板側を向くとともに円錐の頂点が対向基板側を向く一方で、その下側の領域では液晶分子 L M B が時計回りに回転し且つ円錐の底面がアレイ基板側を向くとともに円錐の頂点が対向基板側を向く。

30

【0109】

（c）の構造例では、副共通電極 C B は、第 2 方向 Y に隣接する一方の画素 P X では右側のみに配置され、他方の画素 P X では左側のみに配置されている。また、第 1 方向 X に隣接する一方の画素 P X では副共通電極 C B が右側に配置され、他方の画素 P X では副共通電極が左側に配置されている。このような構造例における液晶分子の配向状態は、（b）に示した例と同様であり説明を省略する。

40

【0110】

図 9 の（a）及び（b）の構造例は、画素電極として、主画素電極 P A に加えて、さらに、第 2 方向 Y に沿って延出した副画素電極 P B を備えている点で、図 8 の（a）に示した構造例と相違している。このような副画素電極 P B は、主画素電極 P A の一端部に繋が

50

っており、主画素電極 P A とで T 字形の画素電極を形成している。そして、図示した例では、副画素電極 P B は、全ての画素 P X において、主画素電極 P A の右側端部に繋がっている。つまり、全ての画素 P X の画素電極 P E は同一方向を向いている。

【0111】

(a) の構造例は、共通電極として、主共通電極 C A のみを備えており、(b) の構造例は、共通電極として、主共通電極 C A に加えて副共通電極 C B を備えている。(b) に示した副共通電極 C B は、第 2 方向 Y に一直線状に延出しており、各画素 P X の両側に配置されている。つまり、副共通電極 C B は、第 1 方向 X に隣接する一方の画素 P X の副画素電極 P B と、他方の画素 P X の主画素電極 P A との間に位置している。このような構造例における液晶分子の配向状態は、図 8 の (a) に示した例と同様である。

10

【0112】

図 10 の (a) 乃至 (d) の構造例は、図 9 の構造例と同様に、T 字形の画素電極 P E を適用している。そして、図示した例では、第 1 方向 X に隣接する各画素 P X の画素電極 P E は互いに向きが異なっている。

【0113】

(a) 及び (b) の構造例では、第 2 方向 Y に隣接する各画素 P X の画素電極 P E は、全て同一方向を向いている。図示した例では、第 1 方向 X に隣接する各画素 P X の画素電極 P E は、それぞれの副画素電極 P B が向かい合っている。第 2 方向 Y に隣接する各画素 P X の画素電極 P E は、それぞれの副画素電極 P B が第 2 方向 Y に沿って同一直線上に位置している。なお、(a) の構造例では共通電極として、主共通電極 C A のみを備えており、(b) の構造例は、共通電極として、主共通電極 C A に加えて副共通電極 C B を備えている。(b) に示した副共通電極 C B は、第 2 方向 Y に一直線状に延出しており、各画素 P X の副画素電極 P B が配置される側とは反対側に配置されている。例えば、(b) の左側の画素 P X では、主画素電極 P A の右側端部に副画素電極 P B が繋がっているのに対して、副共通電極 C B は画素 P X の左側に配置されている。同様に、(b) の右側の画素 P X では、主画素電極 P A の左側端部に副画素電極 P B が繋がっているのに対して、副共通電極 C B は画素 P X の右側に配置されている。

20

【0114】

(c) 及び (d) の構造例では、第 2 方向 Y に隣接する各画素 P X の画素電極 P E は、互いに向きが異なっている。図示した例では、上段の列の第 1 方向 X に隣接する各画素 P X の画素電極 P E はそれぞれの主画素電極 P A が向かい合い、下段の列の第 1 方向 X に隣接する各画素 P X の画素電極 P E はそれぞれの副画素電極 P B が向かい合っている。なお、(c) の構造例では共通電極として、主共通電極 C A のみを備えており、(d) の構造例は、共通電極として、主共通電極 C A に加えて副共通電極 C B を備えている。(d) に示した副共通電極 C B は、各画素 P X の副画素電極 P B が配置される側とは反対側に配置されている。例えば、(d) の上段の列の左側の画素 P X では、主画素電極 P A の左側端部に副画素電極 P B が繋がっているのに対して、副共通電極 C B は画素 P X の右側に配置され、上段の列の右側の画素 P X では、主画素電極 P A の右側端部に副画素電極 P B が繋がっているのに対して、副共通電極 C B は画素 P X の左側に配置されている。また、(d) の下段の列の左側の画素 P X では、主画素電極 P A の右側端部に副画素電極 P B が繋がっているのに対して、副共通電極 C B は画素 P X の左側に配置され、下段の列の右側の画素 P X では、主画素電極 P A の左側端部に副画素電極 P B が繋がっているのに対して、副共通電極 C B は画素 P X の右側に配置されている。このような図 9 に示した構造例における液晶分子の配向状態は、いずれも、図 8 の (b) に示した例と同様である。

30

40

【0115】

これらのバリエーションにおいても、上記の効果が得られることは言うまでもない。

【0116】

上記の例では、第 1 主電極が主画素電極 P A に対応し、第 1 電極が画素電極 P E に対応し、第 2 主電極が主共通電極 C A に対応し、第 2 電極が共通電極 C A に対応する場合について説明したが、第 1 電極と第 2 電極との関係を入れ替えても良い。この場合、第 2 主電

50

極が主画素電極 P A に対応し、第 2 電極が画素電極 P E に対応し、第 1 主電極が主共通電極 C A に対応し、第 1 電極が共通電極 C A に対応する。

【0117】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0118】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

【0119】

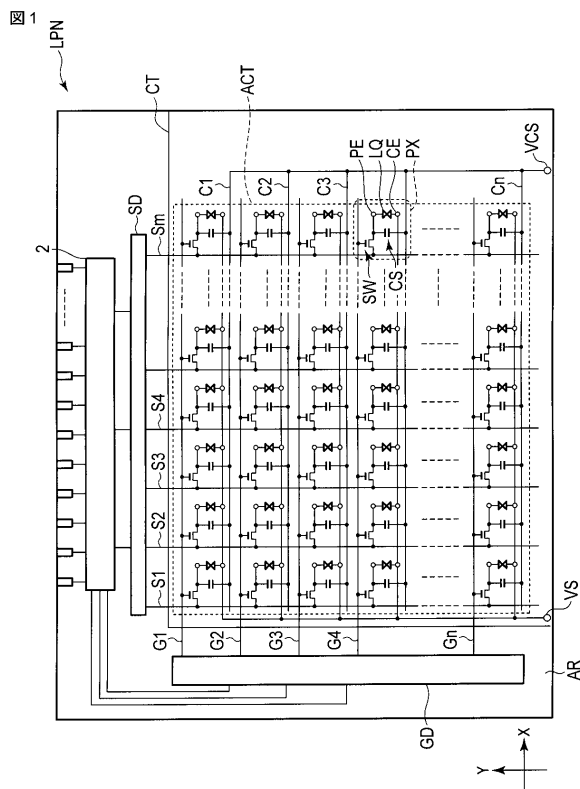
L P N … 液晶表示パネル

A R … アレイ基板 C T … 対向基板 L Q … 液晶層

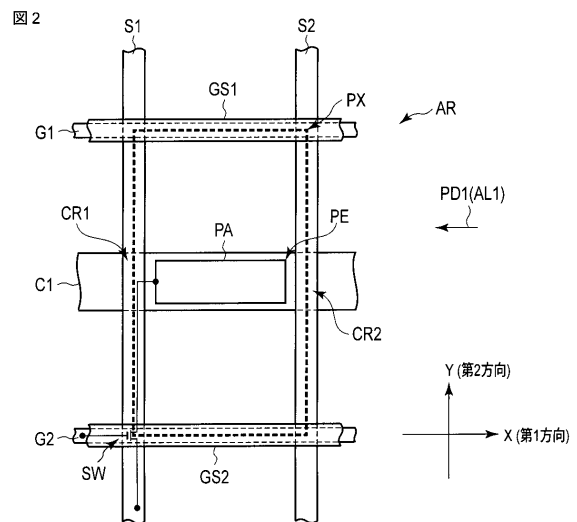
P E … 画素電極 P A … 主画素電極 P B … 副画素電極

C E … 共通電極 C A … 主共通電極 C B … 副共通電極

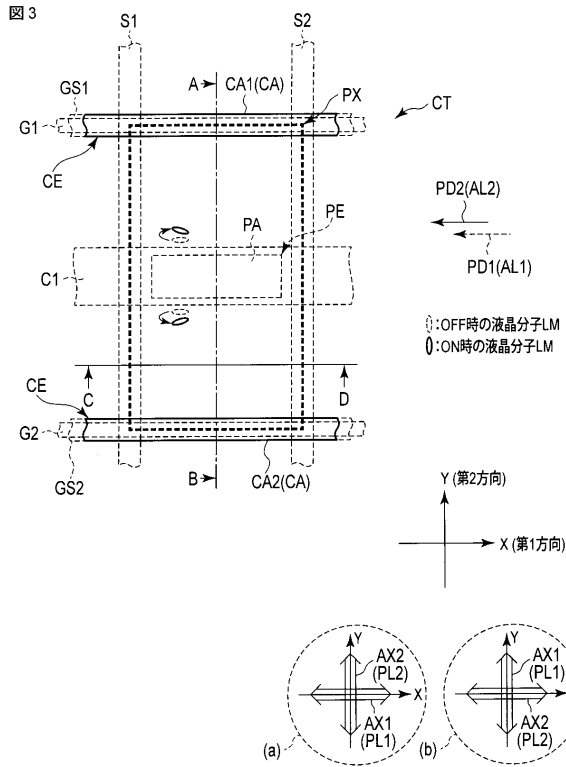
【図 1】



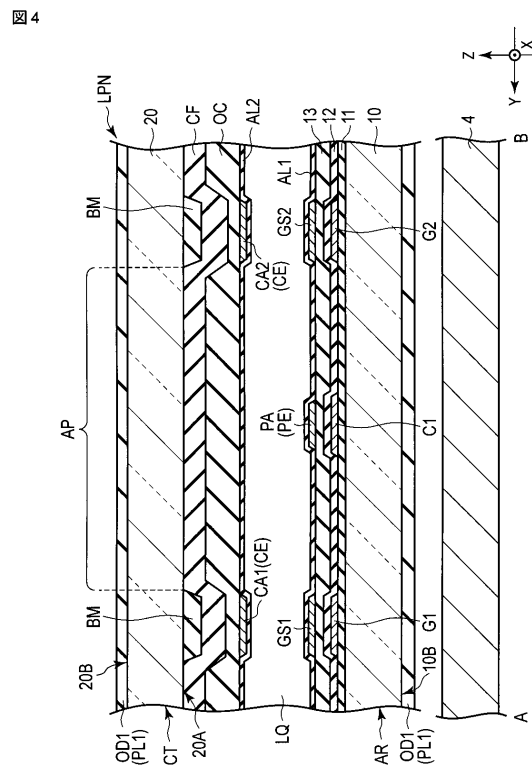
【図 2】



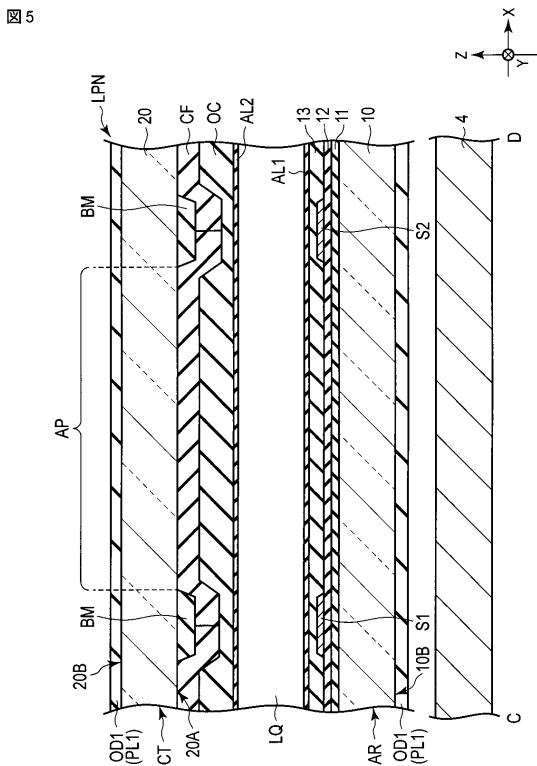
【図 3】



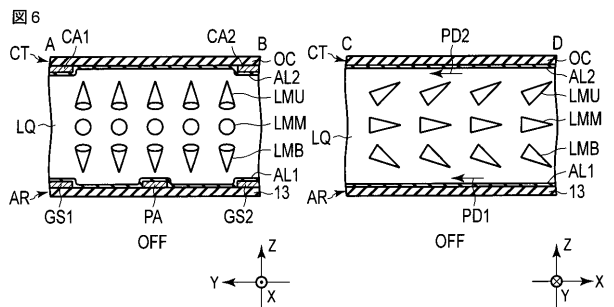
【図 4】



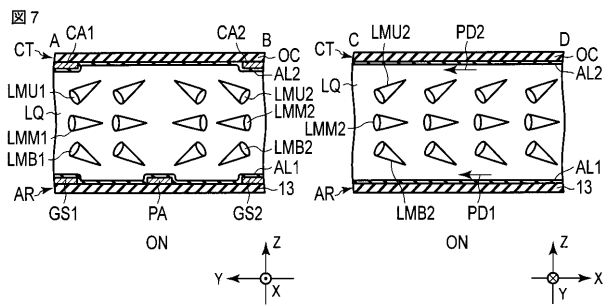
【図 5】



【図 6】

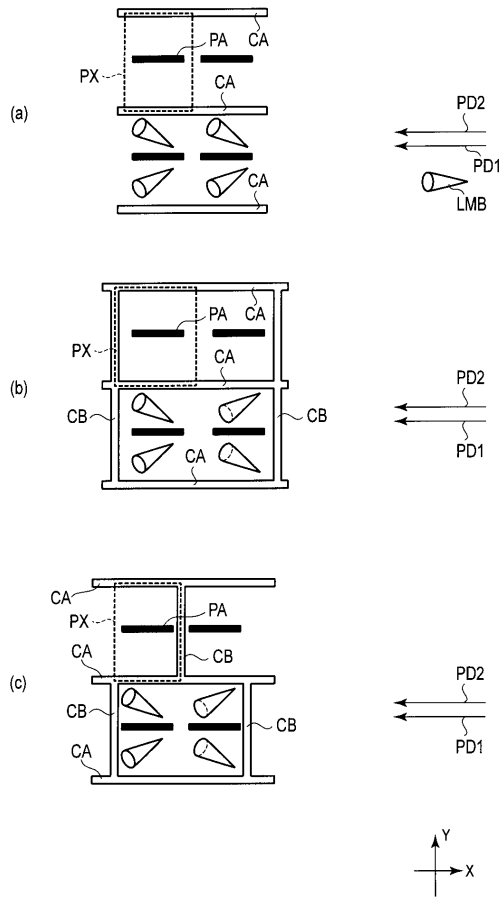


【図 7】



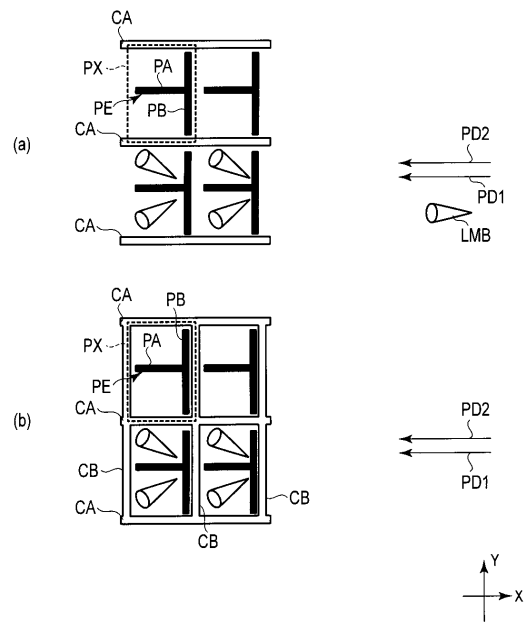
【図 8】

図 8



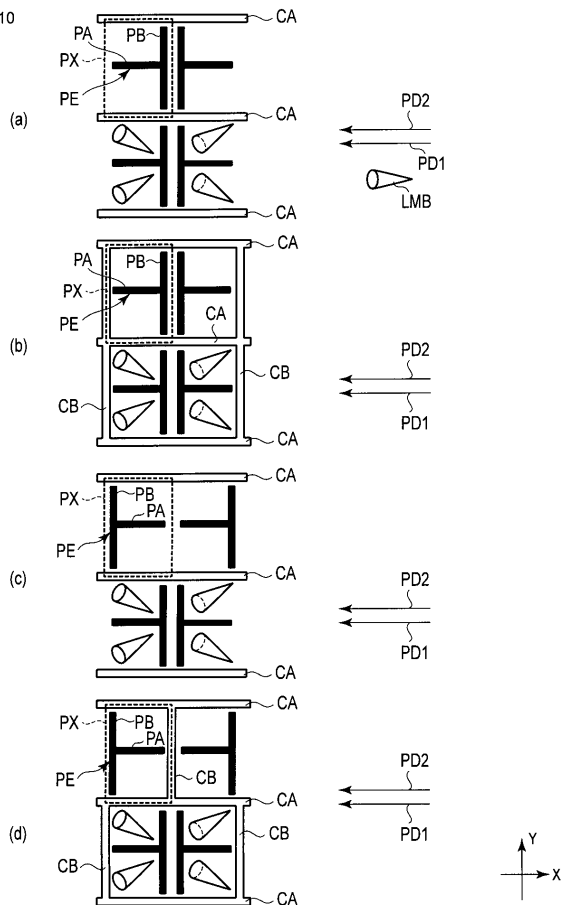
【図 9】

図 9



【図 10】

図 10



フロントページの続き

- (74)代理人 100095441
弁理士 白根 俊郎
- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 廣澤 仁

埼玉県深谷市幡羅町一丁目９番地２ 東芝モバイルディスプレイ株式会社内

Fターム(参考) 2H092 GA13 GA17 JA24 JB05 JB13 JB22 JB24 JB31 JB69 QA09

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013064888A	公开(公告)日	2013-04-11
申请号	JP2011203773	申请日	2011-09-16
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/134309 G02F1/133345 G02F1/1337 G02F1/134327 G02F1/134336 G02F1/134363 G02F1/13439 G02F1/136213 G02F1/136286 G02F1/1368 G02F2001/134345 G02F2001/136218 G02F2001/13629 G02F2202/104		
FI分类号	G02F1/1343 G02F1/1368 G02F1/1337		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/JA24 2H092/JB05 2H092/JB13 2H092/JB22 2H092/JB24 2H092/JB31 2H092/JB69 2H092/QA09 2H192/AA24 2H192/BA13 2H192/BA23 2H192/BA32 2H192/DA12 2H192/EA22 2H192/FB02 2H192/FB27 2H192/GA02 2H192/GD13 2H192/GD42 2H192/JA33 2H290/AA05 2H290/BA04 2H290/BA66 2H290/BB85 2H290/BC01 2H290/BF13 2H290/BF23		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5926523B2		
外部链接	Espacenet		

摘要(译)

提供一种能够抑制显示质量的劣化的液晶显示装置。分别沿着第一方向延伸的栅极布线和辅助电容线,沿着第二方向延伸的源极布线,以及电连接到栅极布线和源极布线的开关元件。像素电极位于辅助电容线的正上方,并具有在第一方向上延伸并与开关元件电连接的主像素电极;和覆盖像素电极的第一取向膜。第一基板,设置在栅极布线正上方且具有沿第一方向延伸的主共用电极的共用电极,以及第二基板,其具有覆盖该共用电极的第二取向膜和第二基板,第一基板和第二基板被保持在第一基板和第二基板之间,并且在像素电极和公共电极之间没有形成电场的状态下沿第一方向初始对准。包含液晶分子的液晶层在本发明的液晶显示装置的特征在于。[选择图]图3

图 3

