

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-54179

(P2013-54179A)

(43) 公開日 平成25年3月21日(2013.3.21)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1337 (2006.01)	GO2F 1/1337 505	2H090
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092

審査請求 有 請求項の数 10 O L (全 27 頁)

(21) 出願番号	特願2011-191688 (P2011-191688)	(71) 出願人	302020207
(22) 出願日	平成23年9月2日 (2011.9.2)		株式会社ジャパンディスプレイセントラル
			埼玉県深谷市幡羅町一丁目9番地2
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100159651
			弁理士 高倉 成男
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司

最終頁に続く

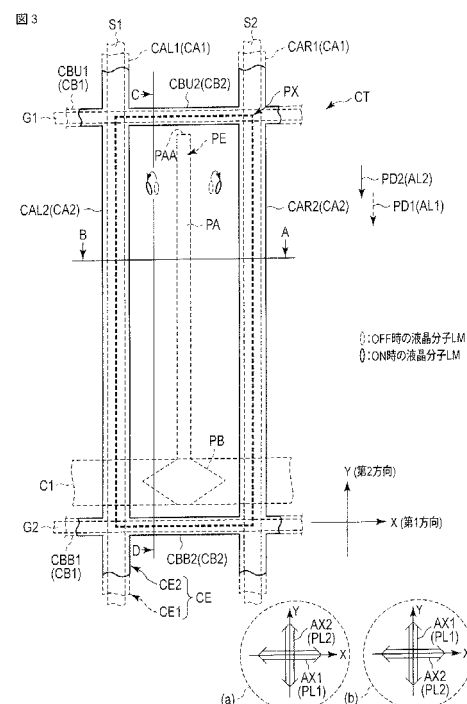
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】 直線的に延出した帯状の主画素電極を備えた画素電極と、前記画素電極を覆うとともに前記主画素電極の延出方向と略平行な第1配向処理方向に配向処理された第1配向膜と、を備えた第1基板と、前記主画素電極を挟んだ両側で前記主画素電極の延出方向と略平行な方向に沿って延出した主共通電極及び第1配向処理方向の上流側に位置する前記主画素電極の一端部側において前記主画素電極の延出方向に交差する方向に沿って延出した副共通電極を備えた共通電極と、前記共通電極を覆うとともに第1配向処理方向と同一方向である第2配向処理方向に配向処理された第2配向膜と、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

直線的に延出した帯状の主画素電極を備えた画素電極と、前記画素電極を覆うとともに前記主画素電極の延出方向と略平行な第 1 配向処理方向に配向処理された第 1 配向膜と、を備えた第 1 基板と、

前記主画素電極を挟んだ両側で前記主画素電極の延出方向と略平行な方向に沿って延出した主共通電極及び第 1 配向処理方向の上流側に位置する前記主画素電極の一端部側において前記主画素電極の延出方向に交差する方向に沿って延出した副共通電極を備えた共通電極と、前記共通電極を覆うとともに第 1 配向処理方向と同一方向である第 2 配向処理方向に配向処理された第 2 配向膜と、を備えた第 2 基板と、

10

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記画素電極は、第 1 配向処理方向の下流側に位置する前記主画素電極の他端部に繋がった副画素電極を備えたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 基板は、さらに、前記主共通電極の直下に位置するソース配線と、前記副共通電極の直下に位置するゲート配線と、前記副画素電極の直下に位置する補助容量線と、を備えたことを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 基板は、さらに、前記ソース配線と対向し前記共通電極と同電位のソースシールド電極と、前記ゲート配線と対向し前記共通電極と同電位のゲートシールド電極と、を備えたことを特徴とする請求項 3 に記載の液晶表示装置。

20

【請求項 5】

前記画素電極は、第 1 配向処理方向の上流側に位置する前記主画素電極の一端部に繋がった第 1 副画素電極と、第 1 配向処理方向の下流側に位置する前記主画素電極の他端部に繋がった第 2 副画素電極と、を備えたことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 基板は、さらに、前記主共通電極の直下に位置するソース配線と、前記第 1 副画素電極の直下に位置する補助容量線と、前記第 2 副画素電極の直下に位置するゲート配線と、を備えたことを特徴とする請求項 5 に記載の液晶表示装置。

30

【請求項 7】

前記第 1 基板は、さらに、前記ソース配線と対向し前記共通電極と同電位のソースシールド電極を備えたことを特徴とする請求項 6 に記載の液晶表示装置。

【請求項 8】

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、第 2 方向に沿って延出した帯状の主画素電極を備えた画素電極と、前記ソース配線に対向し第 2 方向に沿って延出した第 1 主共通電極を備えた第 1 共通電極と、前記画素電極及び前記第 1 共通電極を覆うとともに前記第 2 方向に平行な第 1 配向処理方向に配向処理された第 1 配向膜と、を備えた第 1 基板と、

40

前記主画素電極を挟んだ両側で第 2 方向に沿って延出した第 2 主共通電極及び第 1 配向処理方向の上流側に位置する前記主画素電極の一端部側において第 1 方向に沿って延出した第 2 副共通電極を備えた第 2 共通電極と、前記第 2 共通電極を覆うとともに第 1 配向処理方向と同一方向である第 2 配向処理方向に配向処理された第 2 配向膜と、を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 9】

前記第 1 共通電極は、さらに、前記ゲート配線に対向し第 1 方向に沿って延出した第 1 副共通電極を備えたことを特徴とする請求項 8 に記載の液晶表示装置。

50

【請求項 10】

前記画素電極は、第 1 方向に沿った長さが第 1 方向に交差する第 2 方向に沿った長さよりも短い画素に配置されたことを特徴とする請求項 8 または 9 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

10

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 192822 号公報

【特許文献 2】特開平 9 - 160041 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

30

【課題を解決するための手段】

【0006】

本実施形態によれば、

直線的に延出した帯状の主画素電極を備えた画素電極と、前記画素電極を覆うとともに前記主画素電極の延出方向と略平行な第 1 配向処理方向に配向処理された第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で前記主画素電極の延出方向と略平行な方向に沿って延出した主共通電極及び第 1 配向処理方向の上流側に位置する前記主画素電極の一端部側において前記主画素電極の延出方向に交差する方向に沿って延出した副共通電極を備えた共通電極と、前記共通電極を覆うとともに第 1 配向処理方向と同一方向である第 2 配向処理方向に配向処理された第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

40

【0007】

本実施形態によれば、

第 1 方向に沿って延出したゲート配線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、第 2 方向に沿って延出した帯状の主画素電極を備えた画素電極と、前記ソース配線に対向し第 2 方向に沿って延出した第 1 主共通電極を備えた第 1 共通電極と、前記画素電極及び前記第 1 共通電極を覆うとともに前記第 2 方向に平行な第 1 配向処理方向に配向処理された第 1 配向膜と、を備えた第 1 基板と、前記主画素電極を挟んだ両側で第 2 方向に沿って延出した第 2 主共通電極及び第 1 配向処理方向の上流側に位置する前記

50

主画素電極の一端部側において第 1 方向に沿って延出した第 2 副共通電極を備えた第 2 共通電極と、前記第 2 共通電極を覆うとともに第 1 配向処理方向と同一方向である第 2 配向処理方向に配向処理された第 2 配向膜と、を備えた第 2 基板と、前記第 1 基板と前記第 2 基板との間に保持された液晶分子を含む液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

【図面の簡単な説明】

【0008】

【図 1】図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図 2】図 2 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図 3】図 3 は、図 1 に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図 4】図 4 は、図 3 の A - B 線で切断した液晶表示パネルをゲート配線 G 1 側から見た断面構造を概略的に示す断面図である。

【図 5】図 5 は、図 3 の C - D 線で切断した液晶表示パネルをソース配線 S 1 側から見た断面構造を概略的に示す断面図である。

【図 6】図 6 は、OFF 時の液晶層における液晶分子の配向状態を模式的に示す図である。

【図 7】図 7 は、ON 時の液晶層における液晶分子の配向状態を模式的に示す図である。

【図 8】図 8 の (a) は液晶分子 LMUR の配向状態を説明するための図であり、図 8 の (b) は液晶分子 LMBR の配向状態を説明するための図である。

【図 9】図 9 の (a) は液晶分子 LMUL の配向状態を説明するための図であり、図 9 の (b) は液晶分子 LMBL の配向状態を説明するための図である。

【図 10】図 10 は、図 1 に示したアレイ基板を対向基板側から見たときの一画素の他の構造例を概略的に示す平面図である。

【図 11】図 11 は、図 1 に示した対向基板における一画素の他の構造例を概略的に示す平面図である。

【図 12】図 12 は、OFF 時の液晶層における液晶分子の配向状態を模式的に示す図である。

【図 13】図 13 は、ON 時の液晶層における液晶分子の配向状態を模式的に示す図である。

【発明を実施するための形態】

【0009】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0010】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0011】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル LPN を備えている。液晶表示パネル LPN は、第 1 基板であるアレイ基板 AR と、アレイ基板 AR に対向して配置された第 2 基板である対向基板 CT と、これらのアレイ基板 AR と対向基板 CT との間に保持された液晶層 LQ と、を備えている。このような液晶表示パネル LPN は、画像を表示するアクティブエリア ACT を備えている。このアクティブエリア ACT は、 $m \times n$ 個のマトリクス状に配置された複数の画素 PX によって構成されている（但し、 m 及び n は正の整数である）。

【0012】

液晶表示パネル LPN は、アクティブエリア ACT において、 n 本のゲート配線 G (G

10

20

30

40

50

1 ~ G_n)、n本の補助容量線C (C₁ ~ C_n)、m本のソース配線S (S₁ ~ S_m)などを備えている。ゲート配線G及び補助容量線Cは、例えば、第1方向Xに沿って略直線的に延出した信号配線に相当する。これらのゲート配線G及び補助容量線Cは、第1方向Xに交差する第2方向Yに沿って間隔をおいて隣接し、交互に並列配置されている。ここでは、第1方向Xと第2方向Yとは互いに略直交している。ソース配線Sは、ゲート配線G及び補助容量線Cと交差している。ソース配線Sは、第2方向Yに沿って略直線的に延出した信号配線に相当する。なお、ゲート配線G、補助容量線C、及び、ソース配線Sは、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0013】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。これらのゲートドライバGD及びソースドライバSDの少なくとも一部は、例えば、アレイ基板ARに形成され、コントローラを内蔵した駆動ICチップ2と接続されている。

10

【0014】

各画素PXは、スイッチング素子SW、画素電極PE、共通電極CEなどを備えている。保持容量Csは、例えば補助容量線Cと画素電極PEとの間に形成される。補助容量線Cは、補助容量電圧が印加される電圧印加部VCSと電氣的に接続されている。

【0015】

なお、本実施形態においては、液晶表示パネルLPNは、画素電極PEがアレイ基板ARに形成される一方で共通電極CEの少なくとも一部が対向基板CTに形成された構成であり、これらの画素電極PEと共通電極CEとの間に形成される電界を主に利用して液晶層LQの液晶分子をスイッチングする。画素電極PEと共通電極CEとの間に形成される電界は、第1方向Xと第2方向Yとで規定されるX-Y平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

20

【0016】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成されている。このスイッチング素子SWは、ゲート配線G及びソース配線Sと電氣的に接続されている。このようなスイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子SWの半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

30

【0017】

画素電極PEは、各画素PXに配置され、スイッチング素子SWに電氣的に接続されている。共通電極CEは、液晶層LQを介して複数の画素PXの画素電極PEに対して共通に配置されている。このような画素電極PE及び共通電極CEは、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

【0018】

アレイ基板ARは、共通電極CEに電圧を印加するための給電部VSを備えている。この給電部VSは、例えば、アクティブエリアACTの外側に形成されている。対向基板CTの共通電極CEは、アクティブエリアACTの外側に引き出され、図示しない導電部材を介して、給電部VSと電氣的に接続されている。

40

【0019】

図2は、図1に示したアレイ基板ARを対向基板側から見たときの一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0020】

アレイ基板ARは、ゲート配線G1、ゲート配線G2、補助容量線C1、ソース配線S1、ソース配線S2、スイッチング素子SW、画素電極PE、第1配向膜AL1などを備

50

えている。図示した例では、アレイ基板 A R は、さらに、共通電極 C E の一部である第 1 共通電極 C E 1 を備えている。

【 0 0 2 1 】

図示した例では、画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状である。ゲート配線 G 1 及びゲート配線 G 2 は、第 2 方向 Y に沿って間隔をおいて配置され、それぞれ第 1 方向 X に沿って延出している。補助容量線 C 1 は、ゲート配線 G 1 とゲート配線 G 2 との間に位置し、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 1 方向 X に沿って間隔をおいて配置され、それぞれ第 2 方向 Y に沿って延出している。

【 0 0 2 2 】

図示した画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【 0 0 2 3 】

また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【 0 0 2 4 】

また、図示した画素 P X においては、補助容量線 C 1 は、ゲート配線 G 1 の側よりもゲート配線 G 2 の側に偏在している。つまり、補助容量線 C 1 とゲート配線 G 2 との第 2 方向 Y に沿った間隔は、補助容量線 C 1 とゲート配線 G 1 との第 2 方向 Y に沿った間隔よりも小さい。

【 0 0 2 5 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 2 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 2 とソース配線 S 1 の交点に設けられている。スイッチング素子 S W のゲート電極はゲート配線 G 2 と電氣的に接続され、ソース電極 W S はソース配線 S 1 と電氣的に接続され、ソース配線 S 1 及び補助容量線 C 1 に沿って延長されたドレイン配線に接続されたドレイン電極は補助容量線 C 1 と重なる領域で画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【 0 0 2 6 】

画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、この画素電極 P E は、補助容量線 C 1 の直上を通りゲート配線 G 1 とゲート配線 G 2 との間に位置している。このような画素電極 P E は、スイッチング素子 S W と電氣的に接続されている。

【 0 0 2 7 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及び副画素電極 P B を備えている。主画素電極 P A は、副画素電極 P B からゲート配線 G 1 に向かって（つまり、副画素電極 P B から画素 P X の上側端部付近まで）第 2 方向 Y に沿って直線的に延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 2 8 】

副画素電極 P B は、補助容量線 C 1 と重なる領域に位置し、スイッチング素子 S W と電氣的に接続されている。この副画素電極 P B は、第 1 方向 X に沿って主画素電極 P A の幅よりも幅広に形成されている。図示した副画素電極 P B は、概略菱形に形成されているが、副画素電極 P B の形状はこの例に限らず、第 1 方向 X に延びた長方形形状あるいは長円形

10

20

30

40

50

状などであっても良い。

【0029】

このような画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との間に配置されている。換言すると、ソース配線 S 1 及びソース配線 S 2 は、画素電極 P E を挟んだ両側に位置している。図示した例では、画素電極 P E は、ソース配線 S 1 とソース配線 S 2 との略中間の位置、つまり、画素 P X の中央に配置されている。このため、ソース配線 S 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、ソース配線 S 2 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【0030】

第 1 共通電極 C E は、アレイ基板 A R に第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 を備えている。これらの第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、互いに電氣的に接続されている。

10

【0031】

第 1 主共通電極 C A 1 は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A の延出方向と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、第 1 主共通電極 C A 1 は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A の延出方向と略平行な方向に沿って延出している。このような第 1 主共通電極 C A 1 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【0032】

図示した例では、第 1 主共通電極 C A 1 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの第 1 主共通電極 C A 1 を区別するために、図中の左側の第 1 主共通電極を C A L 1 と称し、図中の右側の第 1 主共通電極を C A R 1 と称する。第 1 主共通電極 C A L 1 は、ソース配線 S 1 と対向している。第 1 主共通電極 C A R 1 は、ソース配線 S 2 と対向している。

20

【0033】

画素 P X において、第 1 主共通電極 C A L 1 は左側端部に配置され、第 1 主共通電極 C A R 1 は右側端部に配置されている。厳密には、第 1 主共通電極 C A L 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、第 1 主共通電極 C A R 1 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【0034】

第 1 副共通電極 C B 1 は、X - Y 平面内において、画素電極 P E を挟んだ両側で副画素電極 P B の延出方向と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、第 1 副共通電極 C B 1 は、ゲート配線 G とそれぞれ対向するとともに副画素電極 P B の延出方向と略平行な方向に沿って延出している。このような第 1 副共通電極 C B 1 は、帯状に形成されている。なお、第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅については、必ずしも一定でなくても良い。この第 1 副共通電極 C B 1 は、第 1 主共通電極 C A 1 と一体的あるいは連続的に形成され、第 1 主共通電極 C A 1 と電氣的に接続されている。

30

【0035】

図示した例では、第 1 副共通電極 C B 1 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。以下では、これらの第 1 副共通電極 C B 1 を区別するために、図中の上側の第 1 副共通電極を C B U 1 と称し、図中の下側の第 1 副共通電極を C B B 1 と称する。第 1 副共通電極 C B U 1 は、ゲート配線 G 1 と対向している。第 1 副共通電極 C B B 1 は、ゲート配線 G 2 と対向している。

40

【0036】

画素 P X において、第 1 副共通電極 C B U 1 は上側端部に配置され、第 1 副共通電極 C B B 1 は下側端部に配置されている。厳密には、第 1 副共通電極 C B U 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、第 1 副共通電極 C B B 1 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。つまり、ここに示した例では、アレイ基板 A R に備えられた第 1 共通電極 C E 1 の第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、画素 P X を区画する格子状に形成されている。

50

【0037】

画素電極 P E と第 1 共通電極 C E 1 との位置関係に着目すると、以下の関係が言える。

【0038】

X - Y 平面内において、主画素電極 P A と第 1 主共通電極 C A 1 とは、第 1 方向 X に沿って交互に配置されている。これらの主画素電極 P A と第 1 主共通電極 C A 1 とは、互いに略平行に配置されている。このとき、X - Y 平面内において、第 1 主共通電極 C A 1 のいずれも画素電極 P E とは重ならない。すなわち、第 1 方向 X に沿って間隔をおいて隣接する第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 の間には、1 本の主画素電極 P A が位置している。換言すると、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 は、主画素電極 P A を挟んだ両側に配置されている。このため、第 1 主共通電極 C A L 1、主画素電極 P A、及び、第 1 主共通電極 C A R 1 は、第 1 方向 X に沿ってこの順に配置されている。

10

【0039】

これらの主画素電極 P A と第 1 主共通電極 C A 1 との第 1 方向 X に沿った間隔は略一定である。すなわち、第 1 主共通電極 C A L 1 と主画素電極 P A との第 1 方向 X に沿った間隔は、第 1 主共通電極 C A R 1 と主画素電極 P A との第 1 方向 X に沿った間隔と略同等である。

【0040】

また、主画素電極 P A と主共通電極 C A 1 との第 1 方向 X に沿った間隔は、液晶層 L Q の厚みよりも大きく、主画素電極 P A と主共通電極 C A 1 との間隔は、液晶層 L Q の厚みの 2 倍以上の大きさを持つ。

20

【0041】

また、X - Y 平面内において、副画素電極 P B と第 1 副共通電極 C B 1 とは、第 2 方向 Y に沿って交互に配置されている。これらの副画素電極 P B と第 1 副共通電極 C B 1 とは、互いに略平行に配置されている。このとき、X - Y 平面内において、第 1 副共通電極 C B 1 のいずれも画素電極 P E とは重ならない。すなわち、第 2 方向 Y に沿って間隔をおいて隣接する第 1 副共通電極 C B U 1 及び第 1 副共通電極 C B B 1 の間には、1 本の副画素電極 P B が位置している。換言すると、第 1 副共通電極 C B U 1 及び第 1 副共通電極 C B B 1 は、副画素電極 P B を挟んだ両側に配置されている。このため、第 1 副共通電極 C B B 1、副画素電極 P B、及び、第 1 副共通電極 C B U 1 は、第 2 方向 Y に沿ってこの順に配置されている。

30

【0042】

このようなアレイ基板 A R においては、画素電極 P E 及び第 1 共通電極 C E 1 は、第 1 配向膜 A L 1 によって覆われている。この第 1 配向膜 A L 1 には、液晶層 L Q の液晶分子を初期配向させるために、第 1 配向処理方向 P D 1 に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1 は、主画素電極 P A の延出方向である第 2 方向 Y と略平行である。

【0043】

このような第 1 配向処理方向 P D 1 と、画素電極 P E 及び第 1 共通電極 C E 1 との位置関係について説明する。画素電極 P E の主画素電極 P A は、第 1 配向処理方向 P D 1 の上流側に位置する一端部 P A A と、第 1 配向処理方向 P D 1 の下流側に位置する他端部 P A B とを有している。図示した例では、副画素電極 P B は、主画素電極 P A の他端部 P A B に繋がっている。第 1 副共通電極 C B U 1 は、主画素電極 P A の一端部 P A A の側において第 1 方向 X に沿って延出している。

40

【0044】

図 3 は、図 1 に示した対向基板 C T における一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の主要部である画素電極 P E、第 1 共通電極 C E 1、ソース配線 S、ゲート配線 G、補助容量線 Cなどを破線で示している。

【0045】

50

対向基板 C T は、共通電極 C E の一部である第 2 共通電極 C E 2 を備えている。この第 2 共通電極 C E 2 は、第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 を備えている。これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、互いに電氣的に接続されている。また、これらの第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、例えば、アクティブエリアの外側などにおいて、アレイ基板に備えられた第 1 共通電極 C E 1 と電氣的に接続されており、第 1 共通電極 C E 1 と同電位である。

【 0 0 4 6 】

第 2 主共通電極 C A 2 は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A の延出方向と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、第 2 主共通電極 C A 2 は、第 1 主共通電極 C A 1 とそれぞれ対向するとともに主画素電極 P A の延出方向と略平行な方向に沿って延出している。このような第 2 主共通電極 C A 2 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

10

【 0 0 4 7 】

図示した例では、第 2 主共通電極 C A 2 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの第 2 主共通電極 C A 2 を区別するために、図中の左側の第 2 主共通電極を C A L 2 と称し、図中の右側の第 2 主共通電極を C A R 2 と称する。第 2 主共通電極 C A L 2 は、第 1 主共通電極 C A L 1 と対向するとともに、ソース配線 S 1 の上方に位置している。第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A R 1 と対向するとともに、ソース配線 S 2 の上方に位置している。

20

【 0 0 4 8 】

画素 P X において、第 2 主共通電極 C A L 2 は左側端部に配置され、第 2 主共通電極 C A R 2 は右側端部に配置されている。厳密には、第 2 主共通電極 C A L 2 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、第 2 主共通電極 C A R 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【 0 0 4 9 】

第 2 副共通電極 C B 2 は、X - Y 平面内において、画素電極 P E を挟んだ両側で副画素電極 P B の延出方向と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、第 2 副共通電極 C B 2 は、第 1 副共通電極 C B 1 とそれぞれ対向するとともに副画素電極 P B の延出方向と略平行な方向に沿って延出している。このような第 2 副共通電極 C B 2 は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。また、この第 2 副共通電極 C B 2 は、第 2 主共通電極 C A 2 と一体的あるいは連続的に形成され、第 2 主共通電極 C A 2 と電氣的に接続されている。つまり、対向基板 C T においては、第 2 共通電極 C E 2 は格子状に形成されている。

30

【 0 0 5 0 】

図示した例では、第 2 副共通電極 C B 2 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。以下では、これらの第 2 副共通電極 C B 2 を区別するために、図中の上側の第 2 副共通電極を C B U 2 と称し、図中の下側の第 2 副共通電極を C B B 2 と称する。第 2 副共通電極 C B U 2 は、第 1 副共通電極 C B U 1 と対向するとともに、ゲート配線 G 1 の上方に位置している。第 2 副共通電極 C B B 2 は、第 1 副共通電極 C B B 2 と対向するとともに、ゲート配線 G 2 の上方に位置している。

40

【 0 0 5 1 】

画素 P X において、第 2 副共通電極 C B U 2 は上側端部に配置され、第 2 副共通電極 C B B 2 は下側端部に配置されている。厳密には、第 2 副共通電極 C B U 2 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、第 2 副共通電極 C B B 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【 0 0 5 2 】

このような対向基板 C T においては、第 2 共通電極 C E 2 は、第 2 配向膜 A L 2 によって覆われている。この第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるた

50

めに、第2配向処理方向PD2に沿って配向処理（例えば、ラビング処理や光配向処理）がなされている。第2配向膜AL2が液晶分子を初期配向させる第2配向処理方向PD2は、第1配向処理方向PD1と同一方向である。すなわち、第2配向処理方向PD2は、主画素電極PAの延出方向である第2方向Yと略平行であり、X-Y平面内において、第1配向処理方向PD1とは互いに平行であって、互いに同じ向きである。

【0053】

このような第2配向処理方向PD2と、画素電極PE及び第2共通電極CE2との位置関係について説明すると、第2副共通電極CBU2は、主画素電極PAの一端部PAAの側において第1方向Xに沿って延出している。

【0054】

図4は、図3のA-B線で切断した液晶表示パネルLPNをゲート配線G1側から見た断面構造を概略的に示す断面図である。図5は、図3のC-D線で切断した液晶表示パネルLPNをソース配線S1側から見た断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【0055】

液晶表示パネルLPNを構成するアレイ基板ARの背面側には、バックライト4が配置されている。バックライト4としては、種々の形態が適用可能であり、また、光源として発光ダイオード(LED)を利用したものや冷陰極管(CCL)を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0056】

アレイ基板ARは、光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の内側、つまり、対向基板CTと対向する側においてゲート配線G1、ゲート配線G2、補助容量線C1、ソース配線S1、ソース配線S2、画素電極PE、第1共通電極CE1、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。

【0057】

ゲート配線G1、ゲート配線G2、及び、補助容量線C1は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。ソース配線S1及びソース配線S2は、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。つまり、第2絶縁膜12は、ゲート配線G1、ゲート配線G2、補助容量線C1と、ソース配線S1、ソース配線S2との間の層間絶縁膜に相当する。

【0058】

画素電極PEの主画素電極PA及び副画素電極PBや、第1共通電極CE1の第1主共通電極CAL1、第1主共通電極CAR1、第1副共通電極CBU1、第1副共通電極CBB1などは、同一絶縁膜の上面、すなわち、第3絶縁膜13の上面に形成されている。このような画素電極PE及び第1共通電極CE1は、同一材料によって形成可能である。

【0059】

主画素電極PAは、隣接するソース配線S1及びソース配線S2のそれぞれの直上の位置よりもそれらの内側に位置している。副画素電極PBは、補助容量線C1の直上に位置している。第1主共通電極CAL1は、ソース配線S1の直上に位置している。第1主共通電極CAR1は、ソース配線S2の直上に位置している。第1副共通電極CBU1は、ゲート配線G1の直上に位置している。第1副共通電極CBB1は、ゲート配線G2の直上に位置している。

【0060】

第1配向膜AL1は、アレイ基板ARの対向基板CTと対向する面に配置され、アクティブエリアACTの略全体に亘って延在している。この第1配向膜AL1は、画素電極PEや第1共通電極CE1などを覆っており、第3絶縁膜13の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成されている。

【0061】

対向基板CTは、光透過性を有する第2絶縁基板20を用いて形成されている。この対

10

20

30

40

50

向基板 C T は、第 2 絶縁基板 2 0 の内側、つまり、アレイ基板 A R と対向する側においてブラックマトリクス B M、カラーフィルタ C F、オーバーコート層 O C、第 2 共通電極 C E 2、第 2 配向膜 A L 2などを備えている。

【0062】

ブラックマトリクス B M は、各画素 P X を区画し、開口部 A P を形成する。すなわち、ブラックマトリクス B M は、ソース配線 S、ゲート配線 G、補助容量線 C、スイッチング素子 S W などの配線部に対向するように配置されている。ここに示した例では、ブラックマトリクス B M は、ソース配線 S 1 及びソース配線 S 2 の上方に位置し第 2 方向 Y に沿って延出した部分と、ゲート配線 G 1 及びゲート配線 G 2 の上方に位置し第 1 方向 X に沿って延出した部分を備えており、格子状に形成されている。このブラックマトリクス B M は、第 2 絶縁基板 2 0 のアレイ基板 A R に対向する内面 2 0 A に配置されている。

10

【0063】

カラーフィルタ C F は、各画素 P X に対応して配置されている。すなわち、カラーフィルタ C F は、第 2 絶縁基板 2 0 の内面 2 0 A においてブラックマトリクス B M によって区画された内側に配置されるとともに、その一部がブラックマトリクス B M に乗り上げている。第 1 方向 X に隣接する画素 P X にそれぞれ配置されたカラーフィルタ C F は、互いに色が異なる。例えば、カラーフィルタ C F は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ C F 同士の境界は、ブラックマトリクス B M と重なる位置にある。

20

【0064】

オーバーコート層 O C は、カラーフィルタ C F を覆っている。このオーバーコート層 O C は、カラーフィルタ C F の表面の凹凸の影響を緩和する。

【0065】

第 2 共通電極 C E 2 の第 2 主共通電極 C A L 2、第 2 主共通電極 C A R 2、第 2 副共通電極 C B U 2、第 2 副共通電極 C B B 2 などは、オーバーコート層 O C のアレイ基板 A R と対向する側に形成され、いずれもブラックマトリクス B M の直下に位置している。第 2 主共通電極 C A L 2 は、第 1 主共通電極 C A L 1 の直上に位置している。また、第 2 主共通電極 C A L 2 の直下には、ソース配線 S 1 が位置している。第 2 主共通電極 C A R 2 は、第 1 主共通電極 C A R 1 の直上に位置している。また、第 2 主共通電極 C A R 2 の直下には、ソース配線 S 2 が位置している。第 2 副共通電極 C B U 2 は、第 1 副共通電極 C B U 1 の直上に位置している。また、第 2 副共通電極 C B B 2 の直下には、ゲート配線 G 1 が位置している。第 2 副共通電極 C B B 2 は、第 1 副共通電極 C B B 1 の直上に位置している。また、第 2 副共通電極 C B B 2 の直下には、ゲート配線 G 2 が位置している。

30

【0066】

上記の開口部 A P において、画素電極 P E と第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 との間の領域、つまり、第 1 主共通電極 C A L 1 及び第 2 主共通電極 C A L 2 と主画素電極 P A との間の領域、及び、第 1 主共通電極 C A R 1 及び第 2 主共通電極 C A R 2 と主画素電極 P A との間の領域は、いずれもバックライト光が透過可能な透過領域に相当する。

40

【0067】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、第 2 共通電極 C E 2 やオーバーコート層 O Cなどを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【0068】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配

50

向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせられている。

【 0 0 6 9 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 7 0 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。なお、第 1 偏光板 P L 1 と第 1 絶縁基板 1 0 との間に位相差板などの他の光学素子が配置されても良い。

【 0 0 7 1 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。なお、第 2 偏光板 P L 2 と第 2 絶縁基板 2 0 との間に位相差板などの他の光学素子が配置されていても良い。

【 0 0 7 2 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、略直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が主画素電極 P A あるいは主共通電極 C A の延出方向と略平行または略直交するように配置されている。つまり、主画素電極 P A あるいは主共通電極 C A の延出方向が第 2 方向 Y である場合、一方の偏光板の吸収軸は、第 2 方向 Y と略平行である（つまり、第 1 方向 X と略直交する）、あるいは、第 2 方向 Y と略直交する（つまり、第 1 方向 X と略平行である）。

【 0 0 7 3 】

あるいは、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 Y と平行、あるいは、第 1 方向 X と平行である。

【 0 0 7 4 】

図 3 において、(a) で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 5 】

また、図 3 において、(b) で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が主画素電極 P A の延出方向あるいは液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

10

20

30

40

50

【 0 0 7 6 】

次に、上記構成の液晶表示パネル L P N の動作について説明する。

【 0 0 7 7 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E (第 1 共通電極 C E 1 及び第 2 共通電極 C E 2) との間に電位差 (あるいは電界) が形成されていない状態 (O F F 時) には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【 0 0 7 8 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。

【 0 0 7 9 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向であって且つ同じ向きである。O F F 時においては、液晶分子 L M は、X - Y 平面内において、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、主画素電極 P A あるいは主共通電極 C A の延出方向である第 2 方向 Y と平行 (あるいは、第 2 方向 Y に対して 0 °) である。

【 0 0 8 0 】

図 6 は、O F F 時の液晶層 L Q における液晶分子 L M の配向状態を模式的に示す図である。なお、液晶分子 L M は一般的には棒状あるいはラグビーボール状であるが、ここでは、液晶分子 L M を円錐形状で図示しており、それぞれの液晶分子 L M が一端部に円形の底面を有し、他端部に頂点を有している。また、液晶表示パネル L P N を図 3 の A - B 線で切断した A - B 断面については、図 4 に示した構成のうちの主要部、つまり、アレイ基板側の第 3 絶縁膜 1 3 の上の主画素電極 P A 、第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 と、対向基板側のオーバーコート層 O C の上の第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 とを図示している。また、液晶表示パネル L P N を図 3 の C - D 線で切断した C - D 断面については、図 5 に示した構成のうちの主要部、つまり、アレイ基板側の第 3 絶縁膜 1 3 の上の副画素電極 P B 及び第 1 副共通電極 C B U 1 と、対向基板側のオーバーコート層 O C の上の第 2 副共通電極 C B U 2 とを図示している。

【 0 0 8 1 】

液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平 (プレチルト角が略ゼロ) に配向し、ここを境界としてアレイ基板 A R の近傍 (つまり、第 1 配向膜 A L 1 の近傍) 及び対向基板 C T の近傍 (つまり、第 2 配向膜 A L 2 の近傍) において対称となるようなプレチルト角を持って配向する (スプレイ配向) 。

【 0 0 8 2 】

配向処理方向の上流側、つまり、第 2 副共通電極 C B U 2 の側から見た A - B 断面においては、液晶層 L Q の中間部の液晶分子 L M M は、図面の法線方向である第 2 方向 Y を向き、円錐の底面が正面を向くように配向する。液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B は、円錐の底面が第 2 方向 Y の手前側でアレイ基板 A R 側を向くとともに、円錐の頂点が第 2 方向 Y の奥側で対向基板 C T 側を向くように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U は、円錐の底面が第 2 方向 Y の手前側で対向基板 C T 側を向くとともに、円錐の頂点が第 2 方向 Y の奥側でアレイ基板 A R 側を向くように配向する。

【 0 0 8 3 】

主画素電極 P A と第 1 主共通電極 C A L 1 及び第 2 主共通電極 C A L 2 との間の領域を第 2 主共通電極 C A L 2 の側から見た C - D 断面においては、液晶層 L Q の中間部の液晶分子 L M M は、円錐の底面が配向処理方向の上流側を向くとともに、円錐の頂点が配向処理方向の下流側を向き、X - Y 平面と略平行に配向している。液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B は、第 1 配向処理方向 P D 1 の下流側で対向基板 C T に向かって

10

20

30

40

50

起き上がり、第 1 配向処理方向 P D 1 の上流側に位置する円錐の底面がアレイ基板 A R 側を向くとともに、第 1 配向処理方向 P D 1 の下流側に位置する円錐の頂点が対向基板 C T 側を向くように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U は、第 2 配向処理方向 P D 2 の下流側でアレイ基板 A R に向かって起き上がり、第 2 配向処理方向 P D 2 の上流側に位置する円錐の底面が対向基板 C T 側を向くとともに、第 2 配向処理方向 P D 2 の下流側に位置する円錐の頂点のアレイ基板 A R 側を向くように配向する。

【 0 0 8 4 】

換言すると、C - D 断面図では、第 1 配向処理方向 P D 1 は、第 1 副共通電極 C B U 1 から副画素電極 P B に向かう方向であり、第 1 副共通電極 C B U 1 が上流側であり、副画素電極 P B が下流側である。また、第 2 配向処理方向 P D 2 は、第 1 配向処理方向 P D 1 と平行な方向であり、第 2 副共通電極 C B U 2 が上流側であり、第 2 副共通電極 C B B 2 が下流側である。

10

【 0 0 8 5 】

このような O F F 時において、バックライト 4 からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸 A X 1 と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって変化するが、O F F 時においては、液晶層 L Q を通過した直線偏光の偏光状態はほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光は、第 1 偏光板 P L 1 に対してクロスニコルの位置関係にある第 2 偏光板 P L 2 によって吸収される（黒表示）。

20

【 0 0 8 6 】

このように、第 1 配向膜 A L 1 を第 1 配向処理方向 P D 1 に配向処理した結果、第 1 配向膜 A L 1 の近傍における液晶分子 L M は第 1 配向処理方向 P D 1 に初期配向され、第 2 配向膜 A L 2 を第 2 配向処理方向 P D 2 に配向処理した結果、第 2 配向膜 A L 2 の近傍における液晶分子 L M は第 2 配向処理方向 P D 1 に初期配向される。そして、第 1 配向処理方向 P D 1 と第 2 配向処理方向 P D 2 は互いに平行で且つ同じ向きである場合には、上述のように液晶層 L Q における液晶分子 L M の配向状態はスプレイ配向になり、液晶層 L Q の中間部を境界として、第 1 配向膜 A L 1 の近傍での液晶分子 L M B の配向と第 2 配向膜 A L 2 の近傍での液晶分子 L M U の配向は、上下で対称となる。このため、基板の法線方向である第 3 方向 Z から傾いた視角は、主に液晶分子 L M B 及び液晶分子 L M U によって光学的に補償される。したがって、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行、且つ、同じ向きである場合には、黒表示の場合に光漏れが少なく、高コントラスト比を実現することができ、表示品位を向上することが可能となる。

30

【 0 0 8 7 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E （第 1 共通電極 C E 1 及び第 2 共通電極 C E 2 ）との間に電位差（あるいは電界）が形成された状態（O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、画素電極 P E と共通電極 C E との間の電界の影響を受け、その配向状態が変化する。

40

【 0 0 8 8 】

図 3 に示した例では、画素 P X の左側半分の領域、つまり、主画素電極 P A と第 2 主共通電極 C A L 2 との間の透過領域内では、液晶分子 L M は、主に、主画素電極 P A と第 2 主共通電極 C A L 2 との間の電界、及び、主画素電極 P A と第 2 副共通電極 C B U 2 との間の電界の相互作用により、その配向状態が変化する。X - Y 平面内では、液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し、図中の左上を向くように配向する。

【 0 0 8 9 】

また、画素 P X の右側半分の領域、つまり、主画素電極 P A と第 2 主共通電極 C A R 2 との間の透過領域内では、液晶分子 L M は、主に、主画素電極 P A と第 2 主共通電極 C A R 2 との間の電界、及び、主画素電極 P A と第 2 副共通電極 C B U 2 との間の電界の相互作用により、その配向状態が変化する。X - Y 平面内では、液晶分子 L M は、第 2 方向 Y

50

に対して時計回りに回転し、図中の右上を向くように配向する。

【0090】

このように、各画素 PX において、画素電極 PE と共通電極 CE との間に電界が形成された状態では、液晶分子 LM の配向方向は、画素電極 PE と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 PX には、複数のドメインが形成される。

【0091】

このような ON 時には、バックライト 4 から液晶表示パネル LPN に入射したバックライト光の一部は、第 1 偏光板 $PL1$ を透過し、液晶表示パネル LPN に入射する。液晶表示パネル LPN に入射した光は、第 1 偏光板 $PL1$ の第 1 吸収軸 $AX1$ と直交する直線偏光である。このような直線偏光の偏光状態は、液晶層 LQ を通過する際に液晶分子 LM の配向状態に応じて変化する。例えば、第 1 方向 X に平行な直線偏光が液晶表示パネル LPN に入射すると、 $X-Y$ 平面内において、液晶層 LQ を通過する際に第 1 方向 X に対して $45^\circ - 225^\circ$ 方位あるいは $135^\circ - 315^\circ$ 方位に配向した液晶分子 LM により $\lambda/2$ の位相差の影響を受ける（但し、 λ は液晶層 LQ を透過する光の波長である）。これにより、液晶層 LQ を通過した光の偏光状態は、第 2 方向 Y に平行な直線偏光となる。このため、 ON 時には、液晶層 LQ を通過した少なくとも一部の光は、第 2 偏光板 $PL2$ を透過する（白表示）。但し、画素電極あるいは共通電極と重なる位置では、液晶分子が初期配向状態を維持しているため、 OFF 時と同様に黒表示となる。

【0092】

上記の通り、本実施形態の構成によれば、一画素内における液晶分子 LM の配向方向は、 ON 時には、 $X-Y$ 平面内において少なくとも主として 2 方向に分かれる。液晶層 LQ における液晶分子 LM の 3 次元的な配向状態については後述する。

【0093】

このような配向を実現するためには、少なくとも主画素電極 PA を備えた画素電極 PE に加えて、共通電極 CE として第 2 主共通電極 $CAL2$ 、第 2 主共通電極 $CAR2$ 、及び、第 2 副共通電極 $CBU2$ を備えていればよい。つまり、アレイ基板 AR に備えられた第 1 主共通電極 $CA1$ 及び第 1 副共通電極 $CB1$ 、対向基板 CT に備えられた第 2 副共通電極 $CB2$ は、他の配線からの電界をシールドしたり、液晶分子 LM の配向制御に必要な電界を補強したり、隣接する画素での液晶分子 LM の配向制御に必要な電界を形成したり、共通電極 CE を冗長化したりするものであって、上記のマルチドメインを形成するのに必須ではない。

【0094】

図 7 は、 ON 時の液晶層 LQ における液晶分子 LM の配向状態を模式的に示す図である。この図 7 においても、図 6 と同様に、液晶分子 LM を円錐形状で図示している。また、 $A-B$ 断面、及び、 $C-D$ 断面については主要部のみを図示している。

【0095】

液晶層 LQ の断面において、液晶分子 LM の配向状態は、 OFF 時と同様に依然としてスプレイ配向を維持している。

【0096】

$A-B$ 断面において、主画素電極 PA と第 1 主共通電極 $CAR1$ 及び第 2 主共通電極 $CAR2$ との間の液晶分子 LM は、その頂点から底面に向かう軸が主画素電極 PA から第 1 主共通電極 $CAR1$ または主画素電極 PA から第 2 主共通電極 $CAR2$ に向くように配向している。液晶層 LQ の中間部の液晶分子 LM は、円錐の底面が第 2 方向 Y の手前側で第 1 主共通電極 $CAR1$ 及び第 2 主共通電極 $CAR2$ の側を向くとともに、円錐の頂点が第 2 方向 Y の奥側で主画素電極 PA を向くように配向する。液晶層 LQ のアレイ基板 AR 近傍の液晶分子 LM は、円錐の底面が第 2 方向 Y の手前側で第 1 主共通電極 $CAR1$ を向くとともに、円錐の頂点が第 2 方向 Y の奥側で主画素電極 PA を向くように配向する。液晶層 LQ の対向基板 CT 近傍の液晶分子 LM は、円錐の底面が第 2 方向 Y の手前側で第 2 主共通電極 $CAR2$ を向くとともに、円錐の頂点が第 2 方向 Y の奥側で主画素

10

20

30

40

50

電極 P A を向くように配向する。これらの液晶分子 L M M R、液晶分子 L M B R、及び、液晶分子 L M U R の配向状態は、スプレイ配向となる。

【 0 0 9 7 】

A - B 断面において、主画素電極 P A と第 1 主共通電極 C A L 1 及び第 2 主共通電極 C A L 2 との間の液晶分子 L M は、その頂点から底面に向かう軸が主画素電極 P A から第 1 主共通電極 C A L 1 または主画素電極 P A から第 2 主共通電極 C A L 2 に向かって配向している。液晶層 L Q の中間部の液晶分子 L M M L は、円錐の底面が第 2 方向 Y の手前側で第 1 主共通電極 C A L 1 及び第 2 主共通電極 C A L 2 の側を向くとともに、円錐の頂点が第 2 方向 Y の奥側で主画素電極 P A を向くように配向する。液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B L は、円錐の底面が第 2 方向 Y の手前側で第 1 主共通電極 C A L 1 を向くとともに、円錐の頂点が第 2 方向 Y の奥側で主画素電極 P A を向くように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U L は、円錐の底面が第 2 方向 Y の手前側で第 2 主共通電極 C A L 2 を向くとともに、円錐の頂点が第 2 方向 Y の奥側で主画素電極 P A を向くように配向する。これらの液晶分子 L M M L、液晶分子 L M B L、及び、液晶分子 L M U L の配向状態は、スプレイ配向となる。

10

【 0 0 9 8 】

主画素電極 P A と第 1 主共通電極 C A L 1 及び第 2 主共通電極 C A L 2 との間の領域を第 2 主共通電極 C A L 2 の側から見た C - D 断面においては、液晶層 L Q の中間部の液晶分子 L M M L は、配向処理方向の上流側に位置する円錐の底面が図面の法線方向である第 1 方向 X の手前側に位置し、配向処理方向の下流側に位置する円錐の頂点が第 1 方向 X の奥側に位置し、X - Y 平面と略平行に配向している。液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B L は、第 1 配向処理方向 P D 1 の上流側に位置する円錐の底面がアレイ基板 A R 側を向き第 1 方向 X の手前側に位置し、第 1 配向処理方向 P D 1 の下流側に位置する円錐の頂点が対向基板 C T 側を向き第 1 方向 X の奥側に位置するように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U L は、第 2 配向処理方向 P D 2 の上流側に位置する円錐の底面が対向基板 C T 側を向き第 1 方向 X の手前側に位置し、第 2 配向処理方向 P D 2 の下流側に位置する円錐の頂点がアレイ基板 A R 側を向き第 1 方向 X の奥側に位置するように配向する。

20

【 0 0 9 9 】

ここで、液晶分子 L M U R、液晶分子 L M B R、液晶分子 L M U L、及び、液晶分子 L M B L のそれぞれの配向状態について、図 8 及び図 9 を参照しながら、より詳しく説明する。以下の説明では、第 1 方向 X、第 2 方向 Y、及び、第 3 方向 Z がそれぞれ互いに直交する座標系において、液晶分子 L M の重心を原点とし、Y - Z 平面内で液晶分子 L M が初期配向しているものとする。

30

【 0 1 0 0 】

図 8 の (a) には、液晶分子 L M U R の配向状態を示している。第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 は、第 2 方向 Y の正 (+) から負 (-) に向かう方向である。OFF 時の液晶分子 L M U R は、実線で示したように、Y - Z 平面内で初期配向している。ON 時には、液晶分子 L M U R は、点線で示したように、第 1 領域 A 1 及び第 2 領域 A 2 を向くように配向する。第 1 領域 A 1 は、第 1 方向 X が正 (+) であり、第 2 方向 Y が正 (+) であり、第 3 方向 Z が正 (+) の領域である。第 2 領域 A 2 は、第 1 方向 X が負 (-) であり、第 2 方向 Y が負 (-) であり、第 3 方向 Z が負 (-) の領域である。

40

【 0 1 0 1 】

図 8 の (b) には、液晶分子 L M B R の配向状態を示している。第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 は、第 2 方向 Y の正 (+) から負 (-) に向かう方向である。OFF 時の液晶分子 L M B R は、実線で示したように、Y - Z 平面内で初期配向している。ON 時には、液晶分子 L M B R は、点線で示したように、第 3 領域 A 3 及び第 4 領域 A 4 を向くように配向する。第 3 領域 A 3 は、第 1 方向 X が負 (-) であり、第 2 方向 Y が負 (-) であり、第 3 方向 Z が正 (+) の領域である。第 4 領域 A 4 は、第 1 方向 X が正 (+) であり、第 2 方向 Y が正 (+) であり、第 3 方向 Z が負 (-) の領域である。

50

【 0 1 0 2 】

図 9 の (a) には、液晶分子 L M B L の配向状態を示している。OFF 時の液晶分子 L M B L は、実線で示したように、Y - Z 平面内で初期配向している。ON 時には、液晶分子 L M B L は、点線で示したように、第 5 領域 A 5 及び第 6 領域 A 6 を向くように配向する。第 5 領域 A 5 は、第 1 方向 X が正 (+) であり、第 2 方向 Y が負 (-) であり、第 3 方向 Z が正 (+) の領域である。第 6 領域 A 6 は、第 1 方向 X が負 (-) であり、第 2 方向 Y が正 (+) であり、第 3 方向 Z が負 (-) の領域である。

【 0 1 0 3 】

図 9 の (b) には、液晶分子 L M U L の配向状態を示している。OFF 時の液晶分子 L M U L は、実線で示したように、Y - Z 平面内で初期配向している。ON 時には、液晶分子 L M U L は、点線で示したように、第 7 領域 A 7 及び第 8 領域 A 8 を向くように配向する。第 7 領域 A 7 は、第 1 方向 X が負 (-) であり、第 2 方向 Y が正 (+) であり、第 3 方向 Z が正 (+) の領域である。第 8 領域 A 8 は、第 1 方向 X が正 (+) であり、第 2 方向 Y が負 (-) であり、第 3 方向 Z が負 (-) の領域である。

【 0 1 0 4 】

このように、液晶分子 L M U R、液晶分子 L M B R、液晶分子 L M U L、及び、液晶分子 L M B L は、ON 時において、液晶層 L Q の 3 次元空間においてそれぞれ異なる方位に配向しており、それぞれの液晶分子によって一画素内に実質的に 4 つのドメインを形成することが可能となる。そして、ON 時においても、第 3 方向 Z から傾いた視角は、方向において、主に液晶分子 L M U R と液晶分子 L M B R との組み合わせ、及び、主に液晶分子 L M U L と液晶分子 L M B L との組み合わせによって光学的に補償される。したがって、階調反転が生ずることなく高い透過率を得ることが可能な視角を拡大することができ、広視野角化が可能となる。

【 0 1 0 5 】

また、本実施形態によれば、画素電極 P E と共通電極 C E との間の電極間隙において高い透過率を得ることが可能となる。また、一画素あたりの透過率を十分に高くするためには、主画素電極 P A と主共通電極 C A との間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（例えば、主画素電極 P A に対して主共通電極 C A の配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。

【 0 1 0 6 】

また、本実施形態によれば、ブラックマトリクス B M と重なる領域では、透過率が十分に低下している。これは、ソース配線 S の直上に位置する共通電極 C E の位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクス B M を挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクス B M と重なる領域の液晶分子 L M が OFF 時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【 0 1 0 7 】

また、アレイ基板 A R と対向基板 C T との合わせずれが生じた際に、画素電極 P E を挟んだ両側の共通電極 C E との電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素 P X に共通に生じるため、画素 P X 間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板 A R と対向基板 C T との間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタ C F の色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト

ト比の低下を抑制することが可能となる。

【0108】

また、本実施形態によれば、主共通電極 C A は、それぞれソース配線 S と対向している。特に、主共通電極 C A L 及び主共通電極 C A R がそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置されている場合には、主共通電極 C A L 及び主共通電極 C A R がソース配線 S 1 及びソース配線 S 2 よりも画素電極 P E 側に配置された場合と比較して、開口部 A P を拡大することができ、画素 P X の透過率を向上することが可能となる。

【0109】

また、主共通電極 C A L 及び主共通電極 C A R をそれぞれソース配線 S 1 及びソース配線 S 2 の直上に配置することによって、画素電極 P E と主共通電極 C A L 及び主共通電極 C A R との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である IPS モード等の利点である広視野角化も維持することが可能となる。

10

【0110】

また、本実施形態によれば、アレイ基板 A R は、画素電極 P E を挟んだ両側に位置する第 1 主共通電極 C A 1 を備えている。この第 1 主共通電極 C A 1 は、ソース配線 S と対向するため、ソース配線 S からの不所望な電界を遮蔽することが可能となる。つまり、第 1 主共通電極 C A 1 は、ソースシールド電極として機能する。このため、ソース配線 S から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。

20

【0111】

また、本実施形態によれば、アレイ基板 A R は、画素電極 P E を挟んだ両側に位置する第 1 副共通電極 C B 1 を備えている。この第 1 副共通電極 C B 1 は、ゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。つまり、第 1 副共通電極 C B 1 は、ゲートシールド電極として機能する。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。

30

【0112】

また、本実施形態によれば、アレイ基板 A R に備えられた第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、互いに電氣的に接続され、格子状に形成されているため、冗長性を向上することが可能となる。また、対向基板 C T に備えられた第 2 主共通電極 C A 2 及び第 2 副共通電極 C B 2 は、互いに電氣的に接続され、格子状に形成されているため、冗長性を向上することが可能となる。したがって、アレイ基板 A R に備えられた第 1 共通電極 C E 1 の一部で断線が発生したり、対向基板 C T に備えられた第 2 共通電極 C E 2 の一部に断線が発生したりしたとしても、各画素 P X に安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

40

【0113】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウム（A l）、チタン（T i）、銀（A g）、モリブデン（M o）、タングステン（W）、クロム（C r）などの不透明な導電材料を用いて形成しても良い。

50

【 0 1 1 4 】

画素電極 P E 及び共通電極 C E の少なくとも一方が上記の不透明な導電材料によって形成された場合、液晶表示パネル L P N に入射した直線偏光は、画素電極 P E や共通電極 C E のエッジの延出方向と略平行であるあるいは略直交する。また、上記のような不透明な導電材料によって形成されているゲート配線 G、補助容量線 C、及び、ソース配線 S の延出方向は、液晶表示パネル L P N に入射した直線偏光と略平行であるあるいは略直交する。このため、画素電極 P E や共通電極 C E、ゲート配線 G、補助容量線 C、及び、ソース配線 S のエッジで反射された直線偏光は、その偏光面が乱れにくく、偏光子である第 1 偏光板 P L 1 を透過した際の偏光面を維持することができる。したがって、O F F 時において、液晶表示パネル L P N を透過した直線偏光は、検光子である第 2 偏光板 P L 2 で十分に吸収されるため、光漏れを抑制することが可能となる。つまり、黒表示の際に十分に透過率を低減することができ、コントラスト比の低下を抑制することが可能となる。また、画素電極 P E や共通電極 C E の周辺での光漏れ対策のためにブラックマトリクス B M の幅を拡張する必要がなく、開口部 A P の面積の低減、O N 時の透過率の低減を抑制することが可能となる。

10

【 0 1 1 5 】

次に、本実施形態の他の構造例について説明する。

【 0 1 1 6 】

図 1 0 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の他の構造例を概略的に示す平面図である。

20

【 0 1 1 7 】

ここに示した構造例は、図 2 に示した構造例と比較して、第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 が第 2 方向 Y と略平行であるものの逆向きである点と、画素電極 P E が主画素電極 P A に加えて第 1 副画素電極 P B 1 及び第 2 副画素電極 P B 2 を備えている点と、第 1 共通電極 C E 1 の第 1 副共通電極を省略した点とで相違している。以下、これらの相違点を中心に説明する。

【 0 1 1 8 】

画素電極 P E の主画素電極 P A、第 1 副画素電極 P B 1、及び、第 2 副画素電極 P B 2 は、互いに電氣的に接続されている。主画素電極 P A は、第 1 配向処理方向 P D 1 の上流側に位置する一端部 P A A と、第 1 配向処理方向 P D 1 の下流側に位置する他端部 P A B とを有している。図示した例では、第 1 副画素電極 P B 1 は主画素電極 P A の一端部 P A A に繋がっており、第 2 副画素電極 P B 2 は主画素電極 P A の他端部 P A B に繋がっている。

30

【 0 1 1 9 】

第 1 副画素電極 P B 1 は、補助容量線 C 1 と重なる領域に位置し、スイッチング素子 S W と電氣的に接続されている。第 2 副画素電極 P B 2 は、ゲート配線 G 1 と対向している。これらの第 1 副画素電極 P B 1 及び第 2 副画素電極 P B 2 は、第 1 方向 X に沿って延出しているが、画素電極 P E を挟んだ両側に位置する第 1 主共通電極 C A L 1 及び第 1 主共通電極 C A R 1 からは離間している。

【 0 1 2 0 】

第 1 主共通電極 C A L 1 の直下にはソース配線 S 1 が位置しており、第 1 主共通電極 C A R 1 の直下にはソース配線 S 2 が位置している。これらの第 1 主共通電極 C A 1 は、上記の例と同様に、ソースシールド電極として機能する。第 1 副画素電極 P B 1 の直下には補助容量線 C 1 が位置しており、第 2 副画素電極 P B 2 の直下にはゲート配線 G 1 が位置している。つまり、第 2 副画素電極 P B 2 は、ゲートシールド電極として機能する。

40

【 0 1 2 1 】

図 1 1 は、図 1 に示した対向基板 C T における一画素 P X の他の構造例を概略的に示す平面図である。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の主要部である画素電極 P E、第 1 主共通電極 C A 1、ソース配線 S、ゲート配線 G、補助容量線 C などを破線で示している。

50

【 0 1 2 2 】

ここに示した構造例は、図 3 に示した構造例と比較して、第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 が第 1 配向処理方向 P D 1 と同様に第 2 方向 Y と略平行であるものの逆向きである（図 1 0 に示した第 1 配向処理方向 P D 1 と同一方向である）点と、第 2 共通電極 C E 2 の第 2 副共通電極 C B 2 が画素電極 P E の上方に配置されている点で相違している。

【 0 1 2 3 】

すなわち、第 2 副共通電極 C B 2 は、主画素電極 P A の一端部 P A A の側において第 1 方向 X に沿って延出している。図示した例では、第 2 副共通電極 C B 2 は、主画素電極 P A と第 1 副画素電極 P B 1 とが繋がる位置の上方に位置しており、一部が補助容量線 C 1 の上方に位置している。この第 2 副共通電極 C B 2 は、第 2 主共通電極 C A 2 と一体的あるいは連続的に形成され、第 2 主共通電極 C A 2 と電氣的に接続されている。つまり、対向基板 C T においては、第 2 共通電極 C E は格子状に形成されている。

【 0 1 2 4 】

次に、本実施形態の他の構造例の液晶表示パネル L P N における動作について説明する。

【 0 1 2 5 】

すなわち、O F F 時には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。すなわち、液晶分子 L M は、X - Y 平面内において、その長軸が第 2 方向 Y と略平行な方向に初期配向する。

【 0 1 2 6 】

一方、O N 時では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、画素電極 P E と共通電極 C E との間の電界の影響を受け、その配向状態が変化する。

【 0 1 2 7 】

図 1 1 に示した例では、画素 P X の左側半分の領域、つまり、主画素電極 P A と第 2 主共通電極 C A L 2 との間の透過領域内では、液晶分子 L M は、主に、主画素電極 P A と第 2 主共通電極 C A L 2 との間の電界、及び、主画素電極 P A と第 2 副共通電極 C B 2 との間の電界の相互作用により、その配向状態が変化する。X - Y 平面内では、液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し、図中の左下を向くように配向する。

【 0 1 2 8 】

また、画素 P X の右側半分の領域、つまり、主画素電極 P A と第 2 主共通電極 C A R 2 との間の透過領域内では、液晶分子 L M は、主に、主画素電極 P A と第 2 主共通電極 C A R 2 との間の電界、及び、主画素電極 P A と第 2 副共通電極 C B 2 との間の電界の相互作用により、その配向状態が変化する。X - Y 平面内では、液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し、図中の右下を向くように配向する。

【 0 1 2 9 】

このような配向を実現するためには、少なくとも主画素電極 P A を備えた画素電極 P E に加えて、共通電極 C E として第 2 主共通電極 C A L 2 、第 2 主共通電極 C A R 2 、及び、第 2 副共通電極 C B U 2 を備えていけばよい。

【 0 1 3 0 】

次に、このような本実施形態の他の構造例において、液晶層 L Q における液晶分子 L M の配向状態をより詳細に説明する。

【 0 1 3 1 】

図 1 2 は、O F F 時の液晶層 L Q における液晶分子 L M の配向状態を模式的に示す図である。なお、ここでは、図 6 と同様に、液晶分子 L M を円錐形状で図示している。また、A - B 断面、及び、C - D 断面については主要部のみを図示している。

【 0 1 3 2 】

液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（ブレ

10

20

30

40

50

チルト角が略ゼロ)に配向し、ここを境界としてアレイ基板ARの近傍(つまり、第1配向膜AL1の近傍)及び対向基板CTの近傍(つまり、第2配向膜AL2の近傍)において対称となるようなプレチルト角を持って配向する(スプレイ配向)。

【0133】

配向処理方向の下流側、つまり、第2副画素電極PB2の側から見たA-B断面においては、液晶層LQの中間部の液晶分子LMMは、図面の法線方向である第2方向Yを向き、円錐の底面が正面を向くように配向する。液晶層LQのアレイ基板AR近傍の液晶分子LMBは、円錐の底面が第2方向Yの手前側で対向基板CT側を向くとともに、円錐の頂点が第2方向Yの奥側でアレイ基板AR側を向くように配向する。液晶層LQの対向基板CT近傍の液晶分子LMUは、円錐の底面が第2方向Yの手前側でアレイ基板AR側を向くとともに、円錐の頂点が第2方向Yの奥側で対向基板CT側を向くように配向する。

10

【0134】

主画素電極PAと第1主共通電極CAL1及び第2主共通電極CAL2との間の領域を第2主共通電極CAL2の側から見たC-D断面においては、液晶層LQの中間部の液晶分子LMMは、円錐の底面が配向処理方向の下流側を向くとともに、円錐の頂点が配向処理方向の上流側を向き、X-Y平面と略平行に配向している。液晶層LQのアレイ基板AR近傍の液晶分子LMBは、第1配向処理方向PD1の下流側で対向基板CTに向かって起き上がり、第1配向処理方向PD1の上流側に位置する円錐の頂点がアレイ基板AR側を向くとともに、第1配向処理方向PD1の下流側に位置する円錐の底面が対向基板CT側を向くように配向する。液晶層LQの対向基板CT近傍の液晶分子LMUは、第2配向処理方向PD2の下流側でアレイ基板ARに向かって起き上がり、第2配向処理方向PD2の上流側に位置する円錐の頂点が対向基板CT側を向くとともに、第2配向処理方向PD2の下流側に位置する円錐の底面がアレイ基板AR側を向くように配向する。

20

【0135】

図13は、ON時の液晶層LQにおける液晶分子LMの配向状態を模式的に示す図である。この図13においても、図6と同様に、液晶分子LMを円錐形状で図示している。また、A-B断面、及び、C-D断面については主要部のみを図示している。

【0136】

液晶層LQの断面において、液晶分子LMの配向状態は、OFF時と同様に依然としてスプレイ配向を維持している。

30

【0137】

A-B断面において、主画素電極PAと第1主共通電極CAR1及び第2主共通電極CAR2との間の液晶分子LMは、その底面から頂点に向かう軸が主画素電極PAから第1主共通電極CAR1または主画素電極PAから第2主共通電極CAR2に向かって配向している。液晶層LQの中間部の液晶分子LMMRは、円錐の頂点が第2方向Yの奥側で第1主共通電極CAR1及び第2主共通電極CAR2の側を向くとともに、円錐の底面が第2方向Yの手前側で主画素電極PAを向くように配向する。液晶層LQのアレイ基板AR近傍の液晶分子LMBRは、円錐の頂点が第2方向Yの奥側で第1主共通電極CAR1を向くとともに、円錐の底面が第2方向Yの手前側で主画素電極PAを向くように配向する。液晶層LQの対向基板CT近傍の液晶分子LMURは、円錐の頂点が第2方向Yの奥側で第2主共通電極CAR2を向くとともに、円錐の底面が第2方向Yの手前側で主画素電極PAを向くように配向する。これらの液晶分子LMMR、液晶分子LMBR、及び、液晶分子LMURの配向状態は、スプレイ配向となる。

40

【0138】

A-B断面において、主画素電極PAと第1主共通電極CAL1及び第2主共通電極CAL2との間の液晶分子LMは、その底面から頂点に向かう軸が主画素電極PAから第1主共通電極CAL1または主画素電極PAから第2主共通電極CAL2に向かって配向している。液晶層LQの中間部の液晶分子LMLは、円錐の頂点が第2方向Yの奥側で第1主共通電極CAL1及び第2主共通電極CAL2の側を向くとともに、円錐の底面が第2方向Yの手前側で主画素電極PAを向くように配向する。液晶層LQのアレイ基板AR

50

近傍の液晶分子 L M B L は、円錐の頂点が第 2 方向 Y の奥側で第 1 主共通電極 C A L 1 を向くとともに、円錐の底面が第 2 方向 Y の手前側で主画素電極 P A を向くように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U L は、円錐の頂点が第 2 方向 Y の奥側で第 2 主共通電極 C A L 2 を向くとともに、円錐の底面が第 2 方向 Y の手前側で主画素電極 P A を向くように配向する。これらの液晶分子 L M M L、液晶分子 L M B L、及び、液晶分子 L M U L の配向状態は、スプレイ配向となる。

【 0 1 3 9 】

主画素電極 P A と第 1 主共通電極 C A L 1 及び第 2 主共通電極 C A L 2 との間の領域を第 2 主共通電極 C A L 2 の側から見た C - D 断面においては、液晶層 L Q の中間部の液晶分子 L M M L は、配向処理方向の上流側に位置する円錐の頂点が図面の法線方向である第 1 方向 X の手前側に位置し、配向処理方向の下流側に位置する円錐の底面が第 1 方向 X の奥側に位置し、X - Y 平面と略平行に配向している。液晶層 L Q のアレイ基板 A R 近傍の液晶分子 L M B L は、第 1 配向処理方向 P D 1 の上流側に位置する円錐の頂点がアレイ基板 A R 側を向き第 1 方向 X の手前側に位置し、第 1 配向処理方向 P D 1 の下流側に位置する円錐の底面が対向基板 C T 側を向き第 1 方向 X の奥側に位置するように配向する。液晶層 L Q の対向基板 C T 近傍の液晶分子 L M U L は、第 2 配向処理方向 P D 2 の上流側に位置する円錐の頂点が対向基板 C T 側を向き第 1 方向 X の手前側に位置し、第 2 配向処理方向 P D 2 の下流側に位置する円錐の底面がアレイ基板 A R 側を向き第 1 方向 X の奥側に位置するように配向する。

10

【 0 1 4 0 】

20

このような構成の他の構造例においても、図 2 乃至図 9 を参照して説明した構造例と同様の効果が得られる。

【 0 1 4 1 】

なお、本実施形態において、画素 P X の構造は、上記の例に限定されるものではない。

【 0 1 4 2 】

上記の例では、副画素電極 P B の直下に補助容量線が配置された構成について説明したが、副画素電極 P B の直下には、ゲート配線が配置されても良い。また、補助容量線の配置位置は画素の下側（ゲート配線 G 2 の近傍）でなくとも良いし、ゲート配線の配置位置は画素の上側端部あるいは下側端部でなくともよい。

30

【 0 1 4 3 】

上記の例では、画素電極 P E が主画素電極 P A 及び副画素電極 P B を備えた場合について説明したが、画素電極 P E は、スイッチング素子 S W と電気的に接続可能であれば、副画素電極 P B を備えていなくとも良い。

【 0 1 4 4 】

上記の例では、主画素電極 P A の延出方向が第 2 方向 Y である場合について説明したが、主画素電極 P A は第 1 方向 X に沿って延出していても良い。この場合には、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 の延出方向は第 1 方向 X となる。この場合、上記の例と同様に第 1 方向 X に沿った第 1 信号配線がゲート配線 G であり第 2 方向 Y に沿った第 2 信号配線がソース配線 S であれば、第 1 主共通電極 C A 1 はゲート配線 G と対向し、第 2 主共通電極 C A 2 はゲート配線 G の上方に位置し、第 1 副共通電極 C B 1 はソース配線 S と対向し、第 2 副共通電極 C B 2 はソース配線 S の上方に位置する。また、この場合、第 1 方向 X に沿った第 1 信号配線がソース配線 S であり第 2 方向 Y に沿った第 2 信号配線がゲート配線 G であれば、第 1 主共通電極 C A 1 はソース配線 S と対向し、第 2 主共通電極 C A 2 はソース配線 S の上方に位置し、第 1 副共通電極 C B 1 はゲート配線 G と対向し、第 2 副共通電極 C B 2 はゲート配線 G の上方に位置する。

40

【 0 1 4 5 】

上記の例では、第 1 電極として主画素電極 P A を含む画素電極 P E に対して、この第 1 電極の両側に位置する第 2 電極として主共通電極 C A を含む共通電極 C E を設けた場合について説明したが、第 1 電極として主共通電極 C A を含む共通電極 C E に対して、この第 1 電極の両側に位置する第 2 電極として主画素電極 P A を含む画素電極 P E を設けても良

50

い。

【 0 1 4 6 】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【 0 1 4 7 】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【 符号の説明 】

【 0 1 4 8 】

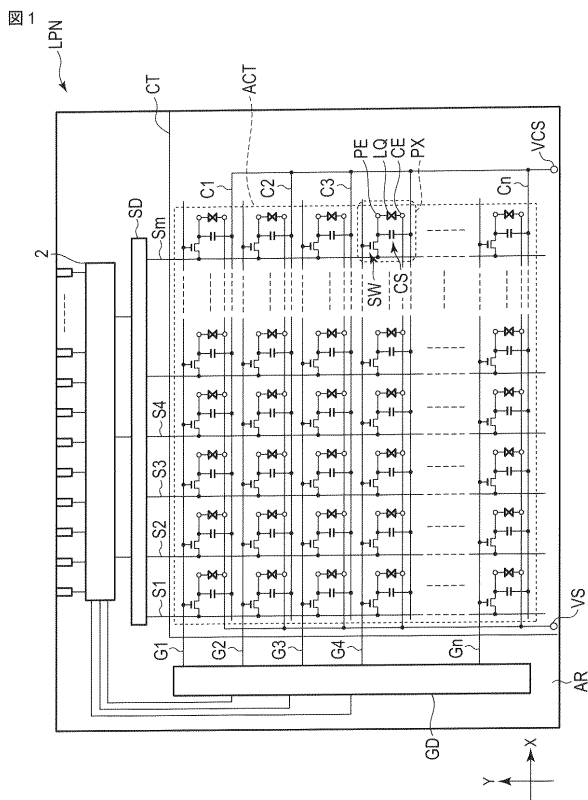
L P N ... 液晶表示パネル

A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層

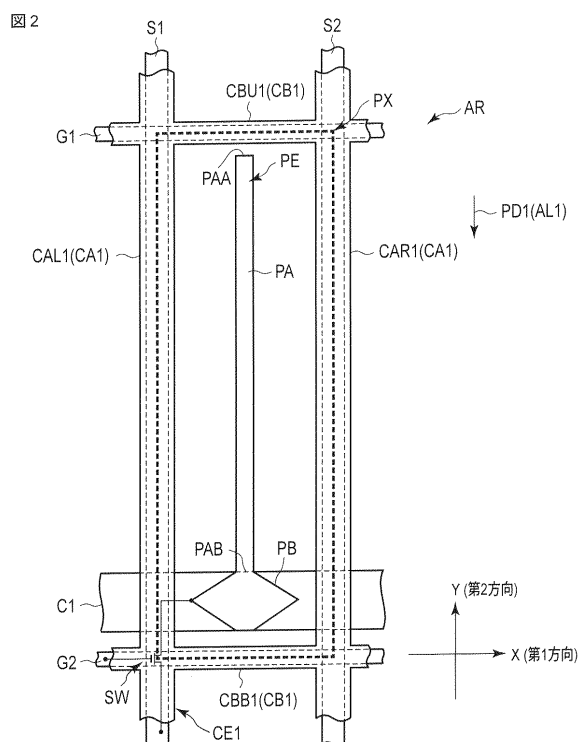
P E ... 画素電極 P A ... 主画素電極 P B ... 副画素電極

C E ... 共通電極 C A ... 主共通電極 C B ... 副共通電極

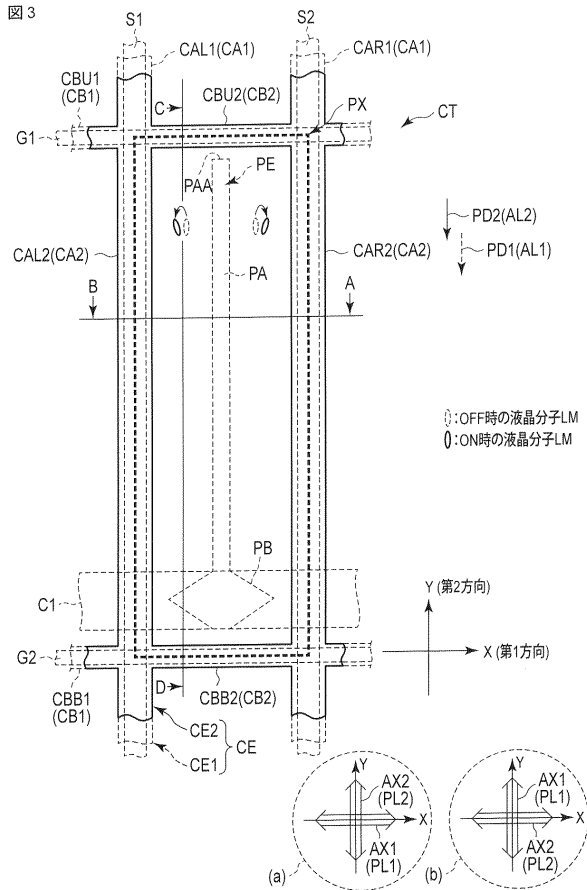
【 図 1 】



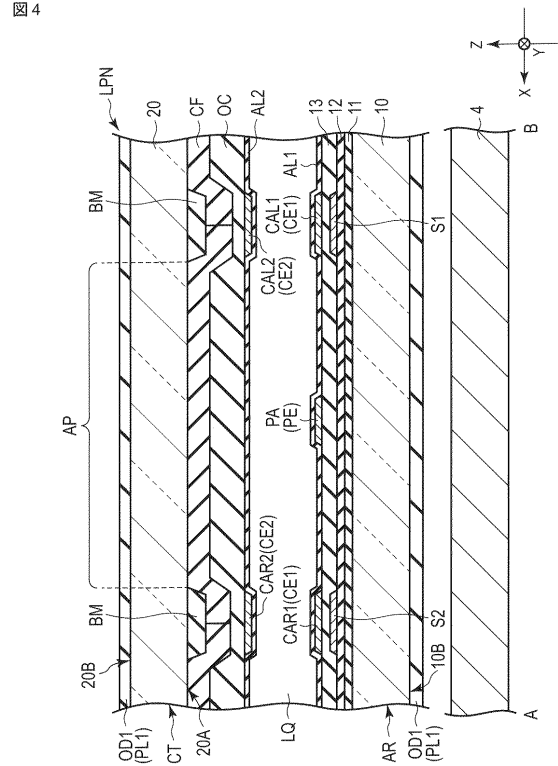
【 図 2 】



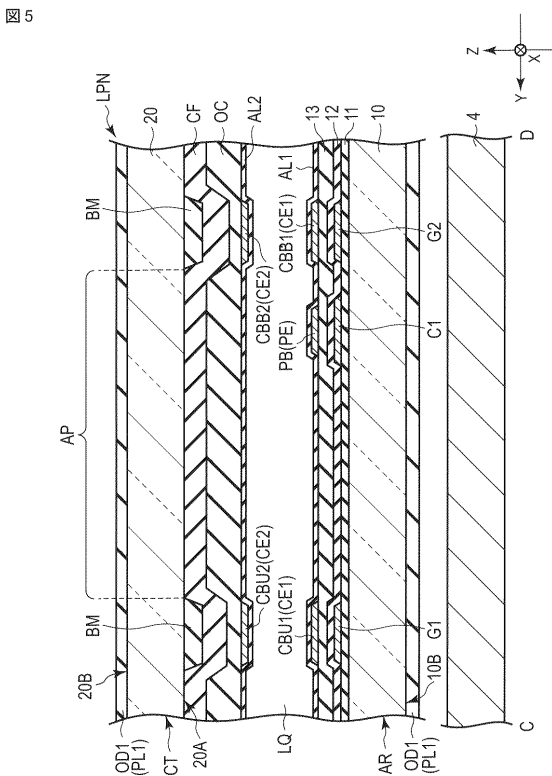
【図 3】



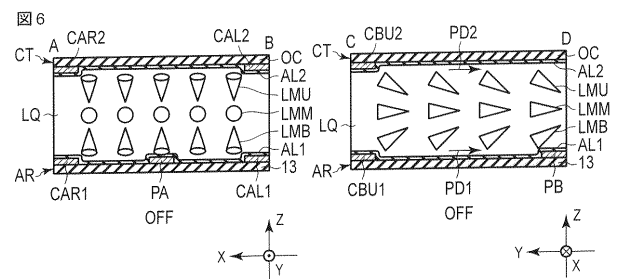
【図 4】



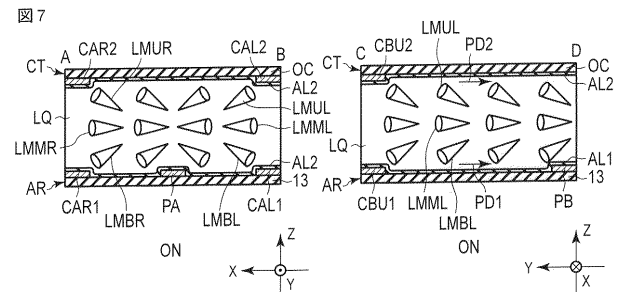
【図 5】



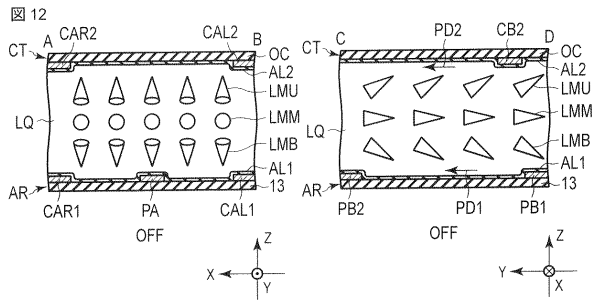
【図 6】



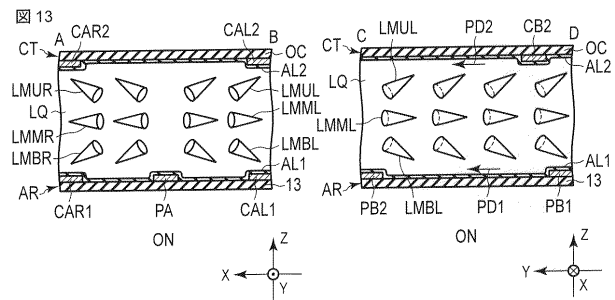
【図 7】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 廣澤 仁

埼玉県深谷市幡羅町一丁目9番地2 東芝モバイルディスプレイ株式会社内

Fターム(参考) 2H090 HA14 HD14 LA04 MA07 MA14 MB01 MB08

2H092 GA14 JA25 JA26 JB04 JB05 JB45 JB63 JB69 KA04 KA05

NA04 PA02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013054179A	公开(公告)日	2013-03-21
申请号	JP2011191688	申请日	2011-09-02
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1337 G02F1/1343		
CPC分类号	G02F1/134363 G02F1/1337 G02F1/134309 G02F2001/134318 G02F2001/134372 G02F2001/134381		
FI分类号	G02F1/1337.505 G02F1/1343 G02F1/1368		
F-TERM分类号	2H090/HA14 2H090/HD14 2H090/LA04 2H090/MA07 2H090/MA14 2H090/MB01 2H090/MB08 2H092/GA14 2H092/JA25 2H092/JA26 2H092/JB04 2H092/JB05 2H092/JB45 2H092/JB63 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA04 2H092/PA02 2H192/AA24 2H192/BA32 2H192/BB03 2H192/BB32 2H192/BB66 2H192/BB73 2H192/BC51 2H192/CC05 2H192/DA12 2H192/DA74 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GA03 2H192/GA41 2H192/GD12 2H192/GD42 2H192/JA33 2H290/AA04 2H290/AA05 2H290/BA04 2H290/BA07 2H290/BB84 2H290/BB85 2H290/BF13 2H290/BF23 2H290/CA42 2H290/CA46		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5560247B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够抑制显示质量下降的液晶显示装置。一种像素电极，其具有线性延伸的带状主像素电极，并且在覆盖该像素电极并基本平行于主像素电极的延伸方向的第一取向处理方向上进行取向处理。在第一表面上，第一基板在夹着主像素电极的两侧上沿着基本平行于主像素电极的延伸方向的方向延伸，并具有第一取向膜，主公共电极和第一取向处理。公共电极具有子公共电极，该子公共电极沿着与主像素电极的延伸方向相交的方向延伸，该子公共电极在该方向上位于上游侧的主像素电极的一个端侧上，并覆盖该公共电极。第二基板具有第二取向膜，该第二取向膜已经在与第一取向处理方向相同的第二取向处理方向上取向并且被保持在第一基底和第二基底之间。一种液晶显示装置，包括：包含液晶分子的液晶层。[选择图]图3

