

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-20189

(P2013-20189A)

(43) 公開日 平成25年1月31日(2013.1.31)

(51) Int.Cl.

G02F 1/1343 (2006.01)

F I

G02F 1/1343

テーマコード (参考)

2H092

審査請求 未請求 請求項の数 12 O L (全 21 頁)

(21) 出願番号 特願2011-155150 (P2011-155150)
(22) 出願日 平成23年7月13日 (2011.7.13)

(71) 出願人 302020207
株式会社ジャパンディスプレイセントラル
埼玉県深谷市幡羅町一丁目9番地2
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100159651
弁理士 高倉 成男
(74) 代理人 100091351
弁理士 河野 哲
(74) 代理人 100088683
弁理士 中村 誠
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100075672
弁理士 峰 隆司

最終頁に続く

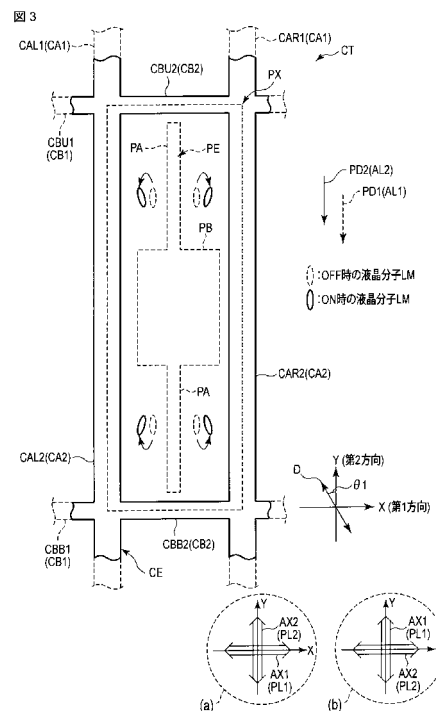
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示品位の劣化を抑制することが可能な液晶表示装置を提供する。

【解決手段】第1方向に第1幅を有し第1方向に交差する第2方向に沿って延出した主画素電極と、第1方向に第1幅よりも大きい第2幅をおいて向かい合う第1エッジ及び第2エッジを有し前記主画素電極と電氣的に接続された副画素電極と、前記主画素電極を挟んだ両側で第2方向に沿って延出し前記第1エッジ及び前記第2エッジの少なくとも一方と向かい合う位置で途切れた第1主共通電極と、第1方向に沿って延出し前記第1主共通電極と電氣的に接続された第1副共通電極と、を備えた第1基板と、前記第1主共通電極に対向し第2方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

第 1 方向に第 1 幅を有し第 1 方向に交差する第 2 方向に沿って延出した主画素電極と、第 1 方向に第 1 幅よりも大きい第 2 幅をおいて向かい合う第 1 エッジ及び第 2 エッジを有し前記主画素電極と電氣的に接続された副画素電極と、前記主画素電極を挟んだ両側で第 2 方向に沿って延出し前記第 1 エッジ及び前記第 2 エッジの少なくとも一方と向かい合う位置で途切れた第 1 主共通電極と、第 1 方向に沿って延出し前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、

前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記第 1 エッジから前記主画素電極までの第 1 方向に沿った第 1 距離は、前記第 2 エッジから前記主画素電極までの第 1 方向に沿った第 2 距離よりも小さいことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 主共通電極は、前記第 1 エッジと向かい合い、前記第 2 エッジと向かい合う位置で途切れていることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

第 1 方向に沿って延出した第 1 ゲート配線及び第 2 ゲート配線と、前記第 1 ゲート配線と前記第 2 ゲート配線との間において第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿って延出した第 1 ソース配線及び第 2 ソース配線と、前記第 1 ソース配線と前記第 2 ソース配線との間において第 2 方向に沿って延出した主画素電極と、前記補助容量線と対向し前記主画素電極と電氣的に接続された副画素電極と、前記第 1 ソース配線及び前記第 2 ソース配線のそれぞれと対向し第 2 方向に沿って延出するとともに前記補助容量線と前記第 1 ソース配線との第 1 交差部及び前記補助容量線と前記第 2 ソース配線との第 2 交差部の少なくとも一方で途切れた第 1 主共通電極と、前記第 1 ゲート配線及び前記第 2 ゲート配線のそれぞれと対向し第 1 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、

前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備えたことを特徴とする液晶表示装置。

【請求項 5】

前記第 1 交差部から前記副画素電極までの第 1 方向に沿った第 1 距離は、前記第 2 交差部から前記副主画素電極までの第 1 方向に沿った第 2 距離よりも大きいことを特徴とする請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 1 主共通電極は、前記第 1 交差部と対向し、前記第 2 交差部で途切れていることを特徴とする請求項 4 または 5 に記載の液晶表示装置。

【請求項 7】

前記主画素電極は第 1 方向に第 1 幅を有し、前記副画素電極は第 1 方向に第 1 幅よりも大きい第 2 幅を有することを特徴とする請求項 4 乃至 6 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

第 1 方向に沿って延出した補助容量線と、第 1 方向に交差する第 2 方向に沿って延出したソース配線と、前記ソース配線に接続されたスイッチング素子と、前記スイッチング素子に接続されたドレイン電極と、前記ソース配線及び前記ドレイン電極を覆う絶縁膜と、第 2 方向に沿って延出し前記絶縁膜上に配置されコンタクトホールを介して前記ドレイン

10

20

30

40

50

電極と接続された副画素電極と、前記副画素電極と電氣的に接続された主画素電極と、第 2 方向に沿って延出するとともに前記補助容量線と前記ソース配線との交差部に途切れた間隙部を有する第 1 主共通電極と、第 1 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 1 副共通電極と、を備えた第 1 基板と、

前記第 1 主共通電極に対向し第 2 方向に沿って延出するとともに前記第 1 主共通電極と電氣的に接続された第 2 主共通電極を備えた第 2 基板と、

前記第 1 基板と前記第 2 基板との間に保持された液晶層と、
を備え、

前記コンタクトホールを中心は、前記第 1 主画素電極のセンターラインと前記間隙部と間に配置されたことを特徴とする液晶表示装置。

10

【請求項 9】

前記主画素電極からその両側に位置する前記第 1 主共通電極までの距離は略同等であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

前記第 1 主共通電極は、前記主画素電極と並んだ位置で第 1 方向に第 1 線幅を有し、前記副画素電極と並んだ位置で第 1 方向に第 1 線幅よりも小さい第 2 線幅を有することを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の液晶表示装置。

【請求項 11】

前記副画素電極及び前記第 1 主共通電極は、同一絶縁膜の上面に形成されたことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の液晶表示装置。

20

【請求項 12】

前記第 2 基板は、さらに、前記第 1 副共通電極に対向し前記第 2 主共通電極と電氣的に接続された第 2 副共通電極を備えたことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

30

近年、平面表示装置が盛んに開発されており、中でも液晶表示装置は、軽量、薄型、低消費電力等の利点から特に注目を集めている。特に、各画素にスイッチング素子を組み込んだアクティブマトリクス型液晶表示装置においては、IPS (In - Plane Switching) モードや FFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した構造が注目されている。このような横電界モードの液晶表示装置は、アレイ基板に形成された画素電極と対向電極とを備え、アレイ基板の主面に対してほぼ平行な横電界で液晶分子をスイッチングする。

【0003】

一方で、アレイ基板に形成された画素電極と、対向基板に形成された対向電極との間に、横電界あるいは斜め電界を形成し、液晶分子をスイッチングする技術も提案されている。

40

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 192822 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

50

【課題を解決するための手段】

【0006】

本実施形態によれば、

第1方向に第1幅を有し第1方向に交差する第2方向に沿って延出した主画素電極と、第1方向に第1幅よりも大きい第2幅をおいて向かい合う第1エッジ及び第2エッジを有し前記主画素電極と電氣的に接続された副画素電極と、前記主画素電極を挟んだ両側で第2方向に沿って延出し前記第1エッジ及び前記第2エッジの少なくとも一方と向かい合う位置で途切れた第1主共通電極と、第1方向に沿って延出し前記第1主共通電極と電氣的に接続された第1副共通電極と、を備えた第1基板と、前記第1主共通電極に対向し第2方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

10

【0007】

本実施形態によれば、

第1方向に沿って延出した第1ゲート配線及び第2ゲート配線と、前記第1ゲート配線と前記第2ゲート配線との間において第1方向に沿って延出した補助容量線と、第1方向に交差する第2方向に沿って延出した第1ソース配線及び第2ソース配線と、前記第1ソース配線と前記第2ソース配線との間において第2方向に沿って延出した主画素電極と、前記補助容量線と対向し前記主画素電極と電氣的に接続された副画素電極と、前記第1ソース配線及び前記第2ソース配線のそれぞれと対向し第2方向に沿って延出するとともに前記補助容量線と前記第1ソース配線との第1交差部及び前記補助容量線と前記第2ソース配線との第2交差部の少なくとも一方で途切れた第1主共通電極と、前記第1ゲート配線及び前記第2ゲート配線のそれぞれと対向し第1方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第1副共通電極と、を備えた第1基板と、前記第1主共通電極に対向し第2方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えたことを特徴とする液晶表示装置が提供される。

20

【0008】

本実施形態によれば、

第1方向に沿って延出した補助容量線と、第1方向に交差する第2方向に沿って延出したソース配線と、前記ソース配線に接続されたスイッチング素子と、前記スイッチング素子に接続されたドレイン電極と、前記ソース配線及び前記ドレイン電極を覆う絶縁膜と、第2方向に沿って延出し前記絶縁膜上に配置されコンタクトホールを介して前記ドレイン電極と接続された副画素電極と、前記副画素電極と電氣的に接続された主画素電極と、第2方向に沿って延出するとともに前記補助容量線と前記ソース配線との交差部に途切れた間隙部を有する第1主共通電極と、第1方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第1副共通電極と、を備えた第1基板と、前記第1主共通電極に対向し第2方向に沿って延出するとともに前記第1主共通電極と電氣的に接続された第2主共通電極を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備え、前記コンタクトホールの中心は、前記第1主画素電極のセンターラインと前記間隙部と間に配置されたことを特徴とする液晶表示装置が提供される。

30

40

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板を対向基板側から見たときの一画素の構造例を概略的に示す平面図である。

【図3】図3は、図1に示した対向基板における一画素の構造例を概略的に示す平面図である。

【図4】図4は、図2のA-A線で切断した液晶表示パネルの断面構造を概略的に示す断

50

面図である。

【図 5】図 5 は、図 1 に示したアレイ基板におけるアクティブエリアの構造例を概略的に示す平面図である。

【図 6】図 6 は、図 1 に示したアレイ基板におけるアクティブエリアの別の構造例を概略的に示す平面図である。

【図 7】図 7 は、図 1 に示したアレイ基板におけるアクティブエリアの別の構造例を概略的に示す平面図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図 1 は、本実施形態における液晶表示装置の構成及び等価回路を概略的に示す図である。

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向して配置された第 2 基板である対向基板 C T と、これらのアレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。このような液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。このアクティブエリア A C T は、 $m \times n$ 個のマトリクス状に配置された複数の画素 P X によって構成されている（但し、 m 及び n は正の整数である）。

【0013】

液晶表示パネル L P N は、アクティブエリア A C T において、 n 本のゲート配線 G ($G_1 \sim G_n$)、 n 本の補助容量線 C ($C_1 \sim C_n$)、 m 本のソース配線 S ($S_1 \sim S_m$) などを備えている。ゲート配線 G 及び補助容量線 C は、例えば、第 1 方向 X に沿って略直線的に延出している。これらのゲート配線 G 及び補助容量線 C は、第 1 方向 X に交差する第 2 方向 Y に沿って交互に並列配置されている。ここでは、第 1 方向 X と第 2 方向 Y とは互いに略直交している。ソース配線 S は、ゲート配線 G 及び補助容量線 C と交差している。ソース配線 S は、第 2 方向 Y に沿って略直線的に延出している。なお、ゲート配線 G、補助容量線 C、及び、ソース配線 S は、必ずしも直線的に延出していなくても良く、それらの一部が屈曲していてもよい。

【0014】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、ゲートドライバ G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、ソースドライバ S D に接続されている。これらのゲートドライバ G D 及びソースドライバ S D の少なくとも一部は、例えば、アレイ基板 A R に形成され、コントローラを内蔵した駆動 I C チップ 2 と接続されている。

【0015】

各画素 P X は、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。保持容量 C s は、例えば補助容量線 C と画素電極 P E との間に形成される。補助容量線 C は、補助容量電圧が印加される電圧印加部 V C S と電氣的に接続されている。

【0016】

なお、本実施形態においては、液晶表示パネル L P N は、画素電極 P E がアレイ基板 A R に形成される一方で共通電極 C E の少なくとも一部が対向基板 C T に形成された構成であり、これらの画素電極 P E と共通電極 C E との間に形成される電界を主に利用して液晶層 L Q の液晶分子をスイッチングする。画素電極 P E と共通電極 C E との間に形成される電界は、第 1 方向 X と第 2 方向 Y とで規定される X - Y 平面あるいは基板主面に対してわずかに傾いた斜め電界（あるいは、基板主面にほぼ平行な横電界）である。

10

20

30

40

50

【 0 0 1 7 】

スイッチング素子 S W は、例えば、nチャネル薄膜トランジスタ (T F T) によって構成されている。このスイッチング素子 S W は、ゲート配線 G 及びソース配線 S と電氣的に接続されている。このようなスイッチング素子 S W は、トップゲート型あるいはボトムゲート型のいずれであっても良い。また、スイッチング素子 S W の半導体層は、例えば、ポリシリコンによって形成されているが、アモルファスシリコンによって形成されていても良い。

【 0 0 1 8 】

画素電極 P E は、各画素 P X に配置され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、液晶層 L Q を介して複数の画素 P X の画素電極 P E に対して共通に配置されている。このような画素電極 P E 及び共通電極 C E は、例えば、インジウム・ティン・オキサイド (I T O) やインジウム・ジンク・オキサイド (I Z O) などの光透過性を有する導電材料によって形成されているが、アルミニウムなどの他の金属材料によって形成されても良い。

10

【 0 0 1 9 】

アレイ基板 A R は、共通電極 C E に電圧を印加するための給電部 V S を備えている。この給電部 V S は、例えば、アクティブエリア A C T の外側に形成されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、図示しない導電部材を介して、給電部 V S と電氣的に接続されている。

【 0 0 2 0 】

図 2 は、図 1 に示したアレイ基板 A R を対向基板側から見たときの一画素 P X の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

20

【 0 0 2 1 】

アレイ基板 A R は、画素電極 P E を備えるとともに、共通電極 C E の一部を備えている。

【 0 0 2 2 】

図示した画素 P X は、破線で示したように、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形状である。ゲート配線 G 1 及びゲート配線 G 2 は、第 1 方向 X に沿って延出している。補助容量線 C 1 は、隣接するゲート配線 G 1 とゲート配線 G 2 との間に配置され、第 1 方向 X に沿って延出している。ソース配線 S 1 及びソース配線 S 2 は、第 2 方向 Y に沿って延出している。画素電極 P E は、隣接するソース配線 S 1 とソース配線 S 2 との間に配置されている。また、この画素電極 P E は、ゲート配線 G 1 とゲート配線 G 2 との間に位置している。

30

【 0 0 2 3 】

図示した例では、画素 P X において、ソース配線 S 1 は左側端部に配置され、ソース配線 S 2 は右側端部に配置されている。厳密には、ソース配線 S 1 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、ソース配線 S 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。また、画素 P X において、ゲート配線 G 1 は上側端部に配置され、ゲート配線 G 2 は下側端部に配置されている。厳密には、ゲート配線 G 1 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、ゲート配線 G 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。補助容量線 C 1 は、画素の略中央部に配置されている。この補助容量線 C 1 とソース配線 S 1 とが交差する領域を第 1 交差部 C R 1 とし、補助容量線 C 1 とソース配線 S 2 とが交差する領域を第 2 交差部 C R 2 とする。これらの第 1 交差部 C R 1 及び第 2 交差部 C R 2 は、図中に斜線で示した領域である。

40

【 0 0 2 4 】

スイッチング素子 S W は、図示した例では、ゲート配線 G 1 及びソース配線 S 1 に電氣的に接続されている。このスイッチング素子 S W は、ゲート配線 G 1 とソース配線 S 1 の交点に設けられている。スイッチング素子 S W のゲート電極 W G はゲート配線 G 1 と電氣的に接続され、ソース電極 W S はソース配線 S 1 と電氣的に接続され、ドレイン電極 W D

50

はソース配線 S 1 及び補助容量線 C 1 に沿って延長され、補助容量線 C 1 と重なる領域に形成されたコンタクトホール C H を介して画素電極 P E と電氣的に接続されている。このようなスイッチング素子 S W は、ソース配線 S 1 及び補助容量線 C 1 と重なる領域に設けられ、ソース配線 S 1 及び補助容量線 C 1 と重なる領域からほとんどはみ出すことはなく、表示に寄与する開口部の面積の低減を抑制している。

【 0 0 2 5 】

画素電極 P E は、互いに電氣的に接続された主画素電極 P A 及び副画素電極 P B を備えている。主画素電極 P A は、ソース配線 S 1 とソース配線 S 2 との間において副画素電極 P B から画素 P X の上側端部付近及び下側端部付近まで第 2 方向 Y に沿って直線的に延出している。このような主画素電極 P A は、第 1 方向 X に沿って略同一の幅 W 1 を有する帯状に形成されている。

10

【 0 0 2 6 】

副画素電極 P B は、補助容量線 C 1 と対向する領域に位置し、コンタクトホール C H を介してスイッチング素子 S W のドレイン電極 W D と電氣的に接続されている。この副画素電極 P B は、第 1 方向 X に沿って主画素電極 P A の幅 W 1 よりも大きい幅 W 2 を有している。すなわち、副画素電極 P B は、幅 W 2 をおいて対向する第 1 エッジ E 1 及び第 2 エッジ E 2 を有している。これらの第 1 エッジ E 1 及び第 2 エッジ E 2 は、第 2 方向 Y に沿って延出している。第 1 エッジ E 1 は、ソース配線 S 1 と向かい合う側に位置している。第 2 エッジ E 2 は、ソース配線 S 2 と向かい合う側に位置している。この副画素電極 P B は、第 1 交差部 C R 1 と第 2 交差部 C R 2 との間に位置している。

20

【 0 0 2 7 】

図示した例では、主画素電極 P A が画素 P X の中央部に位置しているのに対して、副画素電極 P B は、画素 P X の中央部よりもソース配線 S 2 の側に偏在している。副画素電極 P B の第 1 エッジ E 1 から主画素電極 P A までの第 1 方向 X に沿った距離 D 1 は、副画素電極 P B の第 2 エッジ E 2 から主画素電極 P A までの第 1 方向 X に沿った距離 D 2 よりも小さい。

【 0 0 2 8 】

共通電極 C E は、アレイ基板 A R に第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 を備えている。これらの第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は、互いに電氣的に接続されている。

30

【 0 0 2 9 】

第 1 主共通電極 C A 1 は、X - Y 平面内において、主画素電極 P A を挟んだ両側で主画素電極 P A と略平行な第 2 方向 Y に沿って直線的に延出している。あるいは、第 1 主共通電極 C A 1 は、ソース配線 S とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような第 1 主共通電極 C A 1 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。但し、図示した例では、第 1 主共通電極 C A 1 は、主画素電極 P A と並んだ位置で第 1 方向 X に沿って線幅 W 1 1 を有しているのに対して、副画素電極 P B に並んだ位置では第 1 方向 X に沿って線幅 W 1 1 よりも小さい線幅 W 1 2 を有している。

。

【 0 0 3 0 】

また、このような第 1 主共通電極 C A 1 は、副画素電極 P B を挟んだ両側において、第 1 エッジ E 1 及び第 2 エッジ E 2 の少なくとも一方と対向する位置で途切れている。つまり、第 1 主共通電極 C A 1 は、第 1 交差部 C R 1 及び第 2 交差部 C R 2 の少なくとも一方で途切れている。

40

【 0 0 3 1 】

図示した例では、第 1 主共通電極 C A 1 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの第 1 主共通電極 C A 1 を区別するために、図中の左側の第 1 主共通電極を C A L 1 と称し、図中の右側の第 1 主共通電極を C A R 1 と称する。

【 0 0 3 2 】

50

第1主共通電極CAL1は、第1エッジE1と向かい合い、途中で途切れることなくソース配線S1と対向している。つまり、第1主共通電極CAL1は、第1交差部CR1と対向している。第1主共通電極CAR1は、第2エッジE2と向かい合う位置で途切れ、その他の位置ではソース配線S2と対向している。つまり、画素PX内において、第1主共通電極CAR1には、第2交差部CR2で途切れた領域である間隙部KGが存在している。

【0033】

画素PXにおいて、第1主共通電極CAL1は左側端部に配置され、第1主共通電極CAR1は右側端部に配置されている。厳密には、第1主共通電極CAL1は当該画素PXとその左側に隣接する画素との境界に跨って配置され、第1主共通電極CAR1は当該画素PXとその右側に隣接する画素との境界に跨って配置されている。

10

【0034】

第1副共通電極CB1は、X-Y平面内において、画素電極PEを挟んだ両側で副画素電極PBと略平行な第1方向Xに沿って直線的に延出している。あるいは、第1副共通電極CB1は、ゲート配線Gとそれぞれ対向するとともに副画素電極PBと略平行に延出している。このような第1副共通電極CB1は、帯状に形成されている。第1副共通電極CB1の第2方向Yに沿った幅については、必ずしも一定でなくても良い。また、この第1副共通電極CB1は、第1主共通電極CA1と一体的あるいは連続的に形成され、第1主共通電極CA1と電氣的に接続されている。

【0035】

20

図示した例では、第1副共通電極CB1は、第2方向Yに間隔をおいて2本平行に並んでおり、画素PXの上下両端部にそれぞれ配置されている。以下では、これらの第1副共通電極CB1を区別するために、図中の上側の第1副共通電極をCBU1と称し、図中の下側の第1副共通電極をCBB1と称する。第1副共通電極CBU1は、途中で途切れることなくゲート配線G1と対向している。第1副共通電極CBB1は、途中で途切れることなくゲート配線G2と対向している。

【0036】

画素PXにおいて、第1副共通電極CBU1は上側端部に配置され、第1副共通電極CBB1は下側端部に配置されている。厳密には、第1副共通電極CBU1は当該画素PXとその上側に隣接する画素との境界に跨って配置され、第1副共通電極CBB1は当該画素PXとその下側に隣接する画素との境界に跨って配置されている。

30

【0037】

画素電極PEと共通電極CEとの位置関係に着目すると、以下の関係が言える。

【0038】

X-Y平面内において、主画素電極PAと第1主共通電極CA1とは、第1方向Xに沿って交互に配置されている。これらの主画素電極PAと第1主共通電極CA1とは、互いに略平行に配置されている。このとき、X-Y平面内において、第1主共通電極CA1のいずれも画素電極PEとは重ならない。すなわち、隣接する第1主共通電極CAL1及び第1主共通電極CAR1の間には、1本の主画素電極PAが位置している。換言すると、第1主共通電極CAL1及び第1主共通電極CAR1は、主画素電極PAを挟んだ両側に配置されている。あるいは、主画素電極PAは、第1主共通電極CAL1と第1主共通電極CAR1との間に配置されている。このため、第1主共通電極CAL1、主画素電極PA、及び、第1主共通電極CAR1は、第1方向Xに沿ってこの順に配置されている。

40

【0039】

これらの主画素電極PAと第1主共通電極CA1との第1方向Xに沿った間隔は略一定である。すなわち、第1主共通電極CAL1と主画素電極PAとの第1方向Xに沿った間隔D11は、第1主共通電極CAR1と主画素電極PAとの第1方向Xに沿った間隔D12と略同等である。

【0040】

また、X-Y平面内において、副画素電極PBと第1副共通電極CB1とは、第2方向

50

Xに沿って交互に配置されている。これらの副画素電極PBと第1副共通電極CB1とは、互いに略平行に配置されている。このとき、X-Y平面内において、第1副共通電極CB1のいずれも画素電極PEとは重ならない。すなわち、隣接する第1副共通電極CBU1及び第1副共通電極CBB1の間には、1本の副画素電極PBが位置している。換言すると、第1副共通電極CBU1及び第1副共通電極CBB1は、副画素電極PBを挟んだ両側に配置されている。あるいは、副画素電極PBは、第1副共通電極CBU1と第1副共通電極CBB1との間に配置されている。このため、第1副共通電極CBB1、副画素電極PB、及び、第1副共通電極CBU1は、第2方向Yに沿ってこの順に配置されている。

【0041】

10

この副画素電極PBから第1交差部CR1（あるいは、ソース配線S1のエッジ）までの第1方向Xに沿った間隔D21は、副画素電極PBから第2交差部CR2（あるいは、ソース配線S2のエッジ）までの第1方向Xに沿った間隔D22よりも大きい。

【0042】

すなわち、副画素電極PBは、間隙部KG側に近接するように配置され、第1主共通電極CAL1の第1交差部CR1からは遠ざかるように配置されている。また、副画素電極PBとスイッチング素子SWのドレイン電極を接続させるためのコンタクトホールCHは、補助容量線C1と重なる領域において間隙部KG寄りに配置されている。つまり、コンタクトホールCHの中心Oは、主画素電極PAのセンターラインCLから間隙部KGの方向にずれて配置されている。

20

【0043】

上述のように副画素電極PBを配置すると、副画素電極PBと第1主共通電極CAL1等のように同層で異なる電気信号をもつ電極間のショートを防ぐことができる。すなわち、間隙部KGを設けることにより、画素電極と共通電極との間隔に余裕を持たせることができるため製造歩留まりが向上する。特に画素PXの間隔が狭くなる高精細において、製造上の理由によりコンタクトホールCHを画素PXの大きさに従い小さくすることが出来ない場合には、コンタクトホールCHが画素PXに占める割合は大きくなる。また、ドレイン電極と画素電極PEとの接触抵抗の低減し電極の腐食を防止するために、コンタクトホールCHは画素電極PEによって覆われることが必要である。したがって、副画素電極PBの大きさの最小寸法はコンタクトホールCHの大きさによって制限される。このため、副画素電極PBと第1主共通電極CAL1の間隔が十分に余裕を持っていないと、副画素電極PBと第1主共通電極CAL1が製造時にエッチングが十分になされずショートする虞がある。しかしながら、本実施形態によれば、コンタクトホールCHの中心を画素PXのセンターラインと間隙部KGの間に配置する。これにより、副画素電極PBがコンタクトホールCHを覆っても、共通電極CA1と画素電極PEの間にはショートを回避する十分な間隔をもつことが可能となる。

30

【0044】

図3は、図1に示した対向基板CTにおける一画素PXの構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板に備えられた画素電極PEと、第1主共通電極CA1及び第1副共通電極CB1とを破線で示している。

40

【0045】

共通電極CEは、対向基板CTに第2主共通電極CA2及び第2副共通電極CB2を備えている。これらの第2主共通電極CA2及び第2副共通電極CB2は、互いに電氣的に接続されている。また、これらの第2主共通電極CA2及び第2副共通電極CB2は、例えば、アクティブエリアの外側などにおいて、アレイ基板に備えられた第1主共通電極CA1及び第1副共通電極CB1と電氣的に接続されている。

【0046】

第2主共通電極CA2は、X-Y平面内において、主画素電極PAを挟んだ両側で主画素電極PAと略平行な第2方向Yに沿って直線的に延出している。あるいは、第2主共通

50

電極 C A 2 は、第 1 主共通電極 C A 1 とそれぞれ対向するとともに主画素電極 P A と略平行に延出している。このような第 2 主共通電極 C A 2 は、第 1 方向 X に沿って略同一の幅を有する帯状に形成されている。

【 0 0 4 7 】

図示した例では、第 2 主共通電極 C A 2 は、第 1 方向 X に間隔をおいて 2 本平行に並んでおり、画素 P X の左右両端部にそれぞれ配置されている。以下では、これらの第 2 主共通電極 C A 2 を区別するために、図中の左側の第 2 主共通電極を C A L 2 と称し、図中の右側の第 2 主共通電極を C A R 2 と称する。第 2 主共通電極 C A L 2 は、途中で途切れることなく第 1 主共通電極 C A L 1 と対向している。第 2 主共通電極 C A R 2 は、途中で途切れることなく第 1 主共通電極 C A R 1 と対向している。

10

【 0 0 4 8 】

画素 P X において、第 2 主共通電極 C A L 2 は左側端部に配置され、第 2 主共通電極 C A R 2 は右側端部に配置されている。厳密には、第 2 主共通電極 C A L 2 は当該画素 P X とその左側に隣接する画素との境界に跨って配置され、第 2 主共通電極 C A R 2 は当該画素 P X とその右側に隣接する画素との境界に跨って配置されている。

【 0 0 4 9 】

第 2 副共通電極 C B 2 は、X - Y 平面内において、画素電極 P E を挟んだ両側で副画素電極 P B と略平行な第 1 方向 X に沿って直線的に延出している。あるいは、第 2 副共通電極 C B 2 は、第 1 副共通電極 C B 1 とそれぞれ対向するとともに副画素電極 P B と略平行に延出している。このような第 2 副共通電極 C B 2 は、第 2 方向 Y に沿って略同一の幅を有する帯状に形成されている。また、この第 2 副共通電極 C B 2 は、第 2 主共通電極 C A 2 と一体的あるいは連続的に形成され、第 2 主共通電極 C A 2 と電氣的に接続されている。つまり、対向基板 C T においては、共通電極 C E は格子状に形成されている。

20

【 0 0 5 0 】

図示した例では、第 2 副共通電極 C B 2 は、第 2 方向 Y に間隔をおいて 2 本平行に並んでおり、画素 P X の上下両端部にそれぞれ配置されている。以下では、これらの第 2 副共通電極 C B 2 を区別するために、図中の上側の第 2 副共通電極を C B U 2 と称し、図中の下側の第 2 副共通電極を C B B 2 と称する。第 2 副共通電極 C B U 2 は、途中で途切れることなく第 1 副共通電極 C B U 1 と対向している。第 2 副共通電極 C B B 2 は、途中で途切れることなく第 1 副共通電極 C B B 2 と対向している。

30

【 0 0 5 1 】

画素 P X において、第 2 副共通電極 C B U 2 は上側端部に配置され、第 2 副共通電極 C B B 2 は下側端部に配置されている。厳密には、第 2 副共通電極 C B U 2 は当該画素 P X とその上側に隣接する画素との境界に跨って配置され、第 2 副共通電極 C B B 2 は当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。

【 0 0 5 2 】

図 4 は、図 2 の A - A 線で切断した液晶表示パネル L P N の断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な箇所のみを図示している。

【 0 0 5 3 】

液晶表示パネル L P N を構成するアレイ基板 A R の背面側には、バックライト 4 が配置されている。バックライト 4 としては、種々の形態が適用可能であり、また、光源として発光ダイオード (L E D) を利用したものや冷陰極管 (C C F L) を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

40

【 0 0 5 4 】

アレイ基板 A R は、光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。第 1 方向 X に延在した補助容量線 C 1 は、第 1 絶縁膜 1 1 の上に形成され、第 2 絶縁膜 1 2 によって覆われている。なお、図示しないゲート配線も同様に、第 1 絶縁膜 1 1 と第 2 絶縁膜 1 2 との間に形成されている。

【 0 0 5 5 】

スイッチング素子のドレイン電極 W D 、ソース配線 S 1 及びソース配線 S 2 は、第 2 絶

50

縁膜 12 の上に形成され、第 3 絶縁膜 13 によって覆われている。ドレイン電極 WD は、ソース配線 S1 及びソース配線 S2 から離間し、これらの間に位置している。第 3 絶縁膜 13 には、ドレイン電極 WD まで貫通したコンタクトホール CH が形成されている。

【0056】

画素電極の副画素電極 PB や、共通電極の第 1 主共通電極 CAL1 及び第 1 主共通電極 CAR1 などは、同一絶縁膜の上面、すなわち、第 3 絶縁膜 13 の上面に形成されているが、それぞれ離間している。副画素電極 PB は、コンタクトホール CH に延在し、ドレイン電極 WD と電氣的に接続されている。このような副画素電極 PB は、隣接するソース配線 S1 及びソース配線 S2 のそれぞれの直上の位置よりもそれらの内側に位置しているが、ソース配線 S2 に近接している。つまり、副画素電極 PB は、ソース配線 S1 の直上に位置する第 1 主共通電極 CAL1 と、ソース配線 S2 の直上に位置する第 1 主共通電極 CAR1 との間に位置しているが、第 1 主共通電極 CAR1 に近接している。ところが、第 1 主共通電極 CAR1 は、図中に破線で示したように、副画素電極 PB の第 2 エッジ E2 と向かい合う位置では途切れている。

10

【0057】

第 1 配向膜 AL1 は、アレイ基板 AR の対向基板 CT と対向する面に配置され、アクティブエリア ACT の略全体に亘って延在している。この第 1 配向膜 AL1 は、画素電極の副画素電極 PB や共通電極の第 1 主共通電極 CAL1 及び第 1 主共通電極 CAR1 などを覆っており、第 3 絶縁膜 13 の上にも配置されている。このような第 1 配向膜 AL1 は、水平配向性を示す材料によって形成されている。

20

【0058】

対向基板 CT は、光透過性を有する第 2 絶縁基板 20 を用いて形成されている。この対向基板 CT は、ブラックマトリクス BM、カラーフィルタ CF、オーバーコート層 OC、共通電極 CE、第 2 配向膜 AL2 などを備えている。

【0059】

ブラックマトリクス BM は、各画素 PX を区画し、画素電極 PE と対向する開口部 AP を形成する。すなわち、ブラックマトリクス BM は、ソース配線 S、ゲート配線、補助容量線、スイッチング素子などの配線部に対向するように配置されている。ここでは、ブラックマトリクス BM は、第 2 方向 Y に沿って延出した部分のみが図示されているが、第 1 方向 X に沿って延出した部分を備えていても良い。このブラックマトリクス BM は、第 2 絶縁基板 20 のアレイ基板 AR に対向する内面 20A に配置されている。

30

【0060】

カラーフィルタ CF は、各画素 PX に対応して配置されている。すなわち、カラーフィルタ CF は、第 2 絶縁基板 20 の内面 20A における開口部 AP に配置されるとともに、その一部がブラックマトリクス BM に乗り上げている。第 1 方向 X に隣接する画素 PX にそれぞれ配置されたカラーフィルタ CF は、互いに色が異なる。例えば、カラーフィルタ CF は、赤色、青色、緑色といった 3 原色にそれぞれ着色された樹脂材料によって形成されている。赤色に着色された樹脂材料からなる赤色カラーフィルタは、赤色画素に対応して配置されている。青色に着色された樹脂材料からなる青色カラーフィルタは、青色画素に対応して配置されている。緑色に着色された樹脂材料からなる緑色カラーフィルタは、緑色画素に対応して配置されている。これらのカラーフィルタ CF 同士の境界は、ブラックマトリクス BM と重なる位置にある。

40

【0061】

オーバーコート層 OC は、カラーフィルタ CF を覆っている。このオーバーコート層 OC は、カラーフィルタ CF の表面の凹凸の影響を緩和する。

【0062】

共通電極の第 2 主共通電極 CAL2 及び第 2 主共通電極 CAR2 などは、オーバーコート層 OC のアレイ基板 AR と対向する側に形成されている。第 2 主共通電極 CAL2 は、第 1 主共通電極 CAL1 の直上に位置している。第 2 主共通電極 CAR2 は、第 1 主共通電極 CAR1 の直上に位置している。

50

【 0 0 6 3 】

第 2 配向膜 A L 2 は、対向基板 C T のアレイ基板 A R と対向する面に配置され、アクティブエリア A C T の略全体に亘って延在している。この第 2 配向膜 A L 2 は、共通電極の第 2 主共通電極 C A L 2 及び第 2 主共通電極 C A R 2 やオーバーコート層 O C などを覆っている。このような第 2 配向膜 A L 2 は、水平配向性を示す材料によって形成されている。

【 0 0 6 4 】

これらの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 には、液晶層 L Q の液晶分子を初期配向させるための配向処理（例えば、ラビング処理や光配向処理）がなされている。第 1 配向膜 A L 1 が液晶分子を初期配向させる第 1 配向処理方向 P D 1、及び、第 2 配向膜 A L 2 が液晶分子を初期配向させる第 2 配向処理方向 P D 2 は、ともに平行であって、互いに逆向きあるいは同じ向きである。例えば、これらの第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、図 3 に示したように、第 2 方向 Y と略平行であって、同じ向きである。

【 0 0 6 5 】

上述したようなアレイ基板 A R と対向基板 C T とは、それぞれの第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 が対向するように配置されている。このとき、アレイ基板 A R の第 1 配向膜 A L 1 と対向基板 C T の第 2 配向膜 A L 2 との間には、例えば、樹脂材料によって一方の基板に一体的に形成された柱状スペーサが配置され、これにより、所定のセルギャップ、例えば 2 ~ 7 μm のセルギャップが形成される。アレイ基板 A R と対向基板 C T とは、所定のセルギャップが形成された状態で、アクティブエリア A C T の外側のシール材によって貼り合わせられている。

【 0 0 6 6 】

液晶層 L Q は、アレイ基板 A R と対向基板 C T との間に形成されたセルギャップに保持され、第 1 配向膜 A L 1 と第 2 配向膜 A L 2 との間に配置されている。このような液晶層 L Q は、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されている。

【 0 0 6 7 】

アレイ基板 A R の外面、つまり、アレイ基板 A R を構成する第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 光学素子 O D 1 が接着剤などにより貼付されている。この第 1 光学素子 O D 1 は、液晶表示パネル L P N のバックライト 4 と対向する側に位置しており、バックライト 4 から液晶表示パネル L P N に入射する入射光の偏光状態を制御する。この第 1 光学素子 O D 1 は、第 1 偏光軸（あるいは第 1 吸収軸）A X 1 を有する第 1 偏光板 P L 1 を含んでいる。

【 0 0 6 8 】

対向基板 C T の外面、つまり、対向基板 C T を構成する第 2 絶縁基板 2 0 の外面 2 0 B には、第 2 光学素子 O D 2 が接着剤などにより貼付されている。この第 2 光学素子 O D 2 は、液晶表示パネル L P N の表示面側に位置しており、液晶表示パネル L P N から出射した出射光の偏光状態を制御する。この第 2 光学素子 O D 2 は、第 2 偏光軸（あるいは第 2 吸収軸）A X 2 を有する第 2 偏光板 P L 2 を含んでいる。

【 0 0 6 9 】

第 1 偏光板 P L 1 の第 1 偏光軸 A X 1 と、第 2 偏光板 P L 2 の第 2 偏光軸 A X 2 とは、例えば、直交する位置関係（クロスニコル）にある。このとき、一方の偏光板は、例えば、その偏光軸が液晶分子の初期配向方向つまり第 1 配向処理方向 P D 1 あるいは第 2 配向処理方向 P D 2 と平行または直交するように配置されている。初期配向方向が第 2 方向 Y と平行である場合、一方の偏光板の偏光軸は、第 2 方向 X と平行、あるいは、第 1 方向 X と平行である。

【 0 0 7 0 】

図 3 において、（ a ）で示した例では、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分

10

20

30

40

50

子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 1 】

また、図 3 において、（ b ）で示した例では、第 2 偏光板 P L 2 は、その第 2 偏光軸 A X 2 が液晶分子 L M の初期配向方向（第 2 方向 Y ）に対して直交する（つまり、第 1 方向 X に平行となる）ように配置され、また、第 1 偏光板 P L 1 は、その第 1 偏光軸 A X 1 が液晶分子 L M の初期配向方向に対して平行となる（つまり、第 2 方向 Y と平行となる）ように配置されている。

【 0 0 7 2 】

次に、上記構成の液晶表示パネル L P N の動作について、図 2 乃至図 4 を参照しながら説明する。

10

【 0 0 7 3 】

すなわち、液晶層 L Q に電圧が印加されていない状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成されていない状態（ O F F 時）には、液晶層 L Q の液晶分子 L M は、その長軸が第 1 配向膜 A L 1 の第 1 配向処理方向 P D 1 及び第 2 配向膜 A L 2 の第 2 配向処理方向 P D 2 を向くように配向している。このような O F F 時が初期配向状態に相当し、 O F F 時の液晶分子 L M の配向方向が初期配向方向に相当する。

【 0 0 7 4 】

なお、厳密には、液晶分子 L M は、X - Y 平面に平行に配向しているとは限らず、プレチルトしている場合が多い。このため、ここでの液晶分子 L M の初期配向方向とは、 O F F 時の液晶分子 L M の長軸を X - Y 平面に正射影した方向である。以下では、説明を簡略にするために、液晶分子 L M は、X - Y 平面に平行に配向しているものとし、X - Y 平面と平行な面内で回転するものとして説明する。

20

【 0 0 7 5 】

ここでは、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 は、ともに第 2 方向 Y と略平行な方向である。 O F F 時においては、液晶分子 L M は、図 3 に破線で示したように、その長軸が第 2 方向 Y と略平行な方向に初期配向する。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y と平行（あるいは、第 2 方向 Y に対して 0° ）である。

【 0 0 7 6 】

30

図示した例のように、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が平行且つ同じ向きである場合、液晶層 L Q の断面において、液晶分子 L M は、液晶層 L Q の中間部付近で略水平（プレチルト角が略ゼロ）に配向し、ここを境界として第 1 配向膜 A L 1 の近傍及び第 2 配向膜 A L 2 の近傍において対称となるようなプレチルト角を持って配向する（スプレイ配向）。なお、第 1 配向処理方向 P D 1 及び第 2 配向処理方向 P D 2 が互いに平行且つ逆向きである場合、液晶層 L Q の断面において、液晶分子 L M は、第 1 配向膜 A L 1 の近傍、第 2 配向膜 A L 2 の近傍、及び、液晶層 L Q の中間部において略均一なプレチルト角を持って配向する（ホモジニアス配向）。

【 0 0 7 7 】

バックライト 4 からのバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光の偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態によって異なる。 O F F 時においては、液晶層 L Q を通過した光は、第 2 偏光板 P L 2 によって吸収される（黒表示）。

40

【 0 0 7 8 】

一方、液晶層 L Q に電圧が印加された状態、つまり、画素電極 P E と共通電極 C E との間に電位差（あるいは電界）が形成された状態（ O N 時）では、画素電極 P E と共通電極 C E との間に基板と略平行な横電界（あるいは斜め電界）が形成される。液晶分子 L M は、電界の影響を受け、その長軸が図中の実線で示したように X - Y 平面と略平行な平面内で回転する。

【 0 0 7 9 】

50

図 3 に示した例では、画素電極 P E と第 2 主共通電極 C A L 2 及び第 2 副共通電極 C B B 2 とで囲まれた領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し、図中の左下を向くように配向する。画素電極 P E と第 2 主共通電極 C A R 2 及び第 2 副共通電極 C B U 2 とで囲まれた領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し、図中の右下を向くように配向する。画素電極 P E と第 2 主共通電極 C A L 2 及び第 2 副共通電極 C B U 2 とで囲まれた領域内の液晶分子 L M は、第 2 方向 Y に対して反時計回りに回転し、図中の左上を向くように配向する。画素電極 P E と第 2 主共通電極 C A R 2 及び第 2 副共通電極 C B U 2 とで囲まれた領域内の液晶分子 L M は、第 2 方向 Y に対して時計回りに回転し、図中の右上を向くように配向する。

【 0 0 8 0 】

このように、各画素 P X において、画素電極 P E と共通電極 C E との間に電界が形成された状態では、液晶分子 L M の配向方向は、画素電極 P E と重なる位置を境界として複数の方向に分かれ、それぞれの配向方向でドメインを形成する。つまり、一画素 P X には、複数のドメインが形成される。

【 0 0 8 1 】

このような ON 時には、バックライト 4 から液晶表示パネル L P N に入射したバックライト光は、その一部が第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶層 L Q に入射したバックライト光は、その偏光状態が変化する。このような ON 時には、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【 0 0 8 2 】

本実施形態によれば、アレイ基板 A R は、主画素電極 P A を挟んだ両側に位置するとともに副画素電極 P B を挟んだ両側のうちの少なくとも一方で途切れた第 1 主共通電極 C A 1 を備えている。このため、副画素電極 P B の第 1 方向 X に沿った幅が拡大したり、画素 P X の第 1 方向 X に沿った幅が縮小したりした場合であっても、画素電位となる副画素電極 P B とコモン電位の第 1 主共通電極 C A 1 との水平電極間距離を十分に確保することが可能となる。したがって、画素電極 P E と共通電極 C E とのショートに起因した表示不良の発生を抑制することが可能となる。また、第 1 方向 X に沿った画素ピッチを低減した狭画素ピッチに対応することが可能となり、高精細化が可能となる。

【 0 0 8 3 】

また、第 1 主共通電極 C A 1 がソース配線 S と対向するため、ソース配線 S からの不所望な電界を遮蔽することが可能となる。このため、ソース配線 S から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、クロストーク（例えば、当該画素 P X が黒を表示する画素電位に設定されている状態で、当該画素 P X に接続されたソース配線に白を表示する画素電位が供給されたときに、当該画素 P X の一部から光漏れが生じて輝度の上昇を招く現象）などの表示不良の発生を抑制することが可能となる。したがって、表示品位の良好な液晶表示装置を提供することができる。

【 0 0 8 4 】

なお、ソース配線 S からの電界の遮蔽性能を向上するために、第 1 主共通電極 C A 1 の第 1 方向 X に沿った幅は、ソース配線 S の第 1 方向 X に沿った幅よりも大きく設定されることが望ましい。

【 0 0 8 5 】

また、第 1 副共通電極 C B 1 がゲート配線 G と対向するため、ゲート配線 G からの不所望な電界を遮蔽することが可能となる。このため、ゲート配線 G から液晶層 L Q に対して不所望なバイアスが印加されることを抑制することができ、焼きツキなどの表示不良の発生、さらには、液晶分子の配向不良に起因した光漏れの発生を抑制することが可能となる。したがって、表示品位の良好な液晶表示装置を提供することができる。

【 0 0 8 6 】

なお、ゲート配線 G からの電界の遮蔽性能を向上するために、第 1 副共通電極 C B 1 の第 2 方向 Y に沿った幅は、ゲート配線 G の第 2 方向 Y に沿った幅よりも大きく設定される

10

20

30

40

50

ことが望ましい。

【0087】

また、これらの第1主共通電極CA1及び第1副共通電極CB1は、互いに電氣的に接続され、略格子状に形成されているため、冗長性を向上することが可能となる。したがって、アレイ基板ARに備えられた共通電極CEの一部で断線が発生したとしても、各画素PXに安定してコモン電位を供給することが可能となり、表示不良の発生を抑制することが可能となる。

【0088】

さらに、アレイ基板ARに備えられた第1主共通電極CA1及び第1副共通電極CB1が互いに電氣的に接続されているため、第1方向Xに隣接する各画素、及び、第2方向Yに隣接する各画素に対して同一のコモン電位を供給することが可能となるとともに、ゲート配線G及びソース配線Sからの電界の影響を受けにくく、HV反転駆動やVライン反転駆動など、共通電極に印加されるコモン電位がDCとなる駆動方法を適用した場合に、表示不良の発生を抑制することが可能となる。

【0089】

また、本実施形態によれば、画素電極PEと共通電極CEとの間の電極間隙において高い透過率が得られるため、一画素あたりの透過率を十分に高くするためには、画素電極PEと主共通電極CAL及び主共通電極CARとの間の電極間距離を拡大することで対応することが可能となる。また、画素ピッチが異なる製品仕様に対しては、電極間距離を変更する（つまり、画素PXの略中央に配置された主画素電極PAに対して主共通電極CAの配置位置を変更する）ことで、透過率分布のピーク条件を利用することが可能となる。つまり、本実施形態の表示モードにおいては、比較的画素ピッチが大きな低解像度の製品仕様から比較的画素ピッチが小さい高解像度の製品仕様まで、微細な電極加工を必ずしも必要とせず、電極間距離の設定により種々の画素ピッチの製品を提供することが可能となる。したがって、高透過率且つ高解像度の要求を容易に実現することが可能となる。

【0090】

また、本実施形態によれば、ブラックマトリクスBMと重なる領域で透過率が十分に低下している。これは、共通電極CEの位置よりも当該画素の外側に電界の漏れが発生せず、また、ブラックマトリクスBMを挟んで隣接する画素間で不所望な横電界が生じないため、ブラックマトリクスBMと重なる領域の液晶分子がOFF時（あるいは黒表示時）と同様に初期配向状態を保っているためである。したがって、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0091】

また、アレイ基板ARと対向基板CTとの合わせずれが生じた際に、画素電極PEを挟んだ両側の共通電極CEとの電極間距離に差が生じることがある。しかしながら、このような合わせずれは、全ての画素PXに共通に生じるため、画素PX間での電界分布に相違はなく、画像の表示に及ぼす影響はきわめて小さい。また、例えばアレイ基板ARと対向基板CTとの間で合わせズレが生じたとしても、隣接する画素への不所望な電界の漏れを抑制することが可能となる。このため、隣接する画素間でカラーフィルタの色が異なる場合であっても、混色の発生を抑制することが可能となり、色再現性の低下やコントラスト比の低下を抑制することが可能となる。

【0092】

また、本実施形態によれば、第1主共通電極CA1はそれぞれソース配線Sと対向し、第2主共通電極CA2は第1主共通電極CA1と対向している。つまり、ソース配線S、第1主共通電極CA1、及び、第2主共通電極CA2は、液晶表示パネルLPNの法線方向に沿ってこの順に並んでいる。このような構成の場合には、第1主共通電極CA1及び第2主共通電極CA2がソース配線Sの上方の位置よりも画素電極PEの側に配置された場合と比較して、開口部APを拡大することができ、画素PXの透過率を向上することが可能となる。

10

20

30

40

50

【 0 0 9 3 】

また、第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 がソース配線 S の上方の位置よりも画素電極 P E の側に配置された場合と比較して、画素電極 P E と第 1 主共通電極 C A 1 及び第 2 主共通電極 C A 2 との間の電極間距離を拡大することが可能となり、より水平に近い横電界を形成することが可能となる。このため、従来の構成である IPS モード等の利点である広視野角化も維持することが可能となる。

【 0 0 9 4 】

また、本実施形態によれば、一画素内に複数のドメインを形成することが可能となる。このため、複数の方向で視野角を光学的に補償することができ、広視野角化が可能となる。

10

【 0 0 9 5 】

なお、上記の例では、液晶分子 L M の初期配向方向が第 2 方向 Y と平行である場合について説明したが、液晶分子 L M の初期配向方向は、図 3 に示したように、第 2 方向 Y を斜めに交差する斜め方向 D であっても良い。ここで、第 2 方向 Y に対する初期配向方向 D のなす角度 $\theta 1$ は、 0° より大きく 45° より小さい角度である。なお、このなす角度 $\theta 1$ については、 $5^\circ \sim 30^\circ$ 程度、より望ましくは 20° 以下とすることが液晶分子 L M の配向制御の観点で極めて有効である。つまり、液晶分子 L M の初期配向方向は、第 2 方向 Y に対して 0° 乃至 20° の範囲内の方向と略平行であることが望ましい。

【 0 0 9 6 】

また、上記の例では、液晶層 L Q が正（ポジ型）の誘電率異方性を有する液晶材料によって構成された場合について説明したが、液晶層 L Q は、誘電率異方性が負（ネガ型）の液晶材料によって構成されていても良い。但し、詳しい説明は省略するが、誘電率異方性が正負逆となる関係上、ネガ型液晶材料の場合、上記したなす角度 $\theta 1$ が $45^\circ \sim 90^\circ$ 、望ましくは 70° 以上とすることが好ましい。

20

【 0 0 9 7 】

なお、ON 時においても、画素電極 P E 上あるいは共通電極 C E 上では、横電界がほとんど形成されない（あるいは、液晶分子 L M を駆動するのに十分な電界が形成されない）ため、液晶分子 L M は、OFF 時と同様に初期配向方向からほとんど動かない。このため、画素電極 P E 及び共通電極 C E が I T O などの光透過性の導電材料によって形成されていても、これらの領域ではバックライト光がほとんど透過せず、ON 時において表示にほとんど寄与しない。したがって、画素電極 P E 及び共通電極 C E は、必ずしも透明な導電材料によって形成される必要はなく、アルミニウムや銀、銅などの導電材料を用いて形成しても良い。

30

【 0 0 9 8 】

本実施形態において、画素 P X の構造は、図 2 及び図 3 に示した例に限定されるものではない。また、本実施形態においては、共通電極 C E を構成する第 2 副共通電極 C B 2 を省略しても良い。

【 0 0 9 9 】

以下に、より具体的な例について説明する。

【 0 1 0 0 】

図 5 は、アレイ基板 A R におけるアクティブエリア A C T の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

40

【 0 1 0 1 】

図示した例は、青色画素 P X B 1、赤色画素 P X R 1、緑色画素 P X G 1、青色画素 P X B 2、赤色画素 P X R 2 がこの順に第 1 方向 X に沿って並んでいる場合に相当する。各画素に配置された画素電極 P E は左上がりの斜線で示し、共通電極 C E を構成する第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は右上がりの斜線で示している。

【 0 1 0 2 】

青色画素 P X B 1 に着目すると、副画素電極 P B は、画素中央部よりも図中の左側に偏在している。画素電極 P E の右側に位置する第 1 主共通電極 C A 1 は途切れることなく第

50

2 方向 Y に延出しているのに対して、画素電極 P E の左側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置で途切れた間隙部 K G が設けられている。他の青色画素 P X B 2 や、第 2 方向 Y に隣接する青色画素についても同様である。

【 0 1 0 3 】

赤色画素 P X R 1 に着目すると、副画素電極 P B は、画素中央部よりも図中の右側に偏在している。画素電極 P E の左側に位置する第 1 主共通電極 C A 1 は途切れることなく第 2 方向 Y に延出しているのに対して、画素電極 P E の右側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置で途切れている。すなわち、画素電極 P E の右側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置に間隙部 K G が設けられている。他の赤色画素 P X R 2 や、第 2 方向 Y に隣接する赤色画素についても同様である。

10

【 0 1 0 4 】

緑色画素 P X G 1 に着目すると、副画素電極 P B は、画素の略中央部に位置している。画素電極 P E の両側に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置で途切れている。すなわち、第 1 主共通電極 C A 1 には間隙部 K G が設けられている。図示していないが、他の緑色画素についても同様である。

【 0 1 0 5 】

つまり、図示した例では、赤色画素と緑色画素との間、及び、緑色画素と青色画素との間の第 1 主共通電極 C A 1 は、各副画素電極 P B と向かい合う位置で途切れている。これにより、各副画素電極 P B と第 1 主共通電極 C A 1 との間の第 1 方向 X に沿った水平電極間距離を十分に確保することが可能となる。一方で、赤色画素と青色画素との間の第 1 主共通電極 C A 1 は、アクティブエリア A C T において途切れることなく第 2 方向 Y に沿って直線的に延出している。これにより、アレイ基板 A R に備えられた共通電極の第 1 主共通電極 C A 1 と第 1 副共通電極 C B 1 とがアクティブエリア A C T 内で電氣的に接続され、冗長化が可能となる。また、特定の色画素間、つまり、赤色画素と青色画素との間で第 1 主共通電極 C A 1 を延出し、第 2 方向 Y に沿って隣接する画素間の第 1 副共通電極 C B 1 を電氣的に接続している。赤色や青色は、緑色と比較して比視感度が低いため、例えこれらの特定の色画素で表示ムラが発生したとしても、視認性が低く、表示品位に与える影響を低減することが可能となる。

20

【 0 1 0 6 】

図 6 は、アレイ基板 A R におけるアクティブエリア A C T の別の構造例を概略的に示す平面図である。ここでは、X - Y 平面における平面図を示している。

30

【 0 1 0 7 】

図示した例は、青色画素 P X B 1、赤色画素 P X R 1、緑色画素 P X G 1、青色画素 P X B 2、赤色画素 P X R 2 がこの順に第 1 方向 X に沿って並んでいる場合に相当する。各画素に配置された画素電極 P E は左上がりの斜線で示し、共通電極 C E を構成する第 1 主共通電極 C A 1 及び第 1 副共通電極 C B 1 は右上がりの斜線で示している。

【 0 1 0 8 】

赤色画素 P X R 1 と緑色画素 P X G 1 に着目すると、赤色画素 P X R 1 の画素電極 P E の左側、及び、緑色画素 P X G 1 の画素電極 P E の右側に位置する第 1 主共通電極 C A 1 は途切れることなく第 2 方向 Y に延出しているのに対して、赤色画素 P X R 1 と緑色画素 P X G 1 の画素電極 P E の間に位置する第 1 主共通電極 C A 1 は副画素電極 P B と向かい合う位置で途切れた間隙部 K G を設けている。また、赤色画素 P X R 1 と緑色画素 P X G 1 の副画素電極 P B は、画素中央部よりも図中の間隙部 K G の方向に偏在している。

40

【 0 1 0 9 】

この間隙部 K G は、ソース配線 S の 1 本置きに設けられている。言い換えれば、隣接する 2 画素に 1 つの間隙部 K G が存在する。このように間隙部 K G を配置すると、画素電極 P E と間隙部 K G との距離よりも画素電極 P E と共通電極 C A 1 との間の距離を大きくすることができるために、製造上生じる電極間のショートを抑制する効果が生じる。

【 0 1 1 0 】

50

図7は、アレイ基板ARにおけるアクティブエリアACTの別の構造例を概略的に示す平面図である。ここでは、X-Y平面における平面図を示している。

【0111】

画素PXの間隔に対してコンタクトホールCHが大きい場合には、コンタクトホールCHを画素PXのセンターラインから間隙部KGの方向にずらして配置する。言い換えれば、画素PXのセンターラインと間隙部KGの間にコンタクトホールの中心を配置する。あるいは、隣接する画素において間隙部KGを挟んだコンタクトホールCH間の距離は、隣接する画素において共通電極を挟んだコンタクトホールCH間の距離よりも小さくなるように、コンタクトホールを配置する。このようにコンタクトホールCHを配置することによって、画素電極PEがコンタクトホールCHのすべてを覆っても、エッチングが不十分な場合に生じる製造時の共通電極CA1と画素電極PEの間のショートを回避することができる。

10

【0112】

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することが可能となる。

【0113】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

20

【符号の説明】

【0114】

LPN...液晶表示パネル

AR...アレイ基板 CT...対向基板 LQ...液晶層

PE...画素電極 PA...主画素電極 PB...副画素電極

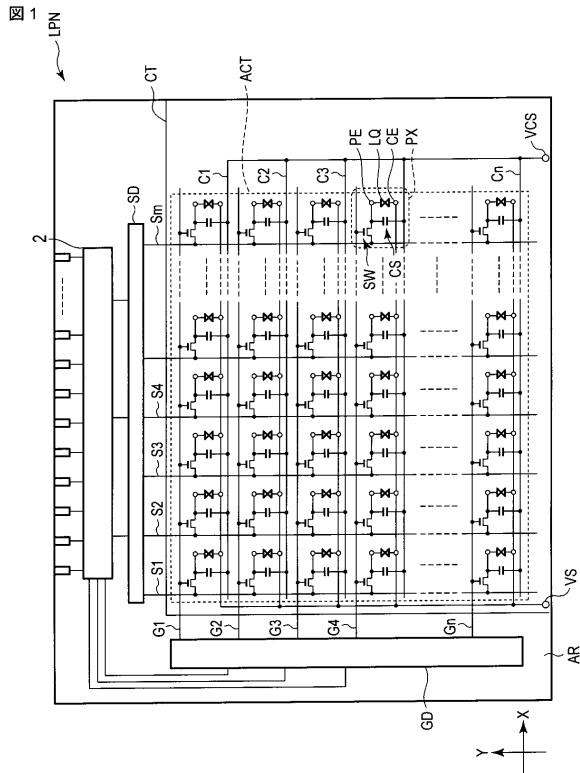
CE...共通電極 CA...主共通電極 CB...副共通電極

CA1...第1主共通電極 CB1...第1副共通電極

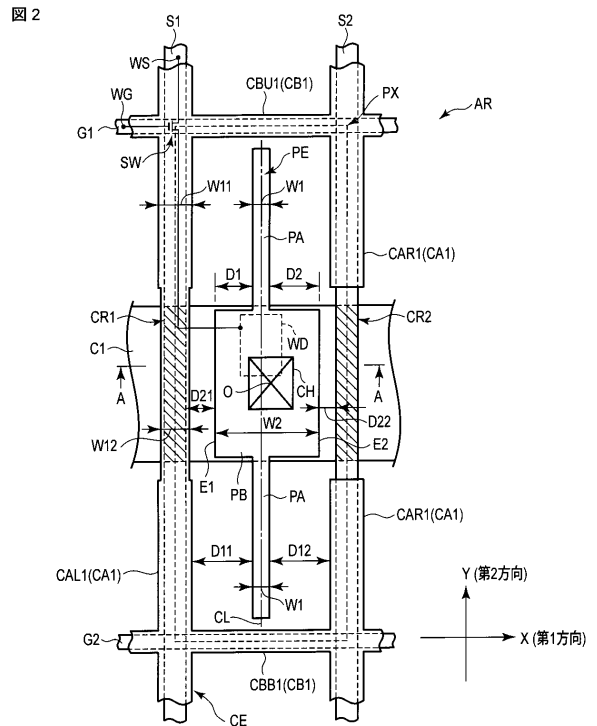
CA2...第2主共通電極 CB2...第2副共通電極

30

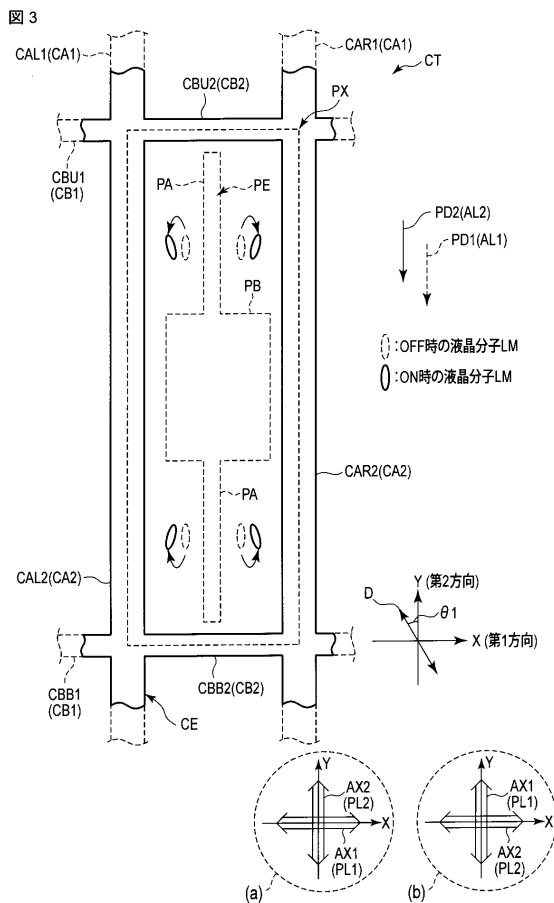
【図 1】



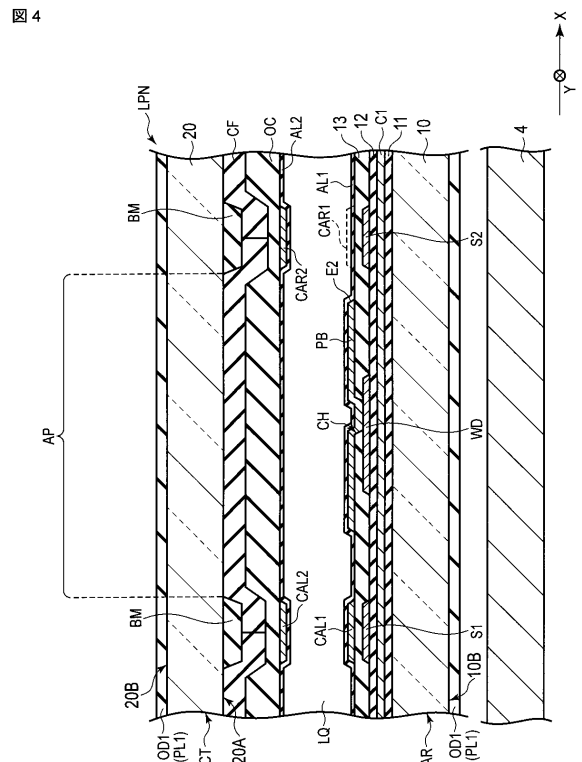
【図 2】



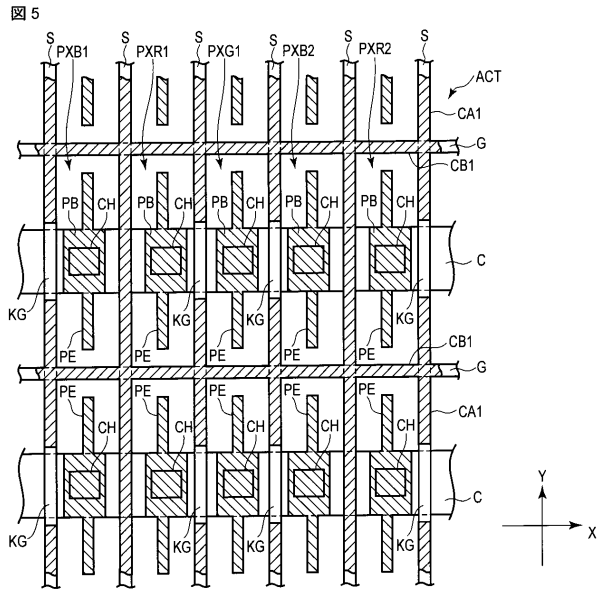
【図 3】



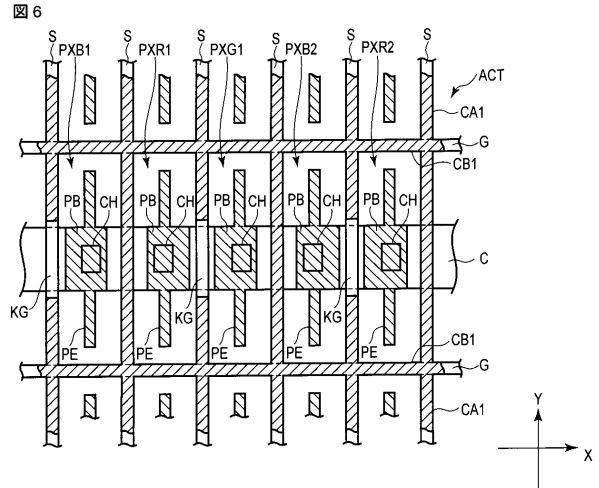
【図 4】



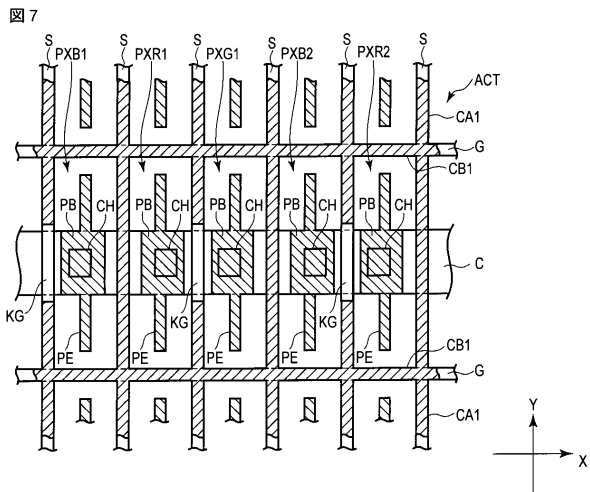
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(74)代理人 100095441
弁理士 白根 俊郎
(74)代理人 100084618
弁理士 村松 貞男
(74)代理人 100103034
弁理士 野河 信久
(74)代理人 100119976
弁理士 幸長 保次郎
(74)代理人 100153051
弁理士 河野 直樹
(74)代理人 100140176
弁理士 砂川 克
(74)代理人 100158805
弁理士 井関 守三
(74)代理人 100124394
弁理士 佐藤 立志
(74)代理人 100112807
弁理士 岡田 貴志
(74)代理人 100111073
弁理士 堀内 美保子
(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 中村 真人

埼玉県深谷市幡羅町一丁目 9 番地 2 東芝モバイルディスプレイ株式会社内

F ターム(参考) 2H092 GA13 GA14 GA29 GA60 JA25 JA26 JA46 JB05 JB13 JB69
KA04 KA05 NA01 NA07 NA16 PA02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2013020189A	公开(公告)日	2013-01-31
申请号	JP2011155150	申请日	2011-07-13
申请(专利权)人(译)	有限公司日本展示中心		
[标]发明人	中村真人		
发明人	中村 真人		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/133707 G02F1/134363 G02F2001/134318		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA13 2H092/GA14 2H092/GA29 2H092/GA60 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB05 2H092/JB13 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA01 2H092/NA07 2H092/NA16 2H092/PA02 2H192/AA24 2H192/AA43 2H192/BA32 2H192/BB32 2H192/BB52 2H192/BB73 2H192/BC32 2H192/CC05 2H192/DA12 2H192/DA74 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB02 2H192/FB27 2H192/GA03 2H192/GA42 2H192/GD12 2H192/GD42 2H192/GD61 2H192/JA33		
代理人(译)	河野 哲 中村诚 河野直树 冈田隆		
其他公开文献	JP5759813B2		
外部链接	Espacenet		

摘要(译)

提供一种能够抑制显示质量的劣化的液晶显示装置。提供了主像素电极，该主像素电极在第一方向上具有第一宽度并且沿着与第一方向相交的第二方向延伸，并且在第一方向上具有比第一宽度大的第二宽度。子像素电极具有第一边缘和第二边缘彼此面对并且电连接到主像素电极，并且在将主像素电极，第一边缘和第二边缘夹在中间的两侧上沿着第二方向延伸。第一主公共电极在面向至少一个第二边缘的位置处中断，并且第一子公共电极沿着第一方向延伸并且电连接到第一主公共电极。第一基板，第二基板面对第一主公共电极并沿第二方向延伸，并且具有电连接到第一主公共电极的第二主公共电极；一种液晶显示装置，包括：液晶层，其被保持在第一基板和第二基板之间。[选择图]图3

