

(11)特許出願公開番号

特開2011-76034

(P2011-76034A)

(43) 公開日 平成23年4月14日(2011.4.14)

(51) Int.Cl.

F 1

テーマコード (参考)

G02F 1/133 (2006.01)

G O 2 F 1/133 5 5 0

550

2H193

G09G 3/20 (2006.01)

G O 9 G 3/20 6 2 1

621

5C006

G09G 3/36 (2006.01)

G O 9 G 3/20 6 2 1

621

5C058

HO4N 5/66 (2006.01)

G O 9 G 3/20 6 2 2

622

5C080

G O 9 G 3/20 6 2 3 U

審査請求 未請求 請求項の数 14 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2009-230318 (P2009-230318)

(22) 出願日 平成21年10月2日 (2009.10.2)

(71) 出願人 000002185

ソニー株式会社

東京都港区港南1丁目7番1号

(74) 代理人 100098785

弁理士 藤島 洋一郎

(74) 代理人 100109656

弁理士 三反崎 泰司

(74) 代理人 100130915

弁理士 長谷部 政男

(74) 代理人 100155376

弁理士 田名網 孝昭

(72) 発明者 鈴木 俊明

東京都港区港南1丁目7番1号 ソニー株
式会社内

[最終頁に続く](#)

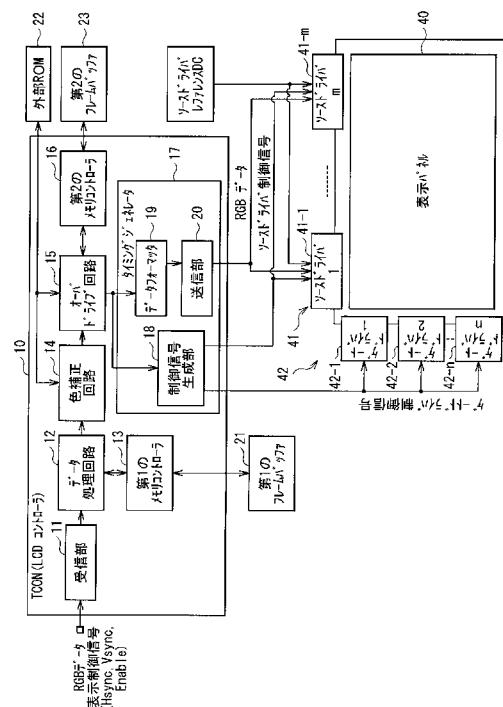
(54) 【発明の名称】 画像表示装置およびその駆動方法

(57) 【要約】

【課題】例えば120Hzの駆動性能を有する液晶表示パネルにおいて擬似的に240Hzの駆動を行うことができるようにする。

【解決手段】表示パネル４０は、複数のゲートラインと複数のソースラインとの交点に対応する位置に１つずつ配置され、それぞれが独立して駆動制御が可能とされた複数のサブ画素電極を有する。駆動制御手段（主としてタイミングコントローラ１０）は、複数のゲートラインを１ラインずつ順次選択して複数のサブ画素電極を１水平ラインずつ走査する第１の駆動モードと、複数のゲートラインをＮラインずつ順次同時に選択して複数のサブ画素電極をＮ水平ラインずつ走査する第２の駆動モードとの２つの駆動モードを選択的に用いて表示パネル４０を駆動制御する。駆動制御手段は、第２の駆動モードでは、同一のソースライン上で垂直方向に連続するＮ個のサブ画素電極を１つの駆動単位として表示駆動を行う。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

水平方向に延在する走査用の複数のゲートラインと、前記複数のゲートラインに交差するように垂直方向に延在し、入力画像信号に応じた駆動信号が入力される複数のソースラインと、前記複数のゲートラインと前記複数のソースラインとの交点に対応する位置に1つずつ配置され、それぞれが独立して駆動制御が可能とされた複数のサブ画素電極とを有する表示パネルと、

前記複数のゲートラインを1ラインずつ順次選択して前記複数のサブ画素電極を1水平ラインずつ走査する第1の駆動モードと、前記複数のゲートラインをN（Nは2以上の整数）ラインずつ順次同時に選択して前記複数のサブ画素電極をN水平ラインずつ走査する第2の駆動モードとの2つの駆動モードを選択的に用いて前記表示パネルを駆動制御することで、前記入力画像信号に応じた画像を前記表示パネルに表示させる駆動制御手段とを備え、

前記駆動制御手段は、

前記第1の駆動モードでは、

同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある2つのサブ画素電極を互いに異なる階調特性で駆動すると共に、それら2つのサブ画素電極を組み合わせて全体として1画素とみなして表示駆動を行い、

前記第2の駆動モードでは、

同一のソースライン上で垂直方向に連続するN個のサブ画素電極を1つの駆動単位として表示駆動を行う

ようになされている画像表示装置。

【請求項 2】

前記表示パネルにおいて、前記複数のサブ画素電極は、第1のサブ画素電極と、前記第1のサブ画素電極とは面積の異なる第2のサブ画素電極との2種類のサブ画素電極からなり、かつ、水平方向と垂直方向とに前記2種類のサブ画素電極が交互に配置されており、

前記駆動制御手段は、

前記第1の駆動モードでは、

同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある第1のサブ画素電極と第2のサブ画素電極とを互いに異なる階調特性で駆動すると共に、それら第1のサブ画素電極と第2のサブ画素電極とを組み合わせて全体として1画素とみなして表示駆動を行い、

前記第2の駆動モードでは、

前記複数のゲートラインを2ラインずつ順次同時に選択して前記複数のサブ画素電極を2つの水平ラインずつ走査するようになされ、かつ、同一のソースライン上で垂直方向に隣接し、かつ異なる2つのゲートライン上にある第1のサブ画素電極と第2のサブ画素電極とを全体として1画素とみなして表示駆動を行う

ようになされている請求項1に記載の画像表示装置。

【請求項 3】

前記表示パネルにおいて、前記第2のサブ画素電極は、前記第1のサブ画素電極よりも面積が大きい構成とされ、

前記駆動制御手段は、

前記第1の駆動モードにおいて、第1のゲートラインと、互いに隣接する第1および第2のソースラインとの交点にある第1のサブ画素電極と第2のサブ画素電極とを組み合わせた画素を第1の画素とし、前記第1のゲートラインに隣接する第2のゲートラインと前記第1および第2のソースラインとの交点にある他の第1のサブ画素電極と他の第2のサブ画素電極とを組み合わせた画素を第2の画素としたとき、

前記第2の駆動モードでは、前記第1および第2のゲートラインを同時に選択したとき、前記第1および第2のゲートラインと前記第1および第2のソースラインとの交点にある各サブ画素電極に関して、前記第1のゲートライン上の前記第2のサブ画素電極と前記

第2のゲートライン上の前記他の第1のサブ画素電極とを前記第1の画素とみなし、前記第1のゲートライン上の前記第1のサブ画素電極と前記第2のゲートライン上の前記他の第2のサブ画素電極とを前記第2の画素とみなして表示駆動を行う

ようになされている請求項2に記載の画像表示装置。

【請求項4】

前記駆動制御手段は、

前記第1の駆動モードにおいて1画素とみなした各サブ画素電極における階調特性と、前記第2の駆動モードにおいて1画素とみなした各サブ画素電極における階調特性とを互いに異ならせるような駆動を行う

ようになされている請求項2に記載の画像表示装置。

10

【請求項5】

前記駆動制御手段は、

前記第2の駆動モードでは、前記入力画像信号における隣接する第1および第2の水平画素ライン上で上下に隣接する2つの画素の画素データに基づいて、前記1画素とみなした第1のサブ画素電極と第2のサブ画素電極とに印加する駆動信号の信号レベルを決定し、その駆動信号を1つのソースラインを介して前記第1のサブ画素電極と前記第2のサブ画素電極とに入力する

ようになされている請求項2に記載の画像表示装置。

【請求項6】

前記駆動制御手段は、

前記第2の駆動モードでは、前記入力画像信号における隣接する第1および第2の水平画素ライン上で上下に隣接する2つの画素の画素データと、前記2つの画素の周辺に位置する複数の他の画素の画素データとの相関に基づいて、前記1画素とみなした第1のサブ画素電極と第2のサブ画素電極とに印加する駆動信号の信号レベルを決定し、その駆動信号を1つのソースラインを介して前記第1のサブ画素電極と前記第2のサブ画素電極とに入力する

ようになされている請求項2に記載の画像表示装置。

20

【請求項7】

前記表示パネルにおいて、前記第2のサブ画素電極は、前記第1のサブ画素電極よりも面積が大きい構成とされ、

30

前記第1の駆動モードにおいて、第1のゲートラインと、互いに隣接する第1および第2のソースラインとの交点にある第1のサブ画素電極と第2のサブ画素電極とを組み合わせた画素を第1の画素とし、前記第1のゲートラインに隣接する第2のゲートラインと前記第1および第2のソースラインとの交点にある他の第1のサブ画素電極と他の第2のサブ画素電極とを組み合わせた画素を第2の画素としたとき、

前記第1のゲートライン上の前記第1のサブ画素電極の形成領域と前記第2のゲートライン上の前記他の第1のサブ画素電極の形成領域とを組み合わせたときの重心位置が、前記第1の画素と前記第2の画素とが形成された全体の領域の中心位置と一致するような電極配置とされている

請求項2に記載の画像表示装置。

40

【請求項8】

前記表示パネルにおいて、前記複数のサブ画素電極は、第1のサブ画素電極と、前記第1のサブ画素電極とは面積の異なる第2のサブ画素電極との2種類のサブ画素電極からなり、かつ、水平方向には前記2種類のサブ画素電極が交互に配置されると共に、垂直方向にはNラインずつ同一種類のサブ画素電極が周期的に現れるような画素配置とされており、

前記駆動制御手段は、

前記第1の駆動モードでは、

同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある第1のサブ画素電極と第2のサブ画素電極とを互いに異なる階調特性で駆動すると共に、そ

50

れら第1のサブ画素電極と第2のサブ画素電極とを組み合わせる全体として1画素とみなして表示駆動を行い、

前記第2の駆動モードでは、

第1のソースライン上で垂直方向にN個連続して配置された第1の種類のサブ画素電極と、前記第1のソースラインに隣接する第2のソースライン上で垂直方向にN個連続して配置された第2の種類のサブ画素電極とを水平方向に互いに異なる階調特性となるように駆動すると共に、それらN個の第1の種類のサブ画素電極とN個の第2の種類のサブ画素電極とを水平方向に組み合わせる全体として1画素とみなして表示駆動を行う

ようになされている請求項1に記載の画像表示装置。

【請求項9】

10

前記駆動制御手段は、

前記第2の駆動モードでは、入力画像信号からN水平ラインごとに(N-1)水平ラインのデータの間引きを行った画像信号を生成し、その間引き後の画像信号に基づいて前記表示パネルを駆動する

ようになされている請求項8に記載の画像表示装置。

【請求項10】

前記駆動制御手段は、

前記第2の駆動モードでは、前記第1の駆動モードに対して1/Nの走査期間で1画面の走査を行う

ようになされている請求項1に記載の画像表示装置。

20

【請求項11】

前記駆動制御手段には、前記入力画像信号として、互いに視差のある左眼用画像と右眼用画像とが時間順次で含まれる立体画像信号が入力され、

前記駆動制御手段は、

前記第2の駆動モードでは、

1フレーム期間内に、同一の左眼用画像をN回連続して表示すると共に、前記左眼用画像の表示前または表示後に、同一の右眼用画像をN回連続して表示する制御を行う

ようになされている請求項1に記載の画像表示装置。

【請求項12】

30

水平方向に延在する走査用の複数のゲートラインと、前記複数のゲートラインに交差するように垂直方向に延在し、入力画像信号に応じた駆動信号が入力される複数のソースラインと、前記複数のゲートラインと前記複数のソースラインとの交点に対応する位置に1つつ配置され、それぞれが独立して駆動制御が可能とされた複数のサブ画素電極とを有する表示パネルと、

前記複数のゲートラインを1ラインずつ順次選択して前記複数のサブ画素電極を1水平ラインずつ走査する第1の駆動モードと、前記複数のゲートラインをN(Nは2以上の整数)ラインずつ順次同時に選択して前記複数のサブ画素電極をN水平ラインずつ走査する第2の駆動モードとの2つの駆動モードで前記表示パネルを選択的に駆動制御を行う駆動制御手段と

を備え、

40

前記駆動制御手段は、

前記第1の駆動モードでは、

同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある2つのサブ画素電極を互いに異なる階調特性で駆動すると共に、それら2つのサブ画素電極を組み合わせる全体として1画素とみなして表示駆動を行い、

前記第2の駆動モードでは、

第1のソースライン上で垂直方向に連続して配置されたN個のサブ画素電極と、前記第1のソースラインに隣接する第2のソースライン上で垂直方向に連続して配置されたN個のサブ画素電極とを組み合わせる全体として1画素とみなして表示駆動を行う

ようになされている画像表示装置。

50

【請求項 1 3】

水平方向に延在する走査用の複数のゲートラインと、前記複数のゲートラインに交差するように垂直方向に延在し、入力画像信号に応じた駆動信号が入力される複数のソースラインと、前記複数のゲートラインと前記複数のソースラインとの交点に対応する位置に1つずつ配置され、それぞれが独立して駆動制御が可能とされた複数のサブ画素電極とを有する表示パネルを、駆動制御手段によって制御し、

前記駆動制御手段が、

前記複数のゲートラインを1ラインずつ順次選択して前記複数のサブ画素電極を1水平ラインずつ走査する第1の駆動モードと、前記複数のゲートラインをN（Nは2以上の整数）ラインずつ順次同時に選択して前記複数のサブ画素電極をN水平ラインずつ走査する第2の駆動モードとの2つの駆動モードを選択的に用いて前記表示パネルを駆動制御することで、前記入力画像信号に応じた画像を前記表示パネルに表示させ、

前記第1の駆動モードでは、

同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある2つのサブ画素電極を互いに異なる階調特性で駆動すると共に、それら2つのサブ画素電極を組み合わせて全体として1画素とみなして表示駆動を行い、

前記第2の駆動モードでは、

同一のソースライン上で垂直方向に連続するN個のサブ画素電極を1つの駆動単位として表示駆動を行う

ようにした画像表示装置の駆動方法。

【請求項 1 4】

水平方向に延在する走査用の複数のゲートラインと、前記複数のゲートラインに交差するように垂直方向に延在し、入力画像信号に応じた駆動信号が入力される複数のソースラインと、前記複数のゲートラインと前記複数のソースラインとの交点に対応する位置に1つずつ配置され、それぞれが独立して駆動制御が可能とされた複数のサブ画素電極とを有する表示パネルを、駆動制御手段によって制御し、

前記駆動制御手段が、

前記複数のゲートラインを1ラインずつ順次選択して前記複数のサブ画素電極を1水平ラインずつ走査する第1の駆動モードと、前記複数のゲートラインをN（Nは2以上の整数）ラインずつ順次同時に選択して前記複数のサブ画素電極をN水平ラインずつ走査する第2の駆動モードとの2つの駆動モードを選択的に用いて前記表示パネルを駆動制御することで、前記入力画像信号に応じた画像を前記表示パネルに表示させ、

前記第1の駆動モードでは、

同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある2つのサブ画素電極を互いに異なる階調特性で駆動すると共に、それら2つのサブ画素電極を組み合わせて全体として1画素とみなして表示駆動を行い、

前記第2の駆動モードでは、

第1のソースライン上で垂直方向に連続して配置されたN個のサブ画素電極と、前記第1のソースラインに隣接する第2のソースライン上で垂直方向に連続して配置されたN個のサブ画素電極とを組み合わせて全体として1画素とみなして表示駆動を行う

ようにした画像表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばメガネ式の立体表示に利用される画像表示装置および画像表示装置の駆動方法に関する。

【背景技術】

【0002】

従来より、液晶シャッタを利用した立体視用の特殊なメガネを装着させて観察者の両眼に視差のある別々の画像を見せることで、立体視を実現する眼鏡式の立体表示装置が知ら

10

20

30

40

50

れている。立体視を実現するためには、左眼と右眼とに異なる視差画像を見せる必要があるため、左眼用画像と右眼用画像との2つの視差画像が必要となる。メガネ式の立体表示装置では、2次元表示パネルに時分割で左眼用画像と右眼用画像とを交互に表示し、その表示タイミングに同期させて液晶シャッタメガネのシャッタを左眼と右眼とで交互にオン／オフ（開／閉）制御することで、立体視を実現する。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開平11-95722号公報

【特許文献2】特開2005-316211号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

立体表示装置において、2次元表示パネルに両眼視差画像を表示する場合、左右の各視差画像の表示間隔が空きすぎてしまうとフリッカが発生する。これを解決するために、通常の60Hz（または50Hz）のフレーム周波数期間内に、左右の各視差画像を時分割で表示する方法がある。この場合、各視差画像が120Hz（または100Hz）のフレーム周波数で表示される。この場合、2次元表示パネルとしては、通常の60Hzの駆動速度に対して120Hzの2倍速での駆動性能が必要とされる。特許文献1では、2次元表示パネルとしてプラズマディスプレイパネルを用いる場合において、2つの水平ラインを同時に走査することで、2倍速での駆動を可能としている。この2つの水平ラインを同時に走査する方法では、垂直方向の表示解像度が1/2に低下してしまう。特許文献1では、奇数フィールドと偶数フィールドとで、同時に走査する2つの水平ラインの組み合わせを変えることで、表示解像度の低下を軽減している。一方、液晶表示パネルの場合、近年では120Hzの倍速駆動が可能なものが既に製品化されており、表示解像度を低下させることなく、60Hz（または50Hz）のフレーム周波数期間内に、左右の各視差画像を時分割で表示することが可能である。

【0005】

しかしながら、液晶表示パネルの場合、液晶の応答速度に問題があり、駆動信号を印加してから画像が完全に切り換わるまでに遅延が生ずる場合がある。このため、左右の各視差画像を時分割で表示する場合において、120Hz（100Hz）ごとに左右の各視差画像を切り替えて表示するときには、左右の各視差画像が完全に切り替わらない。また、120Hz（100Hz）の周波数での走査ではほとんど常に画像を更新しているので、画面全体として表示画像が確定している（止まっている）ときがない。これにより、液晶シャッタメガネのシャッタを開くタイミングに関して、左眼と右眼とに左右の各視差画像を別々に見せることができるような、適切なタイミングがなくなり、左右の各視差画像が混じって表示されるクロストークが発生する場合がある。例えばバックライトを常時点灯させ、画面を上から下へと走査して行く場合、特に画面の上下に行くに従ってクロストークが酷くなってしまう。これを改善する方法として、左右の各視差画像を時分割で2度書きする方法が考えられる。例えば左眼用画像をL、右眼用画像をRとすると、60Hzのフレーム周波数期間内に例えばLLRRの順に画像表示を行う方法が考えられる。この場合、同じ画像を2度書きすることで、左右の各視差画像を1枚ずつ表示する場合に比べて、左右の各視差画像の切り換えタイミングが改善される。そして十分に左右の各視差画像が切り換わったタイミングで液晶シャッタメガネのシャッタをオン／オフ制御することで、クロストークを改善できる。また、グレー（または黒）画像を挿入する方法が考えられる。この場合、グレー画像をGrとすると、60Hzのフレーム周波数期間内に例えばL, Gr, R, Grの順に画像表示を行う方法が考えられる。左眼用画像Lと右眼用画像Rとの間にグレー画像Grが挿入されていることで、左右の各視差画像が混じってしまうことが軽減される。また、黒画像を挿入する場合には、バックライトを画素の書き込み走査に同期させて点灯制御する手法が併せて用いられていることが多い。これらにより左右画

10

20

30

40

50

像の混じりが軽減される。

【0006】

上記したLLRRの表示等を行うためには、各視差画像やグレー画像を240Hz以上のフレーム周波数で表示する必要がある。最近では液晶表示パネルの高級機種として、通常の60Hz（または50Hz）の駆動速度に対して、240Hz（または200Hz）の4倍速での駆動が可能なものが開発されている。このような液晶表示パネルを用いることで、上記したLLRRの表示等を行うことが可能である。しかしながら、市場の多様なニーズを考えると、高級機種以外の機種でも上記したLLRRの表示等を行うことが要求される。例えば120Hzの駆動性能を有する機種において、擬似的に240Hzを行うことが要求される。この場合、上記特許文献1に記載の技術のように、2つの水平ラインを同時に走査して駆動速度を上げることが考えられる。しかしながら、上記特許文献1に記載の技術はプラズマディスプレイパネルに適用される駆動方法であり、液晶表示パネルの駆動に最適であるとは限らない。

10

【0007】

例えば上記特許文献2に記載されているように、液晶表示パネルでは、異なった方向から見た場合に階調の視角特性が変わってしまう問題があり、これを改善するためにハーフトーン技術が用いられる。これは、1画素を互いに面積の異なる第1のサブ画素電極と第2のサブ画素電極とに分割し、各サブ画素電極を互いに異なる階調特性で駆動することで、階調の視角特性を改善するものである。上記特許文献1に記載の技術はプラズマディスプレイパネルに適用される駆動方法であり、視角特性改善のために1画素が分割された構造を有する液晶表示パネルにおいて、各サブ画素電極を具体的にどのようにして走査すれば良いかについては記載がない。

20

【0008】

本発明はかかる問題点に鑑みてなされたもので、その目的は、例えば120Hzの駆動性能を有する液晶表示パネルにおいて擬似的に240Hzの駆動を行うことができるようにした画像表示装置およびその駆動方法を提供することにある。

【課題を解決するための手段】

【0009】

本発明の第1の観点に係る画像表示装置は、水平方向に延在する走査用の複数のゲートラインと、複数のゲートラインに交差するように垂直方向に延在し、入力画像信号に応じた駆動信号が入力される複数のソースラインと、複数のゲートラインと複数のソースラインとの交点に対応する位置に1つずつ配置され、それぞれが独立して駆動制御が可能とされた複数のサブ画素電極とを有する表示パネルを備えている。また、複数のゲートラインを1ラインずつ順次選択して複数のサブ画素電極を1水平ラインずつ走査する第1の駆動モードと、複数のゲートラインをN（Nは2以上の整数）ラインずつ順次同時に選択して複数のサブ画素電極をN水平ラインずつ走査する第2の駆動モードとの2つの駆動モードを選択的に用いて表示パネルを駆動制御することで、入力画像信号に応じた画像を表示パネルに表示させる駆動制御手段を備えている。

30

そして、駆動制御手段が、第1の駆動モードでは、同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある2つのサブ画素電極を互いに異なる階調特性で駆動すると共に、それら2つのサブ画素電極を組み合わせて全体として1画素とみなして表示駆動を行うようにしたものである。また、第2の駆動モードでは、同一のソースライン上で垂直方向に連続するN個のサブ画素電極を1つの駆動単位として表示駆動を行うようにしたものである。

40

【0010】

本発明の第1の観点に係る画像表示装置において、複数のサブ画素電極は、第1のサブ画素電極と、第1のサブ画素電極とは面積の異なる第2のサブ画素電極との2種類のサブ画素電極からなり、かつ、水平方向と垂直方向とに2種類のサブ画素電極が交互に配置された構成であっても良い。この場合、駆動制御手段は、例えば、第1の駆動モードでは、同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある第1

50

のサブ画素電極と第2のサブ画素電極とを互いに異なる階調特性で駆動すると共に、それら第1のサブ画素電極と第2のサブ画素電極とを組み合わせる全体として1画素とみなして表示駆動を行う。第2の駆動モードでは、複数のゲートラインを2ラインずつ順次同時に選択して複数のサブ画素電極を2つの水平ラインずつ走査し、かつ、同一のソースライン上で垂直方向に隣接し、かつ異なる2つのゲートライン上にある第1のサブ画素電極と第2のサブ画素電極とを全体として1画素とみなして表示駆動を行う。

この駆動方法の場合、第1の駆動モードでは、1画素内で2つのサブ画素電極が互いに異なる階調特性で駆動されるハーフトーン駆動がなされるので、階調の視角特性が改善される。第2の駆動モードでは、同一のソースライン上で垂直方向に隣接する2つのサブ画素電極を1画素とみなして表示駆動が行われるので、ハーフトーン駆動はできないが、表示解像度を低下させることなく、第1の駆動モードに対して駆動速度を2倍にすることができる。

【0011】

本発明の第1の観点に係る画像表示装置において、複数のサブ画素電極は、第1のサブ画素電極と、第1のサブ画素電極とは面積の異なる第2のサブ画素電極との2種類のサブ画素電極からなり、かつ、水平方向には2種類のサブ画素電極が交互に配置されると共に、垂直方向にはNラインずつ同種類のサブ画素電極が周期的に現れるような画素配置とされていても良い。この場合、駆動制御手段は、例えば、第1の駆動モードでは、同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある第1のサブ画素電極と第2のサブ画素電極とを互いに異なる階調特性で駆動すると共に、それら第1のサブ画素電極と第2のサブ画素電極とを組み合わせる全体として1画素とみなして表示駆動を行う。第2の駆動モードでは、第1のソースライン上で垂直方向にN個連続して配置された第1の種類のサブ画素電極と、第1のソースラインに隣接する第2のソースライン上で垂直方向にN個連続して配置された第2の種類のサブ画素電極とを水平方向に互いに異なる階調特性となるように駆動すると共に、それらN個の第1の種類のサブ画素電極とN個の第2の種類のサブ画素電極とを水平方向に組み合わせる全体として1画素とみなして表示駆動を行う。

この駆動方法の場合、第1の駆動モードでは、1画素内で2つのサブ画素電極が互いに異なる階調特性で駆動されるハーフトーン駆動がなされるので、階調の視角特性が改善される。第2の駆動モードでは、複数のゲートラインをNラインずつ順次同時に選択して複数のサブ画素電極をN水平ラインずつ走査するので、第1の駆動モードに対して駆動速度をN倍にすることができる。このとき、第1のソースライン上で垂直方向にN個連続して配置された第1の種類のサブ画素電極と、第2のソースライン上で垂直方向にN個連続して配置された第2の種類のサブ画素電極とを互いに異なる階調特性となるように駆動するので、駆動速度をN倍にしつつ、ハーフトーン駆動がなされる。これにより、表示解像度は低下するが、階調の視角特性の改善効果を得た状態で、第1の駆動モードに対して駆動速度をN倍にすることができる。

【0012】

本発明の第2の観点に係る画像表示装置は、水平方向に延在する走査用の複数のゲートラインと、複数のゲートラインに交差するように垂直方向に延在し、入力画像信号に応じた駆動信号が入力される複数のソースラインと、複数のゲートラインと複数のソースラインとの交点に対応する位置に1つずつ配置され、それぞれが独立して駆動制御が可能とされた複数のサブ画素電極とを有する表示パネルを備えている。また、複数のゲートラインを1ラインずつ順次選択して複数のサブ画素電極を1水平ラインずつ走査する第1の駆動モードと、複数のゲートラインをN（Nは2以上の整数）ラインずつ順次同時に選択して複数のサブ画素電極をN水平ラインずつ走査する第2の駆動モードとの2つの駆動モードで表示パネルを選択的に駆動制御を行う駆動制御手段を備えている。

そして、駆動制御手段が、第1の駆動モードでは、同一のゲートライン上で水平方向に隣接し、かつ異なる2つのソースライン上にある2つのサブ画素電極を互いに異なる階調特性で駆動すると共に、それら2つのサブ画素電極を組み合わせる全体として1画素とみ

なして表示駆動を行うようにしたものである。また、第2の駆動モードでは、第1のソースライン上で垂直方向に連続して配置されたN個のサブ画素電極と、第1のソースラインに隣接する第2のソースライン上で垂直方向に連続して配置されたN個のサブ画素電極とを組み合わせることで全体として1画素とみなして表示駆動を行うようにしたものである。

【0013】

本発明の第2の観点に係る画像表示装置では、第1の駆動モードでは、1画素内で2つのサブ画素電極が互いに異なる階調特性で駆動されるハーフトーン駆動がなされるので、階調の視角特性が改善される。第2の駆動モードでは、複数のゲートラインをNラインずつ順次同時に選択して複数のサブ画素電極をN水平ラインずつ走査するので、第1の駆動モードに対して駆動速度をN倍にすることができる。

10

【発明の効果】

【0014】

本発明の第1または第2の観点に係る画像表示装置によれば、第2の駆動モードでは、複数のゲートラインをNラインずつ順次同時に選択して複数のサブ画素電極をN水平ラインずつ走査するようにしたので、第1の駆動モードに対して駆動速度をN倍にすることができる。例えば第2の駆動モードで、複数のゲートラインを2ラインずつ順次同時に選択する走査を行うことで、例えば120Hzの駆動性能を有する液晶表示パネルにおいて擬似的に240Hzの駆動を行うことができる。

【0015】

特に、第1の観点に係る画像表示装置において、第2の駆動モードで、同一のソースライン上で垂直方向に隣接する2つのサブ画素電極を1画素とみなして表示駆動を行うようにした場合には、表示解像度を低下させることなく、第1の駆動モードに対して駆動速度を2倍にすることができる。

20

【0016】

特に、第1の観点に係る画像表示装置において、第1のソースライン上で垂直方向にN個連続して配置された第1の種類のサブ画素電極と、第2のソースライン上で垂直方向にN個連続して配置された第2の種類のサブ画素電極とを互いに異なる階調特性となるように駆動した場合には、駆動速度をN倍にしつつ、ハーフトーン駆動を行うことができる。これにより、階調の視角特性の改善効果を得た状態で、第1の駆動モードに対して駆動速度をN倍にすることができる。

30

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施の形態に係る画像表示装置の回路構成を示すブロック図である。

【図2】第1の実施の形態に係る画像表示装置における表示パネルの画素電極の基本構成を示すと共に、通常駆動（第1の駆動モード）を行う場合のサブ画素電極の組み合わせ例を模式的に示す構成図である。

【図3】第1の実施の形態に係る画像表示装置において、疑似倍速駆動（第2の駆動モード）を行う場合のサブ画素電極の組み合わせ例を模式的に示す構成図である。

【図4】（A）は第1の駆動モードでの画素電極の組み合わせ例を示す説明図であり、（B）は第2の駆動モードでの画素電極の組み合わせ例を示す説明図である。

40

【図5】（A）は60Hzのフレーム周波数期間内に左眼用画像と右眼用画像とが1つつ含まれた立体画像が入力される状態を模式的に示す説明図であり、（B）は（A）に示した入力画像を第1の駆動モードで表示した状態を模式的に示す説明図である。

【図6】（A）は60Hzのフレーム周波数期間内に左眼用画像と右眼用画像とが2つつ含まれた状態を模式的に示す説明図であり、（B）は（A）に示した各画像を第2の駆動モードで表示した状態を模式的に示す説明図である。

【図7】（A）は60Hzのフレーム期間に左眼用画像と右眼用画像とグレー画像とが交互に含まれた状態を模式的に示す説明図であり、（B）は（A）に示した各画像を第2の駆動モードで表示した状態を模式的に示す説明図である。

50

【図 8】第 1 の実施の形態に係る画像表示装置において、第 1 の駆動モードで表示を行う場合の各種駆動信号の波形を示すタイミングチャートである。

【図 9】第 1 の実施の形態に係る画像表示装置において、第 2 の駆動モードで表示を行う場合の各種駆動信号の波形を示すタイミングチャートである。

【図 10】第 2 の実施の形態に係る画像表示装置において、第 2 の駆動モードで表示を行う場合のサブ画素電極の組み合わせ例を模式的に示す構成図である。

【図 11】第 2 の実施の形態に係る画像表示装置において、第 2 の駆動モードで表示を行う場合の各種駆動信号の波形を示すタイミングチャートである。

【図 12】第 3 の実施の形態に係る画像表示装置の回路構成を示すブロック図である。

【図 13】第 3 の実施の形態に係る画像表示装置における 3 D ガンマ変換回路の第 1 の構成例を示すブロック図である。

【図 14】第 3 の実施の形態に係る画像表示装置における 3 D ガンマ変換回路の第 2 の構成例を示すブロック図である。

【図 15】第 3 の実施の形態に係る画像表示装置における 3 D ガンマ変換回路の第 3 の構成例を示すブロック図である。

【図 16】図 2 に示した画素構成での各サブ画素電極における階調－透過率特性を示す特性図である。

【図 17】図 10 に示した画素構成での各サブ画素電極における階調－透過率特性を示す特性図である。

【図 18】第 4 の実施の形態に係る画像表示装置において、第 2 の駆動モードで表示を行う場合のサブ画素電極の組み合わせ例を模式的に示す構成図である。

【図 19】第 4 の実施の形態に係る画像表示装置において、第 2 の駆動モードで表示を行う場合の各種駆動信号の波形を示すタイミングチャートである。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0019】

<第 1 の実施の形態>

〔画像表示装置の全体構成〕

図 1 は、本発明の第 1 の実施の形態に係る画像表示装置の全体構成を示している。この画像表示装置は、例えばメガネ式の立体表示装置として用いることができる。この画像表示装置は、タイミングコントローラ（TC ON）（LCD コントローラ）10 と、第 1 のフレームバッファ 21 と、外部 ROM（Read Only Memory）22 と、第 2 のフレームバッファ 23 と、表示パネル 40 とを備えている。この画像表示装置はまた、表示パネル 40 の複数のソースラインに接続されたソースドライバ 41 と、表示パネル 40 の複数のゲートラインに接続されたゲートドライバ 42 とを備えている。ソースドライバ 41 は、複数個のドライバ 41-1, 41-2, … 41-n からなり、それぞれのドライバには、所定数のソースラインが接続されている。ゲートドライバ 42 は、複数個のドライバ 42-1, 42-2, … 42-m からなり、それぞれのドライバには、所定数のゲートラインが接続されている。図 1 において、表示パネル 40 を除く回路部分が、本発明における「駆動制御手段」の一具体例に対応する。

【0020】

表示パネル 40 は、例えばバックライト 3 から照射された光の通過を液晶分子によってコントロールすることによって画像表示を行う透過型の液晶パネルである。表示パネル 40 は、図示しないが、画素電極基板と、画素電極基板に対向するように配置された対向基板と、画素電極基板と対向基板との間に封入された液晶層とを備えている。対向基板の液晶層側には、共通電位 VC が印加される面状の共通電極が一様に形成されている。画素電極基板の液晶層側には、マトリクス状に複数の画素電極が形成されている。共通電極と画素電極は、例えば ITO（Indium-Tin Oxide）による透明電極によって形成されている。

【0021】

10

20

30

40

50

〔表示パネル４０における画素電極の基本構造〕

図２は、表示パネル４０における画素電極の基本構造を示している。図２ではまた、後述する通常駆動（第１の駆動モード）を行う場合のサブ画素電極の組み合わせ例を模式的に示している。表示パネル４０の画素電極基板には、水平方向に延在する走査用の複数のゲートラインＧ１、Ｇ２、Ｇ３…と、入力画像信号に応じた駆動信号が入力される複数のソースラインＳ１、Ｓ２、Ｓ３…と、複数のサブ画素電極とが設けられている。複数のソースラインＳ１、Ｓ２、Ｓ３…は、複数のゲートラインＧ１、Ｇ２、Ｇ３…に交差するように垂直方向に延在している。サブ画素電極は、複数のゲートラインＧ１、Ｇ２、Ｇ３…と複数のソースラインＳ１、Ｓ２、Ｓ３…との交点に対応する位置に１つずつ配置されている。図２の構成例では、第１および第２のソースラインＳ１、Ｓ２に接続されたサブ画素電極は赤色用の画素電極であり、第３および第４のソースラインＳ３、Ｓ４に接続されたサブ画素電極は緑色用の画素電極である。第５および第６のソースラインＳ５、Ｓ６に接続されたサブ画素電極は緑色用の画素電極である。なお、以下、本実施の形態の説明において、「１画素」という場合には、各色についての単位画素のことをいう。

【００２２】

複数のサブ画素電極にはそれぞれ、薄膜トランジスタからなるスイッチング素子Ｔが接続され、それぞれが独立して駆動制御が可能とされている。複数のサブ画素電極は、第１のサブ画素電極Ａと、第１のサブ画素電極Ａとは面積の異なる第２のサブ画素電極Ｂとの２種類のサブ画素電極からなる。２種類のサブ画素電極は、水平方向と垂直方向とに交互に配置されている。第２のサブ画素電極Ｂは、第１のサブ画素電極Ａよりも面積が大きい構成とされている。通常駆動（第１の駆動モード）時には、水平方向に隣接する第１のサブ画素電極Ａと第２のサブ画素電極Ｂとを組み合わせる１画素とみなした駆動が行われる。

【００２３】

ここで、図２における左上の第１および第２のサブ画素電極１Ａ、１Ｂと、その下側にある他の第１および第２のサブ画素電極２Ａ、２Ｂとを例にして、画素構造を具体的に説明する。図２において、例えば左上の第１のサブ画素電極１Ａに対応する部分には、画素容量ＣＬ－ＲＡ１と補助容量ＣＳ－ＲＡ１とが形成される。画素容量ＣＬ－ＲＡ１は、第１のサブ画素電極１Ａと図示しない対向基板側の共通電極との間に形成される容量である。補助容量ＣＳ－ＲＡ１は、第１のサブ画素電極１Ａと補助容量バス線との間に形成される容量である。

【００２４】

第１および第２のサブ画素電極１Ａ、１Ｂは、スイッチング素子ＴＡ１、ＴＢ１を介して第１のゲートラインＧ１に共通接続されている。他の第１および第２のサブ画素電極２Ａ、２Ｂは、他のスイッチング素子ＴＡ２、ＴＢ２を介して第２のゲートラインＧ２に共通接続されている。

【００２５】

図４（Ａ）は、第１および第２のサブ画素電極１Ａ、１Ｂと、他の第１および第２のサブ画素電極２Ａ、２Ｂとの電極形状の例を示している。ここで、第１および第２のサブ画素電極１Ａ、１Ｂの組み合わせを第１の画素とし、他の第１および第２のサブ画素電極２Ａ、２Ｂの組み合わせを第２の画素とする。このとき、第１のサブ画素電極１Ａの形成領域と他の第１のサブ画素電極２Ａの形成領域とを組み合わせたときの重心位置が、第１の画素と第２の画素とが形成された全体の領域の中心位置と略一致するような電極配置とされている。

【００２６】

〔駆動制御手段の回路構成〕

図１に戻って回路構成について説明する。タイミングコントローラ１０は、受信部１１と、データ処理回路１２と、第１のメモリコントローラ１３と、色補正回路１４と、オーバドライブ回路１５と、第２のメモリコントローラ１６と、タイミングジェネレータ回路部１７とを有している。タイミングジェネレータ回路部１７は、制御信号生成部１８と、

データフォーマッタ 19 と、送信部 20 とを有している。

【0027】

タイミングコントローラ 10 は、入力画像信号に基づいてソースドライバ 41 およびゲートドライバ 42 を制御することで表示パネル 40 の駆動を行うものである。タイミングコントローラ 10 は、第 1 の駆動モードと第 2 の駆動モードとの 2 つの駆動モードを選択的に用いて、入力画像信号に応じた画像を表示パネルに表示させるようになっている。

【0028】

ここで、第 1 の駆動モードは、表示パネル 40 における複数のゲートライン G1, G2, G3…を 1 ラインずつ順次選択して複数のサブ画素電極を 1 水平ラインずつ走査するものである。第 2 の駆動モードは、表示パネル 40 における複数のゲートライン G1, G2, G3…を 2 ラインずつ順次同時に選択して複数のサブ画素電極を 2 水平ラインずつ連続的に走査するものである。第 1 の駆動モードは、通常の駆動速度による走査モードであり、第 2 の駆動モードは、第 1 の駆動モードに対して擬似的に 2 倍の速度で駆動を行う走査モードである。

【0029】

外部 ROM 22 は、タイミングコントローラ 10 内部の動作設定を格納するものである。第 1 のフレームバッファ 21 および第 2 のフレームバッファ 23 は、例えばタイミングコントローラ 10 において、フレーム間画像の信号処理を行うための画像情報を一時格納するものである。ゲートドライバ 42 は、表示パネル 40 の各サブ画素電極に接続されたスイッチング素子 T を水平ライン単位でオンさせるものである。ソースドライバ 41 は、ゲートドライバ 42 によって選択された水平ラインの画素に、表示データに相当する電位を供給するものである。

【0030】

受信部 11 は、外部から転送された入力画像信号を受信するものである。入力画像信号としては例えば、R（赤）、G（緑）、B（青）の画像データ信号と、表示制御信号（垂直同期信号 Hsync、水平同期信号 Vsync、書き込み制御信号 Enable）とを含む信号が入力される。画像データ信号は、例えば図 5（A）に示したように、互いに視差のある左眼用画像 L1, L2…と右眼用画像 R1, R2…とが時間順次で交互に含まれる立体画像信号である。例えば 60 Hz のフレーム周波数期間（16.6 ms）内に、左右の各視差画像が 1 つずつ含まれている。この場合、各視差画像は 120 Hz（8.3 ms）で更新されることになる。タイミングコントローラ 10 は、図 5（A）に示したようなフレーム構成の画像を表示する場合に、表示パネル 40 を図 5（B）に示したように 1 水平ラインずつ走査するような第 1 の駆動モードで駆動する。

【0031】

データ処理回路 12 は、入力画像信号のフレームレートを変換するものである。第 1 のメモリコントローラ 13 は、データ処理回路 12 と第 1 のフレームバッファ 21 間の画像情報の書き込み、読み出し制御を行うものである。

【0032】

データ処理回路 12 は、例えば図 5（A）に示したような入力画像を、例えば図 6（A）や図 7（A）に示したような画像データに変換するようになっている。図 6（A）は、図 5（A）の入力画像に対して、60 Hz のフレーム周波数期間（16.6 ms）内に、同一の視差画像が 2 つずつ連続するような画像変換を行ったものである。この場合、各視差画像は 240 Hz（4.17 ms）で更新されることになる。図 7（A）は、図 5（A）の入力画像に対して、左右の視差画像間にグレー画像 Gr を挿入するような画像変換を行ったものである。この場合、各視差画像とグレー画像 Gr とが、240 Hz（4.17 ms）で更新されることになる。タイミングコントローラ 10 は、図 6（A）、図 7（A）に示したようなフレーム構成の画像を表示する場合に、表示パネル 40 を第 2 の駆動モードで駆動する。すなわち、表示パネル 40 を図 6（B）、図 7（B）に示したように 2 水平ラインずつ連続的に走査する表示を行う。

【0033】

色補正回路 14 は、色ガンマ特性を補正するものである。第 2 のメモリコントローラ 16 は、オーバドライブ回路 15 と第 2 のフレームバッファ 23 との間の画像情報の書き込み読み出し制御を行うものである。オーバドライブ回路 15 は、第 2 のフレームバッファ 23 を介してフレーム遅延した画像と色補正回路 14 からの遅延のない画像情報との組み合わせに従い、信号変換を行うものである。

【0034】

タイミングジェネレータ回路部 17 は、オーバドライブ回路 15 からの画像信号を表示パネル 40 を駆動するための信号に変換して、ソースドライバ 41 とゲートドライバ 42 とに供給するものである。データフォーマッタ 19 は、ソースドライバ 41 の伝送方式に従って画像データの配列を変換するものである。送信部 20 は、ソースドライバ 41 の伝送方式に従った信号転送を行うものである。制御信号生成部 18 は、ソースドライバ 41 とゲートドライバ 42 とに対して制御信号を供給するものである。制御信号生成部 18 は、ゲートドライバ 42 に対しては、表示パネル 40 の水平ラインを走査するためのゲートドライバ制御信号を供給する。ソースドライバ 41 には駆動信号として、送信部 20 を介して R G B の画像データに応じた信号が入力されると共に、制御信号生成部 18 からソースドライバ制御信号が入力される。ソースドライバ制御信号は、表示パネル 40 の各画素に書き込みを行う電位の極性とレベル変換の制御をする信号である。

【0035】

[第 1 の駆動モードによる動作]

この画像表示装置は、第 1 の駆動モードでは、図 2 および図 4 (A) に示したようなサブ画素電極の組み合わせで表示を行う。すなわち、同一のゲートライン (例えば G1) 上で水平方向に隣接し、かつ異なる 2 つのソースライン (例えば S1, S2) 上にある第 1 のサブ画素電極 (例えば 1A) と第 2 のサブ画素電極 (例えば 1B) とを互いに異なる階調特性で駆動する。そして、それら第 1 のサブ画素電極 1A と第 2 のサブ画素電極 1B とを組み合わせで全体として 1 画素とみなした表示駆動を行う。

【0036】

図 8 (A) ~ (K) は、第 1 の駆動モードで表示を行う場合の各種駆動信号の波形を示している。なお、図 8 (A) ~ (K) では、一様な輝度の画像を表示する場合を例にしている。図 8 (A) は、水平走査の開始タイミング信号 GSTR の波形の一例を示している。図 8 (B) は、水平走査の基準クロック信号 GCLK の波形の一例を示している。図 8 (C) ~ (I) は、第 1 ~ 第 7 のゲートライン G1 ~ G7 に印加される走査信号の波形の一例を示している。図 8 (J) は、第 1 のソースライン S1 に印加される画像信号の波形の一例を示している。図 8 (K) は、第 2 のソースライン S2 に印加される画像信号の波形の一例を示している。

【0037】

第 1 の駆動モードでは、図 8 (C) ~ (I) に示したように、各ゲートラインが 1 ラインずつ走査される。第 1 のゲートライン G1 が走査されているときには、図 8 (J) に示したように第 1 のソースライン S1 には、V1+ の電位 (コモン電位 VC に対して絶対値が V1 で+側の電位) が印加される。同時に、図 8 (K) に示したように第 2 のソースライン S2 には、V3- の電位 (コモン電位 VC に対して絶対値が V3 で-側の電位) が印加される。絶対値 V3 は絶対値 V1 に比べて小さい値となっている。この場合、例えば図 2 における第 1 のサブ画素電極 1A には V1+ の電位が印加され、第 2 のサブ画素電極 1B には V3- の電位が印加される。これにより、全体として 1 画素を構成する第 1 のサブ画素電極 1A と第 2 のサブ画素電極 1B とがそれぞれ互いに異なる階調特性で駆動されるようなハーフトーン駆動となり、階調の視角特性の改善効果が得られる。

【0038】

[第 2 の駆動モードによる動作]

この画像表示装置は、第 2 の駆動モードでは、図 3 および図 4 (B) に示したようなサブ画素電極の組み合わせで表示を行う。第 2 の駆動モードでは、複数のゲートライン G1, G2, G3... を 2 ラインずつ順次同時に選択して複数のサブ画素電極を 2 つの水平ライ

ンずつ走査する。かつ、同一のソースライン上で垂直方向に隣接し、かつ異なる2つのゲートライン上にある第1のサブ画素電極と第2のサブ画素電極とを全体として1画素とみなして表示駆動を行う。例えば図3に示したように、第1のソースラインS1に接続された第1のサブ画素電極1Aと他の第2のサブ画素電極2Bとを全体として1画素とみなして表示駆動を行う。また例えば、図3に示したように、第2のソースラインS2に接続された第2のサブ画素電極1Bと他の第1のサブ画素電極2Aとを全体として1画素とみなして表示駆動を行う。

【0039】

ここで、第1の駆動モードにおいて1画素とみなされる組み合わせについて、第1および第2のサブ画素電極1A、1Bの組み合わせを第1の画素とし、他の第1および第2のサブ画素電極2A、2Bの組み合わせを第2の画素とする。これに対し、第2の駆動モードにおいて、第1および第2のゲートラインG1、G2を同時に選択したとき、第1および第2のゲートラインG1、G2と第1および第2のソースラインS1、S2との交点にある各サブ画素電極に関して考察する。第2の駆動モードでは、第1のゲートラインG1上の第2のサブ画素電極1Bと第2のゲートラインG2上の他の第1のサブ画素電極2Aとが第1の駆動モードにおける第1の画素に対応する。また、第1のゲートラインG1上の第1のサブ画素電極1Aと第2のゲートラインG2上の他の第2のサブ画素電極2Bとが第1の駆動モードにおける第2の画素に対応する。

【0040】

図9(A)～(K)は、第2の駆動モードで表示を行う場合の各種駆動信号の波形を示している。図9(A)は、水平走査の開始タイミング信号GSTRの波形の一例を示している。図9(B)は、水平走査の基準クロック信号GCLKの波形の一例を示している。図9(C)～(I)は、第1～第7のゲートラインG1～G7に印加される走査信号の波形の一例を示している。図9(J)は、第1のソースラインS1に印加される画像信号の波形の一例を示している。図9(K)は、第2のソースラインS2に印加される画像信号の波形の一例を示している。

【0041】

第2の駆動モードでは、図9(C)～(I)に示したように、各ゲートラインが2ラインずつ走査される。第1のソースラインS1には図9(J)に示したように、V15+の電位（コモン電位VCに対して絶対値がV15で+側の電位）が印加される。同時に、第2のソースラインS2には図9(K)に示したようにV35-の電位（コモン電位VCに対して絶対値がV35で-側の電位）が印加される。絶対値V35は絶対値V15に比べて小さい値となっている。これにより、縦方向の2つのサブ電極画素に1画素に相当する画素データが書き込まれる。

【0042】

以上説明したように、本実施の形態によれば、第2の駆動モードでは、複数のゲートラインを2ラインずつ順次同時に選択して複数のサブ画素電極を2水平ラインずつ走査するようにしたので、第1の駆動モードに対して駆動速度を2倍にすることができる。これにより、表示パネル40が例えば120Hzの駆動性能を有するものであった場合において、擬似的に240Hzの駆動を行うことができる。

【0043】

本実施の形態では、特に、第2の駆動モードでは、同一のソースライン上で垂直方向に隣接する2つのサブ画素電極を1画素とみなして表示駆動が行われる。これにより、第1の駆動モードのようなハーフトーン駆動はできないが、表示解像度を低下させることなく、第1の駆動モードに対して駆動速度を2倍にすることができる。

【0044】

<第2の実施の形態>

次に、本発明の第2の実施の形態に係る画像表示装置について説明する。なお、上記第1の実施の形態に係る画像表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

10

20

30

40

50

【0045】

本実施の形態に係る画像表示装置は、上記第1の実施の形態に対して第2の駆動モードによる動作が異なっている。表示パネル40の基本的な画素構造（図2）や第1の駆動モードによる動作（図8）は上記第1の実施の形態と同様である。

【0046】

この画像表示装置は、第2の駆動モードでは、図10に示したようなサブ画素電極の組み合わせで表示を行う。第2の駆動モードでは、複数のゲートラインG1、G2、G3…を2ラインずつ順次同時に選択して複数のサブ画素電極を2つの水平ラインずつ走査する。かつ、第2の駆動モードでは、隣接する2つのソースラインと隣接する2つのゲートラインとの交点にある4つのサブ画素電極を組み合わせで全体として1画素とみなして表示駆動を行う。例えば第1のソースラインS1上で垂直方向に連続して配置された2つサブ画素電極1A、2Bと、隣接する第2のソースラインS2上で垂直方向に連続して配置された2つのサブ画素電極1B、2Aとを組み合わせで全体として1画素とみなして表示駆動を行う。

10

【0047】

図11（A）～（K）は、本実施の形態において、第2の駆動モードで表示を行う場合の各種駆動信号の波形を示している。図11（A）は、水平走査の開始タイミング信号GSTRの波形の一例を示している。図11（B）は、水平走査の基準クロック信号GCLKの波形の一例を示している。図11（C）～（I）は、第1～第7のゲートラインG1～G7に印加される走査信号の波形の一例を示している。図11（J）は、第1のソースラインS1に印加される画像信号の波形の一例を示している。図11（K）は、第2のソースラインS2に印加される画像信号の波形の一例を示している。

20

【0048】

第2の駆動モードでは、図11（C）～（I）に示したように、各ゲートラインが2ラインずつ走査される。第1のソースラインS1には図11（J）に示したように、V2+の電位（コモン電位VCに対して絶対値がV2で+側の電位）が印加される。同時に、第2のソースラインS2には図11（K）に示したようにV2-の電位（コモン電位VCに対して絶対値がV2で-側の電位）が印加される。すなわち、絶対値がV2となる、実質的に画素データとしては同じとなる電位が第1のソースラインS1と第2のソースラインS2とに印加される。これにより、隣接する縦方向と横方向の合計4つのサブ電極画素に1画素に相当する画素データが書き込まれる。

30

【0049】

本実施の形態では、第1のソースラインS1と第2のソースラインS2とを同じ画像情報で駆動するので、図1の回路において、第1のフレームバッファ21に格納する情報は駆動に使用するライン側だけでよい。すなわち、第2の駆動モードでは、入力画像信号から2水平ラインごとに1水平ラインのデータの間引きを行った画像信号を生成し、その間引き後の画像信号に基づいて表示パネルを駆動する。これにより信号帯域に余裕ができるので、例えばオーバドライブ回路15の性能向上が図れる。また、回路間のデータ転送を低速転送にして駆動負荷を低減できる。また、表示解像度は低下するものの、第1の駆動モードに対して駆動速度を2倍にすることができる。

40

【0050】

<第3の実施の形態>

次に、本発明の第3の実施の形態に係る画像表示装置について説明する。なお、上記第1または第2の実施の形態に係る画像表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【0051】

図12は、本実施の形態に係る画像表示装置の全体構成を示している。この画像表示装置の回路構成は、タイミングコントローラ10Aにおいて受信部11とデータ処理回路12との間に3Dガンマ変換回路24が設けられている点を除いて、図1の回路構成と同様である。本実施の形態では、第1の駆動モードにおいて1画素とみなした各サブ画素電極

50

における階調特性と、第2の駆動モードにおいて1画素とみなした各サブ画素電極における階調特性とを互いに異ならせるような駆動を行う。3Dガンマ変換回路24は、第2の駆動モードにおいてガンマ特性の変換を行うものである。

【0052】

図13は、3Dガンマ変換回路24の第1の構成例を示している。この第1の構成例に係る3Dガンマ変換回路24は、LUT(ODD)31と、LUT(EVN)32と、第1のセレクト33と、第2のセレクト34とで構成されている。LUT(ODD)31は、垂直方向の奇数ライン(ソースラインS1, S3, S5...)の画素のガンマテーブルデータを格納するLUT(ルックアップテーブル)である。LUT(EVN)32は、垂直方向の偶数ライン(ソースラインS2, S4, S6...)の画素のガンマテーブルデータを格納するルックアップテーブルである。第1のセレクト33は、LUT(ODD)31とLUT(EVN)32とによってレベル変換された出力データをラインのパリティに従って選択して出力するものである。第2のセレクト34は、第1の駆動モード時には入力データをそのまま出力し、第2の駆動モード時には第1のセレクト33を介して入力された変換データを選択的に出力するようになっている。

10

【0053】

図14は、3Dガンマ変換回路24の第2の構成例を示している。この第2の構成例は、図13の第1の構成例に対して、第1のラインバッファ35と、第2のラインバッファ36とをさらに備えたものである。この第2の構成例では、第1のラインバッファ35を設けることで、ライン遅延を発生させて、LUT(ODD)31とLUT(EVN)32とにそれぞれ2ラインの画像データを入力する。この第2の構成例では、LUT(ODD)31とLUT(EVN)32はそれぞれ、2画素の相関から補正値を算出するための2次元配列のルックアップテーブルを有している。この第2の構成例では、2ラインの画素の補正値が同時に生成されるので、第2のラインバッファ36によって、後のラインデータをライン遅延させて後段の信号処理ブロックへ出力することで映像信号の変換を行う。

20

【0054】

この第2の構成例の3Dガンマ変換回路24を用いることで、第2の駆動モードでは、入力画像信号における隣接する第1および第2の水平画素ライン上で上下に隣接する2つの画素の画素データに基づいて、1画素とみなした第1のサブ画素電極と第2のサブ画素電極とに印加する駆動信号の信号レベルが決定される。その駆動信号が、後段の駆動回路によって、1つのソースラインを介して第1のサブ画素電極と第2のサブ画素電極とに入力される。

30

【0055】

図15は、3Dガンマ変換回路24の第3の構成例を示している。この第3の構成例は、図14の第2の構成例の機能をさらに拡張させたものである。この第3の構成例は、図13の第1の構成例に対して、第1のラインバッファ51と、第2のラインバッファ52と、第3のラインバッファ53と、3×3フィルタ(EVN)54と、3×3フィルタ(ODD)55と、係数補正回路56と、第1の加減算回路57と、第2の加減算回路58と、第4のラインバッファ59とをさらに備えたものである。第1のラインバッファ51、第2のラインバッファ52および第3のラインバッファ53は、入力画像信号に対して垂直3ライン分の遅延を発生させるものである。これにより、垂直方向の奇数ラインと偶数ラインとにおける処理対象となる各画素の上下ラインのデータを生成でき、対象画素を含み3ラインの画素データ列を得ることができる。その3ラインの画素データが、3×3フィルタ(EVN)54と3×3フィルタ(ODD)55とに入力される。3×3フィルタ(EVN)54と3×3フィルタ(ODD)55はそれぞれ、ドット遅延素子を内部に持ち、水平3ラインの遅延を発生させ、3×3の画素データを作成し、これに対応したオペレータを掛けてフィルタ係数を生成する。係数補正回路56は、生成されたフィルタ係数の調整を行う。第1の加減算回路57は、LUT(ODD)31から出力された、2画素の相関から求められた補正値に対してフィルタ係数を加減算する。第2の加減算回路5

40

50

8は、LUT（EVN）32から出力された、2画素の相関から求められた補正值に対してフィルタ係数を加減算する。第4のラインバッファ59は、第2の構成例における第2のラインバッファ36と同様の機能を有するものであり、偶数ラインのラインデータをライン遅延させるものである。

【0056】

この第3の構成例の3Dガンマ変換回路24を用いることで、第2の駆動モードでは、入力画像信号における隣接する第1および第2の水平画素ライン上で上下に隣接する2つの画素の画素データと、2つの画素の周辺に位置する複数の他の画素の画素データとの相関に基づいて、1画素とみなした第1のサブ画素電極と第2のサブ画素電極とに印加する駆動信号の信号レベルが決定される。その駆動信号が、後段の駆動回路によって、1つのソースラインを介して第1のサブ画素電極と第2のサブ画素電極とに入力される。

【0057】

図16は、図2に示した画素構成（第1の駆動モード）での各サブ画素電極における階調－透過率特性を示している。図17は、図10に示した画素構成（第2の駆動モード）での各サブ画素電極における階調－透過率特性を示している。表示パネル40は、各サブ画素電極ごとに階調－透過率特性（ガンマ特性）を持ち、第1のサブ画素電極Aの特性（Sub A）と第2のサブ画素電極Bの特性（Sub B）とが加算されたものが、1画素のガンマ特性（Sub A + Sub B）となる。

【0058】

第1の駆動モードでは、図16に示したように、第1のサブ画素電極Aと第2のサブ画素電極Bとに差をつけたガンマ特性で駆動する。低階調にてなるべく視角特性の悪い透過率の状態を使用しないようにしているために図16に示したようなガンマ特性になっている。第2の駆動モードでは、図17に示したように、第1のサブ画素電極Aと第2のサブ画素電極Bとのガンマ特性は、所望の合成ガンマ特性（Sub A + Sub B）に各サブ画素電極の面積比を掛けたものになる。

【0059】

<第4の実施の形態>

次に、本発明の第4の実施の形態に係る画像表示装置について説明する。なお、上記第1ないし第3の実施の形態に係る画像表示装置と実質的に同一の構成部分には同一の符号を付し、適宜説明を省略する。

【0060】

本実施の形態に係る画像表示装置は、上記第1の実施の形態に対して第2の駆動モードによる動作が異なっている。また、表示パネル40の基本的な画素構造（図2）が異なっている。

【0061】

この画像表示装置は、第2の駆動モードでは、図18に示したようなサブ画素電極の組み合わせで表示を行う。本実施の形態では、表示パネル40が、水平方向には2種類のサブ画素電極が交互に配置されると共に、垂直方向には2ラインずつ同種類のサブ画素電極が周期的に現れるような画素配置とされている。例えば図18の左上部分の画素では、垂直方向の2つのサブ画素電極1A、1Bが第1の種類のサブ画素電極である。またこれに隣接する垂直方向の他の2つのサブ画素電極1B、2Bが第2の種類のサブ画素電極である。

【0062】

本実施の形態では、垂直方向に現れるサブ画素電極の周期が図2の場合とは異なるものの、第1の駆動モードでは、水平1ラインずつ走査するので、基本的な動作は上記第1の実施の形態と同様である。本実施の形態においても、第1の駆動モードでは、全体として1画素を構成する水平方向に2つのサブ画素電極（例えばサブ画素電極1A、1B）がそれぞれ互いに異なる階調特性で駆動されるようなハーフトーン駆動となり、階調の視角特性の改善効果が得られる。

【0063】

第2の駆動モードでは、複数のゲートラインG1, G2, G3...を2ラインずつ順次同時に選択して複数のサブ画素電極を2つの水平ラインずつ走査する。かつ、同一のソースライン上で垂直方向に隣接し、かつ異なる2つのゲートライン上にある第1のサブ画素電極と第2のサブ画素電極とを1つの駆動単位として表示駆動を行う。例えば図18に示したように、第1のソースラインS1に接続された第1のサブ画素電極1Aと他の第1のサブ画素電極2Aとを全体として第1の駆動単位として表示駆動を行う。また例えば、第2のソースラインS2に接続された第2のサブ画素電極1Bと他の第2のサブ画素電極2Bとを全体として第2の駆動単位として表示駆動を行う。この場合において、第1の駆動単位の画素電極と第2の駆動単位の画素電極とを水平方向に互いに異なる階調特性となるように駆動する。第1の駆動単位の画素電極と第2の駆動単位の画素電極とを水平方向に組み合わせて全体として1画素とみなして表示駆動を行う。

10

【0064】

図19(A)~(K)は、第2の駆動モードで表示を行う場合の各種駆動信号の波形を示している。図19(A)は、水平走査の開始タイミング信号GSTRの波形の一例を示している。図19(B)は、水平走査の基準クロック信号GCLKの波形の一例を示している。図19(C)~(I)は、第1~第7のゲートラインG1~G7に印加される走査信号の波形の一例を示している。図19(J)は、第1のソースラインS1に印加される画像信号の波形の一例を示している。図19(K)は、第2のソースラインS2に印加される画像信号の波形の一例を示している。

【0065】

20

第2の駆動モードでは、図19(C)~(I)に示したように、各ゲートラインが2ラインずつ走査される。第1および第2のゲートラインG1, G2が走査されているときには、図19(J)に示したように第1のソースラインS1には、V1+の電位（コモン電位VCに対して絶対値がV1で+側の電位）が印加される。同時に、図19(K)に示したように第2のソースラインS2には、V3-の電位（コモン電位VCに対して絶対値がV3で-側の電位）が印加される。絶対値V3は絶対値V1に比べて小さい値となっている。この場合、例えば図18における垂直方向の2つの第1のサブ画素電極1A, 2AにはV1+の電位が印加される。垂直方向の第2のサブ画素電極1B, 2BにはV3-の電位が印加される。

【0066】

30

本実施の形態では、第2の駆動モードでは、複数のゲートラインを2ラインずつ順次同時に選択して複数のサブ画素電極を2水平ラインずつ走査するので、第1の駆動モードに対して駆動速度を2倍にすることができる。このとき、第1のソースラインS1上で垂直方向に2個連続して配置された第1の種類のサブ画素電極1A, 2Aと、第2のソースラインS2上で垂直方向に2個連続して配置された第2の種類のサブ画素電極1B, 2Bとを互いに異なる階調特性となるように駆動するので、駆動速度を2倍にしつつ、ハーフトーン駆動がなされる。これにより、表示解像度は低下するが、階調の視角特性の改善効果を得た状態で、第1の駆動モードに対して駆動速度を2倍にすることができる。

【0067】

40

<その他の実施の形態>

本発明は、上記各実施の形態に限定されず種々の変形実施が可能である。

例えば上記各実施の形態では、第2の駆動モードにおいて、複数のゲートラインを2(N=2)ラインずつ順次同時に選択して複数のサブ画素電極を2つの水平ラインずつ走査する場合について説明したが、N=3ライン以上ずつ順次同時に走査するようにしても良い。例えば、上記第4の実施の形態(図18, 図19)において、垂直方向に3ライン以上ずつ同一種類のサブ画素電極が周期的に現れるような画素配置として、3ライン以上ずつ順次同時に走査するようにしても良い。

【0068】

この場合、第2の駆動モードでは、入力画像信号からN水平ラインごとに(N-1)水平ラインのデータの間引きを行った画像信号を生成し、その間引き後の画像信号に基づい

50

て表示パネルを駆動する。第2の駆動モードでは、第1の駆動モードに対して1/Nの走査期間で1画面の走査を行うことができる。第2の駆動モードでは、例えば1フレーム期間内に、同一の左眼用画像をN回連続して表示すると共に、左眼用画像の表示前または表示後に、同一の右眼用画像をN回連続して表示する制御を行うような場合に用いることができる。

【0069】

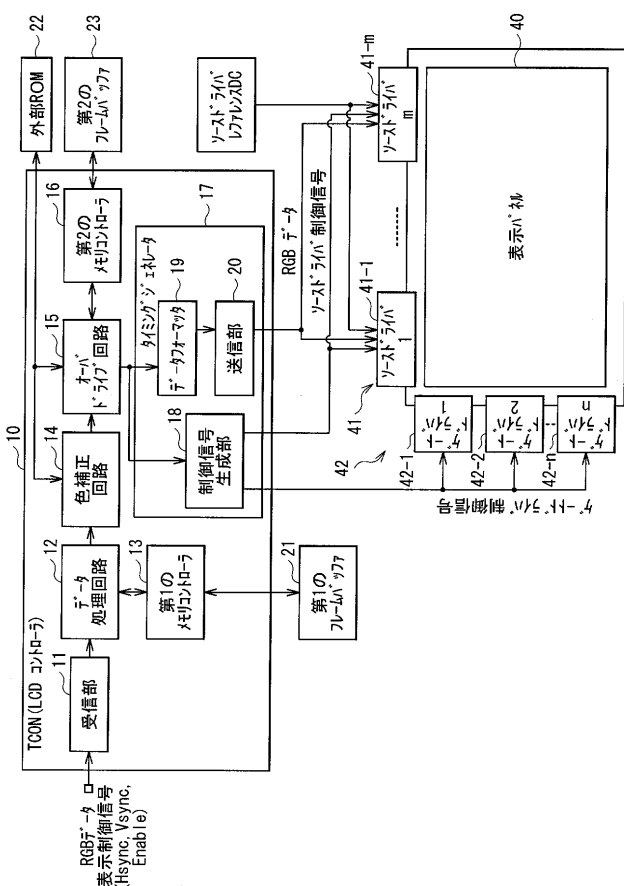
また、上記各実施の形態では、入力画像信号として、互いに視差のある左眼用画像と右眼用画像とが時間順次で含まれる立体画像信号が入力された場合を例に説明したが、本発明における駆動方法は、立体画像信号以外にも適用可能である。

【符号の説明】

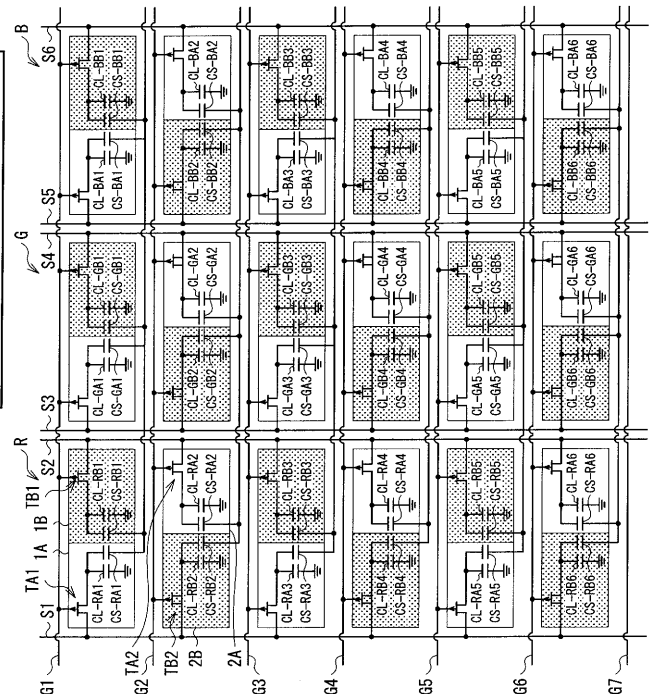
【0070】

G1…第1のゲートライン、G2…第2のゲートライン、S1…第1のソースライン、S2…第2のソースライン、1A…第1のサブ画素電極、1B…第2のサブ画素電極、2A…他の第1のサブ画素電極、2B…他の第2のサブ画素電極、10、10A…タイミングコントローラ(LCDコントローラ)、11…受信部、12…データ処理回路、13…第1のメモリコントローラ、14…色補正回路、15…オーバドライブ回路、16…第2のメモリコントローラ、17…タイミングジェネレータ回路部、18…制御信号生成部、19…データフォーマッタ、20…送信部、21…第1のフレームバッファ、22…外部ROM、23…第2のフレームバッファ、24…3Dガンマ変換回路、31…LUT(ODD)、32…LUT(EVN)、33…第1のセクタ、34…第2のセクタ、35…第1のラインバッファ、36…第2のラインバッファ、40…表示パネル、41(41-1, 41-2, …41-n)…ソースドライバ、42(42-1, 42-2, …42-m)…ゲートドライバ、51…第1のラインバッファ、52…第2のラインバッファ、53…第3のラインバッファ、54…3×3フィルタ(EVN)、55…3×3フィルタ(ODD)、56…係数補正回路、57…第1の加減算回路、58…第2の加減算回路。

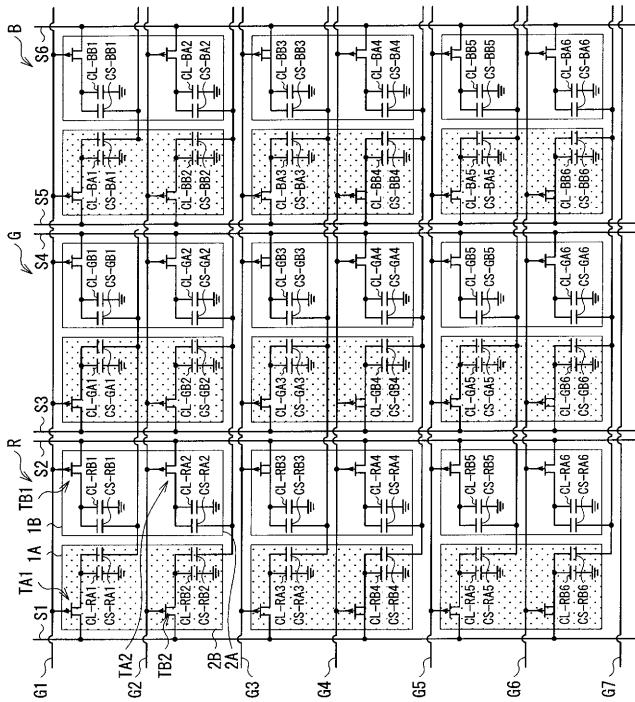
【図1】



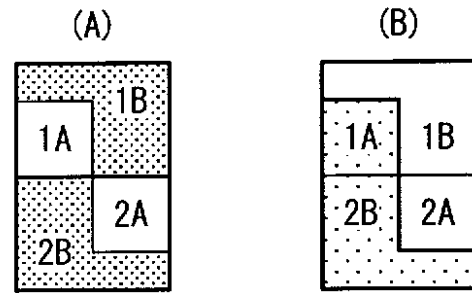
【図2】



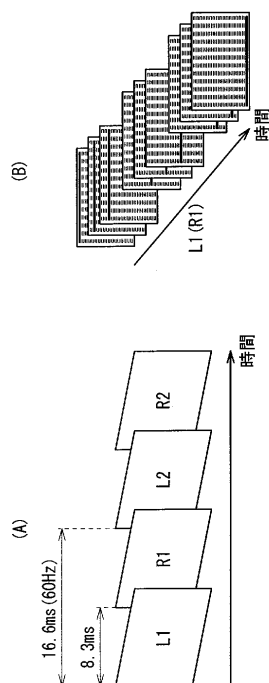
【図 3】



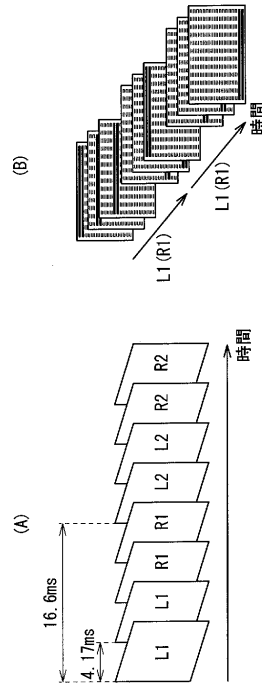
【図 4】



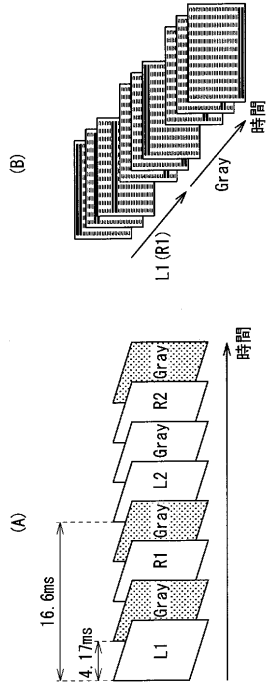
【図 5】



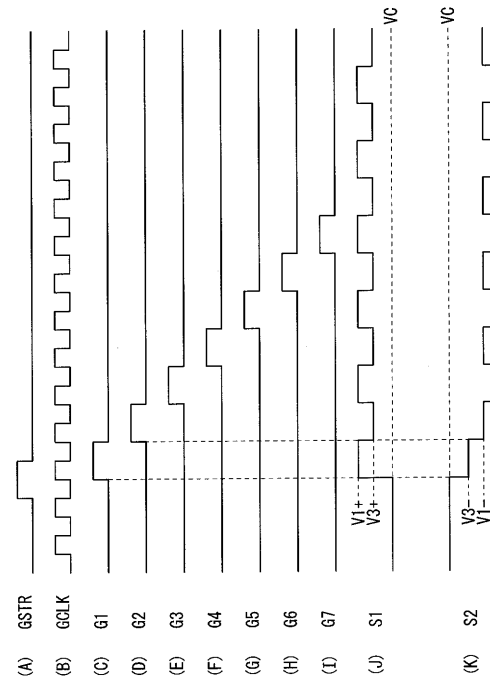
【図 6】



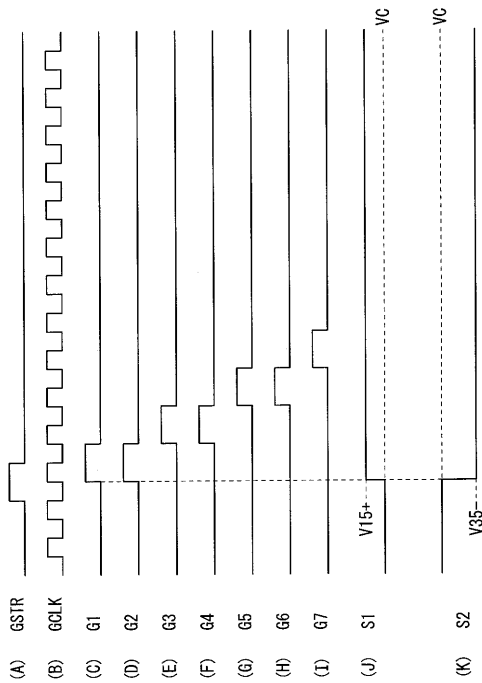
【図 7】



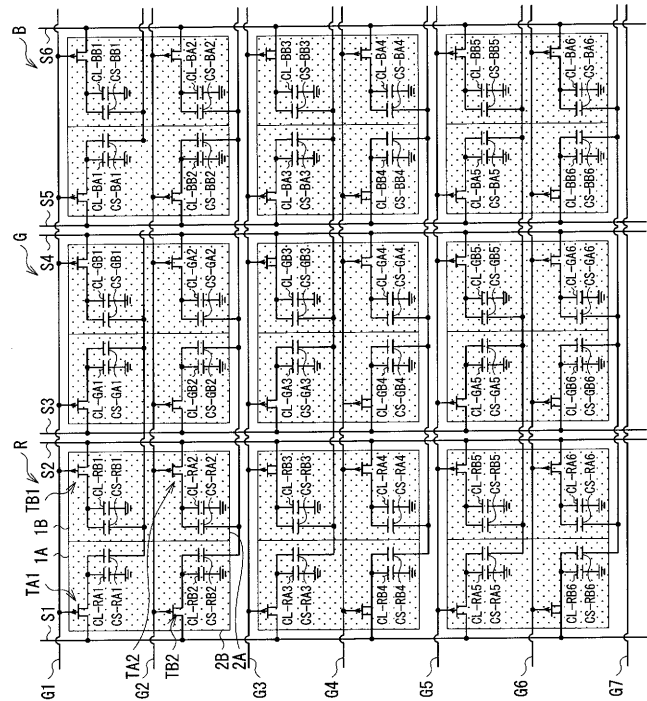
【図 8】



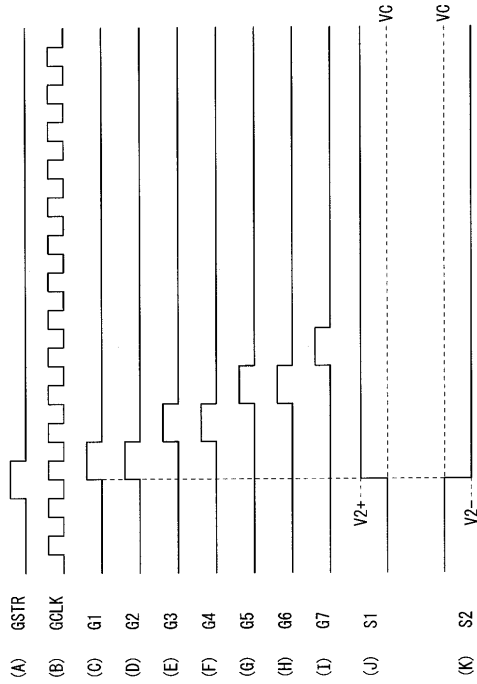
【図 9】



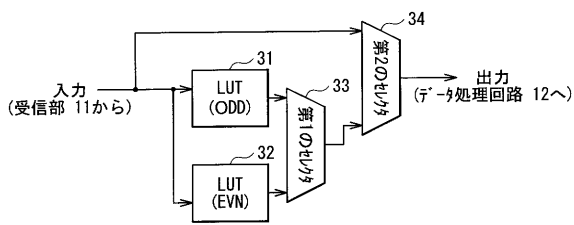
【図 10】



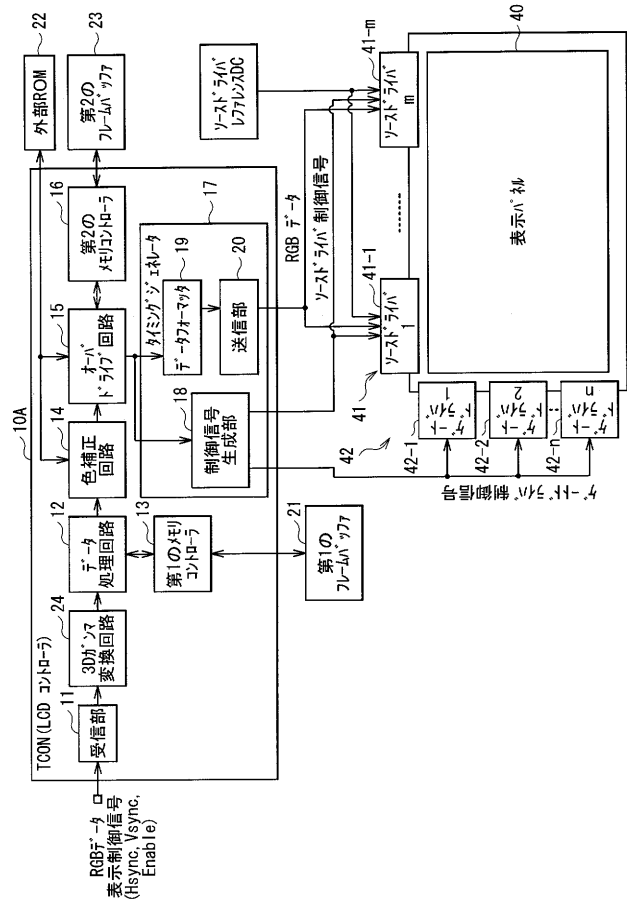
【図 1 1】



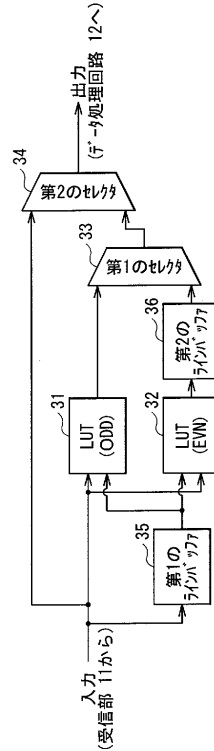
【図 1 3】



【図 1 2】



【図 1 4】



階調 (Stage)	Sub A+Sub B (%)	Sub B (%)	Sub A (%)
0	0.000	0.000	0.000
32	0.010	0.005	0.002
64	0.040	0.020	0.010
96	0.090	0.050	0.025
128	0.160	0.100	0.050
160	0.260	0.180	0.090
192	0.400	0.280	0.140
224	0.600	0.450	0.220
256	1.000	0.650	0.350

Timing diagram for the 74VHC163 4-bit binary counter. The diagram shows signals for GS TR, GCLK, G1 through G7, S1, and S2. GS TR is a pulse at the start. GCLK is a periodic clock. G1 through G7 are the counter outputs, which are active-low (0 for high, 1 for low). S1 and S2 are set/reset inputs, also active-low. Dashed lines indicate timing relationships: G1 is high when GCLK is high; G2 is high when G1 is high; G3 is high when G2 is high; G4 is high when G3 is high; G5 is high when G4 is high; G6 is high when G5 is high; G7 is high when G6 is high. S1 and S2 are high when G7 is high.

フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 5 0 E
G 0 9 G	3/20	6 5 0 J
G 0 9 G	3/20	6 6 0 X
G 0 9 G	3/20	6 3 2 C
G 0 9 G	3/20	6 1 1 D
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/20	6 4 2 J
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/36	
G 0 9 G	3/20	6 8 0 H
H 0 4 N	5/66	1 0 2 B

(72)発明者 鎌田 豪

東京都港区港南1丁目7番1号 ソニー株式会社内

Fターム(参考) 2H193 ZA04 ZA07 ZB02 ZB03 ZB06 ZC25 ZC35 ZC39 ZD23 ZD24
ZD27 ZD37 ZE01 ZE02 ZE03 ZF13 ZF14 ZF16 ZF17 ZR10
5C006 AA14 AA16 AA22 AB03 AC23 AC24 AF23 AF42 AF44 AF46
AF47 AF71 BB16 BC06 BF02 BF05 BF21 BF24 BF34 EC12
FA04 FA12 FA23 FA55
5C058 AA06 BA09 BB11
5C080 AA05 AA10 BB05 CC03 CC04 DD01 DD06 DD07 DD08 DD10
EE29 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	图像显示装置及其驱动方法		
公开(公告)号	JP2011076034A	公开(公告)日	2011-04-14
申请号	JP2009230318	申请日	2009-10-02
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	鈴木俊明 鎌田豪		
发明人	鈴木 俊明 鎌田 豪		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H04N5/66		
CPC分类号	G09G3/3648 G02F2001/134345 G02F2201/52 G02F2203/30 G09G3/003 G09G2300/0426 G09G2300/0876 G09G2310/0205 G09G2320/0252 G09G2320/028 G09G2340/16 H04N13/341 H04N13/398		
FI分类号	G02F1/133.550 G09G3/20.621.B G09G3/20.621.F G09G3/20.622.R G09G3/20.623.U G09G3/20.624.B G09G3/20.650.E G09G3/20.650.J G09G3/20.660.X G09G3/20.632.C G09G3/20.611.D G09G3/20.631.V G09G3/20.642.J G09G3/20.641.Q G09G3/36 G09G3/20.680.H H04N5/66.102.B		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB03 2H193/ZB06 2H193/ZC25 2H193/ZC35 2H193/ZC39 2H193/ZD23 2H193/ZD24 2H193/ZD27 2H193/ZD37 2H193/ZE01 2H193/ZE02 2H193/ZE03 2H193/ZF13 2H193/ZF14 2H193/ZF16 2H193/ZF17 2H193/ZR10 5C006/AA14 5C006/AA16 5C006/AA22 5C006/AB03 5C006/AC23 5C006/AC24 5C006/AF23 5C006/AF42 5C006/AF44 5C006/AF46 5C006/AF47 5C006/AF71 5C006/BB16 5C006/BC06 5C006/BF02 5C006/BF05 5C006/BF21 5C006/BF24 5C006/BF34 5C006/EC12 5C006/FA04 5C006/FA12 5C006/FA23 5C006/FA55 5C058/AA06 5C058/BA09 5C058/BB11 5C080/AA05 5C080/AA10 5C080/BB05 5C080/CC03 5C080/CC04 5C080/DD01 5C080/DD06 5C080/DD07 5C080/DD08 5C080/DD10 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
其他公开文献	JP2011076034A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：例如，在具有120Hz的驱动性能的液晶显示面板中，能够以240Hz进行伪驱动。一种显示面板40，一个接一个在对应于所述多条栅极线和多条源极线的交点的位置处被布置的多个子像素电极可以彼此独立地驱动控制。驱动控制装置（主要是定时控制器10）包括用于通过一个水平顺序地扫描多个子像素电极的第一驱动模式中选择的多条栅极线中的一条线，由N行的多条栅极线选择依次与第二驱动模式的驱动模式同时驱动控制显示面板40 2选择性地被N水平线扫描多个子像素电极。在第二驱动模式中，驱动控制装置执行显示驱动，其中N个子像素电极在垂直方向上在与一个驱动单元相同的源极线上连续。点域1

