

(11) 特許出願公開番号

特開2010-276709

(P2010-276709A)

(43) 公開日 平成22年12月9日(2010.12.9)

(51) Int.Cl.

F 1

テーマコード (参考)

G09G 3/36 (2006.01)

G O 9 G 3/36

2H088

G O 9 G 3/20 (2006.01)

G O 9 G 3/20 6 5 0 H

5C006

GO2F 1/13 (2006.01)

G O 9 G 3/20 6 1 2 F

5C080

G09G 3/20 623D

G09G 3/20 623F

審査請求 未請求 請求項の数 6 O L (全 22 頁) 最終頁に続く

(21) 出願番号 特願2009-126772 (P2009-126772)

(22) 出願日 平成21年5月26日 (2009. 5. 26)

(71) 出願人 000005821

パナソニック株式会社

大阪府門真市大字門真1006番地

(74) 代理人 100077931

弁理士 前田 弘

(74) 代理人 100110939

弁理士 竹内 宏

(74) 代理人 100110940

弁理士 嶋田 高久

(74) 代理人 100113262

弁理士 竹内 祐二

(74) 代理人 100115059

弁理士 今江 克実

(74) 代理人 100117581

弁理士 二宮 克也

最終頁に続く

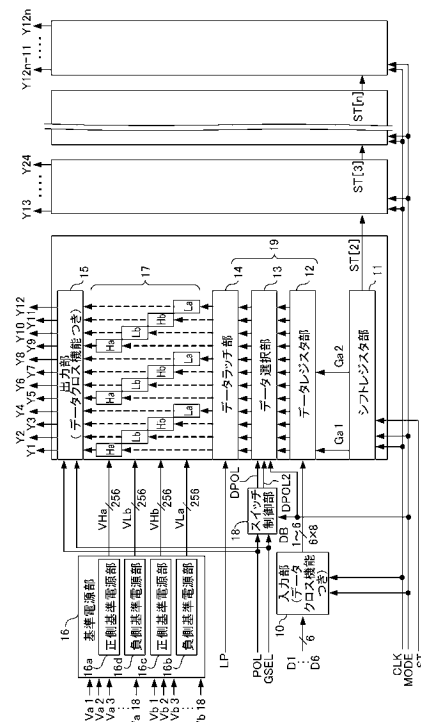
(54) 【発明の名称】 表示駆動装置

(57) 【要約】

【課題】IPSモード、PVAモード等の異なる仕様の液晶表示装置や、3次元表示に対応した液晶表示装置を実現するためには、それぞれ異なる構成の制御部、又は大きなメモリ容量が必要となり、コストが増大してしまう。

【解決手段】データクロス機能を持つ入力部１０と、マッピング切替信号により異なるシフト動作を行うシフトレジスタ部１１と、入力されるデータを順次取り込むデータレジスタ部１２と、外部タイミング信号で出力するデータを更新するデータラッチ部１４と、前記データレジスタ部１２と前記データラッチ部１４との間に配置されて隣接する４チャンネルデータを選択的に出力するデータ選択部１３と、隣接する４チャンネルデータを入れ替えるデータクロス機能を持つ出力部１５とを備えることにより、共通の制御部を用いて異なる仕様の液晶表示装置を実現する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

外部からのクロック信号に応答して 2 画素分のデータを同一タイミングで取り込み、かつ異なるチャンネル間でのデータの入れ替え機能を有する入力部と、

各データラインに対応する前記データを取り込み、かつ隣接する 4 チャンネル間で出力するデータを選択するデータ選択機能を有するラッチ部と、

前記ラッチ部で前記データを保持するタイミング信号を前記クロック信号から生成し、動作クロックごとに 1 段シフトする順次シフト動作と、動作クロックごとに 2 段ずつ同時にシフト動作する飛ばしシフト動作とを切り替えるシフト動作切替機能を有するシフトレジスタ部と、

10

複数の階調レベルに応じた複数の基準電圧を有する基準電源部と、

前記ラッチ部から出力されるデータに応じて、前記基準電源部から規定の基準電圧を選択するセクタ部と、

前記セクタ部で選択された基準電圧をそれぞれ表示データとして各データラインに出力し、かつ隣接する 4 チャンネル間でデータを入れ替えるデータクロス機能を有する出力部とを備え、

前記基準電源部は、第 1 から第 4 の階調電圧を有し、前記第 1 から第 4 の階調電圧のそれぞれが、隣接する 4 チャンネルに対応する前記セクタ部に 1 つずつ割り当てられていることを特徴とする表示駆動装置。

【請求項 2】

20

請求項 1 記載の表示駆動装置において、

前記表示駆動装置は、液晶表示パネルを駆動するデータラインドライバであることを特徴とする表示駆動装置。

【請求項 3】

請求項 1 記載の表示駆動装置において、

前記入力部は、2 画素分のデータを、1 画素分のデータごとに、それぞれ異なる基準クロック信号によって同一タイミングで取り込む 2 ポート機能を更に有し、

前記シフトレジスタ部は、第 1 のクロック信号でシフト動作を行う第 1 のシフトレジスタ部と、第 2 のクロック信号でシフト動作を行う第 2 のシフトレジスタ部とから構成され、

30

前記第 1 及び第 2 のシフトレジスタ部は、動作クロックごとに 1 段シフトする順次シフト動作と、動作クロックごとに 2 段ずつ同時にシフト動作する飛ばしシフト動作とを切り替えるシフト動作切替機能を更に有することを特徴とする表示駆動装置。

【請求項 4】

請求項 3 記載の表示駆動装置において、

前記表示駆動装置は、液晶表示パネルを駆動するデータラインドライバであることを特徴とする表示駆動装置。

【請求項 5】

請求項 2 記載の表示駆動装置において、

電圧を印加するゲートラインを順次駆動するゲートラインドライバと、

40

前記データラインドライバと前記ゲートラインドライバとの駆動タイミングとデータとを制御する制御部とを更に備えたことを特徴とする表示駆動装置。

【請求項 6】

請求項 4 記載の表示駆動装置において、

電圧を印加するゲートラインを順次駆動するゲートラインドライバと、

各々前記データラインドライバと前記ゲートラインドライバとの駆動タイミングとデータとを制御する 2 個の制御部とを更に備え、

前記 2 個の制御部のうち第 1 の制御部は右目用のデータを、第 2 の制御部は左目用のデータをそれぞれ制御することを特徴とする表示駆動装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、表示パネルを駆動するための表示駆動装置に関するものである。

【背景技術】

【0002】

液晶表示装置（liquid crystal display：LCD）は、画素電極及び共通電極が具備された2つの表示板と、その間に入っている誘電率異方性（dielectric anisotropy）を有する液晶層とを含む。画素電極は行列状に配列されていて、薄膜トランジスタ（TFT）等のスイッチング素子に連結されて1行ずつ順次にデータ電圧の印加を受ける。共通電極は表示板の全面にわたって形成されており、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は回路的に見れば液晶キャパシタをなす。この液晶キャパシタは、これに連結されたスイッチング素子とともに画素を構成する基本単位となる。

10

【0003】

このような液晶表示装置においては、2つの電極（画素電極及び共通電極）間に電圧を印加して液晶層に電界を形成し、この電界の強さを画素電極に印加されるデータ電圧により調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。

【0004】

このとき、液晶層の液晶分子が配列された形態によって多様に分類することができ、ツイステッドネマチック（twisted nematic：TN）方式の液晶表示装置が最も一般的であるが、視野角を改善するためにIPS（in-plane switching）モード、PVA（patterned vertical align）モード等の液晶表示装置も開発されている。

20

【0005】

IPSモードの液晶表示装置は、液晶分子をガラス基板に対して常に水平面内で回転させるため、液晶分子が斜めに立ち上がることがなく、視野角による光学特性の変化が少ないので、広い視野角を得ることができる。一方、PVAモードの液晶表示装置は、1つのサブピクセルがメインのサブピクセルとサブのサブピクセルとの2つに分割され、メインとサブとのサブピクセル間で液晶に対する印加電圧が互いに異なるように調整することで、液晶表示パネルの正面方向でのガンマ曲線と、斜め方向でのガンマ曲線とを一致させることにより、広い視野角を得ることができる。

30

【0006】

また、IPSモードとPVAモードとの液晶表示装置のいずれにおいても、フレーム別に、行別に、又はドット別に共通電圧に対するデータ電圧の極性を反転させることで、液晶層に一方向の電界が永らく印加されることによって発生する劣化現象の防止に効果があることが知られている。

【0007】

また、PVAモードの液晶表示装置にて所要の駆動電圧を与える方法として、制御部において、データラインドライバに出力するデータを、ルックアップテーブルを用いて第1のサブピクセル用のデータと第2のサブピクセル用のデータとに変換することで、同一データから異なる階調電圧で第1及び第2のサブピクセルを駆動する技術がある（特許文献1参照）。

40

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2007-226196号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

上記のようなIPSモードとPVAモードとの液晶表示装置に同じ画像を表示させる場合、PVAモードでは制御部においてルックアップテーブルを用いたデータ変換を行う等、IPSモードとPVAモードとで異なる制御部が必要になる。したがって、個々に制御

50

部を準備することによりコストが増大してしまう。

【0010】

また、3次元表示に対応した液晶表示装置の制御部では、左目用の画像と右目用の画像とを合成する必要がある、制御部において大きなメモリ容量が必要になってしまう。

【0011】

本発明は、以上のような問題点を解決するもので、IPSモードやPVAモードの液晶表示装置や、3次元表示に対応した液晶表示装置に共通で利用できるデータラインドライバを提供することを目的とする。

【課題を解決するための手段】

【0012】

上記目的を達成するため、本発明に係る表示駆動装置は、外部からのクロック信号に回答して2画素分のデータを同一タイミングで取り込み、かつ異なるチャンネル間でのデータの入れ替え機能を有する入力部と、各データラインに対応する前記データを取り込み、かつ隣接する4チャンネル間で出力するデータを選択するデータ選択機能を有するラッチ部と、前記ラッチ部で前記データを保持するタイミング信号を前記クロック信号から生成し、動作クロックごとに1段シフトする順次シフト動作と、動作クロックごとに2段ずつ同時にシフト動作する飛ばしシフト動作とを切り替えるシフト動作切替機能を有するシフトレジスタ部と、複数の階調レベルに応じた複数の基準電圧を有する基準電源部と、前記ラッチ部から出力されるデータに応じて、前記基準電源部から規定の基準電圧を選択するセクタ部と、前記セクタ部で選択された基準電圧をそれぞれ表示データとして各データラインに出力し、かつ隣接する4チャンネル間でデータを入れ替えるデータクロス機能を有する出力部とを備え、前記基準電源部は、第1から第4の階調電圧を有し、前記第1から第4の階調電圧のそれぞれが、隣接する4チャンネルに対応する前記セクタ部に1つずつ割り当てられていることを特徴とするものである。

【発明の効果】

【0013】

本発明によれば、IPSモードやPVAモードといった異なる仕様の液晶表示パネルに対応した、汎用性の高い表示駆動装置を実現することが可能になる。これにより、IPSモードとPVAモードとの液晶表示パネルで制御部を共有化することができ、3次元表示装置(3D表示パネル)においては画像合成や合成データを保持するメモリ等が不要になるので、液晶表示装置のコストを削減することが可能になる。

【図面の簡単な説明】

【0014】

【図1】本発明の実施の形態1におけるデータラインドライバの構成図である。

【図2】図1中の基準電源部を構成する抵抗アレイ型D/Aコンバータの構成図である。

【図3】図1中のシフトレジスタ部、データレジスタ部等の詳細構成図である。

【図4】(a)及び(b)は、図3中の4チャンネルスイッチ部の構成図とその動作説明図である。

【図5】(a)及び(b)は、図3中のアナログスイッチ部の構成図とその動作説明図である。

【図6】図1のデータラインドライバを用いたIPSモードの液晶表示装置の構成図である。

【図7】図6の液晶表示装置におけるシフトレジスタ部の動作タイミング図である。

【図8】図1のデータラインドライバを用いたPVAモードの液晶表示装置の構成図である。

【図9】図8の液晶表示装置におけるシフトレジスタ部の動作タイミング図である。

【図10】本発明の実施の形態2におけるデータラインドライバの構成図である。

【図11】図10中のシフトレジスタ部及びデータレジスタ部の詳細構成図である。

【図12】図10のデータラインドライバを用いた3次元表示装置の構成図である。

【図13】図12中の液晶表示パネルの断面図である。

10

20

30

40

50

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態について、図面を参照しながら説明する。なお、各実施の形態において、同じ符号を付した構成要素は同様の動作を行うので、再度の説明を省略する場合がある。

【0016】

《実施の形態1》

実施の形態1において、IPSモード及びPVAモードの液晶表示装置に制御部を共用化できるデータラインドライバについて説明する。本実施の形態では、差動型データ入力インタフェースを持ち、制御部より2画素データずつ送信されてきたデータを階調電圧に変換し、液晶表示パネルのデータラインを駆動する8ビットのデータラインドライバとする。

10

【0017】

図1は、本発明の実施の形態1における液晶表示装置用データラインドライバの構成図である。図1のデータラインドライバは、入力部10と、スイッチ制御部18と、階調電圧を作成する基準電源部16と、シフトレジスタ部11と、ラッチ部19と、アナログスイッチ群からなるセクタ部17と、出力部15とを備え、クロック信号CLKと、マッピング切替信号MODEと、データ取り込みのスタート信号STと、出力の切り換えのタイミングを指示するタイミング信号LPと、共通電位に対してのチャンネル出力電位の極性を切り替える極性切替信号POLと、階調電圧切替信号GSELとにより制御される。ラッチ部19は、駆動する出力数×ビット数分のデータを取り込むデータレジスタ部12及びデータラッチ部14と、データレジスタ部12とデータラッチ部14との間にあって隣接する2チャンネルのデータを入れ替えるデータ選択部13とを備えている。なお、IPSモードではマッピング切替信号MODEがLレベルに、PVAモードではマッピング切替信号MODEがHレベルにそれぞれ設定されるものとする。

20

【0018】

基準電源部16は、予め4つの階調電圧群を生成するように、第1の階調 y_a における第1の正側基準電源部16a及び第1の負側基準電源部16bと、第2の階調 y_b における第2の正側基準電源部16c及び第2の負側基準電源部16dとからなり、第1の階調 y_a は基準電圧入力 $V_{a1} \sim V_{a18}$ により、第2の階調 y_b は基準電圧入力 $V_{b1} \sim V_{b18}$ により、それぞれ同一の階調電圧又は個別の階調電圧を生成することができる。つまり、基準電源部16において、隣接する4チャンネルごとにそれぞれ専用の第1の正側基準電源部16a、第1の負側基準電源部16b、第2の正側基準電源部16c、第2の負側基準電源部16dが設けられている。第1の正側基準電源部16aが出力する256階調の電圧群を V_{Ha} 、第1の負側基準電源部16bが出力する256階調の電圧群を V_{La} 、第2の正側基準電源部16cが出力する256階調の電圧群を V_{Hb} 、第2の負側基準電源部16dが出力する256階調の電圧群を V_{Lb} とする。

30

【0019】

このような基準電源部16は、図2に示すように、例えばタップ付の抵抗アレイ型D/Aコンバータで構成される。図示の例では、基準電源として入力される18本の基準電圧 $V_{a1} \sim V_{a18}$ は、共通電位に対し正側の基準電圧 $V_{a1} \sim V_{a9}$ と、共通電位に対し負側の基準電圧 $V_{a10} \sim V_{a18}$ とに分かれており、抵抗器を用いて $V_{a1} \sim V_{a2}$ の間、 $V_{a2} \sim V_{a3}$ の間、・・・、 $V_{a17} \sim V_{a18}$ の間を分圧することで、 V_{a1} から V_{a9} までの正側の256階調の電圧 V_{Ha} を作成する第1の正側基準電源部16aと、 V_{a10} から V_{a18} までの負側の256階調の電圧 V_{La} を作成する第1の負側基準電源部16bとから構成されている。また、18本の基準電圧 $V_{b1} \sim V_{b18}$ は、共通電位に対し正側の基準電圧 $V_{b1} \sim V_{b9}$ と、共通電位に対し負側の基準電圧 $V_{b10} \sim V_{b18}$ とに分かれており、抵抗器を用いて $V_{b1} \sim V_{b2}$ の間、 $V_{b2} \sim V_{b3}$ の間、・・・、 $V_{b17} \sim V_{b18}$ の間を分圧することで、 V_{b1} から V_{b9} までの正側の256階調の電圧 V_{Hb} を作成する第2の正側基準電源部16cと、 V_{b10} から V_{b18} ま

40

50

での負側の256階調の電圧 V_{Lb} を作成する第2の負側基準電源部16dとから構成されている。

【0020】

なお、基準電圧 $V_{a1} \sim V_{a18}$ 、 $V_{b1} \sim V_{b18}$ の入力、又はその間の抵抗器の数や抵抗値を変更することで、階調電圧とデータとの対応関係を表すガンマカーブを作成及び調整することができる。

【0021】

図1中の入力部10は、マッピング切替信号MODEに基づいてデータレジスタ部12への出力データを入れ替えるデータクロス機能を持つ。すなわち、入力部10は、2画素分の入力データ $D_1, D_2, \dots, D_6$ をシリアル・パラレル変換し、6系統の8ビットデータ出力を行う差動型データ入力インタフェース機能と、マッピング切替信号MODEによって、入力される6系統のデータを入れ替えて出力することができるデータクロス機能とを持ち、6系統の8ビットデータ($DB_1, DB_2, \dots, DB_6$)がデータレジスタ部12に出力される。

【0022】

スイッチ制御部18は、マッピング切替信号MODEと極性切替信号POLと階調電圧切替信号GSELとに応じて、データ用極性切替信号DPOL及び第2のデータ用極性切替信号DPOL2をデータ選択部13へ出力する。

【0023】

シフトレジスタ部11は、マッピング切替信号MODEに基づいて異なるシフト動作を行う機能を持つ。ラッチ部19は、データレジスタ部12と、データ選択部13と、データラッチ部14とから構成される。このうちデータ選択部13は、スイッチ制御部18から供給されるデータ用極性切替信号DPOL及び第2のデータ用極性切替信号DPOL2に基づいてチャンネルデータ入れ替えを行う機能を持つ。出力部15は、極性切替信号POLと階調電圧切替信号GSELとに基づいて隣接する4チャンネルのデータ入れ替えを行う機能を持つ。

【0024】

次に、シフトレジスタ部11、データレジスタ部12、データ選択部13、データラッチ部14、セクタ部17、出力部15について、図3を用いて説明する。図3は、実施の形態1におけるデータラインドライバの出力データライン $Y_1 \sim Y_{12}$ における、シフトレジスタ部11、データレジスタ部12、データ選択部13、データラッチ部14、セクタ部17、出力部15の構成及び接続関係を示している。ここで、データレジスタ部12から出力部15までを直線に結んだラインをチャンネルと呼び、 Y_1 につながるチャンネルをチャンネル1とし、 Y_2 から Y_{12} につながるチャンネルも同様にチャンネル2からチャンネル12とする。

【0025】

実施の形態1におけるシフトレジスタ部11、データレジスタ部12、データ選択部13、データラッチ部14、セクタ部17、出力部15は、12出力ごとに同様の構成をとる。

【0026】

シフトレジスタ部11は、スタート信号STによって動作を開始し、データレジスタ部12が入力部10より出力される6系統の8ビットデータを取り込むタイミング信号 G_{a1}, G_{a2} を出力する。図3において、シフトレジスタ部11は2つのフリップフロップ(FF)20a, 20bと、STセクタ21とから構成され、2本のタイミング信号 G_{a1}, G_{a2} と、次の12出力分のタイミング信号を出力するシフトレジスタ部11へのスタート信号ST[2]とを出力する。シフトレジスタ部11は、マッピング切替信号MODEに応じて、STセクタ21により、スタート信号STの入力先を切り替えることで、クロック信号CLKの1クロックで1段ずつシフトし、 G_{a1} と G_{a2} とを順次出力する順次シフト動作と、クロック信号CLKの1クロックで2段が同時にシフトし、 G_{a1} と G_{a2} とを同じタイミングで出力する飛ばしシフト動作とを切り替える機能を持ち、

10

20

30

40

50

データレジスタ部 12 が取り込むデータを切り替えることができる。

【0027】

データレジスタ部 12 は、シフトレジスタ部 11 からの取り込みタイミング信号 1 本ごとに、6 データ × 8 ビットのレジスタ群が接続されており、これらのレジスタ群はそれぞれ入力部 10 より出力される 6 系統の 8 ビットデータ DB1 ~ DB6 を、取り込みタイミング信号 Ga1, Ga2 に応じて取り込む。

【0028】

次に、データ選択部 13 から出力部 15 までの接続について説明する。データ選択部 13 から出力部 15 までは隣接する 4 チャンネルごとに同様の構成をとるため、ここではチャンネル 1 からチャンネル 4 について説明する。詳細な接続の違いは、動作説明と併せて後に説明する。

10

【0029】

データ選択部 13 は、マッピング切替信号 MODE によって、入力される 4 チャンネルのデータのうち、2 データを選択して、1 データずつ 2 チャンネルに出力する状態と、入力される 4 チャンネルの 4 データをそのまま出力する状態との 2 状態を持つ MODE スイッチ部 22 と、この MODE スイッチ部 22 からの 4 チャンネルデータを入力として、データ用極性切替信号 DPOL 又は第 2 のデータ用極性切替信号 DPOL2 に応じて 4 チャンネル間で出力するデータを入れ替える 4 チャンネルスイッチ部 23 とから構成される。

【0030】

データラッチ部 14 は、8 ビットのラッチ群から構成され、データレジスタ部 12 にデータが取り込まれた後、次の 1 ライン分のデータが到来する前に、データレジスタ部 12 内のデータを表示ライン (1 水平周期) 毎に供給されるタイミング信号 LP に応答して取り込む。これにより、セクタ部 17 に出力するデータを更新する。

20

【0031】

セクタ部 17 は、第 1 の正側基準電源部 16a に対応するセクタ Ha と、第 1 の負側基準電源部 16b に対応するセクタ La と、第 2 の正側基準電源部 16c に対応するセクタ Hb と、第 2 の負側基準電源部 16d に対応するセクタ Lb との 4 種類のセクタからなり、隣接する 4 チャンネルごとに Ha、Lb、Hb、La のように順に並べて配置され、それぞれデータラッチ部 14 からの 8 ビットのデータが入力される。

【0032】

出力部 15 は、隣接する 4 チャンネルのセクタ Ha, Lb, Hb, La からの出力電圧を入力とし、極性切替信号 POL と階調電圧切替信号 GSEL とに基づいて、出力する 4 チャンネルの階調電圧を入れ替える機能を持つアナログスイッチ部 24 と、このアナログスイッチ部 24 からの出力電圧を基準にデータラインドライバの出力を駆動するバッファ部 25 とから構成される。

30

【0033】

つまり、データ選択部 13 に入力される 4 チャンネル分のデータのそれぞれは、必ず 4 種類のセクタ Ha, La, Hb, Lb のうちの 1 つずつに割り振られ、データ選択部 13 において、各データが経由するセクタ Ha, Lb, Hb, La を切り替え、出力部 15 においては各データが出力するチャンネルを切り替えることで、4 チャンネル間でセクタ部 17 を共用している。

40

【0034】

図 4 (a) は、隣接する 4 チャンネル間における 4 チャンネルスイッチ部 23 と、データラッチ部 14 と、セクタ部 17 との構成例であり、この図 4 (a) を用いて接続関係を説明する。また、接続切替に関する真理値表を図 4 (b) に示した。

【0035】

4 チャンネルスイッチ部 23 では、チャンネル 1 とチャンネル 4 のデータ、チャンネル 2 とチャンネル 3 のデータがそれぞれ入れ替えできるように接続されているため、DPOL 信号又は DPOL2 信号を S1 とするとき、第 1 の状態 (S1 が H レベルの時) においては、チャンネル 1 のデータ CH1 はセクタ Ha に、チャンネル 2 のデータ CH2 はセクタ Lb に、

50

チャンネル 3 のデータ C H 3 はセレクト H b に、チャンネル 4 のデータ C H 4 はセレクト L a にそれぞれ出力される。次に、第 2 の状態 (S 1 が L レベルの時) においては、チャンネル 1 のデータ C H 1 はセレクト L a に、チャンネル 2 のデータ C H 2 はセレクト H b に、チャンネル 3 C H 3 のデータはセレクト L b に、チャンネル 4 のデータ C H 4 はセレクト H a にそれぞれ出力される。

【 0 0 3 6 】

次に、隣接する 4 チャンネル間における出力部 1 5 と、セクタ部 1 7 との接続関係について、図 5 (a) を用いて説明する。図 5 (a) は、Y 1 ~ Y 4 における出力部 1 5 と、セクタ部 1 7 との接続関係を示している。

【 0 0 3 7 】

出力部 1 5 では、アナログスイッチ部 2 4 によって 4 種類あるセレクト H a , L b , H b , L a の出力電圧を出力する端子 (Y 1 ~ Y 4) を切り替えている。

【 0 0 3 8 】

まず、極性切替信号 P O L によって、セレクト H a と L a 、セレクト H b と L b をそれぞれ入れ替えられるように接続する。次に、階調電圧切替信号 G S E L によってチャンネル 1 とチャンネル 3 、チャンネル 2 とチャンネル 4 をそれぞれ入れ替えるように接続する。以上のように接続することで、セクタ部 1 7 と出力 (Y 1 ~ Y 4) との関係は P O L と G S E L とによって 4 つの状態を持つこととなり、その状態を図 5 (b) に示した。図 5 (b) において、例えば G S E L が L レベル、P O L が L レベルの状態において、Y 1 、Y 2 、Y 3 、Y 4 の出力は、Y 1 から順にセレクト L a , H b , L b , H a からの出力電圧に応じた出力となることを示している。

【 0 0 3 9 】

以上のような構成及び機能を持つ実施の形態 1 におけるデータラインドライバが I P S モード及び P V A モードで制御部を共用できることを説明する。

【 0 0 4 0 】

以下の説明において、シフトレジスタ部 1 1 、データレジスタ部 1 2 、データ選択部 1 3 、データラッチ部 1 4 、セクタ部 1 7 、出力部 1 5 は 1 2 チャンネルごとに同様の構成を持つため、Y 1 から Y 1 2 までの 1 2 出力分についてのみ説明する。

【 0 0 4 1 】

図 6 は、本実施の形態におけるデータラインドライバ 2 6 の使用例であり、制御部 2 7 及びゲートラインドライバ 2 8 を用いて、I P S モードの液晶表示パネル 2 9 を駆動することを想定している。すなわち、図 6 の液晶表示装置は、I P S モードの液晶表示パネル 2 9 のデータラインを駆動するデータラインドライバ 2 6 と、電圧を印加するゲートラインを順次駆動するゲートラインドライバ 2 8 と、データラインドライバ 2 6 とゲートラインドライバ 2 8 との駆動タイミングとデータとを制御する制御部 2 7 とから構成される。I P S モードの液晶表示パネル 2 9 は、m 本のデータライン (D L 1 , D L 2 , . . . , D L m) と n 本のゲートライン (G 1 , G 2 , . . . , G n) とによって駆動される m × n 個のサブピクセル (P X (1 , 1) , P X (2 , 1) , . . . , P X (m , n)) を持っている。制御部 2 7 は、ゲートラインごとに対応するデータをデータラインドライバ 2 6 に伝送し、データラインドライバ 2 6 が m 本のデータラインを駆動するタイミングに合わせて、対応するゲートライン 1 本を有効にして、パネル 2 9 の 1 ラインごとに順次データを更新することで、表示する画像を切り替えている。

【 0 0 4 2 】

ここで、I P S モード (マッピング切替信号 M O D E が L レベルのとき) では、階調電圧切替信号 G S E L が H レベルになることは考慮していない。これは、I P S モードの液晶表示パネル 2 9 を駆動する場合、第 1 の階調 y a と第 2 の階調 y b とが同じでなければならないからである。つまり、マッピング切替信号 M O D E が L レベルの状態では第 1 の階調 y a と第 2 の階調 y b とが同じ階調になる必要がある。そのために、基準電圧入力 V a 1 ~ V a 1 8 と、基準電圧入力 V b 1 ~ V b 1 8 は全く同じ電圧を入力しておく。

【 0 0 4 3 】

10

20

30

40

50

図7は、入力部10によりシリアル・パラレル変換された6系統8ビットデータのバス(DB1, DB2, ..., DB6)と、シフトレジスタ部11のタイミング信号(Ga1, Ga2, ..., Ga(2n))との関係を表すタイミングチャートである。IPSモードにおいては、シフトレジスタ部11は順次シフト動作を行う。このため、第1から第6のチャンネルのデータレジスタ部12は、図7のタイミングT1において、データバスDB1~DB6を伝播するデータ(R1, G1, B1, r1, g1, b1)を取り込む。また、第7から第12のチャンネルのデータレジスタ部12は、図7のタイミングT2において、データバスDB1~DB6を伝播するデータ(R2, G2, B2, r2, g2, b2)を取り込む。このとき、図3中のノードAにおけるデータとして第1のチャンネルから順に、R1、G1、B1、r1、g1、b1、R2、G2、B2、r2、g2、b2がデータレジスタ部12から出力されている。

10

【0044】

マッピング切替信号MODEがLレベルのとき、データ選択部13におけるMODEスイッチ部22は、4チャンネル間で入力データがそのまま出力データとして得られる状態となるため、図3中のノードBにおけるデータは、ノードAと同じデータとなるように選択される。

【0045】

図3中のノードBからノードCまでの動作は、第1から第4のチャンネル、第5から第8のチャンネル、第9から第12のチャンネルの4チャンネルごとに同様の動作を行うため、第1から第4のチャンネルについてのみ説明する。

20

【0046】

まず、隣接する4チャンネルの出力は、それぞれ4種類ある階調電圧(VHa, VLb, VHb, VL a)のうちいずれかを出力し、かつ、隣接する4チャンネル間では異なる階調電圧を出力する。このため、4種類のセクタHa, Lb, Hb, Laを4チャンネル間で共用することが可能である。

【0047】

第1から第4のチャンネルにおけるノードBのデータ(R1, G1, B1, r1)は、データ選択部13内の4チャンネルスイッチ部23によりデータラッチ部14に出力するチャンネルを入れ替えられる。

【0048】

4チャンネルスイッチ部23の構成及び動作は図4(a)及び図4(b)のとおりであるので、Y1からY4の4チャンネルにおいて、CH1、CH2、CH3、CH4のデータはR1、G1、B1、r1が入力され、S1としてデータ用極性切替信号DPOLが接続される。Y5からY8の4チャンネルでは、CH1、CH2、CH3、CH4のデータはg1、b1、R2、G2が入力され、S1として第2のデータ用極性切替信号DPOL2が接続される。Y9からY12の4チャンネルでは、CH1、CH2、CH3、CH4のデータはB2、r2、g2、b2が入力され、S1としてデータ用極性切替信号DPOLが接続される。

30

【0049】

ここで、IPSモードにおけるY1~Y4についてノードA、ノードB、ノードCにおけるデータの流れを再度確認すると、入力部10からの出力データを、シフトレジスタ部11からのタイミング信号Ga1, Ga2が示すタイミングT1, T2でラッチしたデータは、ノードAにおいて、チャンネル1から順にR1、G1、B1、r1となる。データ選択部13内のMODEスイッチ部22はIPSモード(MODEがLレベル)においてチャンネル間でのデータ交換はないため、ノードBにおいても、チャンネル1から順にR1、G1、B1、r1となる。

40

【0050】

次に、4チャンネルスイッチ部23において、出力先のセクタを選択する。まず、極性切替信号POLがHレベルのとき、各チャンネルのデータが出力するセクタ部17は、チャンネル1から順に、Ha、Lb、Hb、Laとなる。次に、出力部15内のアナログスイ

50

タッチ部 24 では、極性切替信号 P O L が H レベル（かつ、I P S モード時は G S E L は必ず L レベルとする）のとき、接続されるセクタは Y 1 から順に H a、L b、H b、L a となるため、ノード B とノード C との関係は同じ状態となる。

【 0 0 5 1 】

次に、極性切替信号 P O L が L レベルのとき、4 チャンネルスイッチ部 23 において、各チャンネルのデータが出力するセクタ部 17 は、チャンネル 1 から順に L a、H b、L b、H a となる。次に、出力部 15 内のアナログスイッチ部 24 では、極性切替信号 P O L が L レベル（かつ、I P S モード時は G S E L は必ず L レベルとする）のとき、接続されるセクタは Y 1 から順に L a、H b、L b、H a となるため、ノード B とノード C との関係は同じ状態となる。

10

【 0 0 5 2 】

ここで、第 1 の階調 y_a と第 2 の階調 y_b とを同じ階調にしているため、同じデータが入力される状態において、セクタ H a とセクタ H b、セクタ L a とセクタ L b はそれぞれ全く同じ出力とみなすことができる。

【 0 0 5 3 】

また、Y 5 から Y 8 におけるデータ選択部 13 への制御信号である第 2 のデータ用極性切替信号 D P O L 2 は I P S モードにおいては D P O L と同様の論理で動作する。また、M O D E スwitch部 22 における接続関係は異なるが、I P S モードではチャンネル 1 からチャンネル 4 での接続関係と同じになるため、入力されるデータが異なること以外に差異はない。したがって、ここでは説明を省略する。

20

【 0 0 5 4 】

以上のように、図 1 のデータラインドライバは、入力データに対し、極性切替信号 P O L の状態により出力する電圧の極性を切り替えることのできる I P S モードのデータラインドライバ 26 として動作が可能となる。

【 0 0 5 5 】

次に、P V A モードでの動作を説明する。本実施の形態において、P V A モード（マッピング切替信号 M O D E が H レベルのとき）では、図 8 に示したような、P V A モードの液晶表示パネル 30 を駆動することを想定している。すなわち、P V A モードの液晶表示装置は、図 8 のように構成される。図 8 の液晶表示装置は、P V A モードの液晶表示パネル 30 のデータラインを駆動するデータラインドライバ 26 と、電圧を印加するゲートラインを順次駆動するゲートラインドライバ 28 と、データラインドライバ 26 とゲートラインドライバ 28 との駆動タイミングとデータとを制御する制御部 27 とから構成される。P V A モードの液晶表示パネル 30 は、共通電極を有する基板と、画素電極を有する基板とで構成されている。それらの基板の間には液晶が注入されている。画素電極を有する基板は、複数のデータライン D 1 A ~ D m A、D 1 B ~ D m B と、複数のゲートライン G 1 ~ G n と、マトリックス状に配列されかつデータラインとゲートラインとで間を区切られた複数のサブピクセルを含む。

30

【 0 0 5 6 】

また、複数のサブピクセルのそれぞれは、2 本のデータライン D 1 A、D 1 B と 1 本のゲートライン G 1 とで区切られている第 1 のサブピクセル P X A 及び第 2 のサブピクセル P X B からなる。制御部 27 は、ゲートラインごとに対応するデータをデータラインドライバ 26 に伝送し、各データラインドライバ 26 がデータラインを駆動するタイミングに合わせて、対応するゲートライン 1 本を有効にして、パネル 30 の 1 ラインごとに順次データを更新することで表示する画像を切り替える動作は、I P S モードと変わらない。ただし、第 1 及び第 2 のサブピクセル P X A、P X B を、同一データでも異なる階調電圧で駆動する必要がある。

40

【 0 0 5 7 】

ここでは、第 1 の階調 y_a は第 1 のサブピクセル P X A を駆動する階調に、第 2 の階調 y_b は第 2 のサブピクセル P X B を駆動する階調にそれぞれなるように、基準電圧入力 $V_{a1} \sim V_{a18}$ 及び基準電圧入力 $V_{b1} \sim V_{b18}$ を与えておく。

50

【 0 0 5 8 】

図 9 は、入力部 1 0 によりシリアル・パラレル変換された 6 系統 8 ビットデータのバス (D B 1 , D B 2 , . . . , D B 6) と、シフトレジスタ部 1 1 のタイミング信号 (G a 1 , G a 2 , . . . , G a (2 n)) との関係を表すタイミングチャートである。P V A モードにおいては、入力部 1 0 におけるデータクロス機能により、D B 2 と D B 3 及び、D B 4 と D B 5 のデータが入れ替わった状態で伝播する。また、シフトレジスタ部 1 1 は飛ばしシフト動作を行う。飛ばしシフト動作は、偶数番目のフリップフロップ 2 0 b が、1 つ前の奇数番目のフリップフロップ 2 0 a と同じスタート信号により動作するように、S T セクタ 2 1 を動作させることで実現できる。

【 0 0 5 9 】

10

この動作により、チャンネル 1 からチャンネル 1 2 のデータレジスタ部 1 2 は、図 9 のタイミング T 1 において、データバスを伝播するデータ (R 1 , B 1 , G 1 , g 1 , r 1 , b 1) を取り込む。つまり、チャンネル 1 からチャンネル 6 までのデータレジスタと、チャンネル 7 からチャンネル 1 2 までのデータレジスタとは、同じデータを取り込んでいる。

【 0 0 6 0 】

このとき、図 3 のノード A におけるデータとして第 1 のチャンネルから順に R 1 、 B 1 、 G 1 、 g 1 、 r 1 、 b 1 、 R 1 、 B 1 、 G 1 、 g 1 、 r 1 、 b 1 がデータレジスタ部 1 2 から出力されている。

【 0 0 6 1 】

ここで、マッピング切替信号 M O D E が H レベルであるので、データ選択部 1 3 における M O D E スイッチ部 2 2 は、4 チャンネルのデータのうち、2 データを 2 チャンネルに出力する。つまり、チャンネル 2 、チャンネル 4 、チャンネル 6 、チャンネル 7 、チャンネル 9 、チャンネル 1 1 にそれぞれセクタを設けてあるので、ノード B でのデータが R 1 、 R 1 、 G 1 、 G 1 、 r 1 、 r 1 、 B 1 、 B 1 、 g 1 、 g 1 、 b 1 、 b 1 となるように選択される。

20

【 0 0 6 2 】

次に、各チャンネルが経由するセクタ H a , L b , H b , L a と、出力端子とについて 4 チャンネルずつ説明する。

【 0 0 6 3 】

まず、チャンネル 1 からチャンネル 4 において、G S E L が L レベルの場合、4 チャンネルスイッチ部 2 3 の制御信号となるデータ用極性切替信号 D P O L は、I P S モードと同様になるため、極性切替信号 P O L が H 及び L のどちらの場合においても、ノード B とノード C との関係は同じ状態となる。

30

【 0 0 6 4 】

次に、G S E L が H レベルの場合、4 チャンネルスイッチ部 2 3 の制御信号となるデータ用極性切替信号 D P O L はスイッチ制御部 1 8 によって、極性切替信号 P O L の反転極性の信号となる。

【 0 0 6 5 】

つまり、極性切替信号 P O L が H レベルのとき、各チャンネルのデータが出力するセクタ部 1 7 は、チャンネル 1 から順に L a 、 H b 、 L b 、 H a となる。このとき、出力部 1 5 内のアナログスイッチ部 2 4 で接続されるセクタは Y 1 から順に L a 、 H b 、 L b 、 H a となる。4 チャンネルスイッチ部 2 3 に入力されるデータは、チャンネル 1 とチャンネル 2 、チャンネル 3 とチャンネル 4 はそれぞれ同じデータが入力されているため、これらのチャンネル間でのデータの順序を考慮する必要がなく、ノード B とノード C との関係は同じ状態となる。

40

【 0 0 6 6 】

また、極性切替信号 P O L が L レベルのとき、各チャンネルのデータが出力するセクタ部 1 7 は、チャンネル 1 から順に H a 、 L b 、 H b 、 L a となる。このとき、出力部 1 5 内のアナログスイッチ部 2 4 で接続されるセクタは Y 1 から順に L b 、 H a 、 L a 、 H b となる。4 チャンネルスイッチ部 2 3 に入力されるデータは、チャンネル 1 とチャンネル 2 、チャンネル 3 とチャンネル 4 はそれぞれ同じデータが入力されているため、ノード B とノード C

50

との関係は同じ状態となる。

【 0 0 6 7 】

以上のように、チャンネル 1 からチャンネル 4 における出力電圧とデータとの関係を、R 1、R 1、G 1、G 1 の順に出力しながら、P O L 信号による極性切替と、G S E L 信号による階調切替機能とを実現できている。

【 0 0 6 8 】

次に、チャンネル 5 からチャンネル 8 において、G S E L が L レベルの場合、4 チャンネルスイッチ部 2 3 の制御信号となる第 2 のデータ用極性切替信号 D P O L 2 はスイッチ制御部 1 8 によって、データ用極性切替信号 D P O L の反転極性の信号となる。

【 0 0 6 9 】

つまり、極性切替信号 P O L が H レベルのとき、各チャンネルのデータが出力するセクタ部 1 7 は、チャンネル 5 から順に L a、H b、L b、H a となる。このとき、出力部 1 5 内のアナログスイッチ部 2 4 で接続されるセクタは Y 5 から順に H a、L b、H b、L a となる。

【 0 0 7 0 】

つまり、チャンネル 5 とチャンネル 6 のデータがチャンネル 7 とチャンネル 8 の出力に、チャンネル 7 とチャンネル 8 のデータがチャンネル 5 とチャンネル 6 の出力になるように接続されることになり、かつチャンネル 5 とチャンネル 6、チャンネル 7 とチャンネル 8 はそれぞれ同じデータが入力されている。このときのノード C におけるデータは、Y 5 から順に B 1、B 1、r 1、r 1 となる。

【 0 0 7 1 】

次に、極性切替信号 P O L が L レベルのとき、各チャンネルのデータが出力するセクタ部 1 7 は、チャンネル 5 から順に H a、L b、H b、L a となる。このとき、出力部 1 5 内のアナログスイッチ部 2 4 で接続されるセクタは Y 5 から順に L a、H b、L b、H a となる。つまり、チャンネル 5 とチャンネル 6 のデータがチャンネル 7 とチャンネル 8 の出力に、チャンネル 7 とチャンネル 8 のデータがチャンネル 5 とチャンネル 6 の出力になるように接続されることになり、かつチャンネル 5 とチャンネル 6、チャンネル 7 とチャンネル 8 はそれぞれ同じデータが入力されている。このときのノード C におけるデータも先と同様に、Y 5 から順に B 1、B 1、r 1、r 1 となる。

【 0 0 7 2 】

また、G S E L が H レベルの状態において、極性切替信号 P O L が H レベルのとき、各チャンネルのデータが出力するセクタ部 1 7 は、チャンネル 5 から順に H a、L b、H b、L a となる。このとき、出力部 1 5 内のアナログスイッチ部 2 4 で接続されるセクタは Y 5 から順に H b、L a、H a、L b となる。つまり、チャンネル 5 とチャンネル 6 のデータがチャンネル 7 とチャンネル 8 の出力に、チャンネル 7 とチャンネル 8 のデータがチャンネル 5 とチャンネル 6 の出力になるように接続されることになり、かつチャンネル 5 とチャンネル 6、チャンネル 7 とチャンネル 8 はそれぞれ同じデータが入力されている。このときのノード C におけるデータは、Y 5 から順に B 1、B 1、r 1、r 1 となる。

【 0 0 7 3 】

次に、極性切替信号 P O L が L レベルのとき、各チャンネルのデータが出力するセクタ部 1 7 は、チャンネル 5 から順に L a、H b、L b、H a となる。このとき、出力部 1 5 内のアナログスイッチ部 2 4 で接続されるセクタは Y 5 から順に L b、H a、L a、H b となる。つまり、チャンネル 5 とチャンネル 6 のデータがチャンネル 7 とチャンネル 8 の出力に、チャンネル 7 とチャンネル 8 のデータがチャンネル 5 とチャンネル 6 の出力になるように接続されることになり、かつチャンネル 5 とチャンネル 6、チャンネル 7 とチャンネル 8 はそれぞれ同じデータが入力されている。このときのノード C におけるデータは、Y 5 から順に B 1、B 1、r 1、r 1 となる。

【 0 0 7 4 】

以上のように、チャンネル 5 からチャンネル 8 における出力電圧とデータとの関係を、B 1、B 1、r 1、r 1 の順に出力しながら、P O L 信号による極性切替と、G S E L 信号に

10

20

30

40

50

よる階調切替機能とを実現できている。

【0075】

チャンネル9からチャンネル12におけるノードBとノードCとの関係は、チャンネル1からチャンネル4におけるノードBとノードCと同じである。このため、ノードBからノードCまでの各回路の接続関係と制御方法は入力されるデータが異なることを除いて、チャンネル1からチャンネル4と同一の構成となるため、その説明は省略する。

【0076】

以上のように、Y1～Y12から出力するデータは、Y1から順にR1、R1、G1、G1、B1、B1、r1、r1、g1、g1、b1、b1となり、1つのデータが連続する2端子から出力することを除けば、IPSモードと同様の出力順で出力できる。更に、2端子ずつ出力するデータは、一方が第1の階調yaであれば、もう一方が第2の階調ybを出力し、かつ隣接する出力は基準電圧に対し、正側と負側に割り振られる交流動作に対応している。これらの階調電圧の切り替えはGSEL信号により、極性の切り替えはPOL信号によりそれぞれ実現することができる。

【0077】

ここで、入力部10への入力、IPSモード、PVAモードにかかわらず同様の入力が入力されている。つまり、本実施の形態のデータラインドライバ26によると、IPSモードの液晶表示パネル29とPVAモードの液晶表示パネル30とを駆動する際に、同一の制御部27が使用できることを示している。

【0078】

ただし、PVAモードの液晶表示パネル30は1つのサブピクセルが2つ(PXA, PXB)に分割されているため、データラインドライバ26において、1つのデータに対し、2つの駆動出力が必要となる。そのため、IPSモードの液晶表示パネル29と同じピクセル数のPVAモードパネル30を駆動する場合、PVAモードの場合のデータラインドライバ26は、IPSモードに対して2倍必要となる。

【0079】

以上説明したように、本実施の形態に係るデータラインドライバ26の構成によれば、データ選択部13と出力部15とにおいて、隣接する4チャンネルのデータにつき、極性切替信号POLと階調電圧切替信号GSELとに応じて、データを入れ替える機能と、入力部10からデータレジスタ部12への出力データの入れ替えと、シフトレジスタ部11が順次シフト動作と飛ばしシフト動作とを切り替えられる機能とを持たせたことにより、IPSモードの液晶表示パネル29を駆動するような、1データに対し、1つの駆動電圧を1ラインごとに極性を反転させて駆動するモードと、PVAモードの液晶表示パネル30を駆動するような、1データに対し、2つの階調電圧を出力し、更に1ラインごとに極性反転させて駆動するモードとを持ち、データラインドライバ26を制御する制御部27を変えることなく、これら複数の仕様のパネル29, 30に対応したデータラインドライバ26を提供できる。

【0080】

また、本実施の形態によれば前記2つのモードにおける入力データと出力との関係は大きく異なるにもかかわらず、デジタルデータの入れ替えは4チャンネル間のみで構成されており、データの入れ替えに必要なセクタ及び配線が少なく、回路面積の増加を抑えることが可能である。

【0081】

《実施の形態2》

実施の形態2において、3次元表示可能な液晶表示パネルも同一の制御部を共用できる液晶表示装置用データラインドライバについて説明する。

【0082】

図10は、本発明の実施の形態2に係るデータラインドライバの構成である。図11は、本発明のデータドライバ内のシフトレジスタ部とデータレジスタ部との構成を示す。以下、これらの図を用いて説明する。

【 0 0 8 3 】

本実施の形態に係るデータラインドライバは、前述した実施の形態 1 の構成と比べて、入力部 1 0 に入力される 2 画素分のデータは、第 1 のクロック信号 C L K _ A に同期した第 1 の画素データ (D 1 , D 2 , D 3) と、第 2 のクロック信号 C L K _ B に同期した第 2 の画素データ (D 4 , D 5 , D 6) とに分かれていて、シフトレジスタ部 1 1 は、それぞれの第 1 及び第 2 の画素データの取り込みタイミング信号 G a 1 , G b 1 , G a 2 , G b 2 , ... を生成する、第 1 のクロック信号 C L K _ A に同期した第 1 のシフトレジスタ部 3 1 a と、第 2 のクロック信号 C L K _ B に同期した第 2 のシフトレジスタ部 3 1 b とから構成され、第 1 及び第 2 のシフトレジスタ部 3 1 a , 3 1 b は、それぞれが実施の形態 1 に記載のシフトレジスタ部 1 1 と同様に、順次シフト動作と飛ばしシフト動作とを切り替えるシフト動作切替機能を有している。順次シフト動作と飛ばしシフト動作とについては、実施の形態 1 においてシフトレジスタ部 1 1 の動作として詳細に説明しているため、ここでは説明を省略する。

10

【 0 0 8 4 】

本実施の形態では更に、2ポート機能切替信号 D U A L によって、第 1 のシフトレジスタ部 3 1 a のみ動作させ、第 1 の実施の形態におけるデータラインドライバ 2 6 と同様の動作をする状態と、第 1 及び第 2 のシフトレジスタ部 3 1 a , 3 1 b の両方を動作させる状態と、本実施の形態に係る 2 ポート機能を持ったデータラインドライバとして動作する状態とを切り替えることができる。第 1 の実施の形態との動作の違いは、データレジスタ部 1 2 にデータを取り込むまでの回路のみに差分があるため、その差分のみについて説明し、データレジスタ部 1 2 以降の説明は省略する。

20

【 0 0 8 5 】

本実施の形態は実施の形態 1 の機能と 2 ポート機能とを両立するものであり、入力部 1 0 は、第 1 のクロック信号 C L K _ A に同期した第 1 の画素データ (D 1 , D 2 , D 3) を第 1 のクロック信号 C L K _ A でシリアル・パラレル変換を行い、第 2 のクロック信号 C L K _ B に同期した第 2 の画素データ (D 4 , D 5 , D 6) を第 2 のクロック信号 C L K _ B でシリアル・パラレル変換を行う。入力部 1 0 の第 2 の画素データ (D 4 , D 5 , D 6) の取り込みクロック信号として、2ポート機能切替信号 D U A L によって制御されるクロックセクタ 3 3 により C L K _ A 又は C L K _ B のいずれかが選択されるようになっている。

30

【 0 0 8 6 】

また、シフトレジスタ部 1 1 は、第 1 のクロック信号 C L K _ A に同期した第 1 のシフトレジスタ部 3 1 a と、第 2 のクロック信号 C L K _ B に同期した第 2 のシフトレジスタ部 3 1 b とから構成され、2ポート機能切替信号 D U A L によって第 1 のシフトレジスタ部 3 1 a のみ動作する状態と、第 1 及び第 2 のシフトレジスタ部 3 1 a , 3 1 b が動作する状態とを切り替える。

【 0 0 8 7 】

図 1 1 は、実施の形態 2 における Y 1 から Y 1 2 の 1 2 出力にかかわるシフトレジスタ部 1 1 とデータレジスタ部 1 2 との接続図である。実施の形態 2 は、実施の形態 1 と同様に、1 2 出力ごとに同じ構成を繰り返し配置しているため、ここでは Y 1 ~ Y 1 2 の 1 2 出力についてのみ説明する。

40

【 0 0 8 8 】

2 ポート機能切替信号 D U A L が L レベルのとき、実施の形態 1 と同一機能として動作する。つまり、入力部 1 0 における第 2 の画素データの取り込みクロック信号には C L K _ A が入力されるため、入力部 1 0 は C L K _ A の単一クロック信号に同期した動作を行う。これは実施の形態 1 の動作と同一である。

【 0 0 8 9 】

シフトレジスタ部 1 1 は、第 1 のクロック信号 C L K _ A に同期してシフト動作をする第 1 のシフトレジスタ部 3 1 a と、第 2 のクロック信号 C L K _ B に同期してシフト動作をする第 2 のシフトレジスタ部 3 1 b とから構成されている。入力部 1 0 からの第 1 の画

50

素データであるデータバスDB1, DB2, DB3の取り込みタイミング信号は、第1のシフトレジスタ部31が出力するGa1及びGa2であり、第2の画素データであるデータバスDB4, DB5, DB6の取り込みタイミング信号Gb1及びGb2は、2ポート機能切替信号DUALがLレベルのときは、Ga1及びGa2と同じ信号になるようにラッチタイミングセクタ32によって選択される。

【0090】

つまり、チャンネル1からチャンネル6のデータレジスタはタイミング信号Ga1によって、チャンネル7からチャンネル12のデータレジスタはタイミング信号Ga2によって、それぞれデータを取り込む。これは、実施の形態1と同じ動作である。

【0091】

以上のように実施の形態2において2ポート機能切替信号DUALがLレベルのときは、実施の形態1と同じ動作をする。

【0092】

次に、2ポート機能切替信号DUALがHレベルのときについて説明する。図10のクロックセクタ33は、入力部10における第2の画素データの取り込みクロック信号としてCLK__Bを選択する。入力部10のデータバス出力は、第1のクロック信号CLK__Aに同期したDB1, DB2, DB3のデータバス出力と、第2のクロック信号CLK__Bに同期したDB4, DB5, DB6のデータバス出力とになる。次に、図11のシフトレジスタ部11では、入力部10からの第1の画素データであるデータバスDB1, DB2, DB3の取り込みタイミング信号は、第1のシフトレジスタ部31aが出力するGa1及びGa2であり、第2の画素データであるデータバスDB4, DB5, DB6の取り込みタイミング信号は、2ポート機能切替信号DUALがHレベルのときは、第2のシフトレジスタ部31bが出力するGb1及びGb2になるようにラッチタイミングセクタ32によって選択される。

【0093】

以上の構成により、実施の形態1の動作に加え、第1のクロック信号CLK__Aに同期した第1の画素データと、第2のクロック信号CLK__Bに同期した第2の画素データとを取り込むことができる2ポート機能を付与したデータラインドライバを実現できる。

【0094】

図12は、本発明の実施の形態2に係るデータラインドライバを使用した3次元表示装置の構成図である。実施の形態2における2ポート機能は、図12に示したような3次元表示可能なIPSモードの液晶表示パネル37を駆動することを想定している。すなわち、図示の液晶表示装置は、第1のクロック信号CLK__Aとそれに同期した画像データとを本実施の形態に係るデータラインドライバ34に送る第1の制御部35aと、第2のクロック信号CLK__Bとそれに同期した画像データとを送る第2の制御部35bとを持ち、第1の制御部35aは右眼用画素38のデータを、第2の制御部35bは左目用画素39のデータをそれぞれ制御している。36はゲートラインドライバである。

【0095】

ここで、入力部10への入力信号は、D1, D2, D3の取り込みクロック信号と、D4, D5, D6の取り込みクロック信号とが異なる点を除いて、実施の形態1と同じ入力である。つまり、実施の形態1においてデータラインドライバ26を制御していた制御部27を実施の形態2における3次元表示可能なパネルの第1の制御部35a及び第2の制御部35bとして容易に流用できることを示している。

【0096】

図13は、3次元表示可能なIPSモードの液晶表示パネル37の断面図である。図13によれば、右目用の画像データを表示する画素38と左目用の画像データを表示する画素39とを交互に配置した液晶表示パネル37と、バックライト53と液晶表示パネル37との間に設けられた視差バリア54とによって、スリットが設けられている。視差バリア54は、バックライト53の光が、左目用画素39を通過して右目55へ到達するのを妨げるように、かつ右目用画素38を通過して左目56へ到達するのを妨げるように配置

10

20

30

40

50

している。これにより右目 5 5 から見ることのできる画素はスリットの間隙から見える右目用画素 3 8 に、左目 5 6 から見ることのできる画素はスリットの間隙から見える左目用画素 3 9 にそれぞれ限定させ、右目用の画像データと、左目用の画像データとをそれぞれの画素 3 8 , 3 9 に表示させることで、人間の眼には立体的に見せることができる。

【0097】

以上の構成によれば、データラインドライバ 3 4 は、第 1 の制御部 3 5 a からのデータと、第 2 の制御部 3 5 b からのデータとを交互に出力することができ、3 次元表示のための画像の合成が不要になり、合成画像を保持するためのメモリや一時バッファを持つ必要がなく、容易に 3 次元表示装置を実現可能にするとともに、2 ポート機能の追加による実施の形態 1 からの回路の増加は入力部 1 0 とシフトレジスタ部 1 1 とに止まり、回路面積に与える影響を小さくすることが可能である。

【0098】

《まとめ》

以上説明したように、本発明の実施の形態に係る液晶表示装置用データラインドライバは、外部からのクロック信号に応答してデータを取り込む入力部と、各データラインに対応するデータを取り込むデータレジスタ部と、このデータレジスタ部でデータを保持するタイミング信号をクロック信号から生成するシフトレジスタ部と、複数の階調レベルに応じた基準電圧を有する基準電源部と、データラッチ部から出力されるデータに応じて、基準電源部から規定の基準電圧を選択するセレクト部と、このセレクト部で選択された基準電圧をそれぞれ表示データとして各データラインに出力する出力部とを備えたデータラインドライバであって、出力部が隣接する 4 チャンネル間でデータを入れ替えるデータクロス機能を有し、データレジスタ部からの出力を、隣接する 4 チャンネル間でデータを選択し、データラッチ部に出力するデータ選択部を有し、入力部は 2 画素分のデータを同一タイミングで取り込み、異なるチャンネル間でのデータの入れ替え機能を有し、シフトレジスタ部が、動作クロックごとに 1 段シフトする順次シフト動作と、動作クロックごとに 2 段ずつ同時にシフト動作する飛ばしシフト動作とを切り替えるシフト動作切替機能を有し、基準電源部は、第 1 から第 4 の階調電圧を有し、第 1 から第 4 の階調電圧のそれぞれが、隣接する 4 チャンネルに対応するセレクト部に 1 つずつ割り当てられていることを特徴とする。これにより、液晶表示装置の制御部を共用化することができる。

【0099】

また、入力部が 2 つの基準クロック信号に対応した 2 系統のデータ入力を取り込む 2 ポート機能を更に有し、シフトレジスタ部が第 1 のクロック信号でシフト動作を行う第 1 のシフトレジスタ部と、第 2 のクロック信号でシフト動作を行う第 2 のシフトレジスタ部とから構成され、第 1 及び第 2 のシフトレジスタ部が動作クロックごとに 1 段シフトする順次シフト動作と、動作クロックごとに 2 段ずつ同時にシフト動作する飛ばしシフト動作とを切り替えるシフト動作切替機能を更に有することを特徴とする。これにより、3 次元表示装置の制御部も共用化できるという効果を有する。更に、画像合成や合成データを保持するメモリが不要とすることができる。

【産業上の利用可能性】

【0100】

本発明に係る表示駆動装置は、様々な方式の表示パネルを駆動できて汎用性が高いため、非常に有用である。

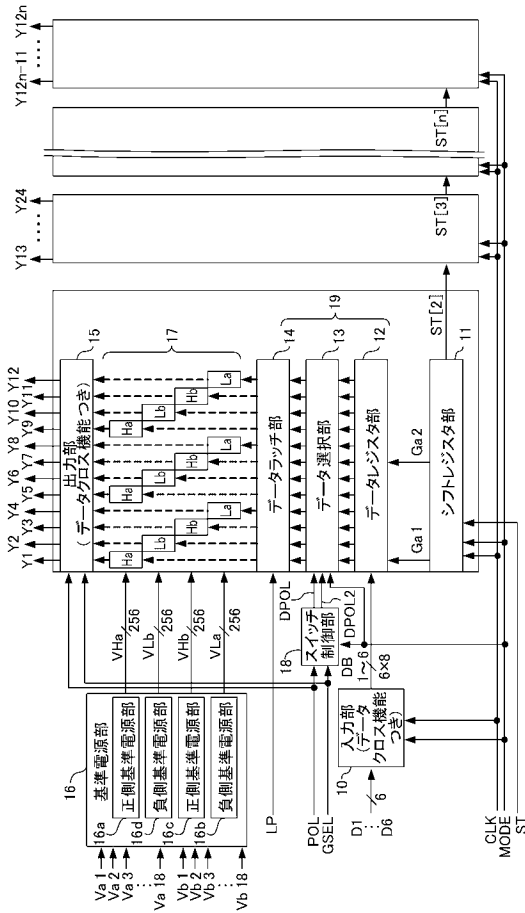
【符号の説明】

【0101】

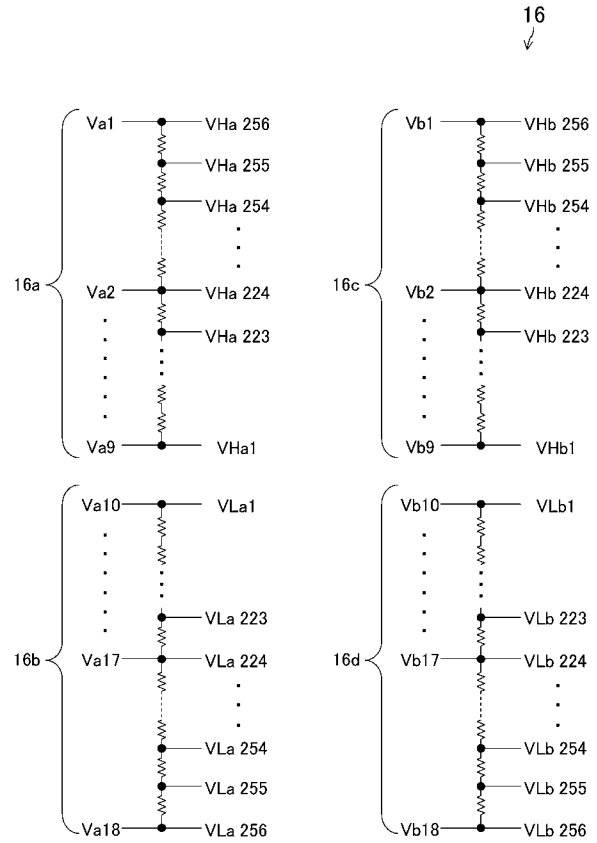
- 1 0 入力部（データクロス機能つき）
- 1 1 シフトレジスタ部
- 1 2 データレジスタ部
- 1 3 データ選択部
- 1 4 データラッチ部
- 1 5 出力部（データクロス機能つき）

1 6	基準電源部	
1 6 a , 1 6 c	正側基準電源部	
1 6 b , 1 6 d	負側基準電源部	
1 7	セレクト部	
1 8	スイッチ制御部	
1 9	ラッチ部	
2 0 a , 2 0 b	フリップフロップ (F F)	
2 1	S Tセレクト	
2 2	M O D Eスイッチ部	
2 3	4チャンネルスイッチ部	10
2 4	アナログスイッチ部	
2 5	バッファ部	
2 6	データラインドライバ	
2 7	制御部	
2 8	ゲートラインドライバ	
2 9	I P Sモードの液晶表示パネル	
3 0	P V Aモードの液晶表示パネル	
3 1 a	第1のシフトレジスタ部	
3 1 b	第2のシフトレジスタ部	
3 2	ラッチタイミングセレクト	20
3 3	クロックセレクト	
3 4	データラインドライバ	
3 5 a	第1の制御部	
3 5 b	第2の制御部	
3 6	ゲートラインドライバ	
3 7	3次元表示可能なI P Sモードの液晶表示パネル	
3 8	右目用画素	
3 9	左目用画素	
5 3	バックライト	
5 4	視差バリア	30

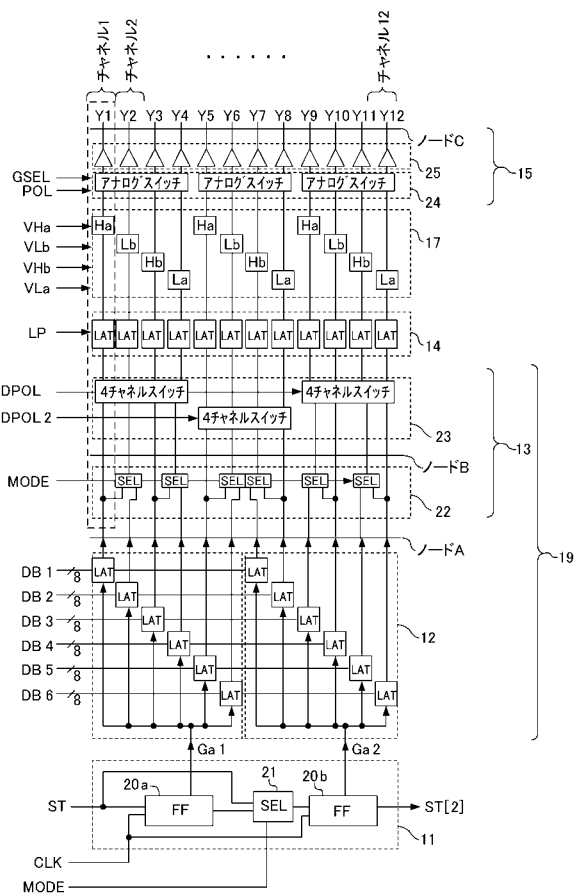
【図 1】



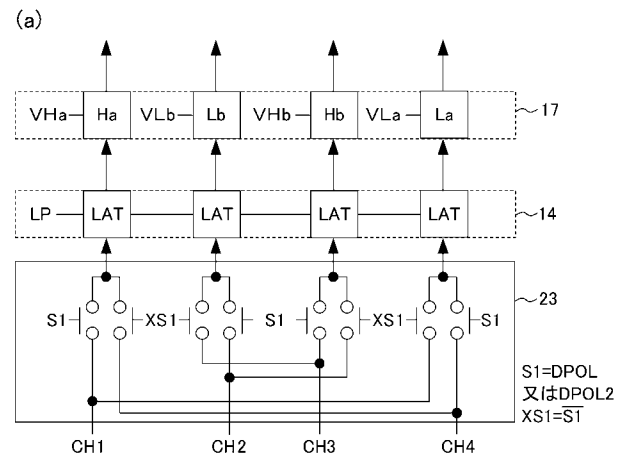
【図 2】



【図 3】



【図 4】

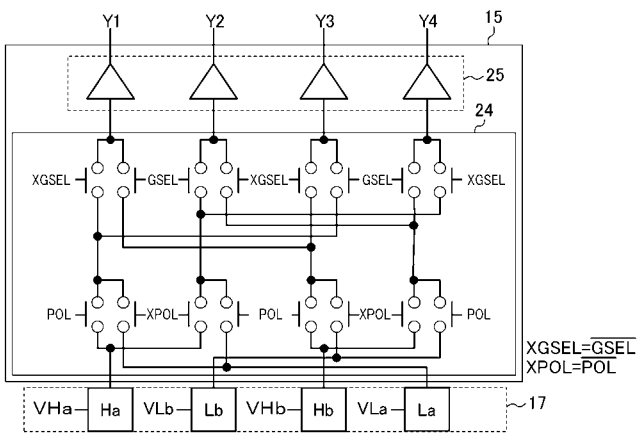


(b)

S1	Ha	Lb	Hb	La
H	CH1	CH2	CH3	CH4
L	CH4	CH3	CH2	CH1

【図 5】

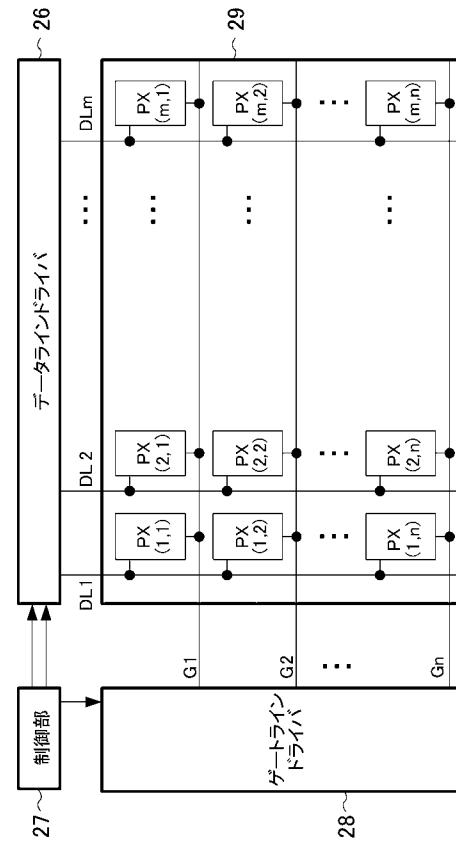
(a)



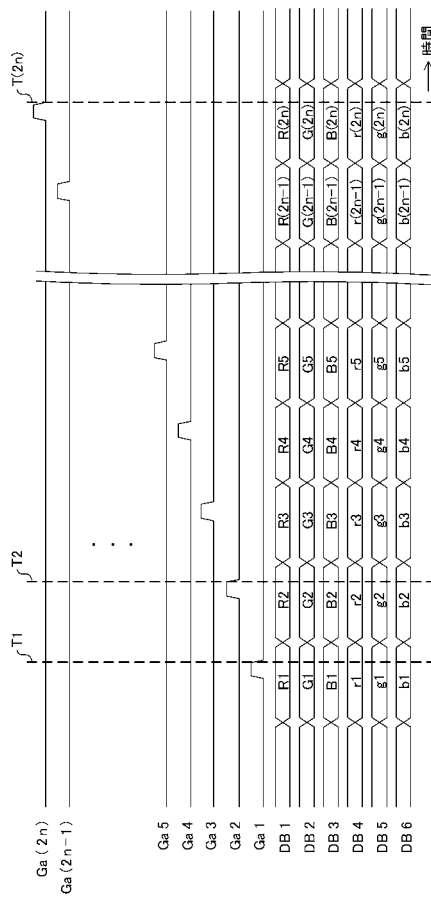
(b)

GSEL	POL	Y1	Y2	Y3	Y4
L	L	La	Hb	Lb	Ha
L	H	Ha	Lb	Hb	La
H	L	Lb	Ha	La	Hb
H	H	Hb	La	Ha	Lb

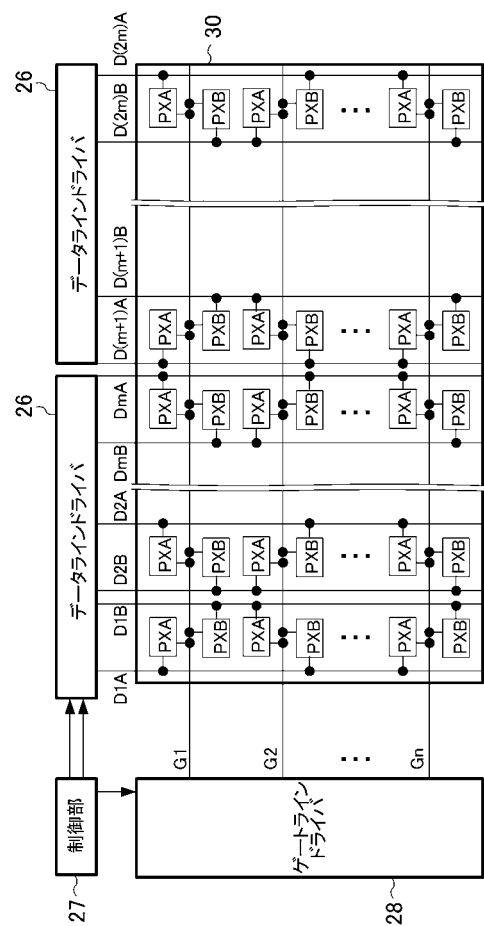
【図 6】



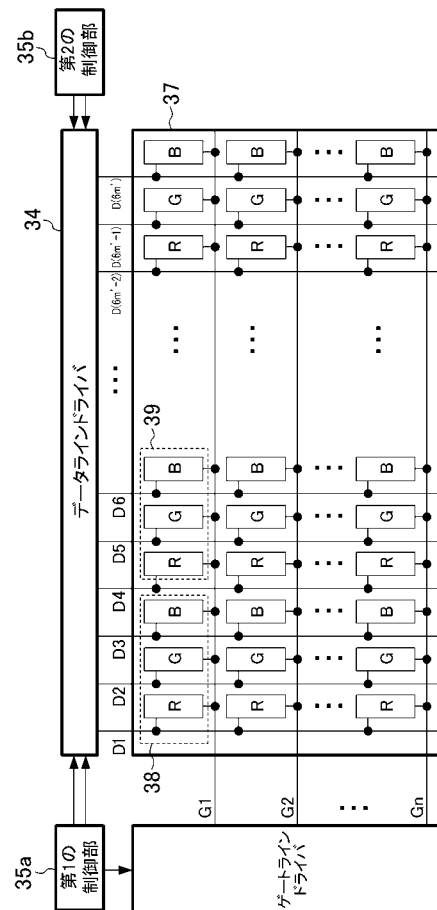
【図 7】



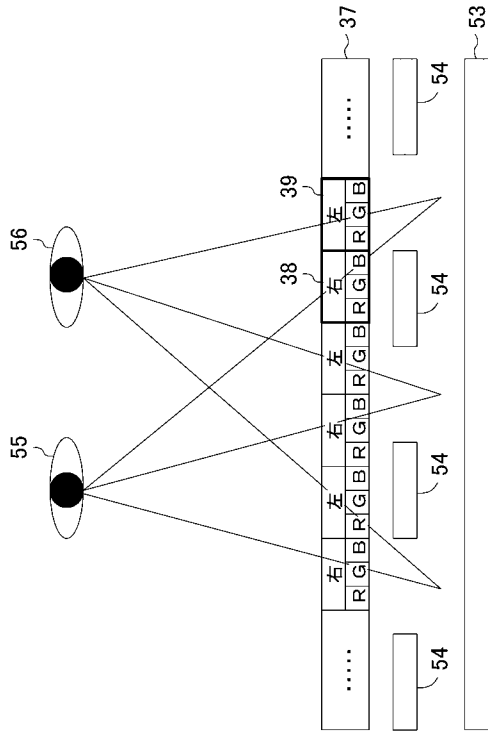
【図 8】



【 図 1 2 】



【図 13】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 3 G
G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 6 0 X
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 1 1 F
G 0 9 G	3/20	6 2 1 K
G 0 2 F	1/13	5 0 5

(74)代理人 100117710

弁理士 原田 智雄

(74)代理人 100121728

弁理士 井関 勝守

(74)代理人 100124671

弁理士 関 啓

(74)代理人 100131060

弁理士 杉浦 靖也

(72)発明者 西原 正輝

大阪府門真市大字門真 1 0 0 6 番地 パナソニックセミコンダクターシステムテクノ株式会社内

(72)発明者 飯塚 潤

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム(参考) 2H088 EA05 EA07 HA06

5C006 AA16 AA22 AC21 AC26 AC27 AC28 AF22 AF41 AF46 AF83

BB16 BC06 BC12 BC16 BF03 BF04 BF06 BF24 BF43 EC12

FA04 FA43 FA52

5C080 AA10 BB05 CC03 DD01 DD21 DD22 DD27 EE17 EE29 FF11

FF12 JJ02 JJ03 JJ04 JJ06

专利名称(译)	表示驱动装置		
公开(公告)号	JP2010276709A	公开(公告)日	2010-12-09
申请号	JP2009126772	申请日	2009-05-26
申请(专利权)人(译)	松下电器产业株式会社		
[标]发明人	西原正輝 飯塚潤		
发明人	西原 正輝 飯塚 潤		
IPC分类号	G09G3/36 G09G3/20 G02F1/13		
FI分类号	G09G3/36 G09G3/20.650.H G09G3/20.612.F G09G3/20.623.D G09G3/20.623.F G09G3/20.623.G G09G3/20.623.H G09G3/20.623.R G09G3/20.660.X G09G3/20.641.C G09G3/20.641.Q G09G3/20.611.F G09G3/20.621.K G02F1/13.505		
F-TERM分类号	2H088/EA05 2H088/EA07 2H088/HA06 5C006/AA16 5C006/AA22 5C006/AC21 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF22 5C006/AF41 5C006/AF46 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC16 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF24 5C006/BF43 5C006/EC12 5C006/FA04 5C006/FA43 5C006/FA52 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD21 5C080/DD22 5C080/DD27 5C080/EE17 5C080/EE29 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06		
代理人(译)	前田弘 竹内浩 高久岛 竹内雄二 杉浦 靖也		
外部链接	Espacenet		

摘要(译)

甲IPS模式，液晶显示装置和PVA模式等的不同规格，以实现对应于三维显示，不同配置的控制单元，或大存储容量的液晶显示装置中是必需的，成本增加了。一种数据寄存器单元，其顺序地提取输入数据；以及数据寄存器单元，其根据输入的定时信号存储要作为外部定时信号输出的数据，数据选择器13，设置在数据寄存器12和数据锁存器14之间，用于选择性地输出与数据寄存器12相邻的4通道数据并替换相邻的4通道数据并且输出单元15具有数据交叉功能，从而使用公共控制单元实现不同规格的液晶显示装置。点域1

