

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-262261

(P2010-262261A)

(43) 公開日 平成22年11月18日 (2010.11.18)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621B	5C006
G02F 1/133 (2006.01)	G09G 3/20 641C	5C080
	G09G 3/20 641Q	
	G02F 1/133 525	
審査請求 有 請求項の数 12 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2009-263506 (P2009-263506)	(71) 出願人	501426046
(22) 出願日	平成21年11月19日 (2009.11.19)		エルジー ディスプレイ カンパニー リ
(31) 優先権主張番号	10-2009-0038381		ミテッド
(32) 優先日	平成21年4月30日 (2009.4.30)		大韓民国 ソウル, ヨンドゥンポーク, ヨ
(33) 優先権主張国	韓国 (KR)		イドードン 20
		(74) 代理人	100064447
			弁理士 岡部 正夫
		(74) 代理人	100094112
			弁理士 岡部 譲
		(74) 代理人	100085176
			弁理士 加藤 伸晃
		(74) 代理人	100104352
			弁理士 朝日 伸光
		(74) 代理人	100128657
			弁理士 三山 勝巳
		最終頁に続く	

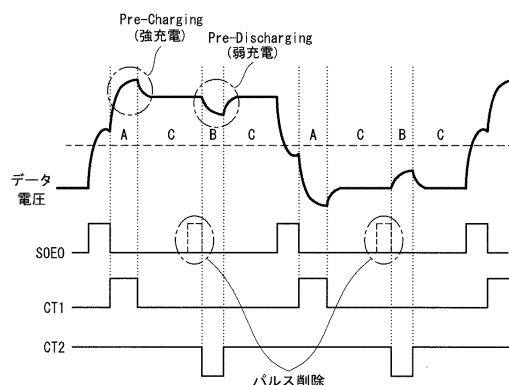
(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【要約】

【課題】 本発明は液晶表示装置を提供することである。

【解決手段】 本発明の液晶表示装置はデータラインとゲートラインが交差されて液晶セルがマトリックス形態に配置された液晶表示パネルと、正極性/負極性ガンマ基準電圧を利用してデジタルビデオデータを正極性/負極性データ電圧に変換して前記データラインに供給するデータ駆動回路と、前記データ電圧の極性が反転されるブランキング期間の間、前記正極性/負極性ガンマ基準電圧それぞれの電位を高くするガンマ電圧調整部を備える。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

データラインとゲートラインが交差され、液晶セルがマトリックス形態に配置された液晶表示パネルと、

正極性/負極性ガンマ基準電圧を利用してデジタルビデオデータを正極性/負極性データ電圧に変換して前記データラインに供給するデータ駆動回路と、

前記データ電圧の極性が反転されるブランキング期間の間、前記正極性/負極性ガンマ基準電圧それぞれの電位を高くするガンマ電圧調整部を備えることを特徴とする液晶表示装置。

【請求項 2】

10

前記ガンマ電圧調整部は、

同一な極性の電圧で連続発生される前記データ電圧の間のブランキング期間の間、前記正極性/負極性ガンマ基準電圧の電位を低くすることを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 3】

前記ゲートラインにゲートパルスを供給するゲート駆動回路及び

前記データ駆動回路に前記デジタルビデオデータを供給して前記データ駆動回路、前記ゲート駆動回路及び前記ガンマ電圧調整部を制御するタイミングコントローラをさらに備えることを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 4】

20

前記ガンマ電圧調整部は、

正極性/負極性正常ガンマ基準電圧を発生するガンマ電圧発生回路と、

前記タイミングコントローラの制御の下に位相がお互いに異なる第 1 及び第 2 ガンマ電圧制御信号を出力するガンマ電圧制御回路と、

前記第 1 及び第 2 ガンマ電圧制御信号に応答して前記正極性/負極性正常ガンマ基準電圧それぞれの絶対値電位を調整して前記データ駆動回路に供給される前記正極性/負極性ガンマ基準電圧を発生するガンマ電圧調整回路を備えることを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 5】

30

前記タイミングコントローラは、

1 水平期間周期で論理が反転される第 1 内部信号と、前記 1 水平期間周期に発生されるパルスを含む第 2 内部信号を前記ガンマ電圧制御回路に供給して、

前記第 1 内部信号と前記第 2 内部信号は所定の時間位相差を有することを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 6】

前記ガンマ電圧制御回路は、

前記第 1 及び第 2 内部信号の論理積出力を発生する AND ゲートと、

前記第 1 及び第 2 内部信号の排他的論理和出力を発生する EOR ゲートと、

前記 AND ゲートの出力と前記 EOR ゲートの出力を遅延させて前記第 1 及び第 2 ガンマ電圧制御信号を出力する複数のフリップフロップを備えることを特徴とする、請求項 5 記載の液晶表示装置。

40

【請求項 7】

前記ガンマ電圧調整回路は、

前記第 1 及び第 2 ガンマ電圧制御信号によって前記正極性/負極性正常ガンマ基準電圧それぞれの絶対値電位を選択的に調整する複数の演算増幅器を備えることを特徴とする、請求項 6 記載の液晶表示装置。

【請求項 8】

正極性/負極性ガンマ基準電圧を利用してデジタルビデオデータを正極性/負極性データ電圧に変換して液晶表示パネルのデータラインに供給する段階と、

前記データ電圧の極性が反転されるブランキング期間の間、前記正極性/負極性ガンマ

50

基準電圧それぞれの電位を高くす段階を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 9】

同一な極性の電圧で連続発生される前記データ電圧の間のブランキング期間の間、前記正極性/負極性ガンマ基準電圧の電位を低くする段階をさらに含むことを特徴とする、請求項 8 記載の液晶表示装置の駆動方法。

【請求項 10】

前記正極性/負極性ガンマ基準電圧それぞれの電位を高くする段階と前記正極性/負極性ガンマ基準電圧の電位を低くする段階のそれぞれは、

正極性/負極性正常ガンマ基準電圧を発生する段階と、

位相がお互いに異なる第 1 及び第 2 ガンマ電圧制御信号を発生する段階と、前記第 1 及び第 2 ガンマ電圧制御信号に応答して前記正極性/負極性正常ガンマ基準電圧のそれぞれの絶対値電位を調整して前記正極性/負極性データ電圧を出力するデータ駆動回路に供給する段階を含むことを特徴とする、請求項 9 記載の液晶表示装置の駆動方法。

【請求項 11】

前記第 1 及び第 2 ガンマ電圧制御信号を発生する段階は、

1 水平期間周期に論理が反転される第 1 内部信号と、前記 1 水平期間周期に発生されるパルスを含む第 2 内部信号を発生する段階をさらに含み、

前記第 1 内部信号と前記第 2 内部信号は所定の時間位相差を有することを特徴とする、請求項 10 記載の液晶表示装置の駆動方法。

【請求項 12】

第 1 及び第 2 ガンマ電圧制御信号を発生する段階は、

前記第 1 及び第 2 内部信号の論理積出力を発生する段階と、

前記第 1 及び第 2 内部信号の排他的論理合出力を発生する段階と、

前記論理積出力と前記排他的論理合出力を遅延させて前記第 1 及び第 2 ガンマ電圧制御信号を出力する段階をさらに含むことを特徴とする、請求項 11 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置とその駆動方法に関する。

【背景技術】

【0002】

アクティブマトリックス (Active Matrix) 駆動方式の液晶表示装置はスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下“TFT”という)を利用して動画を表示している。この液晶表示装置は陰極線管 (Cathode Ray Tube、CRT) に比べて小型化が可能でポータブル情報機器、事務機器、コンピューターなどで標示器に応用されることは勿論、テレビにも応用されて陰極線管を速く取り替えている。

【0003】

このような液晶表示装置は直流オフセット成分を減少させて液晶の劣化を減らすために、隣り合う液晶セルの間から極性が反転されてフレーム期間単位で極性が反転されるインバージョン方式 (Inversion) に駆動されている。

図 1 は 2 水平期間周期にデータ電圧の極性が反転される例 (以下、“2 ドットインバージョン”という)を示す波形図である。

【発明の概要】

【発明が解決しようとする課題】

【0004】

ところが、2 ドットインバージョン方式では表示ラインの間に輝度差が発生すると色歪曲が現われる。これは連続されるデータの階調が同一であるとしても 2 ドットインバージョン方式では隣り合う液晶セルのデータ充電量が変わるからである。図 1 で、前のデータ

10

20

30

40

50

電圧の極性と相反する極性のデータ電圧を充電する液晶セルのデータ充電量は前のデータ電圧と同一な極性のデータ電圧を充電する液晶セルのデータ充電量に比べて小さい。このような充電量を償うために、ソースドライバICの出力タイミングを調整するためのソース出力イネーブル信号SOEを1水平期間周期で異なるようにする方法があるが、この場合には弱充電液晶セルを基準にするので強充電液晶セルのデータ充電量を低くするので輝度損失が発生するという問題があった。

【0005】

そこで、本発明は、前記問題に鑑みてなされたものであり、本発明の目的とするところは、N（Nは2以上の整数）ドットインバージョン方式でデータの充電量を均一にさせて表示品質を高めるようにした液晶表示装置とその駆動方法を提供することにある。

10

【課題を解決するための手段】

【0006】

前記課題を解決するために、本発明の液晶表示装置はデータラインとゲートラインが交差されて液晶セルがマトリクス形態に配置された液晶表示パネルと正極性/負極性ガンマ基準電圧を利用してデジタルビデオデータを正極性/負極性データ電圧に変換して前記データラインに供給するデータ駆動回路と、前記データ電圧の極性が反転されるブランキング期間の間、前記正極性/負極性ガンマ基準電圧それぞれの電位を高くするガンマ電圧調整部を備える。

【0007】

前記ガンマ電圧調整部は同一な極性の電圧で連続発生される前記データ電圧の間のブランキング期間の間、前記正極性/負極性ガンマ基準電圧の電位を低くする。

20

【0008】

前記液晶表示装置は前記ゲートラインにゲートパルスを供給するゲート駆動回路及び前記データ駆動回路に前記デジタルビデオデータを供給して前記データ駆動回路、前記ゲート駆動回路及び前記ガンマ電圧調整部を制御するタイミングコントローラをさらに備える。

【0009】

前記ガンマ電圧調整部は正極性/負極性正常ガンマ基準電圧を発生するガンマ電圧発生回路と、前記タイミングコントローラの制御の下に位相がお互いに異なる第1及び第2ガンマ電圧制御信号を出力するガンマ電圧制御回路と、前記第1及び第2ガンマ電圧制御信号に応答して前記正極性/負極性正常ガンマ基準電圧それぞれの絶対値電位を調整して前記データ駆動回路に供給される正極性/負極性ガンマ基準電圧を発生するガンマ電圧調整回路を備える。

30

【0010】

前記タイミングコントローラはおおよそ1水平期間周期に論理が反転される第1内部信号と、前記おおよそ1水平期間周期に発生されるパルスを含む第2内部信号を前記ガンマ電圧制御回路に供給する。

【0011】

前記第1内部信号と前記第2内部信号は所定の時間位相差を有する。

【0012】

前記ガンマ電圧制御回路は前記第1及び第2内部信号の論理積出力を発生するANDゲートと前記第1及び第2内部信号の排他的論理和出力を発生するEORゲートと、前記ANDゲートの出力と前記EORゲートの出力を遅延させて前記第1及び第2ガンマ電圧制御信号を出力する複数のフリップフロップを備える。

40

【0013】

前記ガンマ電圧調整回路は前記第1及び第2ガンマ電圧制御信号によって前記正極性/負極性正常ガンマ基準電圧のそれぞれの絶対値電位を選択的に調整する複数の演算増幅器を備える。

【0014】

前記液晶表示装置の駆動方法は正極性/負極性ガンマ基準電圧を利用してデジタルビデ

50

オデータを正極性/負極性データ電圧で変換して液晶表示パネルのデータラインに供給する段階と、前記データ電圧の極性が反転されるブランキング期間の間、前記正極性/負極性ガンマ基準電圧それぞれの電位を高くする段階を含む。

【発明の効果】

【0015】

以上説明したように本発明によれば、データ電圧の極性が反転されるA期間の間、正極性/負極性ガンマ基準電圧それぞれの電位を高くすることでN（Nは2以上の整数）ドットインバージョン方式でデータの充電量を均一にさせて輝度と明暗比を高めて表示品質を改善することができる。

【図面の簡単な説明】

10

【0016】

【図1】2ドットインバージョン方式でデータ電圧の充電量バラ付きを例示する波形図である。

【図2】本発明の実施形態にかかる液晶表示装置を示すブロック図である。

【図3】ガンマ基準電圧調整条件を示す図である。

【図4】TFTアレイの一例を示す等価回路図である。

【図5】TFTアレイの他の例を示す等価回路図である。

【図6】図2に示されたデータ駆動回路の回路構成を示すブロック図である。

【図7】図2に示されたゲート駆動回路の回路構成を示すブロック図である。

【図8】2ドットインバージョン方式を適用する時本発明の実施形態にかかる液晶表示装置の液晶セルに充電されるデータ電圧を示す波形図である。

20

【図9】本発明の実施形態にかかる液晶表示装置でガンマ基準電圧の調整例を示す波形図である。

【図10】図2に示されたガンマ電圧制御回路の回路構成を示す回路図である

【図11】ガンマ電圧制御回路の入出力波形を示す波形図である。

【図12】図2に示されたガンマ電圧調整回路の回路構成を示す回路図である

【図13】3ドットインバージョン方式を適用する時本発明の実施形態にかかる液晶表示装置の液晶セルに充電されるデータ電圧を示す波形図である。

【発明を実施するための形態】

【0017】

30

以下に添付図面の図1乃至図13を参照しながら、本発明の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付することにより重複説明を省略する。

【0018】

図1乃至図3を参照すれば、本発明の実施形態にかかる液晶表示装置は液晶表示パネル10、液晶表示パネル10のデータライン（D1～Dm）に接続されたデータ駆動回路12、液晶表示パネル10のゲートライン（G1～Gn）に接続されたゲート駆動回路13、データ駆動回路12とゲート駆動回路13を制御するためのタイミングコントローラ11、及びデータ駆動回路12に供給されるガンマ基準電圧（GMAO1～GMAO5、GMAO6～GMAO10）を選択的に調整するガンマ電圧調整部を備える。ガンマ電圧調整部はガンマ基準電圧GMAINを発生するガンマ電圧発生回路15、及びガンマ基準電圧GMAINを調整するためのガンマ電圧制御回路16及びガンマ電圧調整回路17を含む。

40

【0019】

液晶表示パネル10は液晶層を間に置いて対向する上部ガラス基板と下部ガラス基板を含む。液晶表示パネル10はビデオデータを表示する画素アレイを含む。画素アレイは図4または図5のような薄膜トランジスタアレイ（Thin Film Transistor Array：以下“TFTアレイ”とする）に具現されることができる。図4のようなTFTアレイは（m/3）×nの解像度を有する画素アレイの場合にm個のデータライン（D1～Dm）とn個のゲートライン（G1～Gn）の交差構造によってマトリックス

50

形態に配置される $m \times n$ 個の液晶セルを含む。図4のTFTアレイで一つのピクセルはRサブピクセル、Gサブピクセル及びBサブピクセルを含み、Rサブピクセル、Gサブピクセル及びBサブピクセルそれぞれの液晶セルはTFTを経由してお互いに異なるデータラインに接続される。そして、図4のTFTアレイで表示ラインそれぞれのTFTは一つのゲートラインから供給されるスキャンパルス(またはゲートパルス)によってターン-オン/オフする。

【0020】

図5のTFTアレイは $(m/3) \times n$ の解像度を有する画素アレイの場合に $m/2$ 個のデータライン($D1 \sim D_{m/2}$)と $2m$ 個のゲートライン($G1 \sim G_{2n}$)の交差構造によってマトリックス形態に配置される $m \times n$ 個の液晶セルを含む。図5のTFTアレイで一つのピクセルはRサブピクセル、Gサブピクセル及びBサブピクセルを含み、Rサブピクセル、Gサブピクセル及びBサブピクセルのそれぞれは隣り合うサブピクセルの液晶セルとともにデータラインを共有する。そして、図5のTFTアレイで表示ラインそれぞれのTFTはゲートラインにジグザグ形態に接続されて、そのゲートラインの中でいずれか一つから供給されるスキャンパルスによってターン-オン/オフする。したがって、図5のTFTアレイでは図4のTFTアレイと同一な解像度を有すると仮定する時、データラインの個数が $1/2$ に減ってゲートラインの個数が2倍で増加する。図5のTFTアレイのデータライン駆動に必要なデータ駆動回路の出力チャンネル数は図4のTFTアレイのそれに比べて $1/2$ に減る。

【0021】

図4及び図5に示されたTFTアレイは液晶表示パネル10の下部ガラス基板に形成される。TFTアレイはデータライン($D1 \sim D_m$)、ゲートライン($G1 \sim G_n$)、画素電極1、画素電極に接続されたTFT、及び画素電極に接続されたストレージキャパシター(*Storage Capacitor*、*Cst*)を含む。液晶セルはTFTに接続されて画素電極1と共通電極2の間の電界によって光の透過率を調整してビデオデータによって画像を表示する。

【0022】

液晶表示パネル10の上部ガラス基板にはブラックマトリックス、カラーフィルター及び共通電極が形成される。共通電極2はTN(*Twisted Nematic*)モードとVA(*Vertical Alignment*)モードのような垂直電界駆動方式で上部ガラス基板に形成されて、IPS(*In Plane Switching*)モードとFFS(*Fringe Field Switching*)モードのような水平電界駆動方式で画素電極1と共に下部ガラス基板に形成される。

【0023】

液晶表示パネル10の上部ガラス基板と下部ガラス基板それぞれには偏光板が附着して液晶のプレチルト角(*pre-tilt angle*)を設定するための配向膜が形成される。

【0024】

本発明で適用可能な液晶表示パネル10の液晶モードは前述のTNモード、VAモード、IPSモード、FFSモードだけではなくいずれの液晶モードでも具現されることができる。また、本発明の液晶表示装置は透過型液晶表示装置、反透過型液晶表示装置、反射型液晶表示装置などいずれの形態でも具現されることができる。透過型液晶表示装置と反透過型液晶表示装置ではバックライトユニットが必要である。バックライトユニットはエッジ型(*edge type*)バックライトユニットや直下型(*direct type*)バックライトユニットに具現されることができる。エッジ型バックライトユニットは導光板の側面に対向されるように光源が配置されて液晶表示パネルと導光板の間に複数の光学シートが配置される構造を有する。直下型バックライトユニットは液晶表示パネルの下に複数の光学シートと拡散板が積層され、拡散板の下に複数の光源が配置される構造を有する。バックライトユニットの光源はHCFL(*Hot Cathode Fluorescent Lamp*)、CCFL(*Cold Cathode Fluorescent*

Lamp)、EEFL(External Electrode Fluorescent Lamp)、LED(Light Emitting Diode)中いずれかの一つまたは二つの種類以上の光源を含むことができる。

【0025】

データ駆動回路12は図6のような回路構成を有する複数のソースドライバIC(Source drive IC)を含む。ソースドライバICそれぞれはタイミングコントローラ11からのデータタイミング制御信号(SSP、SSC、SOEO)と極性制御信号(POL_H2)にตอบสนองしてタイミングコントローラ11から入力されるデジタルビデオデータ(RGBodd、RGBeven)をサンプリングし、ラッチして並列データ体系のデータで変換する。ソースドライバICそれぞれは並列データ伝送体系に変換されたデジタルビデオデータをガンマ電圧調整回路17から入力された正極性/負極性ガンマ基準電圧(GMAON)を利用してアナログガンマ補償電圧に変換して液晶セルに充電される正極性/負極性アナログビデオデータ電圧を発生する。そしてソースドライバICそれぞれは極性制御信号(POL_H2)によってN(Nは2以上の整数)水平期間周期にアナログビデオデータ電圧の極性を反転させながらそのデータ電圧をデータライン(D1~Dm)に供給する。

【0026】

ゲート駆動回路13には複数のゲートドライバICを含む。ゲート駆動回路13はタイミングコントローラ11からのゲートタイミング制御信号(GSP、GSC、SOE)にตอบสนองしてゲート駆動電圧を順次にシフトするシフトレジスタを含みゲートラインにゲートパルス(またはスキャンパルス)を順次に供給する。

【0027】

タイミングコントローラ11はLVDS(Low Voltage Differential Signaling)インターフェース、TMDS(Transition Minimized Differential Signaling)インターフェースなどのインターフェースを通じてシステムボード14からRGBデジタルビデオデータ、垂直同期信号(Vsync)、水平同期信号(Hsync)、データイネーブル信号(Data Enable、DE)、ドットクロック(CLK)などのタイミング信号が入力される。タイミングコントローラ11はRGBデジタルビデオデータをmini LVDSインターフェース方式でデータ駆動回路12のソースドライバICに伝送する。タイミングコントローラ11はタイミング信号(Vsync、Hsync、DE、CLK)を利用してソースドライバICの動作タイミングを制御するためのデータタイミング制御信号及び極性制御信号と、ゲート駆動回路13の動作タイミングを制御するためのゲートタイミング制御信号を発生する。タイミングコントローラ11は60Hzのフレーム周波数で入力されるデジタルビデオデータが60×i(iは正の整数)Hzのフレーム周波数で液晶表示パネル10の画素アレイで再生されることができるようゲートタイミング制御信号とデータタイミング制御信号の周波数を60×iHzのフレーム周波数基準にi倍することができる。また、タイミングコントローラ11はガンマ電圧制御回路16から出力される信号を制御するための制御信号を発生する。この制御信号は1水平期間単位で論理が反転される内部極性制御信号(POL_H1)、1水平期間単位でパルスが発生される内部ソース出力イネーブル信号(SOEI)などを含む。内部極性制御信号(POL_H1)と内部ソース出力イネーブル信号(SOEI)は既存の1ドットインバージョン方式でデータ駆動回路12から出力されるデータ電圧の極性を1水平期間ごとに反転させる極性制御信号と、1水平期間ごとにチャージシェア電圧や共通電圧を出力するソース出力イネーブル信号と実質的に同一である。本発明はNドットインバージョン方式で液晶表示パネルを駆動するから内部極性制御信号(POL_H1)と内部ソース出力イネーブル信号(SOEI)はデータ駆動回路12に入力されない。

【0028】

データタイミング制御信号はソーススタートパルス(Source Start Pulse、SSP)、ソースサンプリングクロック(Source Sampling C

10

20

30

40

50

lock、SSC)、及びソース出力イネーブル信号(Source Output Enable、SOEO)などを含む。ソーススタートパルス(SSP)はデータ駆動回路12のデータサンプリング開始時点を制御する。タイミングコントローラ11とデータ駆動回路12間の信号伝送体系がmini LVDS インターフェースならソーススタートパルス(SSP)は省略されることができる。ソースサンプリングクロック(SSC)はライジングまたはフォールディングエッジに基準してデータ駆動回路12内でデータのサンプリング動作を制御するクロック信号である。極性制御信号(POL_H2)はデータ駆動回路12から出力されるデータ電圧の極性をN水平期間の周期に反転させる。ソース出力イネーブル信号(SOEO)はデータ駆動回路の出力タイミングを制御する。データ駆動回路12のソースドライブICに入力されるソース出力イネーブル信号(SOEO)はデータライン(D1~Dm)に供給されるデータ電圧の極性が変わる時、ハイ論理のパルスを発生する。したがって、ソース出力イネーブル信号(SOEO)はN水平期間周期に発生されるパルスを含む。

10

【0029】

ソースドライブICそれぞれはデータライン(D1~Dm)に供給されるデータ電圧の極性が変わる時ソース出力イネーブル信号(SOEO)のパルスに応答してチャージシェア電圧(Charge share voltage)や共通電圧(Vcom)をデータライン(D1~Dm)に供給して、ソース出力イネーブル信号(SOEO)のロー論理期間の間データ電圧をデータラインに供給する。チャージシェア電圧はお互いに相反した極性のデータ電圧が供給される隣り合うデータラインの平均電圧である。

20

【0030】

ゲートタイミング制御信号はゲートスタートパルス(Gate Start Pulse、GSP)、ゲートシフトクロック(Gate Shift Clock、GSC)、ゲート出力イネーブル信号(Gate Output Enable、GOE)などを含む。ゲートスタートパルス(GSP)は一番目ゲートパルスのタイミングを制御する。ゲートシフトクロック(GSC)はゲートスタートパルス(GSP)をシフトさせるためのクロック信号である。ゲート出力イネーブル信号(GOE)はゲート駆動回路13の出力タイミングを制御する。

【0031】

ガンマ電圧発生回路15は高電位電源電圧(VDD)と低電位電源電圧(VSS または基底電圧(GND))を分圧して内部正極性ガンマ基準電圧(GMAI1~GMAI5)と内部負極性ガンマ基準電圧(GMAI6~GMAI10)を発生する。ガンマ電圧発生回路15の分圧回路は高電位電源電圧(VDD)供給端子と基底電圧(GND)供給端子の間に抵抗(R)が直列に接続されたRストリング(string)回路に具現されることができる。既存の液晶表示装置ではデータ駆動回路12に内部ガンマ基準電圧(GMAI1~GMAI5、GMAI6~GMAI10)を供給する。これに比べて、本発明は図3及び図9のように選択的に内部ガンマ基準電圧(GMAI1~GMAI5、GMAI6~GMAI10)の電圧を選択的に高くするか、もしくは低くしたガンマ基準電圧(GMAO1~GMAO5、GMAO6~GMAO10)をデータ駆動回路12に供給する。

30

【0032】

ガンマ電圧制御回路16はタイミングコントローラ11から入力される内部極性制御信号(POL_H1)と内部ソース出力イネーブル信号(SOEI)によって所定の時間差を持ってそれぞれN水平期間周期にパルスが発生される第1及び第2ガンマ電圧制御信号(CT1、CT2)を発生する。このガンマ電圧制御回路16はタイミングコントローラ11内に内蔵することができ、タイミングコントローラ11内に内蔵したロジック回路に取り替えられることができる。

40

【0033】

ガンマ電圧調整回路17は第1及び第2ガンマ電圧制御信号(CT1、CT2)によって内部ガンマ基準電圧(GMAI1~GMAI5、GMAI6~GMAI10)を図3のように調整してデータ駆動回路12に供給されるガンマ基準電圧(GMAO1~GMAO

50

5、GMAO6～GMAO10)を発生する。図3を参照すれば、ガンマ電圧調整回路17は第1及び第2ガンマ電圧制御信号(CT1、CT2)それぞれの論理がハイ論理である時内部ガンマ基準電圧(GMAI1～GMAI5、GMAI6～GMAI10)の絶対値電圧(GMA)を $GMA + \alpha$ に高くする一方、第1及び第2ガンマ電圧制御信号(CT1、CT2)それぞれの論理がロー論理である時、内部ガンマ基準電圧(GMAI1～GMAI5、GMAI6～GMAI10)の絶対値電圧(GMA)を $GMA - \alpha$ に低くする。そしてガンマ電圧調整回路17は第1ガンマ電圧制御信号(CT1)の論理がロー論理で、第2ガンマ電圧制御信号(CT2)の論理がハイ論理である時、内部ガンマ基準電圧(GMAI1～GMAI5、GMAI6～GMAI10)の絶対値電圧(GMA)を調整しないでそのままデータ駆動回路12に供給する。

10

【0034】

図4は本発明の第1実施形態にかかるTFTアレイの一部を示す等価回路図である。

【0035】

図4を参照すれば、データライン(D1～D5)の間には1列の液晶コラムが配置される。データライン(D1～D5)それぞれはお互いに異なる液晶コラムのTFTに接続される。ゲートライン(G1～G4)はお互いに異なるラインのTFTに接続される。TFTはデータライン(D1～D5)に接続されたソース電極、ゲートライン(G1～G4)に接続されたゲート電極、及び画素電極1に接続されたドレイン電極を含む。図4のTFTアレイが適用された液晶表示装置で同一なラインに配置された液晶セルはデータ駆動回路12から同時に出力されるデータ電圧を充電する。

20

【0036】

図5は本発明の第2実施形態にかかるTFTアレイの一部を示す等価回路図である。

【0037】

図5を参照すれば、隣り合うデータライン(D1～D6)の間には2列の液晶コラムが配置される。データライン(D1～D6)のそれぞれはそのデータラインを間に置いて配置される左右液晶コラムのTFTに接続される。ゲートライン(G1～G8)は奇数ゲートライン(G1、G3、G5、G7)と、偶数ゲートライン(G2、G4、G6、G8)を含む。奇数ゲートライン(G1、G3、G5、G7)は液晶表示パネルのラインそれぞれで奇数液晶セルのTFTに接続されて、偶数ゲートライン(G2、G4、G6、G8)は液晶表示パネルのラインそれぞれで偶数液晶セルのTFTに接続される。TFTはデータライン(D1～D6)に接続されたソース電極、ゲートライン(G1～G8)に接続されたゲート電極、及び画素電極に接続されたドレイン電極を含む。奇数ゲートライン(G1、G3、G5、G7)には奇数液晶セルに充電されたデータ電圧に同期される奇数ゲートパルスがゲート駆動回路13から供給されて、偶数ゲートライン(G2、G4、G6、G8)には偶数液晶セルに充電されたデータ電圧に同期される偶数ゲートパルスがゲート駆動回路13から供給される。データライン(D1～D6)にはデータ駆動回路12によって時、分割されたデータ電圧が供給される。したがって、図5のTFTアレイが適用された液晶表示装置で同一なラインに配置された奇数液晶セルと偶数液晶セルは所定の時差を置いてデータ電圧を充電する。

30

【0038】

図6はデータ駆動回路12のソースドライバICの回路構成を示す図である。

40

【0039】

図6を参照すれば、ソースドライバICそれぞれは k (k は m より小さな正の整数)個のデータラインを駆動して、シフトレジスタ51、データ復元部52、第1ラッチアレイ53、第2ラッチアレイ54、デジタル-アナログ変換器(以下、“DAC”とする)55、チャージシェア回路(Charge Share Circuit)56、及び出力回路57を含む。

【0040】

データ復元部52はmini LVDS インターフェース伝送体系で入力されたデジタルビデオデータ(RGBWodd、RGBeven)を修復して第1ラッチアレイ53に

50

供給する。シフトレジスタ５１はソースサンプリングクロック（ＳＳＣ）によってサンプリング信号をシフトさせる。また、シフトレジスタ５１は第１ラッチアレイ５３のラッチ数を超過するデータが供給される時、キャリア信号（Carry signal、CAR）を発生する。第１ラッチアレイ５３はシフトレジスタ５１から順次に入力されるサンプリング信号に応答してデータ復元部５２からのデジタルビデオデータ（RGBWodd、RGBWeven）をサンプリングしてラッチした後、同時に出力する。第２ラッチアレイ５４は第１ラッチアレイ５３から入力されるデータをラッチした後、ソース出力イネーブル信号（SOEO）のロー論理期間の間、他のソースドライバＩＣの第２ラッチアレイ５４と同時にラッチされたデータを出力する。DAC５５は正極性ガンマ基準電圧（GMAO１～GMAO５）と負極性ガンマ基準電圧（GMAO６～GMAO１０）を利用して第２ラッチアレイ５４から入力されるデジタルビデオデータを正極性アナログデータ電圧と負極性アナログデータ電圧に変換する。そして、DAC５５は極性制御信号（POL_H２）に응答してN水平期間周期に極性が反転されるデータ電圧を出力する。このために、DAC５５は正極性ガンマ基準電圧（GMAO１～GMAO５）が供給されるPデコーダー、負極性ガンマ基準電圧（GMAO６～GMAO１０）が供給されるNデコーダー（NDEC）、極性制御信号（POL_H２）に응答してPデコーダーの出力とNデコーダーの出力を選択するマルチフレクサーを含む。２ドットインバージョン方式で極性制御信号（POL_H２）の論理は図１１のように２水平期間周期に極性が反転される。したがって、２ドットインバージョン方式で、ソースドライバＩＣそれぞれは２水平期間周期に極性が反転されるデータ電圧を出力する。チャージシェア回路５６はソース出力イネーブル信号（SOEO）のハイ論理期間の間、隣り合うデータ出力チャンネルを短絡（short）させて隣り合うデータ電圧の平均値をチャージシェア電圧に出力し、ソース出力イネーブル信号SOEのハイ論理期間の間データ出力チャンネルに共通電圧（Vcom）を供給してデータライン（D１～Dm）に供給される正極性データ電圧と負極性データ電圧の間の急激なスイング幅変化を減らす。出力回路５７はバッファを利用してデータライン（D１～Dm）に供給されるデータ電圧の信号減衰を最小化する。

【００４１】

図７はゲートドライバＩＣの回路構成を示す図である。

【００４２】

図７を参照すれば、ゲートドライバＩＣのそれぞれはシフトレジスタ６１、レベルシフト６３、シフトレジスタ６１とレベルシフト６３の間に接続された複数のANDゲート６２及びゲート出力イネーブル信号（GOE）を反転させるためのインバーター６４を備える。

【００４３】

シフトレジスタ６１は従属的に接続された複数のDフリップフロップを利用してゲートスタートパルス（GSP）をゲートシフトクロック（GSC）によって順次にシフトさせる。ANDゲート６２のそれぞれはシフトレジスタ６１の出力信号とゲート出力イネーブル信号（GOE）の反転信号を論理積して出力を発生する。インバーター６４はゲート出力イネーブル信号（GOE）を反転させてANDゲート６２に供給する。したがって、ゲートドライバＩＣはゲート出力イネーブル信号（GOE）のロー論理区間である時、スキャンパルスのハイ論理電圧を出力する。レベルシフト６３は液晶表示パネル１０の画素アレイ内に形成されたTFＴの動作電圧範囲位、ANDゲート６２の出力電圧スイング幅をシフトさせる。レベルシフト６３の出力信号はゲートライン（G１～Gn）に順次に供給される。一方、レベルシフト６３はシフトレジスタ１２０の前段に配置されることができ、シフトレジスタ６１は画素アレイのTFＴとともに液晶表示パネル１０のガラス基板に直接形成されることができる。

【００４４】

図８は２ドットインバージョン方式を適用する時ソースドライバＩＣから出力される正極性/負極性データ電圧の一例を示す図である。

【００４５】

図 8 を参照すれば、2 ドットインバージョン方式でソース出力イネーブル信号 (SOE O) のパルスは 2 水平期間周期に発生される。ソースドライブ IC はソース出力イネーブル信号 (SOE O) のロー論理期間の間、正極性/負極性データ電圧を出力する。そしてソースドライブ IC はソース出力イネーブル信号 (SOE O) からパルスが発生されるハイ論理期間の間チャージシェア電圧や共通電圧 (Vcom) を出力する。したがって、ソースドライブ IC は 2 水平期間の間、正極性データ電圧(または負極性データ電圧)をデータラインに供給した後、チャージシェア電圧や共通電圧 (Vcom) をデータラインに供給する。続いて、ソースドライブ IC はその次の 2 水平期間の間、負極性データ電圧(または正極性データ電圧)をデータラインに供給する。

【0046】

ガンマ基準電圧 (GMAO1 ~ GMAO5、GMAO6 ~ GMAO10) の絶対値電位はガンマ電圧制御回路 16 及びガンマ電圧調整回路 17 によって選択的に調整される。データ電圧の極性が反転される A 期間中、図 3 及び図 8 のように第 1 及び第 2 ガンマ電圧制御信号 (CT1、CT2) の論理はハイ論理に発生される。データ電圧の極性が反転される A 期間中、ガンマ基準電圧 (GMAO1 ~ GMAO5、GMAO6 ~ GMAO10) の絶対値電位は図 3 及び図 9 のように $GMA + \alpha$ に上昇する。連続される二つの同一極性のデータ電圧の間の B 期間中、図 3 及び図 8 のように第 1 及び第 2 ガンマ電圧制御信号 (CT1、CT2) の論理はロー論理に反転される。前のデータ電圧のような極性のデータ電圧がデータライン (D1 ~ Dm) に供給される前の B 期間中、第 2 ガンマ電圧制御信号 (CT2) のロー論理期間位ガンマ基準電圧 (GMAO1 ~ GMAO5、GMAO6 ~ GMAO10) の絶対値電位は図 3 及び図 9 のように $GMA - \alpha$ に上昇する。液晶セルに充電された正極性/負極性データ電圧がデータライン (D1 ~ Dm) に供給される C 期間の間には第 1 及び第 2 ガンマ電圧制御信号の論理が相反する。この C 期間中、ガンマ基準電圧 (GMAO1 ~ GMAO5、GMAO6 ~ GMAO10) の絶対値電位は図 3 及び図 9 のように既存と同一に GMA 電位で維持される。したがって、A 期間の間、ソースドライブ IC から出力される正極性/負極性データ電圧の絶対値電位は正常な電位より大きい電位に高くなる一方、C 期間の間、ソースドライブ IC から出力される正極性/負極性データ電圧の絶対値電位は正常な電位より小さな電位に低くなる。そして液晶セルに充電される正極性/負極性データ電圧がソースドライブ IC から出力される B 期間の間、その正極性/負極性データ電圧は正常なガンマ補償電圧電位に発生される。第 1 ガンマ電圧制御信号 (CT1) のパルス幅と第 2 ガンマ電圧制御信号 (CT1) のロー論理期間は同一な極性で連続的に発生されるデータ電圧の充電量が同一になるように調整されなければならない。前記 A、B 及び C 期間はビデオデータがない水平ブランキング期間にあたる。

【0047】

図 10 はガンマ電圧制御回路 16 の一例を示す回路図である。図 11 はガンマ電圧制御回路 16 の入/出力波形を示す波形図である。

【0048】

図 10 を参照すれば、ガンマ電圧制御回路 16 は排他的論理合 (Exclusive OR gate、EOR) ゲート、AND ゲート、及び EOR ゲートと AND ゲートの出力端に従属的に接続された (cascade) 複数の D フリップフロップ (F/F) を備える。

【0049】

EOR ゲートは内部極性制御信号 (POL_H1) と内部ソース出力イネーブル信号 (SOEI) の論理がお互いに異なる時、ハイ論理の出力信号 (CT2_T) を発生して、それ以外の場合にロー論理の出力信号 (CT2_T) を発生する排他的論理合演算を処理する。AND ゲートは内部極性制御信号 (POL_H1) と内部ソース出力イネーブル信号 (SOEI) の論理がハイ論理である時、ハイ論理の出力信号 (CT1_T) を発生して、それ以外の場合にロー論理の出力信号 (CT1_T) を発生する論理積演算を処理する。D フリップフロップ (F/F) はクロック信号 (CLK) によって順次に出力を発生することで AND 遅延させる。したがって、第 1 及び第 2 ガンマ電圧制御信号 (CT1、

10

20

30

40

50

C T 2) は C T 1 _ T 及び C T 2 _ T 信号から所定の時間位遅延される。遅延時間は D フリップフロップドル (F / F) の個数によって調整されることができる。

【0050】

本発明は 2 ドット以上のインバージョン方式で液晶表示パネルを駆動する時、内部ソース出力イネーブル信号 (P O L _ H 1) と内部ソース出力イネーブル信号 (S O E I) を調整して前述のように第 1 及び第 2 ガンマ電圧制御信号 (C T 1、C T 2) を図 1 3 のように調整することができる。

【0051】

図 1 2 はガンマ電圧調整回路 1 7 の一例を示す回路図である。

【0052】

10

図 1 2 を参照すれば、ガンマ電圧調整回路 1 7 は内部正極性/負極性ガンマ基準電圧 (G M A I 1 ~ G M A I 1 0) が入力される演算増幅器 (O p e r a t i o n a l A m p l i f i e r、O P a m p)、ガンマ電圧制御回路 1 6 の出力端子と演算増幅器それぞれの反転入力端子 (−) の間に接触された抵抗 (R _ C T 1、R _ C T 2)、及び演算増幅器それぞれの反転入力端子 (−) と出力端子の間に接続された抵抗 (R a _ 1、R a _ 2) を備える。

【0053】

演算増幅器の非反転入力端子 (+) はガンマ電圧発生回路 1 5 の分圧回路の出力端子に接続される。したがって、演算増幅器それぞれの非反転入力端子 (+) には内部正極性/負極性ガンマ基準電圧 (G M A I 1 ~ G M A I 1 0) が入力される。このような演算増幅器から出力される正極性/負極性ガンマ基準電圧 (G M A O 1 ~ G M A O 5、G M A O 6 ~ G M A O 1 0) の絶対値電位は下の式 (1) のように第 1 及び第 2 ガンマ電圧制御信号 (C T 1、C T 2) によって選択的に高くなるか低くなることができる。

20

【数 1】

$$GMAO_N = GMAI_N \times \left[1 + \left(CT1 \times \frac{Ra_N}{R_{CT1}} \right) + \left(CT2 \times \frac{Ra_N}{R_{CT2}} \right) \right] \quad \text{--- (1)}$$

ここで、N はガンマ基準電圧のタップ (T a b) 数として 1、2、... N である。

【0054】

前述の実施形態はデータ電圧の極性が反転される A 期間の間ガンマ基準電圧 (G M A O 1 ~ G M A O 5、G M A O 6 ~ G M A O 1 0) の電位を高くして、また、同一な極性のデータ電圧の間の B 期間の間ガンマ基準電圧 (G M A O 1 ~ G M A O 5、G M A O 6 ~ G M A O 1 0) の電位を低くして、N ドットインバージョン方式でデータ電圧の充電量を均一にさせる例を中心に説明された。本発明は前述の実施形態によって限定されるのではない。例えば、本発明は B 期間の間ガンマ基準電圧 (G M A O 1 ~ G M A O 5、G M A O 6 ~ G M A O 1 0) の電位を低くしないで A 期間にだけガンマ基準電圧 (G M A O 1 ~ G M A O 5、G M A O 6 ~ G M A O 1 0) の電位を高めることだけで N ドットインバージョン方式でデータ電圧の充電量を均一にさせることもできる。A 期間及び B 期間それぞれは、前述したように第 1 及び第 2 ガンマ電圧制御信号 (C T 1、C T 2) によって調整されることができる。

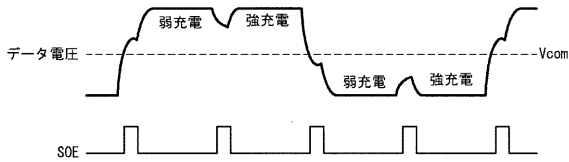
30

【0055】

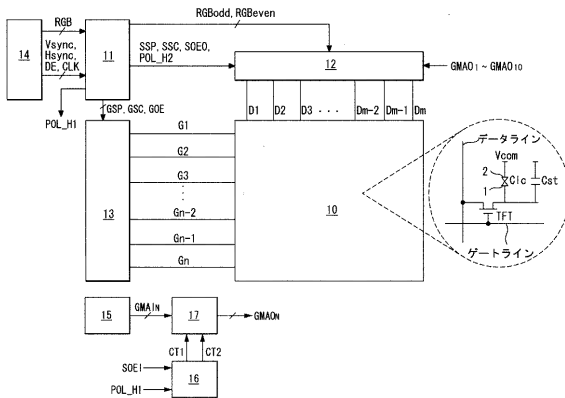
以上、添付図面を参照しながら本発明の好適な実施形態について詳細に説明したが、本発明はかかる例に限定されない。本発明の属する技術の分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本発明の技術的範囲に属するものと了解される。

40

【図 1】



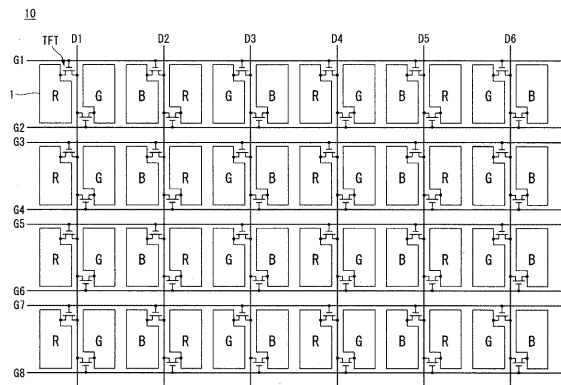
【図 2】



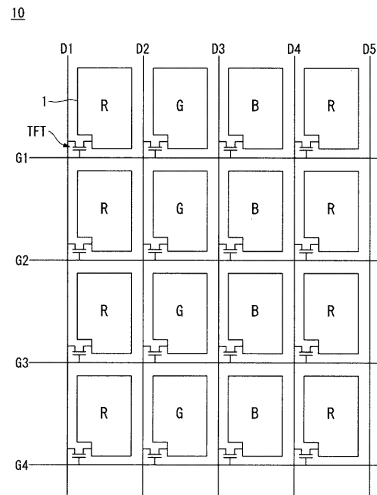
【図 3】

CT_1	CT_2	GMAO
0	0	GMA- α (弱充電)
0	1	GMA
1	0	X
1	1	GMA+ α (強充電)

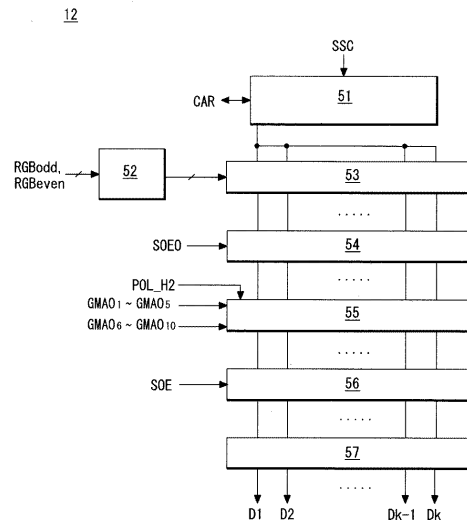
【図 5】



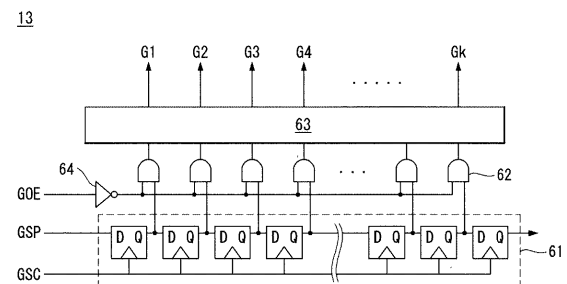
【図 4】



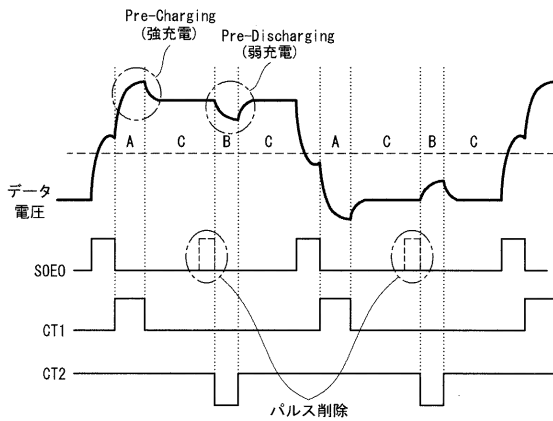
【図 6】



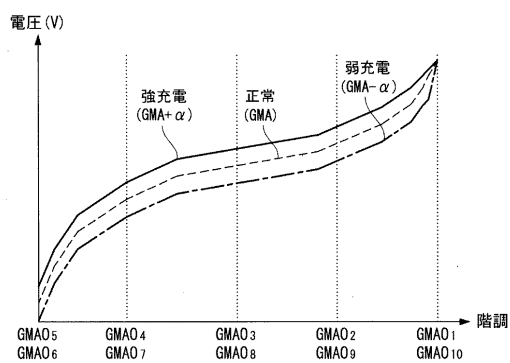
【図 7】



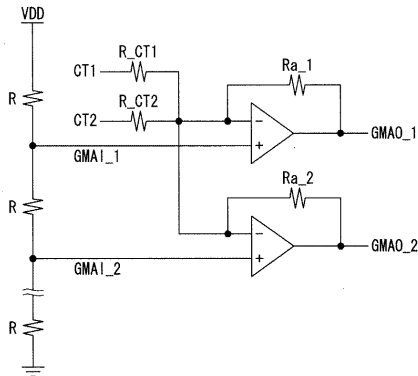
【図 8】



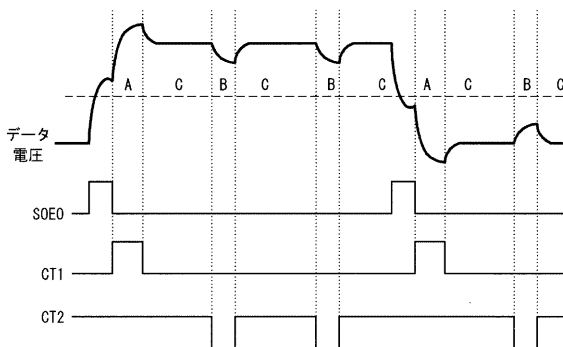
【図 9】



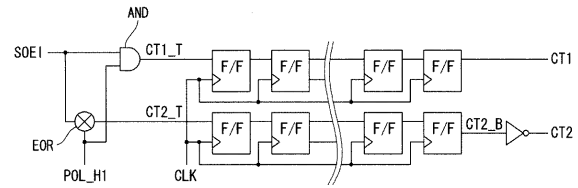
【図 12】



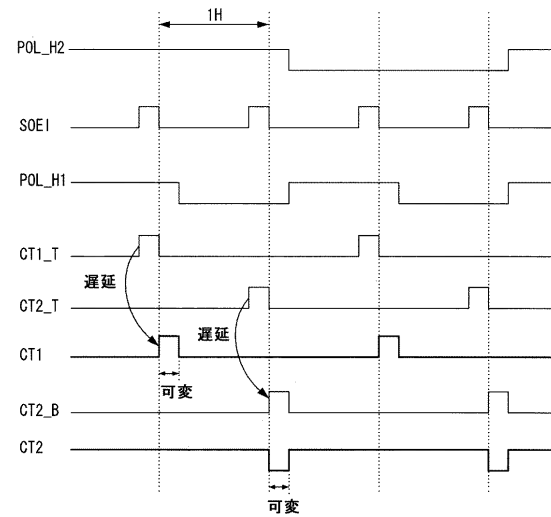
【図 13】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl. F I テーマコード (参考)

G 0 2 F 1/133 5 5 0
 G 0 2 F 1/133 5 7 5
 G 0 9 G 3/20 6 1 2 F
 G 0 9 G 3/20 6 1 2 T
 G 0 9 G 3/20 6 1 1 E

(74)代理人 100160967

弁理士 ▲濱▼口 岳久

(72)発明者 ▲チョ▼ 暢 訓

大韓民国 キョンブク グミシ ジンピュンドン ミレ ジュゴン アパートメント 1 0 8 - 6
 0 6

(72)発明者 金 鎮 成

大韓民国 キョンブク グミシ ソンジョンドン プリゴ キャッスル アパートメント 1 2 0
 - 2 0 3

(72)発明者 金 賢 ▲哲▼

大韓民国 キョンブク チルゴクン ソクジョクブ ジュンリ ドミトリー オブ エルジー
 フィリップス エルシーデー ビー- 2 2 5

F ターム(参考) 2H193 ZA04 ZA05 ZB03 ZC05 ZD13 ZD32 ZD34 ZE09 ZF13 ZF34

ZF35 ZG03 ZG04 ZG13 ZG14 ZQ06 ZQ11 ZQ16

5C006 AA16 AA22 AC26 AC27 AF46 BB16

5C080 AA10 BB05 CC03 EE29 EE30 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2010262261A	公开(公告)日	2010-11-18
申请号	JP2009263506	申请日	2009-11-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	チヨ暢訓 金鎮成 金賢哲		
发明人	▲チヨ▼暢訓 金鎮成 金賢▲哲▼		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3648 G09G2310/0248 G09G2320/0233 G09G2320/0673 G09G3/3611		
FI分类号	G09G3/36 G09G3/20.621.B G09G3/20.641.C G09G3/20.641.Q G02F1/133.525 G02F1/133.550 G02F1/133.575 G09G3/20.612.F G09G3/20.612.T G09G3/20.611.E		
F-TERM分类号	2H193/ZA04 2H193/ZA05 2H193/ZB03 2H193/ZC05 2H193/ZD13 2H193/ZD32 2H193/ZD34 2H193/ZE09 2H193/ZF13 2H193/ZF34 2H193/ZF35 2H193/ZG03 2H193/ZG04 2H193/ZG13 2H193/ZG14 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AC26 5C006/AC27 5C006/AF46 5C006/BB16 5C080/AA10 5C080/BB05 5C080/CC03 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	朝日 伸光 ▲滨▼口 岳久		
优先权	1020090038381 2009-04-30 KR		
其他公开文献	JP5159748B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示装置。解决方案：液晶显示装置包括：液晶显示面板，其中数据线和栅极线交叉，并且液晶单元以矩阵排列；数据驱动电路，使用正极性/负极性伽马基准电压将数字视频数据转换为正极性/负极性数据电压，以向数据线提供正极性/负极性数据电压；以及伽玛电压调整单元，当数据电压的极性反转时，在消隐时段期间增加每个正极性/负极性伽马基准电压的电势。Ž

