

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6291282号
(P6291282)

(45) 発行日 平成30年3月14日 (2018. 3. 14)

(24) 登録日 平成30年2月16日 (2018. 2. 16)

(51) Int. Cl.

F I

GO2F 1/1343 (2006.01)
GO2F 1/1335 (2006.01)
GO2F 1/1368 (2006.01)
GO9F 9/30 (2006.01)

GO2F 1/1343
 GO2F 1/1335 505
 GO2F 1/1368
 GO9F 9/30 338
 GO9F 9/30 341

請求項の数 7 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2014-30543 (P2014-30543)
 (22) 出願日 平成26年2月20日 (2014. 2. 20)
 (65) 公開番号 特開2015-155953 (P2015-155953A)
 (43) 公開日 平成27年8月27日 (2015. 8. 27)
 審査請求日 平成29年1月17日 (2017. 1. 17)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100091351
 弁理士 河野 哲
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100087653
 弁理士 鈴江 正二
 (72) 発明者 大野 敦子
 東京都港区西新橋三丁目7番1号 株式会
 社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1方向に並んだm本の第1帯状電極を有する第1画素電極と、第1方向に並んだm本の第2帯状電極を有し前記第1画素電極の第1方向に隣接する第2画素電極と、第1方向に並んだn本の第3帯状電極を有し前記第2画素電極の第1方向に隣接する第3画素電極と、第1方向に並んだm本の第4帯状電極を有し前記第1画素電極の第2方向に隣接する第4画素電極と、第1方向に並んだm本の第5帯状電極を有し前記第2画素電極の第2方向に隣接する第5画素電極と、第1方向に並んだn本の第6帯状電極を有し前記第3画素電極の第2方向に隣接する第6画素電極と、を備え、m及びnは正の整数であり且つm≠nである、第1基板と、

前記第1画素電極及び第4画素電極と対向する第1カラーフィルタと、前記第1カラーフィルタの第1方向に隣接し前記第2画素電極及び前記第5画素電極と対向する第2カラーフィルタと、前記第2カラーフィルタの第1方向に隣接し前記第3画素電極と対向する第3カラーフィルタと、前記第3カラーフィルタの第2方向に隣接し前記第6画素電極と対向する第4カラーフィルタと、を備えた第2基板と、

前記第1基板と前記第2基板との間に保持された液晶層と、

を備え、

前記第1基板は、さらに、前記第2画素電極と前記第3画素電極との間、及び、前記第5画素電極と前記第6画素電極との間に位置するソース配線を備え、

前記第2画素電極及び前記第5電極と前記ソース配線との第1方向に沿った第1間隔は

10

20

、前記第3画素電極及び前記第6電極と前記ソース配線との第1方向に沿った第2間隔よりも大きい、液晶表示装置。

【請求項2】

$m < n$ である、請求項1に記載の液晶表示装置。

【請求項3】

前記第1基板は、さらに、共通電極と、前記共通電極を覆う層間絶縁膜と、を備え、

前記第1乃至第6画素電極は前記層間絶縁膜上で前記共通電極と対向する、請求項1または2に記載の液晶表示装置。

【請求項4】

前記第3カラーフィルタは青色カラーフィルタであり、前記第4カラーフィルタは白色カラーフィルタである、請求項1乃至3のいずれか1項に記載の液晶表示装置。

10

【請求項5】

第1方向に並んだ m 本の第1帯状電極を有する第1画素電極と、第1方向に並んだ n 本の第2帯状電極を有し前記第1画素電極の第1方向に隣接する第2画素電極と、前記第1画素電極と前記第2画素電極との間に位置するソース配線と、を備え、 m 及び n は正の整数であり且つ $m < n$ であり、前記第1画素電極と前記ソース配線との第1方向に沿った第1間隔は前記第2画素電極と前記ソース配線との第1方向に沿った第2間隔よりも大きい、第1基板と、

前記第1画素電極と対向する第1カラーフィルタと、前記第1カラーフィルタの第1方向に隣接し前記第2画素電極と対向する第2カラーフィルタと、を備えた第2基板と、

20

前記第1基板と前記第2基板との間に保持された液晶層と、
を備えた液晶表示装置。

【請求項6】

前記第1基板は、さらに、共通電極と、前記共通電極を覆う層間絶縁膜と、を備え、

前記第1画素電極及び前記第2画素電極は前記層間絶縁膜上で前記共通電極と対向する、請求項5に記載の液晶表示装置。

【請求項7】

前記第2カラーフィルタは、青色カラーフィルタまたは白色カラーフィルタである、請求項5または6に記載の液晶表示装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

【0002】

近年、IPS (In-Plane Switching) モードやFFS (Fringe Field Switching) モードなどの横電界 (フリンジ電界も含む) を利用した液晶表示装置が実用化されている。このような横電界モードの液晶表示装置は、一方の基板に形成された画素電極及び共通電極を備えている。

【0003】

40

一例として、画素電極及び共通電極がそれぞれ一方向に延在した帯状の複数の電極を備え、画素電極の帯状電極と共通電極の帯状電極とが交互に配置され、ドレイン信号線に重畳されている共通電極がそれ以外の他の電極よりも幅広に形成され、共通電極とそれに隣接する画素電極との離間幅が他の隣接する電極の離間幅よりも大きく設定した技術が知られている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2003-57670号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0005】**

本実施形態の目的は、表示品位の劣化を抑制することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】**【0006】**

本実施形態によれば、

第1方向に並んだm本の第1帯状電極を有する第1画素電極と、第1方向に並んだm本の第2帯状電極を有し前記第1画素電極の第1方向に隣接する第2画素電極と、第1方向に並んだn本の第3帯状電極を有し前記第2画素電極の第1方向に隣接する第3画素電極と、第1方向に並んだm本の第4帯状電極を有し前記第1画素電極の第2方向に隣接する第4画素電極と、第1方向に並んだm本の第5帯状電極を有し前記第2画素電極の第2方向に隣接する第5画素電極と、第1方向に並んだn本の第6帯状電極を有し前記第3画素電極の第2方向に隣接する第6画素電極と、を備え、m及びnは正の整数であり且つ $m \neq n$ である、第1基板と、前記第1画素電極及び第4画素電極と対向する第1カラーフィルタと、前記第1カラーフィルタの第1方向に隣接し前記第2画素電極及び前記第5画素電極と対向する第2カラーフィルタと、前記第2カラーフィルタの第1方向に隣接し前記第3画素電極と対向する第3カラーフィルタと、前記第3カラーフィルタの第2方向に隣接し前記第6画素電極と対向する第4カラーフィルタと、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

【0007】

本実施形態によれば、

第1方向に並んだm本の第1帯状電極を有する第1画素電極と、第1方向に並んだn本の第2帯状電極を有し前記第1画素電極の第1方向に隣接する第2画素電極と、前記第1画素電極と前記第2画素電極との間に位置するソース配線と、を備え、m及びnは正の整数であり且つ $m < n$ であり、前記第1画素電極と前記ソース配線との第1方向に沿った第1間隔は前記第2画素電極と前記ソース配線との第1方向に沿った第2間隔よりも大きい、第1基板と、前記第1画素電極と対向する第1カラーフィルタと、前記第1カラーフィルタの第1方向に隣接し前記第2画素電極と対向する第2カラーフィルタと、を備えた第2基板と、前記第1基板と前記第2基板との間に保持された液晶層と、を備えた液晶表示装置が提供される。

【図面の簡単な説明】**【0008】**

【図1】図1は、本実施形態の表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板ARにおける画素の第1構成例を対向基板の側から見た概略平面図である。

【図3】図3は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。

【図4】図4は、図2に示した画素PX1乃至PX6を含む液晶表示パネルLPNの構成を概略的に示す断面図である。

【図5】図5は、図2に示したレイアウトにおける各色画素の透過率分布を示す図である。

【図6】図6は、図1に示したアレイ基板ARにおける画素の第2構成例を対向基板の側から見た概略平面図である。

【図7】図7は、画素の第3構成例を概略的に示す平面図である。

【発明を実施するための形態】**【0009】**

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は

10

20

30

40

50

省略する。

【 0 0 1 0 】

図 1 は、本実施形態の液晶表示装置を構成する液晶表示パネル L P N の構成及び等価回路を概略的に示す図である。

【 0 0 1 1 】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネル L P N を備えている。液晶表示パネル L P N は、第 1 基板であるアレイ基板 A R と、アレイ基板 A R に対向配置された第 2 基板である対向基板 C T と、アレイ基板 A R と対向基板 C T との間に保持された液晶層 L Q と、を備えている。液晶表示パネル L P N は、画像を表示するアクティブエリア A C T を備えている。アクティブエリア A C T は、アレイ基板 A R と対向基板 C T との間に液晶層 L Q が保持された領域に相当し、例えば、四角形状であり、マトリクス状に配置された複数の画素 P X によって構成されている。

10

【 0 0 1 2 】

アレイ基板 A R は、アクティブエリア A C T において、ゲート配線 G (G 1 ~ G n)、ソース配線 S (S 1 ~ S m)、スイッチング素子 S W、画素電極 P E、共通電極 C E などを備えている。ゲート配線 G (G 1 ~ G n) は、それぞれ第 1 方向 X に沿って延出し、第 1 方向 X に交差する第 2 方向 Y に並んでいる。ソース配線 S (S 1 ~ S m) は、それぞれ概ね第 2 方向 Y に沿って延出し、第 1 方向 X に並んでいる。なお、ソース配線 S は、後述するように、厳密には、画素レイアウトあるいは画素形状に合わせて屈曲している。スイッチング素子 S W は、各画素 P X においてゲート配線 G 及びソース配線 S と電氣的に接続されている。画素電極 P E は、各画素 P X において島状に形成され、スイッチング素子 S W に電氣的に接続されている。共通電極 C E は、アクティブエリア A C T において、複数の画素 P X に亘って共通に形成され、各画素電極 P E と向かい合っている。蓄積容量 C S は、例えば、共通電極 C E と画素電極 P E との間に形成される。

20

【 0 0 1 3 】

各ゲート配線 G は、アクティブエリア A C T の外側に引き出され、第 1 駆動回路 G D に接続されている。各ソース配線 S は、アクティブエリア A C T の外側に引き出され、第 2 駆動回路 S D に接続されている。第 1 駆動回路 G D 及び第 2 駆動回路 S D は、例えばその少なくとも一部がアレイ基板 A R に形成され、駆動 I C チップ 2 と接続されている。駆動 I C チップ 2 は、第 1 駆動回路 G D 及び第 2 駆動回路 S D を制御するコントローラを内蔵し、液晶表示パネル L P N を駆動するのに必要な信号を供給する信号供給源として機能する。図示した例では、駆動 I C チップ 2 は、アクティブエリア A C T の外側において、アレイ基板 A R に実装されている。共通電極 C E は、アクティブエリア A C T の外側に引き出され、給電部 V c o m に接続されている。給電部 V c o m は、共通電極 C E に対してコモン電位を供給する。

30

【 0 0 1 4 】

図 2 は、図 1 に示したアレイ基板 A R における画素の第 1 構成例を対向基板の側から見た概略平面図である。なお、ここでは、F F S モードを適用した画素構造を例に説明するが、図中には説明に必要な主要部のみを図示している。

【 0 0 1 5 】

アレイ基板 A R は、ゲート配線 G 1 乃至 G 3、ソース配線 S 1 乃至 S 4、スイッチング素子 S W 1 乃至 S W 6、共通電極 C E、画素電極 P E 1 乃至 P E 6、第 1 配向膜 A L 1 などを備えている。

40

【 0 0 1 6 】

ゲート配線 G 1 乃至 G 3 は、第 1 方向 X に沿ってそれぞれ延出している。ソース配線 S 1 乃至 S 4 は、概ね第 2 方向 Y に沿ってそれぞれ延出し、ゲート配線 G 1 乃至 G 3 と交差している。これらのゲート配線 G 1 乃至 G 3 及びソース配線 S 1 乃至 S 4 は、画素 P X 1 乃至 P X 6 を区画している。

【 0 0 1 7 】

第 1 方向 X に並んだ画素 P X 1 乃至 P X 3 は互いに異なる色の色画素であり、また、画

50

素 P X 4 乃至 P X 6 も互いに異なる色の色画素である。第 2 方向 Y に並んだ画素 P X 1 及び P X 4 は同一色の画素であり、例えば赤色 (R) 画素である。第 2 方向 Y に並んだ画素 P X 2 及び P X 5 は同一色の画素であり、例えば緑色 (G) 画素である。第 2 方向 Y に並んだ画素 P X 3 及び P X 6 は互いに異なる色の画素であり、例えば画素 P X 3 が白色 (W) 画素であり、画素 P X 6 が青色 (B) 画素である。

【 0 0 1 8 】

画素 P X 1 はゲート配線 G 1 及びゲート配線 G 2 とソース配線 S 1 及びソース配線 S 2 とで規定され、画素 P X 2 はゲート配線 G 1 及びゲート配線 G 2 とソース配線 S 2 及びソース配線 S 3 とで規定され、画素 P X 3 はゲート配線 G 1 及びゲート配線 G 2 とソース配線 S 3 及びソース配線 S 4 とで規定されている。これらの画素 P X 1 乃至 P X 3 は、第 2 方向 Y に対して時計回りに鋭角に交差する第 1 延出方向 D 1 に延出している。各画素 P X 1 乃至 P X 3 の両側に位置するソース配線 S 1 乃至 S 4 はいずれも第 1 延出方向 D 1 に延出している。

10

【 0 0 1 9 】

画素 P X 4 はゲート配線 G 2 及びゲート配線 G 3 とソース配線 S 1 及びソース配線 S 2 とで規定され、画素 P X 5 はゲート配線 G 2 及びゲート配線 G 3 とソース配線 S 2 及びソース配線 S 3 とで規定され、画素 P X 6 はゲート配線 G 2 及びゲート配線 G 3 とソース配線 S 3 及びソース配線 S 4 とで規定されている。これらの画素 P X 4 乃至 P X 6 は、第 2 方向 Y に対して反時計回りに鋭角に交差する第 2 延出方向 D 2 に延出している。各画素 P X 4 乃至 P X 6 の両側に位置するソース配線 S 1 乃至 S 4 はいずれも第 2 延出方向 D 2 に延出している。なお、第 2 方向 Y と第 1 延出方向 D 1 とのなす角度 $\theta 1$ は、第 2 方向 Y と第 2 延出方向 D 2 とのなす角度 $\theta 2$ とほぼ同一である。

20

【 0 0 2 0 】

共通電極 C E は、アレイ基板 A R の略全域に亘って延在し、画素 P X 1 乃至 P X 6 に共通に形成されている。すなわち、共通電極 C E は、ゲート配線 G 1 乃至 G 3 の上方を跨いで第 2 方向 Y に延在するとともに、ソース配線 S 1 乃至 S 4 の上方を跨いで第 1 方向 X に延在し、画素 P X 1 乃至 P X 6 のそれぞれに配置されている。なお、共通電極 C E には、各画素において、詳述しないが画素電極とスイッチング素子とを電氣的に接続するための開口部が形成されている。

【 0 0 2 1 】

画素 P X 1 は、スイッチング素子 S W 1 及び画素電極 P E 1 を備えている。スイッチング素子 S W 1 は、ゲート配線 G 2 及びソース配線 S 1 と電氣的に接続されている。画素電極 P E 1 は、ソース配線 S 1 とソース配線 S 2 との間に位置し、スイッチング素子 S W 1 に接続されている。

30

【 0 0 2 2 】

画素 P X 2 は、スイッチング素子 S W 2 及び画素電極 P E 2 を備えている。スイッチング素子 S W 2 は、ゲート配線 G 2 及びソース配線 S 2 と電氣的に接続されている。画素電極 P E 2 は、ソース配線 S 2 とソース配線 S 3 との間に位置し、スイッチング素子 S W 2 に接続されている。

【 0 0 2 3 】

画素 P X 3 は、スイッチング素子 S W 3 及び画素電極 P E 3 を備えている。スイッチング素子 S W 3 は、ゲート配線 G 2 及びソース配線 S 3 と電氣的に接続されている。画素電極 P E 3 は、ソース配線 S 3 とソース配線 S 4 との間に位置し、スイッチング素子 S W 3 に接続されている。

40

【 0 0 2 4 】

同様に、画素 P X 4 は、ゲート配線 G 3 及びソース配線 S 1 と電氣的に接続されたスイッチング素子 S W 4、及び、スイッチング素子 S W 4 に接続された画素電極 P E 4 を備えている。画素 P X 5 は、ゲート配線 G 3 及びソース配線 S 2 と電氣的に接続されたスイッチング素子 S W 5、及び、スイッチング素子 S W 5 に接続された画素電極 P E 5 を備えている。画素 P X 6 は、ゲート配線 G 3 及びソース配線 S 3 と電氣的に接続されたスイッチ

50

ング素子SW6、及び、スイッチング素子SW6に接続された画素電極PE6を備えている。

【0025】

スイッチング素子SW1乃至SW6は、例えば薄膜トランジスタ(TFT)である。

【0026】

画素電極PE1乃至PE6は、それぞれ共通電極CEに対向している。

画素電極PE1乃至PE3は、それぞれ第1延出方向D1に延出した画素形状に対応した島状に形成されている。また、画素電極PE1乃至PE3のそれぞれは、少なくとも一本の帯状電極PAを有している。帯状電極PAは、第1延出方向D1に延出している。図示した例では、画素電極PE1乃至PE3のそれぞれは、第1方向Xに並んだ複数本の帯状電極PAを有している。

10

【0027】

画素電極PE4乃至PE6は、それぞれ第2延出方向D2に延出した画素形状に対応した島状に形成されている。また、画素電極PE4乃至PE6のそれぞれは、少なくとも一本の帯状電極PBを有している。帯状電極PBは、第2延出方向D2に延出している。図示した例では、画素電極PE4乃至PE6のそれぞれは、第1方向Xに並んだ複数本の帯状電極PBを有している。

【0028】

画素電極PE1、画素電極PE2、画素電極PE4、及び、画素電極PE5は、いずれもm本の帯状電極PAを有している。一方で、画素電極PE3及び画素電極PE6は、い

20

【0029】

換言すると、画素電極PE1、画素電極PE2、画素電極PE4、及び、画素電極PE5は、いずれも第1延出方向D1に延出した(m-1)本のスリットを有している。また、画素電極PE3及び画素電極PE6は、いずれも第2延出方向D2に延出した(n-1)本のスリットを有している。これらのスリットは、共通電極CEと対向している。

【0030】

第1配向膜AL1は、帯状電極PAの長軸(図2に示した例では第1延出方向D1)及び帯状電極PBの長軸(図2に示した例では第2延出方向D2)に対して45°以下の鋭角に交差する方向に沿って配向処理されている。第1配向膜AL1の配向処理方向R1は、第2方向Yに平行な方向であり、第1延出方向D1あるいは第2延出方向D2に交差する方向である。

30

【0031】

ここで、画素PX1乃至PX3に着目する。ソース配線S1とソース配線S2とのピッチPT1、及び、ソース配線S2とソース配線S3とのピッチPT2は、ほぼ同等である。ソース配線S3とソース配線S4とのピッチPT3は、ピッチPT1及びピッチPT2よりも大きい。画素電極PE1及び画素電極PE2の第1方向Xに沿った幅は、ほぼ同等であり、また、画素電極PE3の第1方向Xに沿った幅よりも小さい。画素電極PE1及び画素電極PE2のそれぞれの帯状電極PAは、第1方向Xに沿ってほぼ同等の幅を有しており、しかも、画素電極PE1及び画素電極PE2のそれぞれについて隣り合う帯状電極PAの間隔は等しく、等ピッチで配置されている。画素電極PE3のそれぞれの帯状電極PAは、第1方向Xに沿ってほぼ同等の幅を有し、等ピッチで配置されているが、画素電極PE1及び画素電極PE2の帯状電極PAの幅より小さい。また、画素電極PE3における隣り合う帯状電極PAの間隔(スリット幅)は、画素電極PE1及び画素電極PE2のそれぞれにおける隣り合う帯状電極PAの間隔(スリット幅)よりも狭く、画素電極PE3の帯状電極PAは狭ピッチで配置されている。

40

【0032】

画素電極PE1について、一端側の帯状電極PAとソース配線S1との間、及び、他端側の帯状電極PAとソース配線S2との間には、第1方向Xに沿った間隔Dが設けられて

50

いる。画素電極 P E 2 について、一端側の帯状電極 P A とソース配線 S 2 との間、及び、他端側の帯状電極 P A とソース配線 S 3 との間には、第 1 方向 X に沿った間隔 D が設けられている。画素電極 P E 3 について、一端側の帯状電極 P A とソース配線 S 3 との間、及び、他端側の帯状電極 P A とソース配線 S 4 との間には、第 1 方向 X に沿った間隔 d が設けられている。間隔 d は、間隔 D よりも小さい。

【 0 0 3 3 】

なお、画素 P X 4 乃至 P X 6 についても、上記の画素 P X 1 乃至 P X 3 と同様の関係である。

【 0 0 3 4 】

図 3 は、本実施形態における各画素とカラーフィルタとのレイアウトの一例を概略的に示す平面図である。

【 0 0 3 5 】

カラー表示を実現するための単位画素は、複数の異なる色画素によって構成されている。単位画素とは、アクティブエリアに表示されるカラー画像を構成する最小単位である。単位画素 U P は、6 個の色画素によって構成されている。単位画素 U P は、画素（第 1 色画素）P X 1、画素（第 2 色画素）P X 2、画素（第 3 色画素）P X 3、画素（第 4 色画素）P X 4、画素（第 5 色画素）P X 5、及び、画素（第 6 色画素）P X 6 によって構成されている。図中においては、各画素は、それぞれ一点鎖線で示している。画素 P X 2 は、画素 P X 1 とは異なる色の画素であって、画素 P X 1 の第 1 方向 X に隣接している。画素 P X 3 は、画素 P X 1 及び画素 P X 2 とは異なる色の画素であって、画素 P X 2 の第 1 方向 X に隣接している。画素 P X 4 は、画素 P X 1 と同一色の画素であって、画素 P X 1 の第 2 方向 Y に隣接している。画素 P X 5 は、画素 P X 2 と同一色の画素であって、画素 P X 2 の第 2 方向 Y に隣接している。画素 P X 6 は、画素 P X 1、画素 P X 2、及び、画素 P X 3 とは異なる色の画素であって、画素 P X 3 の第 2 方向 Y に隣接している。ここでは、画素 P X 1 及び画素 P X 4 は赤色画素であって、画素 P X 2 及び画素 P X 5 は緑色画素であって、画素 P X 3 は白色画素であって、画素 P X 6 は青色画素である。このような構成において、画素 P X 1、画素 P X 2、画素 P X 4、及び、画素 P X 5 のそれぞれの面積は略同等である。画素 P X 3 及び画素 P X 6 の面積は、画素 P X 1 などの面積よりも大きい。

【 0 0 3 6 】

対向基板 C T は、遮光層 B M、カラーフィルタ C F 1 乃至 C F 4、第 2 配向膜 A L 2 などを備えている。

【 0 0 3 7 】

遮光層 B M は、各画素の境界に配置されている。つまり、遮光層 B M は、図 2 に示したソース配線やゲート配線の上方に位置している。なお、遮光層 B M は、同一色の画素の境界には配置されていないが、異なる色の画素の境界には配置されている。つまり、遮光層 B M は、画素 P X 1 と画素 P X 4 との境界、及び、画素 P X 2 と画素 P X 5 との境界には配置されていないが、画素 P X 3 と画素 P X 6 との境界には配置されている。

【 0 0 3 8 】

カラーフィルタ（第 1 カラーフィルタ）C F 1 は、第 2 方向 Y に沿って延出した帯状に形成されている。カラーフィルタ（第 2 カラーフィルタ）C F 2 は、カラーフィルタ C F 1 の第 1 方向 X に隣接し、第 2 方向 Y に沿って延出した帯状に形成されている。カラーフィルタ（第 3 カラーフィルタ）C F 3 は、カラーフィルタ C F 2 の第 1 方向 X に隣接し、島状に形成されている。カラーフィルタ（第 4 カラーフィルタ）C F 4 は、カラーフィルタ C F 3 の第 2 方向 Y に隣接し、また、カラーフィルタ C F 2 の第 1 方向 X に隣接し、島状に形成されている。カラーフィルタ C F 3 とカラーフィルタ C F 4 とは、第 2 方向 Y に沿って交互に繰り返し配置されている。

【 0 0 3 9 】

カラーフィルタ C F 1 は、画素 P X 1 及び画素 P X 4 に対応して配置されている。カラーフィルタ C F 2 は、画素 P X 2 及び画素 P X 5 に対応して配置されている。カラーフィ

10

20

30

40

50

ルタCF3は、画素PX3に対応して配置されている。カラーフィルタCF4は、画素PX6に対応して配置されている。図示した例では、カラーフィルタCF1は赤色(R)カラーフィルタであり、カラーフィルタCF2緑色(G)カラーフィルタであり、カラーフィルタCF3は白色(W)のカラーフィルタであり、カラーフィルタCF4は青色(B)カラーフィルタである。カラーフィルタCF1乃至CF4は、それぞれの互いに隣接する端部が遮光層BMに重なっている。

【0040】

このように、アクティブエリアには、4色の色画素(赤色画素、緑色画素、青色画素、及び、白色画素)があり、4色の色画素のうちのいずれか2色の色画素(ここに示した例では青色画素及び白色画素)の数が残りの2色の色画素(ここに示した例では赤色画素及び緑色画素)の数の半分である。一例として、赤色画素である画素PX1及び画素PX4の面積の総和は、緑色画素である画素PX2及び画素PX5の面積の総和と同等であり、白色画素である画素PX3の面積、あるいは、青色画素である画素PX6の面積と同等以下である。

【0041】

第2配向膜AL2は、第1配向膜AL1の配向処理方向R1と平行な方向に沿って配向処理されている。第2配向膜AL2の配向処理方向R2は、例えば、第1配向膜AL1の配向処理方向R1と互いに逆向きである。

【0042】

図4は、図2に示した画素PX1乃至PX6を含む液晶表示パネルLPNの構成を概略的に示す断面図である。

【0043】

アレイ基板ARは、ガラス基板や樹脂基板などの透明な第1絶縁基板10を用いて形成されている。アレイ基板ARは、第1絶縁基板10の対向基板CTに対向する側に、図示しないスイッチング素子やゲート配線に加えて、ソース配線S1乃至S4、共通電極CE、画素電極PE1乃至PE6、第1絶縁膜11、第2絶縁膜12、第3絶縁膜13、第1配向膜AL1などを備えている。

【0044】

ソース配線S1乃至S4は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。なお、ゲート配線は、第1絶縁基板10と第1絶縁膜11との間に形成されている。共通電極CEは、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。共通電極CEは、透明な導電材料、例えば、インジウム・ティン・オキサイド(ITO)やインジウム・ジंक・オキサイド(IZO)などによって形成されている。

【0045】

画素電極PE1乃至PE6は、第3絶縁膜13の上に形成され、共通電極CEと対向している。つまり、画素電極PE1乃至PE3のそれぞれの帯状電極PA、及び、画素電極PE4乃至PE6のそれぞれの帯状電極PBは、第3絶縁膜13を介して共通電極CEの上方に位置している。第3絶縁膜13は、共通電極CEと画素電極PE1乃至PE6との間に介在する層間絶縁膜に相当する。画素電極PE1及び画素電極PE4は、ソース配線S1とソース配線S2との間に位置している。画素電極PE2及び画素電極PE5は、ソース配線S2とソース配線S3との間に位置している。画素電極PE3及び画素電極PE6は、ソース配線S3とソース配線S4との間に位置している。画素電極PE1乃至PE6は、いずれも透明な導電材料、例えば、ITOやIZOなどによって形成されている。画素電極PE1乃至PE6は、第1配向膜AL1によって覆われている。第1配向膜AL1は、第3絶縁膜13も覆っている。第1配向膜AL1は、水平配向性を示す材料によって形成され、アレイ基板ARの液晶層LQに接する面に配置されている。

【0046】

一方、対向基板CTは、ガラス基板や樹脂基板などの透明な第2絶縁基板20を用いて形成されている。対向基板CTは、第2絶縁基板20のアレイ基板ARに対向する側に、

10

20

30

40

50

遮光層ＢＭ、カラーフィルタＣＦ１乃至ＣＦ４、オーバーコート層ＯＣ、第２配向膜ＡＬ２などを備えている。

【００４７】

遮光層ＢＭは、第２絶縁基板２０の内面に形成されている。遮光層ＢＭは、ソース配線Ｓ１乃至Ｓ４の上方にそれぞれ位置している。遮光層ＢＭは、黒色の樹脂材料や、遮光性の金属材料によって形成されている。

【００４８】

カラーフィルタＣＦ１乃至ＣＦ４のそれぞれは、第２絶縁基板２０の内面に形成されている。カラーフィルタＣＦ１は、画素電極ＰＥ１及び画素電極ＰＥ４と対向している。カラーフィルタＣＦ２は、画素電極ＰＥ２及び画素電極ＰＥ５と対向している。カラーフィルタＣＦ３は、画素電極ＰＥ３と対向している。カラーフィルタＣＦ４は、画素電極ＰＥ６と対向している。カラーフィルタＣＦ１は、赤色に着色された樹脂材料によって形成されている。カラーフィルタＣＦ２は、緑色に着色された樹脂材料によって形成されている。カラーフィルタＣＦ３は、白色（あるいは透明）の樹脂材料によって形成されている。カラーフィルタＣＦ４は、青色に着色された樹脂材料によって形成されている。なお、カラーフィルタＣＦ３は省略しても良いし、厳密に無彩色のカラーフィルタでなくても良く、淡く色付いた（例えば薄黄色に色付いた）カラーフィルタであってもよい。異なる色のカラーフィルタ間の境界は、ソース配線Ｓの上方の遮光層ＢＭと重なる位置にある。

【００４９】

オーバーコート層ＯＣは、カラーフィルタＣＦ１乃至ＣＦ４を覆っている。オーバーコート層ＯＣは、カラーフィルタＣＦ１乃至ＣＦ４の表面の凹凸を平坦化する。オーバーコート層ＯＣは、透明な樹脂材料によって形成されている。オーバーコート層ＯＣは、第２配向膜ＡＬ２によって覆われている。第２配向膜ＡＬ２は、水平配向性を示す材料によって形成され、対向基板ＣＴの液晶層ＬＱに接する面に配置されている。

【００５０】

上述したようなアレイ基板ＡＲと対向基板ＣＴとは、第１配向膜ＡＬ１及び第２配向膜ＡＬ２が向かい合うように配置されている。このとき、アレイ基板ＡＲと対向基板ＣＴとの間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板ＡＲと対向基板ＣＴとは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層ＬＱは、第１配向膜ＡＬ１と第２配向膜ＡＬ２との間のセルギャップに封入された液晶分子ＬＭを含む液晶材料によって形成されている。

【００５１】

このような構成の液晶表示パネルＬＰＮに対して、その背面側には、バックライトＢＬが配置されている。バックライトＢＬとしては、種々の形態が適用可能であるが、ここでは詳細な構造については説明を省略する。

【００５２】

第１絶縁基板１０の外表面１０Ｂには、第１偏光板ＰＬ１を含む第１光学素子ＯＤ１が配置されている。第２絶縁基板２０の外表面２０Ｂには、第２偏光板ＰＬ２を含む第２光学素子ＯＤ２が配置されている。第１偏光板ＰＬ１及び第２偏光板ＰＬ２は、例えば、それぞれの偏光軸が直交するクロスニコルの位置関係となるように配置される。

【００５３】

以下に、上記構成の液晶表示装置における動作について説明する。

画素電極ＰＥと共通電極ＣＥとの間に電位差を形成するような電圧が印加されていないＯＦＦ時には、液晶層ＬＱに電圧が印加されていない状態であり、画素電極ＰＥと共通電極ＣＥとの間に電界が形成されていない。このため、液晶層ＬＱに含まれる液晶分子ＬＭは、図２に実線で示したように、第１配向膜ＡＬ１及び第２配向膜ＡＬ２の配向規制力によりＸ－Ｙ平面内において第２方向Ｙに初期配向している。つまり、液晶分子ＬＭの初期配向方向は第２方向Ｙに平行である。ＯＦＦ時には、バックライトＢＬからのバックライト光の一部は、第１偏光板ＰＬ１を透過し、液晶表示パネルＬＰＮに入射する。液晶表示パネルＬＰＮに入射した光は、例えば第１偏光板ＰＬ１の第１吸収軸と直交する直

10

20

30

40

50

線偏光である。このような直線偏光の偏光状態は、OFF時の液晶表示パネルLPNを通過した際にほとんど変化しない。このため、液晶表示パネルLPNを透過した直線偏光のほとんどが、第2偏光板PL2によって吸収される(黒表示)。

【0054】

一方、画素電極PEと共通電極CEとの間に電位差を形成するような電圧が印加されたON時においては、液晶層LQに電圧が印加された状態であり、画素電極PEと共通電極CEとの間にフリンジ電界が形成される。このため、液晶分子LMは、図2に破線で示したように、X-Y平面内において、初期配向方向とは異なる方位に配向する。ボジ型の液晶材料においては、例えば画素PX3の液晶分子LMは、X-Y平面内において、フリンジ電界と略平行な方向に配向するように反時計回りに回転し、画素PX6の液晶分子LMは、X-Y平面内において、フリンジ電界と略平行な方向に配向するように時計回りに回転する。このとき、液晶分子LMは、電界の大きさに応じた方向に配向する。ON時には、第1偏光板PL1の第1吸収軸と直交する直線偏光は、液晶表示パネルLPNに入射し、その偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態に応じて変化する。このため、ON時においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する(白表示)。

【0055】

このような構成により、ノーマリーブラックモードが実現される。

このような本実施形態によれば、2行×3列の6個の色画素で単位画素UPを構成し、これらの6個の色画素は、赤色画素、緑色画素、青色画素、及び、白色画素のいずれかに割り当てられている。例えば、赤色画素としては同列の2個の色画素が割り当てられ、緑色画素としては同列の2個の色画素が割り当てられ、青色画素としては最大の画素サイズの1個の色画素が割り当てられ、白色画素としては残りの1個の色画素が割り当てられている。青色画素は、白色画素と同列に位置している。

【0056】

このため、第1方向Xに赤色画素、緑色画素、青色画素、及び、白色画素の4個の色画素を並べた単位画素構成では4列の色画素を駆動する必要があったが、本実施形態の単位画素構成では3列の色画素を駆動すればよく、消費電力の増加を抑制することが可能となる。また、第1方向Xに並べる色画素の数が3個であるため、第1方向Xに並べる色画素の数が4個の場合と比較して、単位画素を構成する各色画素の第1方向Xのピッチの制限を緩和することが可能となる。このため、高精細化の要求に伴って単位画素の第1方向Xの長さが短縮した場合であっても、各色画素の第1方向Xの長さを加工限界よりも余裕を持って設定することが可能となる。

【0057】

一方で、単位画素UPにおいて、赤色画素及び緑色画素はそれぞれ2個の色画素が割り当てられているのに対して、青色画素及び白色画素はそれぞれ1個の色画素が割り当てられており、6個の色画素のすべてがそれぞれ同等の面積である場合には、青色の輝度が不足してしまう。このため、赤色画素、緑色画素、及び、青色画素のそれぞれの第2方向Yに沿った長さは同等とする一方で、青色画素の第1方向Xの長さは赤色画素及び緑色画素のそれぞれの第1方向Xの長さよりも長くすることで、青色画素の面積を拡大している。これにより、最適なカラーバランスを得ることが可能となる。

【0058】

このとき、青色画素の第1方向Xの長さが赤色画素及び緑色画素のそれぞれの第1方向Xの長さの約2倍である場合(つまり、図2に示したピッチPT1と、ピッチPT2とが同等であり、ピッチPT3がピッチPT1の2倍である場合)、単位画素UPにおける赤色画素、緑色画素、及び、青色画素のそれぞれの面積が同等となる。この場合の単位画素UPでの画素ピッチの異形化率($PT3 / PT1$)は2となる。高精細化に伴ってピッチPT1乃至PT3が小さくなるほど、また、異形化率が高くなるほど、アレイ基板ARと対向基板CTとを貼り合わせる工程で第1方向Xに貼り合わせずれが生じた際に、単位画素UPにおける各色画素の面積比率が大きく変化してしまい、カラーバランスが崩れる不具

合をもたらす。

【0059】

本実施形態では、一例として、ピッチPT1及びピッチPT2を約24 μ mとし、ピッチPT3を約30 μ mとし、異形化率を1.25に抑えるレイアウトを適用した。これにより、たとえばアレ基板ARと対向基板CTとの貼り合わせのずれが生じたとしても、単位画素UPにおける各色画素の面積比率の変化を抑えることが可能となる。換言すると、製造過程におけるアレ基板ARと対向基板CTとの貼り合わせの際のマージンを拡大することが可能となる。したがって、表示品位の劣化を抑制することが可能となる。

【0060】

このとき、青色画素及び白色画素のピッチPT3は、赤色画素のピッチPT1及び緑色画素のピッチPT2よりも大きくなるため、赤色画素及び緑色画素のそれぞれの画素電極は2本の帯状電極を有し、青色画素及び白色画素のそれぞれの画素電極は4本の帯状電極を有するというように、各色画素の異形化に合わせて帯状電極の本数を変更するレイアウトを適用している。これにより、各色画素において帯状電極を隔々までほぼ均等ピッチで配置することが可能となる。このため、各色画素において、高い透過率を得ることが可能となる。そして、異形化率を小さく抑えたことによる青色画素における輝度の不足分は、青色カラーフィルタに対する赤色カラーフィルタ及び緑色カラーフィルタの相対的な透過率を低下させたり、各色画素の印加電圧-透過率(V-T)特性に合わせて印加電圧を調整したり、一画素あたりのバックライトが透過する透過領域の面積を遮光層BMによって調整したりすることによって、カラーバランスを維持することが可能となる。

【0061】

なお、上記の実施形態では、赤色画素及び緑色画素については等ピッチとし、青色画素及び白色画素については赤色画素及び緑色画素よりも大きなピッチとする異形レイアウトについて説明したが、異なるピッチを取る異形レイアウトについては上記とは異なる色画素の組み合わせであっても良いし、赤色画素、緑色画素、青色画素、及び、白色画素のすべてについてピッチを異ならせても良い。各色画素に配置される画素電極は、各々の画素ピッチに合わせて適宜設定された本数の帯状電極を有する。

【0062】

また、本実施形態によれば、比較的狭ピッチの赤色画素及び緑色画素についてはそれぞれの画素電極とソース配線との第1方向Xに沿った間隔を大きくし、赤色画素及び緑色画素よりも大きなピッチの青色画素及び白色画素についてはそれぞれの画素電極とソース配線との第1方向Xに沿った間隔を小さくしている。このため、青色画素及び白色画素については、ソース配線の近傍付近まで高透過率を得ることができ、1画素あたりの輝度を向上することが可能となる。一方で、赤色画素及び緑色画素については、青色画素及び白色画素と比較して、ソース配線から離れた位置に画素電極の端部が位置しており、1画素あたりの輝度が低い。

【0063】

図5は、図2に示したレイアウトにおける各色画素の透過率分布を示す図である。図中の(A)は赤色画素あるいは緑色画素の透過率分布を示しており、図中の(B)は青色画素あるいは白色画素の透過率分布を示している。各図の横軸は第1方向Xに沿った位置であり、各図の縦軸は規格化した透過率である。なお、ここでの透過率は、いずれもカラーフィルタを配置しなかった状態で測定した値を、青色画素あるいは白色画素の平均透過率を1として規格化した値である。また、各図の斜線で示した領域は、遮光層BMと重なる領域である。

【0064】

(A)に示した例では、2本の帯状電極の第1方向Xに沿った幅は3 μ mであり、帯状電極の間隔(スリット幅)は4.7 μ mである。画素電極の端部でピーク透過率が得られる位置から遮光層BMと重なる位置まで数 μ mの幅がある。つまり、赤色画素あるいは緑色画素におけるソース配線の近傍の位置では、液晶分子は初期配向状態からの変化が小さく、透過率が低くなっていることが分かる。

【 0 0 6 5 】

(B)で示した例では、4本の帯状電極の第1方向Xに沿った幅は2.5 μm であり、帯状電極の間隔(スリット幅)は3 μm である。画素電極の端部でピーク透過率が得られる位置は遮光層BMと重なる位置に近い。つまり、青色画素あるいは白色画素においては、ソース配線の近傍まで液晶分子の配向が制御され、表示に寄与するため、高い透過率が得られることが分かる。

【 0 0 6 6 】

本実施形態では、異形化率を小さく抑えたレイアウトを採用しており、単位画素UPにおいて、赤色画素及び緑色画素についてはそれぞれ2個の色画素が割り当てられ、青色画素及び白色画素についてはそれぞれ1個の色画素が割り当てられている。また、着色画素

10

【 0 0 6 7 】

また、比較的狭ピッチの赤色画素及び緑色画素については、ピーク透過率が得られる位置から遮光層BMと重なる位置まで数 μm の幅があるため、たとえアレイ基板ARと対向基板CTとの貼り合わせのずれが生じたとしても、そのずれた幅(ずれ量)が、ピーク透過率が得られる位置から遮光層BMと重なる位置までの間隔よりも小さければ、ピーク透過率の領域には基板の貼り合わせのずれの影響が無く画素の透過率に与える影響も小さい。したがって、貼り合わせのずれによる輝度の変化はほとんど無い。一方、青色画素及び白色画素のそれぞれの1画素の面積は赤色画素及び緑色画素のそれぞれの1画素の面積より大きいため、アレイ基板ARと対向基板CTとの貼り合わせのずれが影響する面積は、画素全体の面積と比較して小さい。したがって、青色画素及び白色画素における基板の貼り合わせのずれによる輝度の変化も小さい。このように本実施形態では、基板間の貼り合わせのずれに対して単位画素UPにおける各色画素の実質的に表示に寄与する面積比率の変化を抑えることが可能となる。このため、製造上アレイ基板ARと対向基板CTとの貼り合わせのずれが生じたとしても、最適なカラーバランスを維持することが可能となる。

20

【 0 0 6 8 】

また、比較的狭ピッチの赤色画素及び緑色画素がソース配線を挟んで隣接しているが、一方の色画素がON状態であり、他方の色画素がOFF状態であったとしても、それぞれの色画素がソース配線から離間した位置で高透過率となるレイアウトであるため、ソース配線と重なる領域の液晶分子LMが初期配向状態に維持されている。このため、液晶表示パネルLPNを斜め方向から観察した場合であっても、混色による表示品位の劣化を抑制することが可能となる。また、赤色画素及び緑色画素は、高輝度の白色画素と隣接するが、上記の通り、色画素間のソース配線と重なる領域の液晶分子LMが初期配向状態に維持されているため、液晶表示パネルLPNを斜め方向から観察した場合であっても、白色画素を透過した透過光の影響を受けにくく、色味の変化を抑制することが可能となる。

30

【 0 0 6 9 】

次に、他の構成例について説明する。

図6は、図1に示したアレイ基板ARにおける画素の第2構成例を対向基板の側から見た概略平面図である。なお、ここでは、ゲート配線G、ソース配線S、共通電極CE、及び、FFSモードを適用した画素電極PEのみを図示している。

40

【 0 0 7 0 】

ここに示した第2構成例は、図2に示した第1構成例と比較して、全ての画素電極について、ソース配線との間隔が同等である点で相違している。他の構成については、第1構成例と同一であり、説明を省略する。

【 0 0 7 1 】

図示した例では、画素電極PE1及び画素電極PE2はいずれも2本の帯状電極PAを有し、画素電極PE4及び画素電極PE5はいずれも2本の帯状電極PBを有している。一方で、画素電極PE3は4本の帯状電極PAを有し、また、画素電極PE6は4本の帯状電極PBを有している。画素PX1乃至PX3に着目すると、ソース配線S1とソース

50

配線 S 2 とのピッチ P T 1、及び、ソース配線 S 2 とソース配線 S 3 とのピッチ P T 2 は、ほぼ同等である。ソース配線 S 3 とソース配線 S 4 とのピッチ P T 3 は、ピッチ P T 1 及びピッチ P T 2 よりも大きい。画素電極 P E 1 及び画素電極 P E 2 の第 1 方向 X に沿った幅は、ほぼ同等であり、また、画素電極 P E 3 の第 1 方向 X に沿った幅よりも小さい。画素電極 P E 1 及び画素電極 P E 2 のそれぞれの帯状電極 P A は、第 1 方向 X に沿ってほぼ同等の幅を有しており、しかも、等ピッチで配置されている。画素電極 P E 3 のそれぞれの帯状電極 P A は、第 1 方向 X に沿ってほぼ同等の幅を有し、等ピッチで配置されている。

【 0 0 7 2 】

画素電極 P E 1 について、一端側の帯状電極 P A とソース配線 S 1 との間、及び、他端側の帯状電極 P A とソース配線 S 2 との間には、第 1 方向 X に沿った間隔 D が設けられている。画素電極 P E 2 について、一端側の帯状電極 P A とソース配線 S 2 との間、及び、他端側の帯状電極 P A とソース配線 S 3 との間には、第 1 方向 X に沿った間隔 D が設けられている。画素電極 P E 3 について、一端側の帯状電極 P A とソース配線 S 3 との間、及び、他端側の帯状電極 P A とソース配線 S 4 との間には、第 1 方向 X に沿った間隔 D が設けられている。なお、画素 P X 4 乃至 P X 6 についても、上記の画素 P X 1 乃至 P X 3 と同様の関係である。

【 0 0 7 3 】

このような第 2 構成例においても、単位画素 U P において、異形化率 (P T 3 / P T 1) を 1 . 2 ~ 1 . 3 程度に抑えたレイアウトを適用することにより、画素 P X 3 及び画素 P X 6 において高透過率を得ることが可能となり、最適なカラーバランスを得ることが可能となる。また、各画素電極 P E 1 乃至 P E 6 とこれらに隣接するソース配線 S との間隔 D は比較的広く設定されているため、ソース配線と重なる領域の液晶分子 L M が初期配向状態に維持され、液晶表示パネル L P N を斜め方向から観察した場合であっても、混色による表示品位の劣化を抑制することが可能となる。

【 0 0 7 4 】

次に、他の構成例について説明する。

上記の各構成例においては、各画素電極の帯状電極は、第 1 延出方向あるいは第 2 延出方向に平行な長軸を有するように形成したが、「く」の字形に屈曲した形状に形成しても良い。

【 0 0 7 5 】

図 7 は、画素の第 3 構成例を概略的に示す平面図である。なお、ここでは、アレイ基板側のソース配線 S 及び F F S モードを適用した画素電極 P E と、対向基板側の遮光層 B M のみを図示している。

【 0 0 7 6 】

ここに示した第 3 構成例は、図 6 に示した第 2 構成例と比較して、全ての画素電極について、「く」の字形の帯状電極を有している点で相違している。他の構成については、第 1 構成例と同一であり、説明を省略する。

【 0 0 7 7 】

画素 P X 1 及び P X 4 は互いに異なる色の画素であり、例えば画素 P X 1 が青色 (B) 画素であり、画素 P X 4 が白色 (W) 画素である。画素 P X 2 及び P X 5 は同一色の画素であり、例えば緑色 (G) 画素である。画素 P X 3 及び P X 6 は同一色の画素であり、例えば赤色 (R) 画素である。

【 0 0 7 8 】

画素電極 P E 1 乃至 P E 6 は、それぞれ第 1 延出方向 D 1 及び第 2 延出方向 D 2 に延出した「く」の字形の画素形状に対応した島状に形成されている。すなわち、画素電極 P E 1 乃至 P E 6 のそれぞれは、第 1 延出方向 D 1 及び第 2 延出方向 D 2 に延出した「く」の字形の帯状電極 P C を有している。帯状電極 P C は、第 1 方向 X に並んでいる。図示した例では、画素電極 P E 1 及び画素電極 P E 4 は 4 本の帯状電極 P C を有し、画素電極 P E 2、画素電極 P E 3、画素電極 P E 5、及び、画素電極 P E 6 はいずれも 3 本の帯状電極

P Cを有している。

【0079】

ここで、画素P X 1乃至P X 3に着目する。ソース配線S 2とソース配線S 3とのピッチP T 2、及び、ソース配線S 3とソース配線S 4とのピッチP T 3は、ほぼ同等である。ソース配線S 1とソース配線S 2とのピッチP T 1は、ピッチP T 2及びピッチP T 3よりも大きい。画素電極P E 2及び画素電極P E 3の第1方向Xに沿った幅は、ほぼ同等であり、また、画素電極P E 1の第1方向Xに沿った幅よりも小さい。画素電極P E 2及び画素電極P E 2のそれぞれの帯状電極P Cは、第1方向Xに沿ってほぼ同等の幅を有しており、しかも、等ピッチで配置されている。画素電極P E 1のそれぞれの帯状電極P Cは、第1方向Xに沿ってほぼ同等の幅を有し、等ピッチで配置されている。

10

【0080】

画素電極P E 1について、一端側の帯状電極P Cとソース配線S 1との間、及び、他端側の帯状電極P Cとソース配線S 2との間には、第1方向Xに沿った間隔Dが設けられている。画素電極P E 2について、一端側の帯状電極P Cとソース配線S 2との間、及び、他端側の帯状電極P Cとソース配線S 3との間には、第1方向Xに沿った間隔Dが設けられている。画素電極P E 3について、一端側の帯状電極P Cとソース配線S 3との間、及び、他端側の帯状電極P Cとソース配線S 4との間には、第1方向Xに沿った間隔Dが設けられている。つまり、図示した例では、全ての画素電極について、ソース配線との間隔が同等である。なお、画素P X 4乃至P X 6についても、上記の画素P X 1乃至P X 3と同様の関係である。

20

【0081】

一例として、ピッチP T 1は34 μm であり、ピッチP T 2及びピッチP T 3は26 μm であり、異形化率(P T 3 / P T 1)は1.3である。また、間隔Dは約2.5 μm である。

【0082】

このような第3構成例においても、第2構成例と同様に効果が得られる。

以上説明したように、本実施形態によれば、表示品位の劣化を抑制することが可能な液晶表示装置を提供することができる。

【0083】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

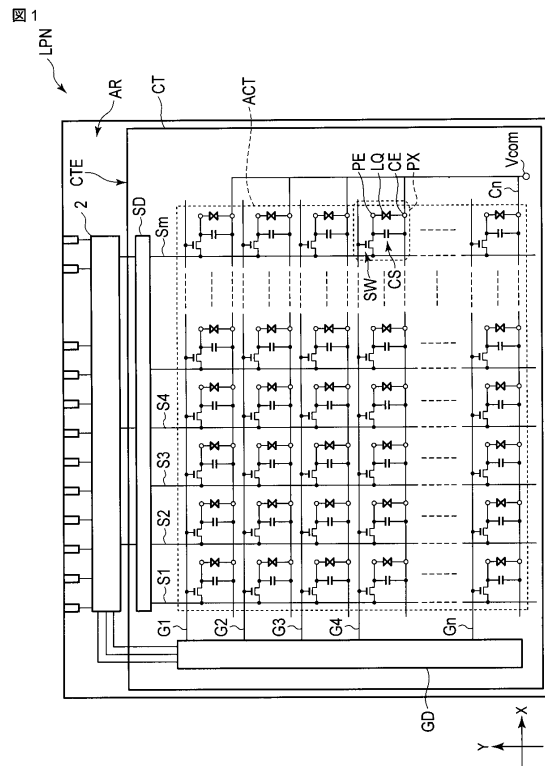
30

【符号の説明】

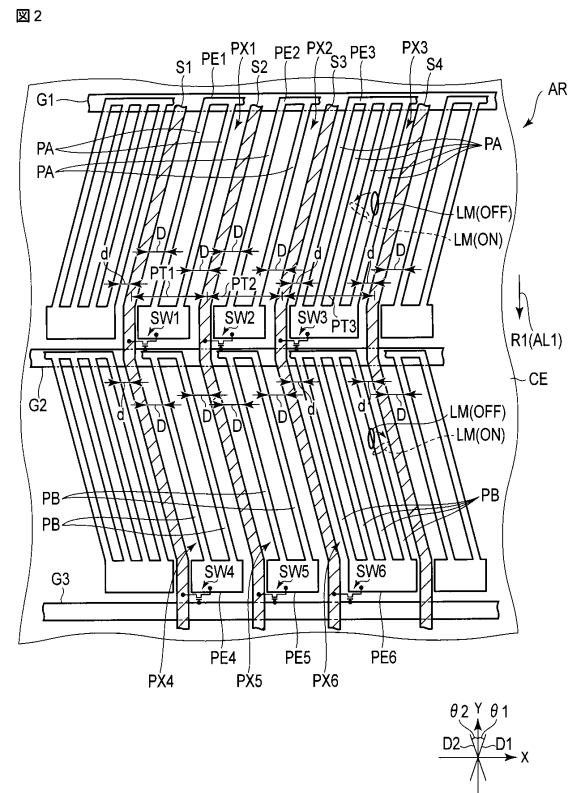
【0084】

L P N ... 液晶表示パネル A R ... アレイ基板 C T ... 対向基板 L Q ... 液晶層
S ... ソース配線 P E ... 画素電極 C E ... 共通電極 B M ... 遮光層

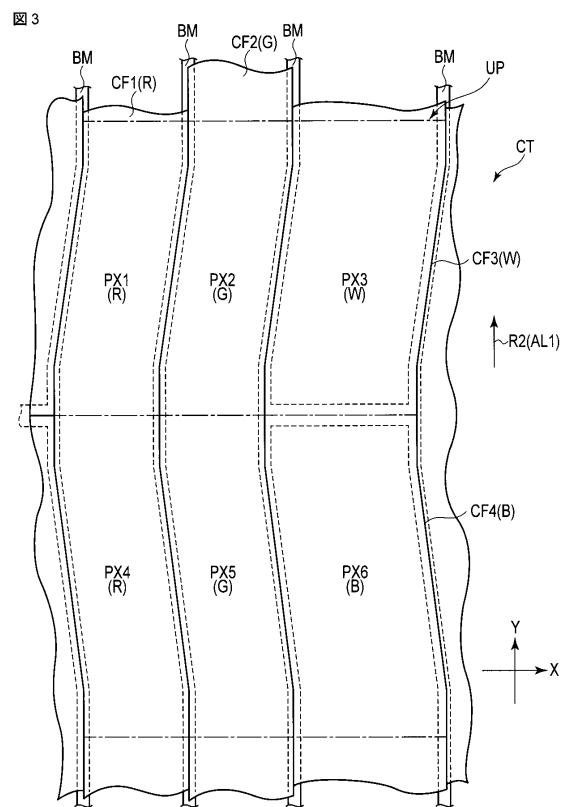
【図 1】



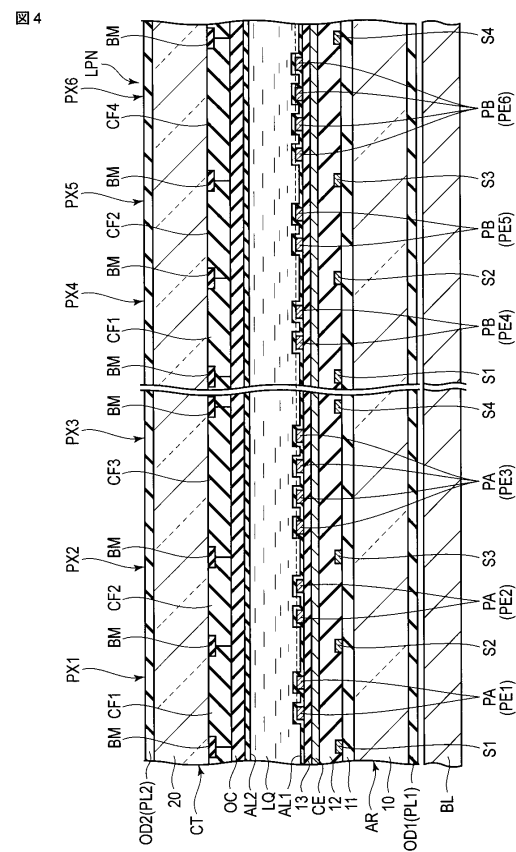
【図 2】



【図 3】

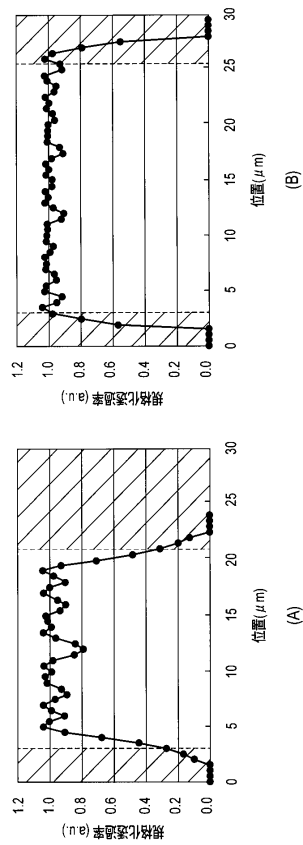


【図 4】



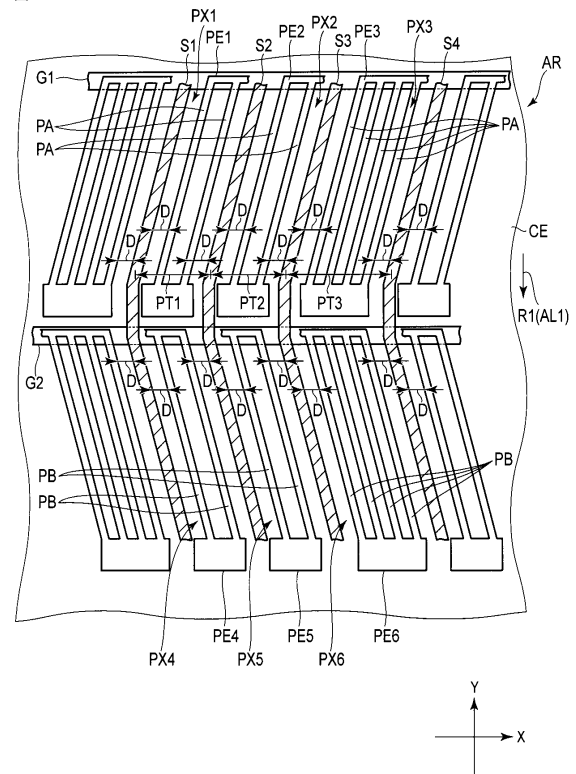
【図 5】

図 5



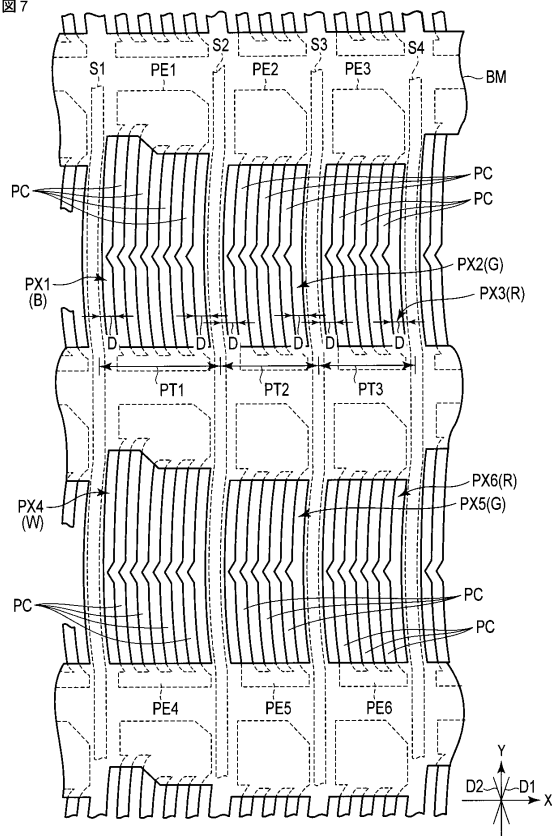
【図 6】

図 6



【図 7】

図 7



フロントページの続き

(51)Int.Cl. F I
G 0 9 F 9/30 3 4 8 A

(72)発明者 武田 有広
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
(72)発明者 廣澤 仁
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
(72)発明者 川崎 哲
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
(72)発明者 前出 優次
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
(72)発明者 杉山 里織
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

審査官 山本 貴一

(56)参考文献 特開2013-113880(JP,A)
特開2013-186165(JP,A)
特開平11-014978(JP,A)
米国特許第06188459(US,B1)
特開2010-066643(JP,A)
特開2010-102205(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 4 3 , 1 / 1 3 3 5 , 1 / 1 3 6 8
G 0 9 F 9 / 3 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP6291282B2	公开(公告)日	2018-03-14
申请号	JP2014030543	申请日	2014-02-20
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	大野敦子 武田有広 廣澤仁 川崎哲 前出優次 杉山里織		
发明人	大野 敦子 武田 有広 廣澤 仁 川崎 哲 前出 優次 杉山 里織		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368 G09F9/30		
CPC分类号	G02F1/133514 G02F1/134363 G02F2001/134372 G02F2201/52		
FI分类号	G02F1/1343 G02F1/1335.505 G02F1/1368 G09F9/30.338 G09F9/30.341 G09F9/30.348.A		
F-TERM分类号	2H291/FA09Y 2H291/FA14Y 2H291/FD22 2H291/FD26 2H291/GA05 2H291/GA19 2H291/HA15 2H291/LA21		
代理人(译)	河野 哲		
其他公开文献	JP2015155953A		
外部链接	Espacenet		

摘要(译)

提供一种能够抑制显示质量劣化的显示装置。一种液晶显示装置，包括具有m个第一条形电极的第一像素电极，具有在第一像素电极的第一方向上相邻的m个第二条形电极的第二像素电极，并且第三像素电极具有三个条形电极并且在第二像素电极的第一方向上相邻，m和n是正整数且m≠n，第一基板，第一像素在第一滤色器的第一方向上与第二像素电极相邻的第二滤色器和在第一方向上与第二滤色器相邻并且面向电极的第二滤色器，并且第二基板设置有与第一基板相对的第三滤色器。 .The

(19) 日本国特許庁 (JP)	(12) 特 許 公 報 (B2)	(11) 特許番号 特許第6291282号 (P6291282)
(45) 発行日 平成30年3月14日 (2018. 3. 14)	(24) 登録日 平成30年2月16日 (2018. 2. 16)	
(51) Int. Cl. G02F 1/1343 (2006.01) G02F 1/1335 (2006.01) G02F 1/1368 (2006.01) G09F 9/30 (2006.01)	F 1 G02F 1/1343 G02F 1/1335 5 0 5 G02F 1/1368 G09F 9/30 3 3 8 G09F 9/30 3 4 1	請求項の数 7 (全 17 頁) 最終頁に続く
(21) 出願番号 特願2014-30543 (P2014-30543) (22) 出願日 平成26年2月20日 (2014. 2. 20) (65) 公開番号 特開2015-155953 (P2015-155953A) (43) 公開日 平成27年8月27日 (2015. 8. 27) 審査請求日 平成29年1月17日 (2017. 1. 17)	(73) 特許権者 502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号 (74) 代理人 110001737 特許業務法人スズエ国際特許事務所 (74) 代理人 100091351 弁理士 河野 哲 (74) 代理人 100084618 弁理士 村松 貞男 (74) 代理人 100087653 弁理士 鈴江 正二 (72) 発明者 大野 敦子 東京都港区西新橋三丁目7番1号 株式会 社ジャパンディスプレイ内	最終頁に続く
(54) 【発明の名称】 液晶表示装置		