

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6117884号
(P6117884)

(45) 発行日 平成29年4月19日(2017.4.19)

(24) 登録日 平成29年3月31日(2017.3.31)

(51) Int.Cl.	F 1
G02F 1/1368 (2006.01)	GO2F 1/1368
G02F 1/1343 (2006.01)	GO2F 1/1343
H01L 29/786 (2006.01)	H01L 29/78 618B
H01L 21/336 (2006.01)	H01L 29/78 612Z

請求項の数 1 (全 34 頁)

(21) 出願番号	特願2015-193564 (P2015-193564)
(22) 出願日	平成27年9月30日 (2015.9.30)
(62) 分割の表示	特願2014-76852 (P2014-76852) の分割 原出願日 平成20年7月14日 (2008.7.14)
(65) 公開番号	特開2016-6549 (P2016-6549A)
(43) 公開日	平成28年1月14日 (2016.1.14)
審査請求日	平成27年10月5日 (2015.10.5)
(31) 優先権主張番号	特願2007-190219 (P2007-190219)
(32) 優先日	平成19年7月20日 (2007.7.20)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	右田 昌士

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

透光性基板を有し、
前記基板上のゲート配線を有し、
前記基板上の第1の配線と第2の配線とを有し、
前記基板上の第1の容量配線と第2の容量配線とを有し、
第1のチャネル形成領域、前記ゲート配線、第1のソース電極、及び第1のドレイン電極を有する第1のトランジスタを有し、
第2のチャネル形成領域、前記ゲート配線、第2のソース電極、及び第2のドレイン電極を有する第2のトランジスタを有し、
一方の電極が前記第1の容量配線に電気的に接続された第1の容量素子を有し、
一方の電極が前記第2の容量配線に電気的に接続された第2の容量素子を有し、
前記第1のトランジスタ上、前記第2のトランジスタ上、前記第1の容量素子上、及び前記第2の容量素子の上の絶縁膜を有し、
前記絶縁膜は第1の開口部と第2の開口部とを有し、
前記第1の開口部は、前記第1の配線と前記第2の配線の中央部に設けられ、
前記第2の開口部は、前記第1の配線と前記第2の配線の中央部に設けられ、
第1のサブピクセル電極と、前記第1のサブピクセル電極の隣に第2のサブピクセル電極とを有し、
前記第1のサブピクセル電極及び前記第2のサブピクセル電極のそれぞれは、スリット

10

20

を有し、

前記第1のソース電極及び前記第1のドレイン電極の一方は、前記第1の配線に電気的に接続され、

前記第2のソース電極及び前記第2のドレイン電極の一方は、前記第1の配線に電気的に接続され、

前記第1のソース電極及び前記第1のドレイン電極の他方は、前記第1の開口部を介して前記第1のサブピクセル電極と接する第1の領域を有し、

前記第1の領域は、前記第1の容量配線と重ならず、

前記第1のソース電極及び前記第1のドレイン電極の他方は、前記第1の容量素子の他方の電極に電気的に接続され、

前記第2のソース電極及び前記第2のドレイン電極の他方は、前記第2の開口部を介して前記第2のサブピクセル電極と接する第2の領域を有し、

前記第2の領域は、前記第2の容量配線と重ならず、

前記第2のソース電極及び前記第2のドレイン電極の他方は、前記第2の容量素子の他方の電極に電気的に接続され、

前記ゲート配線は、延伸方向と交差する方向において、第1の幅を有する第1の領域と、前記第1の幅よりも大きい第2の幅を有する第2の領域とを有し、

前記第1のチャネル形成領域を含む半導体膜の全部は、前記第2の領域と重なり、

前記第2の領域は、前記第1の配線と重なる領域を有し、

前記第1のサブピクセル電極は、前記第1の開口部の全部と重なり、

前記第2のサブピクセル電極は、前記第2の開口部の全部と重なり、

前記第1のチャネル形成領域を含む前記半導体膜は、シリコンを有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、少なくとも画素部に薄膜トランジスタを用いた液晶表示装置に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、または多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザビームを光学系により線状に加工して、非晶質半導体膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜を用いた薄膜トランジスタが用いられている（特許文献1及び特許文献2参照。）。

【0005】

従来の薄膜トランジスタの作製方法として、ゲート絶縁膜上に非晶質シリコン膜を成膜した後、その上面に金属膜を形成し、当該金属膜にダイオードレーザを照射して、非晶質シリコン膜を微結晶シリコン膜に改質するものが知られている（例えば、非特許文献1参照。）。この方法によれば、非晶質シリコン膜上に形成した金属膜は、ダイオードレーザの光エネルギーを熱エネルギーに変換するためのものであり、薄膜トランジスタの完成のためにはその後除去されるべきものであった。すなわち、金属膜からの伝導加熱によってのみ非晶質半導体膜が加熱され、微結晶半導体膜を形成する方法である。

10

20

30

40

50

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平4-242724号公報

【特許文献2】特開2005-49832号公報

【非特許文献】

【0007】

【非特許文献1】トシアキ・アライ (Toshiaki Araki) 他、エス・アイ・ディー 07 ダイジェスト (SID 07 DIGEST)、2007、p. 1370 - 1373

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

多結晶半導体膜を用いた薄膜トランジスタは、非晶質半導体膜を用いた薄膜トランジスタに比べて移動度が2桁以上高く、表示装置の画素部とその周辺の駆動回路を同一基板上に一体形成できるという利点を有している。しかしながら、非晶質半導体膜を用いた場合に比べて、半導体膜の結晶化のために工程が複雑化するため、その分歩留まりが低減し、コストが高まるという問題がある。

【0009】

上述した問題に鑑み、本発明は、電気特性が高く信頼性のよい薄膜トランジスタを有する液晶表示装置を提案することを課題の一とする。

20

【課題を解決するための手段】

【0010】

微結晶半導体膜をチャネル形成領域とするチャネルトップ構造の逆スタガ型薄膜トランジスタを有する液晶表示装置において、逆スタガ型薄膜トランジスタは、ゲート電極上にゲート絶縁膜が形成され、ゲート絶縁膜上にチャネル形成領域として機能する微結晶半導体膜（セミアモルファス半導体膜ともいう。）が形成され、微結晶半導体膜上にバッファ層が形成され、バッファ層上において微結晶半導体膜のチャネル形成領域と重なる領域にチャネル保護層と、チャネル保護層及びバッファ層上に一対のソース領域及びドレイン領域が形成され、ソース領域及びドレイン領域に接する一対のソース電極及びドレイン電極が形成される。

30

【0011】

微結晶半導体膜のチャネル形成領域上にバッファ層を介してチャネル保護層（単に保護層ともいう）を設ける構造であるため、微結晶半導体膜のチャネル形成領域上のバッファ層に対する工程時におけるダメージ（エッチング時のプラズマやエッチング剤による膜減りや、酸化など）を防ぐことができる。従って薄膜トランジスタの信頼性を向上させることができる。また微結晶半導体膜のチャネル形成領域上のバッファ層がエッチングされないため、バッファ層の膜厚を厚く形成する必要がなく成膜時間を短縮できる。なお、チャネル保護層はソース領域及びドレイン領域を形成するエッチング工程においてエッチングストッパーとして機能するためにチャネルストッパー層とも言える。

40

【0012】

バッファ層としては、非晶質半導体膜があり、更には、窒素、水素、またはハロゲンのいずれか一つ以上を含む非晶質半導体膜であることが好ましい。非晶質半導体膜に、窒素、水素、またはハロゲンのいずれか一つを含むことで、微結晶半導体膜に含まれる結晶が酸化されることを低減することが可能である。微結晶半導体膜のエネルギーギャップが1.1 ~ 1.5 eVであるのに比べ、バッファ層はエネルギーギャップが1.6 ~ 1.8 eVと大きく、移動度が小さい。バッファ層の移動度は代表的には微結晶半導体膜の1/5 ~ 1/10である。よって、チャネル形成領域は微結晶半導体膜であり、バッファ層は高抵抗領域である。なお、微結晶半導体膜に含まれる炭素、窒素、酸素のそれぞれの濃度は、 $3 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下

50

とする。微結晶半導体膜の膜厚は、2～50 nm（好ましくは10～30 nm）とすればよい。

【0013】

バッファ層は、プラズマCVD法、スパッタリング法等で形成することができる。また、非晶質半導体膜を形成した後、非晶質半導体膜の表面を窒素プラズマ、水素プラズマ、またはハロゲンプラズマで処理して非晶質半導体膜の表面を窒素化、水素化またはハロゲン化することができる。

【0014】

バッファ層を微結晶半導体膜の表面に設けることで、微結晶半導体膜に含まれる結晶粒の酸化を低減することが可能であるため、薄膜トランジスタの電気特性の劣化を低減することができる。10

【0015】

微結晶半導体膜は、多結晶半導体膜と異なり、微結晶半導体膜として直接基板上に成膜することができる。具体的には、水素化珪素を原料ガスとし、周波数が1 GHz以上のマイクロ波プラズマCVD装置を用いて成膜することができる。上記方法を用いて作製された微結晶半導体膜は、0.5 nm～20 nmの結晶粒を非晶質半導体中に含む微結晶半導体膜も含んでいる。よって、多結晶半導体膜を用いる場合と異なり、半導体膜の成膜後に結晶化の工程を設ける必要がない。薄膜トランジスタの作製における工程数を削減することができ、液晶表示装置の歩留まりを高め、コストを抑えることができる。また、周波数が1 GHz以上のマイクロ波を用いたプラズマは電子密度が高く、原料ガスである水素化珪素の解離が容易となる。このため、周波数が数十MHz～数百MHzの高周波プラズマCVD法と比較して、微結晶半導体膜を容易に作製することが可能であり、成膜速度を高めることが可能である。このため、液晶表示装置の量産性を高めることができる。20

【0016】

また、微結晶半導体膜を用い、薄膜トランジスタ（TFT）を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて液晶表示装置を作製する。微結晶半導体膜を用いた薄膜トランジスタは、その移動度が $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜を用いた薄膜トランジスタの2～20倍の移動度を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。30

【0017】

ゲート絶縁膜、微結晶半導体膜、バッファ層、チャネル保護層、ソース領域及びドレイン領域を形成する一導電型を付与する不純物が添加された半導体膜を形成する反応室は、同一の反応室を用いて行っても良いし、膜種ごとに異なる反応室で行ってもよい。

【0018】

反応室は基板を搬入して成膜する前に、クリーニング、フラッシング（洗浄）処理（水素をフラッシュ物質として用いた水素フラッシュ、シランをフラッシュ物質として用いたシランフラッシュなど）、各反応室の内壁を保護膜でコーティングする（プリコート処理ともいう）を行うと好ましい。プリコート処理は反応室内に成膜ガスを流しプラズマ処理することによって、あらかじめ反応室内側を成膜する膜による保護膜によって薄く覆う処理である。フラッシング処理、プリコート処理により、反応室の酸素、窒素、フッ素などの不純物による成膜する膜への汚染を防ぐことができる。40

【0019】

本発明の液晶表示装置の一は、ゲート電極と、ゲート電極上にゲート絶縁膜と、ゲート絶縁膜上にチャネル形成領域を含む微結晶半導体膜と、微結晶半導体膜上にバッファ層と、バッファ層上において微結晶半導体膜のチャネル形成領域と重なる領域にチャネル保護層と、チャネル保護層及びバッファ層上にソース領域及びドレイン領域と、ソース領域及びドレイン領域上にソース電極及びドレイン電極を有する。

【0020】

本発明の液晶表示装置の一は、ゲート電極と、ゲート電極上にゲート絶縁膜と、ゲート絶50

縁膜上にチャネル形成領域を含む微結晶半導体膜と、微結晶半導体膜上にバッファ層と、バッファ層上において微結晶半導体膜のチャネル形成領域と重なる領域にチャネル保護層と、チャネル保護層及びバッファ層上にソース領域及びドレイン領域と、ソース領域及びドレイン領域上にソース電極及びドレイン電極と、チャネル保護層の一部、ソース電極、及びドレイン電極を覆う絶縁膜とを有する。

【0021】

上記構成において、チャネルトップ型の薄膜トランジスタのソース電極又はドレイン電極と電気的に接続する画素電極を設け、画素電極を介して液晶素子と薄膜トランジスタとを電気的に接続する。

【0022】

また、液晶表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子）を用いることができる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

【0023】

また、液晶表示装置は、液晶素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該液晶表示装置を作製する過程における、液晶素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を液晶素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、液晶素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0024】

なお、本明細書中における液晶表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクター、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て液晶表示装置に含むものとする。

【発明の効果】

【0025】

本発明により、電気特性が高く信頼性のよい薄膜トランジスタを有する液晶表示装置を作製することができる。

【図面の簡単な説明】

【0026】

【図1】本発明の液晶表示装置を説明する図。

【図2】本発明の液晶表示装置の作製方法を説明する図。

【図3】本発明の液晶表示装置の作製方法を説明する図。

【図4】本発明の液晶表示装置の作製方法を説明する図。

【図5】本発明の液晶表示装置を説明する図。

【図6】本発明の液晶表示装置の作製方法を説明する図。

【図7】本発明が適用される電子機器を示す図。

【図8】本発明が適用される電子機器の主要な構成を示すブロック図。

【図9】本発明の液晶表示装置を説明する図。

【図10】本発明のプラズマCVD装置を説明する平面図。

【図11】本発明の液晶表示装置を説明する図。

【図12】本発明の液晶表示装置を説明する図。

【図13】本発明の液晶表示装置を説明する図。

【図14】本発明の液晶表示装置を説明する図。

【図15】本発明の液晶表示装置を説明する図。

10

20

30

40

50

【図16】本発明の液晶表示装置を説明する図。
 【図17】本発明の液晶表示装置を説明する図。
 【図18】本発明の液晶表示装置を説明する図。
 【図19】本発明の液晶表示装置を説明する図。
 【図20】本発明の液晶表示装置を説明する図。
 【図21】本発明の液晶表示装置を説明する図。
 【図22】本発明の液晶表示装置を説明する図。
 【図23】本発明の液晶表示装置を説明する図。
 【図24】本発明の液晶表示装置を説明する図。
 【図25】本発明の液晶表示装置を説明する図。
 【図26】本発明の液晶表示装置を説明する図。
 【図27】本発明の液晶表示装置を説明する図。

10

【発明を実施するための形態】

【0027】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

20

【0028】

(実施の形態1)

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタ及びその作製工程について、図1乃至図4を用いて説明する。図1乃至図3は、薄膜トランジスタ、及びその作製工程を示す断面図であり、図4は一画素における薄膜トランジスタ及び画素電極の接続領域の平面図である。図1乃至図3は、図4における線A-Bの薄膜トランジスタ及びその作製工程を示す断面図である。

30

【0029】

微結晶半導体膜を有する薄膜トランジスタはp型よりもn型の方が、移動度が高いので駆動回路に用いるのにより適しているが、本発明では、薄膜トランジスタはn型であってもp型であってもどちらでも良い。いずれの極性の薄膜トランジスタを用いる場合でも、同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、nチャネル型の薄膜トランジスタを用いて説明する。

【0030】

本実施の形態のボトムゲート構造のチャネルトップ型(チャネル保護型ともいう)薄膜トランジスタ74を図1に示す。

【0031】

図1において、基板50上に、ゲート電極51、ゲート絶縁膜52a、52b、微結晶半導体膜61、バッファ層62、チャネル保護層80、ソース領域及びドレイン領域72、ソース電極及びドレイン電極71a、71b、71cを含むチャネルトップ型薄膜トランジスタ74が設けられており、ソース電極及びドレイン電極71cに接して画素電極77が設けられている。薄膜トランジスタ74及び画素電極77の一部を覆うように絶縁膜76が設けられている。なお、図1は、図4(D)に対応している。

40

【0032】

微結晶半導体膜61のチャネル形成領域上にバッファ層62を介してチャネル保護層80を設ける構造であるため、微結晶半導体膜61のチャネル形成領域上のバッファ層62に対する工程時におけるダメージ(エッチング時のプラズマやエッチング剤による膜減りや、酸化など)を防ぐことができる。従って薄膜トランジスタ74の信頼性を向上させることができる。また微結晶半導体膜61のチャネル形成領域上のバッファ層62がエッキン

50

グされないため、バッファ層 6 2 の膜厚を厚く形成する必要がなく成膜時間を短縮できる。

【 0 0 3 3 】

また、微結晶半導体膜 6 1 の端部は、ゲート絶縁膜 5 2 a、5 2 b を介して重畳するゲート電極 5 1 の端部より内側であり、ゲート電極 5 1 上にすべての領域が収まるように形成されている。よって、微結晶半導体膜 6 1 は、ゲート電極 5 1 及びゲート絶縁膜 5 2 a、5 2 b 上の平坦な領域に形成することができるために、被覆性もよく、膜内において均一な特性（結晶状態）を有する膜とすることができます。

【 0 0 3 4 】

以下、作製方法を詳細に説明する。基板 5 0 上にゲート電極 5 1 を形成する（図 2 (A) 及び図 4 (A) 参照。）。図 2 (A) は、図 4 (A) の A - B の断面図に相当する。基板 5 0 は、バリウムホウケイ酸ガラス、アルミニノホウケイ酸ガラス、若しくはアルミニシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板 5 0 の大きさは、320 mm × 400 mm、370 mm × 470 mm、550 mm × 650 mm、600 mm × 720 mm、680 mm × 880 mm、730 mm × 920 mm、1000 mm × 1200 mm、1100 mm × 1250 mm、1150 mm × 1300 mm、1500 mm × 1800 mm、1900 mm × 2200 mm、2160 mm × 2460 mm、2400 mm × 2800 mm、又は2850 mm × 3050 mm 等を用いることができる。

10

【 0 0 3 5 】

ゲート電極 5 1 は、チタン、モリブデン、クロム、タンタル、タンゲステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極 5 1 は、スパッタリング法や真空蒸着法で基板 5 0 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極 5 1 を形成することができる。なお、ゲート電極 5 1 の密着性向上と下地膜や基板への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板 5 0 及びゲート電極 5 1 の間に設けてもよい。また、ゲート電極 5 1 は積層構造としてもよく、基板 5 0 側からアルミニウム膜とモリブデン膜の積層、銅膜とモリブデン膜との積層、銅膜と窒化チタン膜との積層、銅膜と窒化タンタル膜との積層などを用いることができる。上記積層構造において、上層に形成されるモリブデン膜や、窒化チタン膜、窒化タンタル膜などの窒化物膜はバリアメタルとしての効果を有する。

30

【 0 0 3 6 】

なお、ゲート電極 5 1 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極に接続する配線も同時に形成することができる。

40

【 0 0 3 7 】

次に、ゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、バッファ層 5 4 を順に形成する（図 2 (B) 参照。）。

【 0 0 3 8 】

微結晶半導体膜 5 3 を、水素プラズマを作用させつつ（作用させた）ゲート絶縁膜 5 2 b 表面に形成してもよい。水素プラズマを作用させたゲート絶縁膜上に微結晶半導体膜を形成すると、微結晶の結晶成長を促進することができる。また、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することができる。従って得られる微結晶半導体膜は電気特性が高く信頼性のよいものとすることができます。

【 0 0 3 9 】

50

なお、ゲート絶縁膜 52a、52b、微結晶半導体膜 53、及びバッファ層 54 を大気に触れさせることなく連続的に形成してもよい。ゲート絶縁膜 52a、52b、微結晶半導体膜 53、及びバッファ層 54 を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0040】

ゲート絶縁膜 52a、52b はそれぞれ、CVD 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜 52a、52b として、窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜との順に積層して形成する形態を示す。なお、ゲート絶縁膜を 2 層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に 3 層積層して形成することができる。また、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。更には、周波数が 1 GHz 以上のマイクロ波プラズマ CVD 装置を用いてゲート絶縁膜を形成することが好ましい。マイクロ波プラズマ CVD 装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、後に形成される薄膜トランジスタの信頼性を高めることができる。10

【0041】

ゲート絶縁膜の 3 層積層構造の例として、ゲート電極上に 1 層目として窒化珪素膜または窒化酸化珪素膜と、2 層目として酸化窒化珪素膜と、3 層目として窒化珪素膜とを積層とし、最上層の窒化珪素膜上に微結晶半導体膜を形成してもよい。この場合、1 層目の窒化珪素膜または窒化酸化珪素膜は膜厚が 50 nm より厚い方がよく、ナトリウムなどの不純物を遮断するバリア、ゲート電極のヒロックの防止、ゲート電極の酸化防止などの効果を奏する。3 層目の窒化珪素膜は微結晶半導体膜の密着性向上、微結晶半導体膜にレーザ照射を行う LP 处理の際に酸化防止としての効果を奏する。20

【0042】

このようにゲート絶縁膜表面に極薄膜の窒化珪素膜のような窒化膜を形成することで微結晶半導体膜の密着性を向上することができる。窒化膜はプラズマ CVD 法により成膜してもよく、マイクロ波による高密度で低温なプラズマ処理によって窒化処理を行ってもよい。また、反応室にシランフラッシュ処理を行う際に窒化珪素膜、窒化酸化珪素膜を形成してもよい。30

【0043】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が 55 ~ 65 原子%、窒素が 1 ~ 20 原子%、Si が 25 ~ 35 原子%、水素が 0.1 ~ 10 原子% の範囲で含まれるものという。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が 15 ~ 30 原子%、窒素が 20 ~ 35 原子%、Si が 25 ~ 35 原子%、水素が 15 ~ 25 原子% の範囲で含まれるものという。

【0044】

微結晶半導体膜 53 は、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造の半導体を含む膜である。この半導体は、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質なものであり、その膜表面より見た粒径が 0.5 ~ 20 nm の柱状または針状結晶が基板表面に対して法線方向に成長している。また、微結晶半導体と非晶質半導体とが混在している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 521 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 521 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダンギングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子% またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し4050

良好な微結晶半導体膜が得られる。このような微結晶半導体膜に関する記述は、例えば、米国特許4,409,134号で開示されている。

【0045】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。

10

【0046】

また、微結晶半導体膜は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱いn型の電気伝導性を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体膜に対しては、p型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を1ppm～1000ppm、好ましくは1～100ppmの割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16}$ atoms/cm³とすると良い。

20

【0047】

また、微結晶半導体膜の酸素濃度を、 5×10^{19} atoms/cm³以下、 1×10^{19} atoms/cm³以下、窒素及び炭素の濃度それぞれを 1×10^{18} atoms/cm³以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜がn型化になることを防止することができる。

【0048】

微結晶半導体膜53は、0nmより厚く50nm以下、好ましくは0nmより厚く20nm以下で形成する。

【0049】

微結晶半導体膜53は後に形成される薄膜トランジスタのチャネル形成領域として機能する。微結晶半導体膜53の厚さを上記の範囲内とすることで、後に形成される薄膜トランジスタは、完全空乏型となる。また、微結晶半導体膜は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。このため、微結晶半導体膜を用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャネル形成領域に微結晶半導体膜を用いることで、薄膜トランジスタの閾値の変動を抑制することができる。このため、電気特性のばらつきの少ない液晶表示装置を作製することができる。

30

【0050】

また、微結晶半導体膜は非晶質半導体膜と比較して移動度が高い。このため、表示素子のスイッチングとして、チャネル形成領域が微結晶半導体膜で形成される薄膜トランジスタを用いることで、チャネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することができる。このため、一画素あたりに示す薄膜トランジスタの面積が小さくなり、画素の開口率を高めることができる。この結果、解像度の高い装置を作製することができる。

40

【0051】

また、微結晶半導体膜は下側から縦方向に成長し、針状結晶である。微結晶半導体膜には非晶質と結晶構造が混在しており、結晶領域と非晶質領域との間に局部応力でクラックが発生し、隙間ができやすい。この隙間に新たなラジカルが介入して結晶成長を起こしうる。しかし上方の結晶面が大きくなるため、針状に上方に成長しやすい。このように微結晶

50

半導体膜は縦方向に成長しても、非晶質半導体膜の成膜速度に比べて 1 / 10 ~ 1 / 100 の早さである。

【0052】

バッファ層 54 は、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの珪素気体（水素化珪素気体、ハロゲン化珪素気体）を用いて、プラズマ CVD 法により形成することができる。また、上記シランに、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して非晶質半導体膜を形成することができる。水素化珪素の流量の 1 倍以上 20 倍以下、好ましくは 1 倍以上 10 倍以下、更に好ましくは 1 倍以上 5 倍以下の流量の水素を用いて、水素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と窒素またはアンモニアとを用いることで、窒素を含む非晶質半導体膜を形成することができる。また、上記水素化珪素と、フッ素、塩素、臭素、またはヨウ素を含む気体（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）を用いることで、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。10

【0053】

また、バッファ層 54 は、ターゲットに非晶質半導体を用いて水素、または希ガスでスパッタリングして非晶質半導体膜を形成することができる。このとき、アンモニア、窒素、または N_2O を雰囲気中に含ませることにより、窒素を含む非晶質半導体膜を形成することができる。また、雰囲気中にフッ素、塩素、臭素、またはヨウ素を含む気体（ F_2 、 Cl_2 、 Br_2 、 I_2 、 HF 、 HCl 、 HBr 、 HI 等）を含ませることにより、フッ素、塩素、臭素、またはヨウ素を含む非晶質半導体膜を形成することができる。20

【0054】

また、バッファ層 54 として、微結晶半導体膜 53 の表面にプラズマ CVD 法またはスパッタリング法により非晶質半導体膜を形成した後、非晶質半導体膜の表面を水素プラズマ、窒素プラズマ、またはハロゲンプラズマ、希ガス（ヘリウム、アルゴン、クリプトン、ネオン）によるプラズマで処理して、非晶質半導体膜の表面を水素化、窒素化、またはハロゲン化してもよい。

【0055】

バッファ層 54 は、非晶質半導体膜で形成することが好ましい。このため、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 法、またはマイクロ波プラズマ CVD 法で形成する場合は、非晶質半導体膜となるように、成膜条件を制御することが好ましい。30

【0056】

バッファ層 54 は、代表的には、10 nm 以上 50 nm 以下の厚さで形成することが好ましい。また、バッファ層に含まれる窒素、炭素、及び酸素の総濃度を $1 \times 10^{20} \text{ atoms/cm}^3$ ~ $15 \times 10^{20} \text{ atoms/cm}^3$ とすることが好ましい。上記濃度であれば膜厚が 10 nm 以上 50 nm 以下であってもバッファ層 54 を、高抵抗領域として機能させることができる。

【0057】

バッファ層 54 を、膜厚を 150 nm 以上 200 nm 以下とし、含まれる炭素、窒素、酸素のそれぞれの濃度は、 $3 \times 10^{19} \text{ atoms/cm}^3$ ~ $5 \times 10^{18} \text{ atoms/cm}^3$ 以下としてもよい。40

【0058】

微結晶半導体膜 53 の表面に、バッファ層として非晶質半導体膜、又は水素、窒素、またはハロゲンを含む非晶質半導体膜を形成することで、微結晶半導体膜 53 に含まれる結晶粒の表面の自然酸化を防止することができる。微結晶半導体膜 53 の表面にバッファ層を形成することで、微結晶粒の酸化を防ぐことができる。バッファ層には水素、及び／又は、フッ素が混入していることにより、酸素が微結晶半導体膜に進入することを防止する効果がある。

【0059】

また、バッファ層 54 は、非晶質半導体膜を用いて、または、水素、窒素、若しくはハロ50

ゲンを含む非晶質半導体膜を用いて形成するため、チャネル形成領域として機能する微結晶半導体膜よりも抵抗が高い。このため、後に形成される薄膜トランジスタにおいて、ソース領域及びドレイン領域と、微結晶半導体膜との間に形成されるバッファ層は高抵抗領域として機能する。このため、薄膜トランジスタのオフ電流を低減することができる。当該薄膜トランジスタを液晶表示装置のスイッチング素子として用いた場合、液晶表示装置のコントラストを向上させることができる。

【0060】

次にバッファ層54において微結晶半導体膜53のチャネル形成領域と重畳する領域にチャネル保護層80を形成する(図2(C)参照。)。チャネル保護層80もゲート絶縁膜52a、52b、微結晶半導体膜53、バッファ層54と大気に触れさせずに連続成膜することによって形成してもよい。積層する薄膜を大気に曝さずに連続的に成膜すると生産性が向上する。10

【0061】

チャネル保護層80としては、無機材料(酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素など)を用いることができる。感光性または非感光性の有機材料(有機樹脂材料)(ポリイミド、アクリル、ポリアミド、ポリイミドアミド、レジスト、ベンゾシクロブテンなど)、もしくは複数種からなる膜、またはこれらの膜の積層などを用いることができる。また、シロキサンを用いてもよい。作製法としては、プラズマCVD法や熱CVD法などの気相成長法やスパッタリング法を用いることができる。また、湿式法である、スピニコート法などの塗布法、液滴吐出法や、印刷法(スクリーン印刷やオフセット印刷などパターンが形成される方法)を用いることもできる。チャネル保護層80は成膜後にエッチングにより形状を加工して形成してもよいし、液滴吐出法などによって選択的に形成してもよい。20

【0062】

次に微結晶半導体膜53及びバッファ層54をエッチングにより加工し、微結晶半導体膜61及びバッファ層62の積層を形成する(図2(D)参照。)。微結晶半導体膜61及びバッファ層62は、フォトリソグラフィ技術または液滴吐出法によりマスクを形成し、当該マスクを用いて微結晶半導体膜53及びバッファ層54をエッチングすることで、形成することができる。なお、図2(D)は、図4(B)のA-Bの断面図に相当する。30

【0063】

微結晶半導体膜61、バッファ層62の端部をテーパーを有する形状にエッチングすることができる。その端部のテーパー角は90°~30°、好ましくは80°~45°とする。これにより、段差形状による配線の段切れを防ぐことができる。

【0064】

次に、ゲート絶縁膜52b、微結晶半導体膜61、バッファ層62、チャネル保護層80上に一導電型を付与する不純物が添加された半導体膜63及び導電膜65a~65cを形成する(図3(A)参照。)。一導電型を付与する不純物が添加された半導体膜63及び導電膜65a~65c上にマスク66を形成する。マスク66は、フォトリソグラフィ技術またはインクジェット法により形成する。40

【0065】

一導電型を付与する不純物が添加された半導体膜63は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素にPH₃などの不純物気体を加えれば良い。また、pチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素にB₂H₆などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された半導体膜63は、微結晶半導体膜体、または非晶質半導体で形成することができる。一導電型を付与する不純物が添加された半導体膜63は膜厚2~50nm(好ましくは10~30nm)とすればよい。

【0066】

導電膜は、アルミニウム、若しくは銅、シリコン、チタン、ネオジム、スカンジウム、モ50

リブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半導体膜と接する側の膜を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜 65a～65c 3層が積層した構造の導電膜を示し、導電膜 65a、65c にモリブデン膜、導電膜 65b にアルミニウム膜を用いた積層導電膜や、導電膜 65a、65c にチタン膜、導電膜 65b にアルミニウム膜を用いた積層導電膜を示す。

10

【0067】

導電膜 65a～65c は、スパッタリング法や真空蒸着法で形成する。また、導電膜 65a～65c は、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法等を用いて吐出し焼成して形成しても良い。

【0068】

次に、マスク 66 を用いて導電膜 65a～65c をエッチングし分離して、ソース電極及びドレイン電極 71a～71c を形成する（図 3（B）参照。）。本実施の形態の図 3 のように導電膜 65a～65c をウェットエッチングすると、導電膜 65a～65c は等方的にエッチングされるため、マスク 66 の端部と、ソース電極及びドレイン電極 71a～71c の端部はより一致せずより後退している。次に、マスク 66 を用いて一導電型を付与する不純物が添加された半導体膜 63 をエッチングして、ソース領域及びドレイン領域 72 を形成する（図 3（C）参照。）。なお、バッファ層 62 はチャネル保護層 80 がチャネルストッパーとして機能するためエッチングされない。

20

【0069】

ソース電極及びドレイン電極 71a～71c の端部と、ソース領域及びドレイン領域 72 の端部は一致せずずれており、ソース電極及びドレイン電極 71a～71c の端部の外側に、ソース領域及びドレイン領域 72 の端部が形成される。この後、マスク 66 を除去する。なお、図 3（C）は、図 4（C）の A - B の断面図に相当する。図 4（C）に示すように、ソース領域及びドレイン領域 72 の端部は、ソース電極及びドレイン電極 75c の端部の外側に位置することが分かる。また、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

30

【0070】

図 3（C）に示すように、ソース電極及びドレイン電極 71a～71c の端部と、ソース領域及びドレイン領域 72 の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極 71a～71c の端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。また、ソース領域及びドレイン領域は、ソース電極及びドレイン電極の端よりも延びており、対向するソース領域とドレイン領域の距離は、対向するソース電極とドレイン領域の距離よりも短い。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

40

【0071】

以上の工程により、チャネルストップ（保護）型の薄膜トランジスタ 74 を形成することができる。

【0072】

バッファ層 62 は、ソース領域及びドレイン領域 72 下のバッファ層 62 と微結晶半導体膜 61 のチャネル形成領域上のバッファ層 62 は同一材料であり同時に形成される連続膜である。微結晶半導体膜 61 上のバッファ層 62 は含まれる水素によって外部の空気、エッチング残渣を遮断し、微結晶半導体膜 61 を保護する。

【0073】

一導電型を付与する不純物を含まないバッファ層 62 を設けることによって、ソース領域及びドレイン領域に含まれる一導電型を付与する不純物と微結晶半導体膜 61 のしきい値

50

電圧制御用の一導電型を付与する不純物が相互に混ざらないようにすることができる。一導電型を付与する不純物が混ざると再結合中心ができ、リーク電流が流れてしまい、オフ電流低減の効果が得られなくなってしまう。

【0074】

以上のようにバッファ層及びチャネル保護層を設けることにより、リーク電流が低減された高耐圧のチャネルトップ型薄膜トランジスタを作製することができる。従って、15Vの電圧を印加する液晶表示装置に用いる薄膜トランジスタの場合でも信頼性が高く好適に用いることができる。

【0075】

次に、ソース電極またはドレイン電極71cに接する画素電極77を形成する。ソース電極及びドレイン電極71a～71c、ソース領域及びドレイン領域72、チャネル保護層80、ゲート絶縁膜52b、及び画素電極77上に絶縁膜76を形成する。絶縁膜76は、ゲート絶縁膜52a、52bと同様に形成することができる。なお、絶縁膜76は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。

【0076】

バッファ層62は、代表的には、10nm以上50nm以下の厚さで形成することが好ましい。また微結晶半導体膜61のチャネル形成領域上のバッファ層62はエッチングされないため、バッファ層62の膜厚を厚く形成する必要がなく成膜時間を短縮できる。また、バッファ層に含まれる窒素、炭素、及び酸素の総濃度を 1×10^{20} atoms/cm³～ 15×10^{20} atoms/cm³とすることが好ましい。上記濃度であれば膜厚が10nm以上50nm以下であってもバッファ層62を、高抵抗領域として機能させることできる。

【0077】

しかし、バッファ層62を、膜厚を150nm以上200nm以下とし、含まれる炭素、窒素、酸素の濃度は、 3×10^{19} atoms/cm³以下、好ましくは 5×10^{18} atoms/cm³以下としてもよい。この場合、絶縁膜76に窒化珪素膜を用いることでのバッファ層62中の酸素濃度を 5×10^{19} atoms/cm³以下、好ましくは 1×10^{19} atoms/cm³以下とすることができる。

【0078】

次に、絶縁膜76をエッチングし画素電極77の一部を露出する。画素電極77の露出領域に接するように液晶素子を形成し、薄膜トランジスタ74と液晶素子を電気的に接続することができる。例えば、画素電極77上に配向膜を形成し、同様に配向膜を設けた対向電極を対峙させ配向膜間に液晶層を形成すればよい。

【0079】

画素電極77は、酸化タンゲステンを含むインジウム酸化物、酸化タンゲステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0080】

また、画素電極77として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が10000/以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が0.1·cm以下であることが好ましい。

【0081】

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

10

20

30

40

50

【0082】

また、ソース領域及びドレイン領域の端部とソース電極及びドレイン電極の端部を一致する形状としてもよい。図26にソース領域及びドレイン領域の端部とソース電極及びドレイン電極の端部が一致する形状のチャネルトップ型の薄膜トランジスタ79を示す。ソース電極及びドレイン電極のエッチング及びソース領域及びドレイン領域のエッチングをドライエッティングで行うと薄膜トランジスタ79のような形状にすることができる。また、一導電型を付与する不純物が添加された半導体膜をソース電極及びドレイン電極をマスクとしてエッチングし、ソース領域及びドレイン領域を形成しても薄膜トランジスタ79のような形状にすることができる。

【0083】

10

チャネルトップ型の薄膜トランジスタとすることで薄膜トランジスタの信頼性を向上させることができる。また、微結晶半導体膜でチャネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。

【0084】

本実施の形態により、電気特性が高く信頼性のよい薄膜トランジスタを有する液晶表示装置を作製することができる。

【0085】

20

(実施の形態2)

本実施の形態は、実施の形態1において、薄膜トランジスタの形状が異なる例である。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

【0086】

本実施の形態では、液晶表示装置に用いられる薄膜トランジスタ及びその作製工程について、図5、図6及び図27を用いて説明する。図5及び図27は、薄膜トランジスタ及び画素電極を示す断面図であり、図6は一画素における薄膜トランジスタ及び画素電極の接続領域の平面図である。図5及び図27は、図6における線Q-Rの薄膜トランジスタ及びその作製工程を示す断面図に相当する。

【0087】

30

本実施の形態のボトムゲート構造のチャネルトップ型（チャネル保護型ともいう）薄膜トランジスタ274を図5及び図6に示す。

【0088】

図5において、基板250上に、ゲート電極251、ゲート絶縁膜252a、252b、微結晶半導体膜261、バッファ層262、チャネル保護層280、ソース領域及びドレイン領域272、ソース電極及びドレイン電極271a、271b、271cを含むチャネルトップ型薄膜トランジスタ274が設けられており、薄膜トランジスタ274を覆うように絶縁膜276が設けられている。絶縁膜276に形成されたコンタクトホールにおいてソース電極及びドレイン電極271cに接して画素電極277が設けられている。なお、図5は、図6(D)に対応している。

40

【0089】

微結晶半導体膜261のチャネル形成領域上にバッファ層262を介してチャネル保護層280を設ける構造であるため、微結晶半導体膜261のチャネル形成領域上のバッファ層262に対する工程時におけるダメージ（エッチング時のプラズマによるラジカルやエッティング剤による膜減りや、酸化など）を防ぐことができる。従って薄膜トランジスタ274の信頼性を向上させることができる。また微結晶半導体膜261のチャネル形成領域上のバッファ層262がエッティングされないため、バッファ層262の膜厚を厚く形成する必要がなく成膜時間を短縮できる。

【0090】

以下、作製方法を図6(A)乃至(D)を用いて説明する。基板250上にゲート電極2

50

51を形成する(図6(A)参照。)。ゲート電極251上にゲート絶縁膜252a、252bを形成し、微結晶半導体膜261、バッファ層262を形成する。バッファ層262において、微結晶半導体膜のチャネル形成領域と重畠する領域にチャネル保護層280を形成する(図6(B)参照。)。

【0091】

実施の形態1では、チャネル保護層80を形成後、微結晶半導体膜53とバッファ層54を島状の微結晶半導体膜61及びバッファ層62にエッチング工程により加工する例を示したが、本実施の形態では、微結晶半導体膜及びバッファ層のエッチング工程もソース電極及びドレイン電極及び一導電型を付与する不純物が添加された半導体膜と同工程で行う例を示す。従って、微結晶半導体膜、バッファ層、一導電型を付与する不純物が添加された半導体膜、ソース電極及びドレイン電極は同じ形状を反映して形成される。このようにエッチング工程を一度に行うと、工程数が簡略化される上、エッチング工程に用いるマスクの数も減らすことができる。10

【0092】

微結晶半導体膜、バッファ層、一導電型を付与する不純物が添加された半導体膜、導電膜をエッチングし、微結晶半導体膜261、バッファ層262、ソース領域及びドレイン領域272、ソース電極及びドレイン電極271a乃至271cを形成し、チャネルトップ型の薄膜トランジスタ274を形成する(図6(C)参照。)。薄膜トランジスタ274上を覆う絶縁膜276を形成しソース電極及びドレイン電極271cに達するコンタクトホールを形成する。コンタクトホールに画素電極277を形成し、薄膜トランジスタ274と画素電極277を電気的に接続する(図6(D)参照。)。20

【0093】

また、ソース領域及びドレイン領域の端部とソース電極及びドレイン電極の端部を一致する形状としてもよい。図27にソース領域及びドレイン領域の端部とソース電極及びドレイン電極の端部が一致する形状のチャネルトップ型の薄膜トランジスタ279を示す。ソース電極及びドレイン電極のエッチング及びソース領域及びドレイン領域のエッチングをドライエッチングで行うと薄膜トランジスタ279のような形状にすることができる。また、一導電型を付与する不純物が添加された半導体膜をソース電極及びドレイン電極をマスクとしてエッチングし、ソース領域及びドレイン領域を形成しても薄膜トランジスタ279のような形状にすることができる。30

【0094】

チャネルトップ型の薄膜トランジスタとすることで薄膜トランジスタの信頼性を向上させることができる。また、微結晶半導体膜でチャネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線(ゲート線)側の駆動回路を形成する素子として利用することができる。

【0095】

本実施の形態により、電気特性が高く信頼性のよい薄膜トランジスタを有する液晶表示装置を作製することができる。

【0096】

(実施の形態3)

本実施の形態では、微結晶半導体膜にレーザ光を照射する作製工程例を説明する。

【0097】

基板上にゲート電極を形成し、ゲート電極を覆うようにゲート絶縁膜を形成する。そしてゲート絶縁膜上に微結晶半導体膜として微結晶シリコン(SAS)膜を堆積する。微結晶半導体膜の膜厚は1nm以上15nm未満、より好ましくは2nm以上10nm以下とすればよい。特に膜厚5nm(4~8nm)であると、レーザ光に対して吸収率が高いため、生産性が向上する。

【0098】

ゲート絶縁膜上にプラズマCVD法等で微結晶半導体膜を成膜しようとする場合、ゲート

10

20

30

40

50

絶縁膜と、結晶を含む半導体膜との界面付近に、半導体膜よりも非晶質成分を多く含む領域（ここでは界面領域と呼ぶ）が形成されることがある。また、プラズマCVD法等で膜厚10nm程度以下の極薄い微結晶半導体膜を成膜しようとする場合、微結晶粒を含む半導体膜を形成することはできるが、膜全体に渡って均一に良質の微結晶粒を含む半導体膜を得ることは困難である。これらの場合において、以下に示すレーザ光を照射するレーザ処理は有効である。

【0099】

次いで、微結晶シリコン膜の表面側からレーザ光を照射する。レーザ光は、微結晶シリコン膜が溶融しないエネルギー密度で照射する。すなわち、本実施の形態によるレーザ処理（Laser Process、以下「LP」ともいう。）は、輻射加熱により微結晶シリコン膜を溶融させないで行う固相結晶成長によるものである。すなわち、堆積されたセミアモルファスシリコン膜が液相にならない臨界領域を利用するものであり、その意味において「臨界成長」ともいうことができる。10

【0100】

レーザ光は微結晶シリコン膜とゲート絶縁膜の界面にまで作用させることができる。それにより、微結晶シリコン膜の表面側における結晶を種として、該表面からゲート絶縁膜の界面に向けて固相結晶成長が進み略柱状の結晶が成長する。LP処理による固相結晶成長は、結晶粒径を拡大させるものではなく、むしろ膜の厚さ方向における結晶性を改善するものである。

【0101】

LP処理は矩形長尺状に集光（線状レーザ光）することで、例えば730mm×920mmのガラス基板上の微結晶シリコン膜を1回のレーザ光スキャンで処理することができる。この場合、線状レーザ光を重ね合わせる割合（オーバーラップ率）を0～90%（好ましくは0～67%）として行う。これにより、基板1枚当たりの処理時間が短縮され、生産性を向上させることができる。レーザ光の形状は線状に限定されるものでなく面状としても同様に処理することができる。また、本LP処理は前記ガラス基板のサイズに限定されず、さまざまなものに適用することができる。20

【0102】

LP処理により、ゲート絶縁膜界面領域の結晶性が改善され、本実施の形態の薄膜トランジスタのようなボトムゲート構造を有する薄膜トランジスタの電気的特性を向上させる作用を奏する。30

【0103】

このような臨界成長においては、従来の低温ポリシリコンで見られた表面の凹凸（リッジと呼ばれる凸状体）が形成されず、LP処理後のシリコン表面は平滑性が保たれていることも特徴である。

【0104】

本実施の形態におけるように、成膜後の微結晶シリコン膜に直接的にレーザ光を作用させて得られる結晶性のシリコン膜は、従来における堆積されたままの微結晶シリコン膜、伝導加熱により改質された微結晶シリコン膜（上記非特許文献1におけるもの）とは、その成長メカニズム及び膜質が明らかに異なっている。本明細書では、成膜後の微結晶半導体膜にLP処理を行って得られる結晶性の半導体膜をLPSAS膜と呼ぶ。40

【0105】

LPSAS膜などの微結晶半導体膜を形成した後、プラズマCVD法によりバッファ層として非晶質シリコン（a-Si:H）膜を300～400の温度にて成膜する。この成膜処理により水素がLPSAS膜に供給され、LPSAS膜の水素化をしたのと同等の効果が得られる。すなわち、LPSAS膜上に非晶質シリコン膜を堆積することにより、LPSAS膜に水素を拡散させてダンギングボンドの終端をすることができる。

【0106】

以降の工程は、実施の形態1と同様に従って、チャネル保護層を形成し、その上にマスクを形成する。次に、マスクを用いて微結晶半導体膜、及びバッファ層をエッチングし分離50

する。次いで、一導電型を付与する不純物が添加された半導体膜を形成し、導電膜を形成し、その導電膜上にマスクを形成する。次に、そのマスクを用いて導電膜をエッティングし分離して、ソース電極及びドレイン電極を形成する。さらに同じマスクを用いてチャネル保護層をエッティングストッパーとしてエッティングし、ソース領域及びドレイン領域を形成する。

【0107】

以上の工程により、チャネルトップ型の薄膜トランジスタを形成することができ、チャネルトップ型の薄膜トランジスタを有する液晶表示装置を作製することができる。

【0108】

また、本実施の形態は、実施の形態1又は実施の形態2と自由に組み合わせができる。

10

【0109】

(実施の形態4)

本実施の形態は、実施の形態1乃至3において、液晶表示装置の作製工程の例を詳細に説明する。従って、実施の形態1乃至3と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

【0110】

実施の形態1乃至3において、微結晶半導体膜を形成する前に、反応室のクリーニング、及びフラッシング(洗浄)処理(水素をフラッシュ物質として用いた水素フラッシュ、シランをフラッシュ物質として用いたシランフラッシュなど)を行ってもよい。フラッシング処理により、反応室の酸素、窒素、フッ素などの不純物による成膜する膜への汚染を防ぐことができる。

20

【0111】

フラッシング処理により、反応室の酸素、窒素、フッ素などの不純物を除去することができる。例えば、プラズマCVD装置を用いて、モノシランをフラッシュ物質として用い、ガス流量8~10SLMをチャンバーに5~20分間、好ましくは10分~15分間導入し続けることでシランフラッシュ処理を行う。なお、1SLMは1000sec、即ち、0.06m³/hである。

【0112】

クリーニングは、例えばフッ素ラジカルで行うことができる。なお、フッ素ラジカルは、反応室の外側に設けられたプラズマ発生器に、フッ化炭素、フッ化窒素、またはフッ素を導入し、解離し、フッ素ラジカルを反応室に導入することで、反応室内をクリーニングすることができる。

30

【0113】

フラッシング処理は、ゲート絶縁膜、バッファ層、チャネル保護層、一導電型を付与する不純物が添加された半導体膜の成膜前にも行ってもよい。なお、フラッシング処理はクリーニング後に行うと効果的である。

【0114】

反応室は基板を搬入して成膜する前に、各反応室の内壁を成膜する種類の膜で保護膜を形成し、コーティングする(プリコート処理ともいう)を行ってよい。プリコート処理は反応室内に成膜ガスを流しプラズマ処理することによって、あらかじめ反応室内を保護膜によって薄く覆う処理である。例えば、微結晶半導体膜として微結晶シリコン膜を形成する前に、反応室内を0.2~0.4μmの非晶質シリコン膜で覆うプリコート処理を行えばよい。プリコート処理後にもフラッシング処理(水素フラッシュ、シランフラッシュなど)を行ってもよい。クリーニング処理及びプリコート処理を行う場合は反応室内より基板を搬出しておく必要があるが、フラッシング処理(水素フラッシュ、シランフラッシュなど)を行う場合はプラズマ処理を行わないと基板を搬入した状態でもよい。

40

【0115】

微結晶シリコン膜を成膜する反応室内に非晶質シリコン膜の保護膜を形成しておき、成膜前に水素プラズマ処理をすると、保護膜がエッティングされて極少量のシリコンが基板上に

50

堆積して結晶成長の核となりうる。

【0116】

プリコート処理により、反応室の酸素、窒素、フッ素などの不純物による成膜する膜への汚染を防ぐことができる。

【0117】

プリコート処理は、ゲート絶縁膜、一導電型を付与する不純物が添加された半導体膜の成膜前にも行ってもよい。

【0118】

さらに、ゲート絶縁膜、微結晶半導体膜、バッファ層の形成方法の例を詳細に説明する。

【0119】

本発明に用いることのできるプラズマCVD装置の例について図10(A)(B)を用いて説明する。図10(A)(B)は連続成膜することが可能なマイクロ波プラズマCVD装置である。図10(A)(B)はマイクロ波プラズマCVD装置の上断面を示す模式図であり、共通室1120の周りに、ロード室1110、アンロード室1115、反応室(1)～反応室(4)1111～1114を備えた構成となっている。共通室1200と各室の間にはゲートバルブ1122～1127が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。なお、反応室の数は4つに限定されず、より少なくても多くてもよい。反応室が多いと積層する膜の種類ごとに反応室を分けられるため、反応室のクリーニングの回数を減らすことができる。図10(A)は反応室を4つ有する例であり、図10(B)は反応室を3つ有する例である。

10

20

【0120】

図10(A)(B)のプラズマCVD装置を用いて、ゲート絶縁層、微結晶半導体膜、バッファ層、及びチャネル保護層の形成例を説明する。基板はロード室1110、アンロード室1115のカセット1128、1129に装填され、共通室1120の搬送手段1121により反応室(1)～反応室(4)1111～1114へ運ばれる。この装置では、堆積膜種ごとに反応室をあてがうことが可能であり、複数の異なる被膜を大気に触れさせることなく連続して形成することができる。また、反応室は成膜工程の他、エッチング工程やレーザ照射工程を行う反応室として用いてもよい。各種工程を行う反応室を設けると、複数の異なる工程を大気に触れさせることなく行うことができる。

【0121】

30

反応室(1)～反応室(4)それぞれにおいて、ゲート絶縁膜、微結晶半導体膜、バッファ層、及びチャネル保護層を積層形成する。この場合は、原料ガスの切り替えにより異なる種類の膜を連続的に複数積層することができる。この場合、ゲート絶縁膜を形成した後、反応室内にシラン等の水素化珪素を導入し、残留酸素及び水素化珪素を反応させて、反応物を反応室外に排出することで、反応室内の残留酸素濃度を低減させることができる。この結果、微結晶半導体膜に含まれる酸素の濃度を低減することができる。また、微結晶半導体膜に含まれる結晶粒の酸化を防止することができる。

【0122】

また、プラズマCVD装置において、生産性を向上させるため、複数の反応室で同じ膜を形成することとしてもよい。複数の反応室で同じ膜を形成できること、複数の基板に同時に膜を形成することができる。例えば、図10(A)において、反応室(1)及び反応室(2)を微結晶半導体膜を形成する反応室とし、反応室(3)を非結晶半導体膜を形成する反応室とし、反応室(4)をチャネル保護層を形成する反応室とする。このように、複数の基板を同時に処理する場合、成膜速度の遅い膜の形成する反応室を複数設けることによって生産性を向上させることができる。

40

【0123】

反応室は基板を搬入して成膜する前に、クリーニング、フラッシング(洗浄)処理(水素フラッシュ、シランフラッシュなど)、各反応室の内壁を成膜する種類の膜で保護膜を形成し、コーティングする(プリコート処理ともいう)と好ましい。プリコート処理は反応室内に成膜ガスを流しプラズマ処理することによって、あらかじめ反応室内を保護膜によ

50

って薄く覆う処理である。例えば、微結晶半導体膜として微結晶シリコン膜を形成する前に、反応室内を $0.2 \sim 0.4 \mu\text{m}$ の非晶質シリコン膜で覆うプリコート処理を行えばよい。プリコート処理後にもフラッシング処理（水素フラッシュ、シランフラッシュなど）を行ってもよい。クリーニング処理及びプリコート処理を行う場合は反応室内より基板を搬出しておく必要があるが、フラッシング処理（水素フラッシュ、シランフラッシュなど）を行う場合はプラズマ処理を行わないため基板を搬入した状態でもよい。

【0124】

微結晶シリコン膜を成膜する反応室内に非晶質シリコン膜の保護膜を形成しておき、成膜前に水素プラズマ処理をすると、保護膜がエッチングされて極少量のシリコンが基板上に堆積して結晶成長の核となりうる。

10

【0125】

このように、複数のチャンバが接続されたマイクロ波プラズマCVD装置で、同時にゲート絶縁膜、微結晶半導体膜、バッファ層、チャネル保護層、及び一導電型を付与する不純物が添加された半導体膜を成膜することができるため、量産性を高めることができる。また、ある反応室がメンテナンスやクリーニングを行っていても、残りの反応室において成膜処理が可能となり、成膜のタクトを向上させることができる。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0126】

このような構成のマイクロ波プラズマCVD装置を用いれば、各反応室で種類の類似する膜または一種類の膜を成膜することが可能であり、且つ大気に曝すことなく連続して形成することができるため、前に成膜した膜の残留物や大気に浮遊する不純物元素に汚染されることなく、各積層界面を形成することができる。

20

【0127】

さらには、マイクロ波発生器と共に高周波発生器を設け、ゲート絶縁膜、微結晶半導体膜、チャネル保護層、および一導電型を付与する不純物が添加された半導体膜をマイクロ波プラズマCVD法で形成し、バッファ層を高周波プラズマCVD法で形成してもよい。

【0128】

なお、図10に示すマイクロ波プラズマCVD装置には、ロード室及びアンロード室が別々に設けられているが、一つとしロード／アンロード室としてもよい。また、マイクロ波プラズマCVD装置に予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することができるため、スループットを向上させることができる。これらの成膜処理は、その目的に応じて、ガス供給部から供給するガスを選択すれば良い。

30

【0129】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することができる。

【0130】

(実施の形態5)

本実施の形態では、実施の形態1乃至4で示す薄膜トランジスタを有する液晶表示装置の例を図12乃至図25を用いて説明する。図12乃至図25の液晶表示装置に用いられるTFT628、629は、実施の形態1又は実施の形態2で示す薄膜トランジスタと同様に作製でき、電気特性及び信頼性の高い薄膜トランジスタである。TFT628はチャネル保護層608を、TFT629はチャネル保護層611をそれぞれ有し、微結晶半導体層膜をチャネル形成領域とする逆スタガ薄膜トランジスタである。

40

【0131】

はじめにVA(Vertical Alignment)型の液晶表示装置について示す。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素（ピクセル）をいくつかの

50

領域（サブピクセル）に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

【0132】

図13及び図14は、それぞれ画素電極及び対向電極を示している。なお、図13は画素電極が形成される基板側の平面図であり、図中に示す切断線G-Hに対応する断面構造を図12に表している。また、図14は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【0133】

図12は、TFT628とそれに接続する画素電極624、及び保持容量部630が形成された基板600と、対向電極640等が形成される対向基板601とが重ね合わせられ、液晶が注入された状態を示している。

10

【0134】

対向基板601においてスペーサ642が形成される位置には、遮光膜632、第1の着色膜634、第2の着色膜636、第3着色膜638、対向電極640が形成されている。この構造により、液晶の配向を制御するための突起644とスペーサ642の高さを異ならせている。画素電極624上には配向膜648が形成され、同様に対向電極640上にも配向膜646が形成されている。この間に液晶層650が形成されている。

【0135】

スペーサ642はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ642を基板600上に形成される画素電極624上に形成してもよい。

20

【0136】

基板600上には、TFT628とそれに接続する画素電極624、及び保持容量部630が形成される。画素電極624は、TFT628、配線613、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同様に形成した第1の容量配線604と、ゲート絶縁膜606と、配線616、618と同様に形成した第2の容量配線617で構成される。また、図12乃至図15において、TFT628は、微結晶半導体膜、バッファ層、ソース領域又はドレイン領域である一導電型を付与する不純物が添加された半導体膜、ソース電極又はドレイン電極を兼ねる配線は同じエッチング工程で加工されており、ほぼ同形状で積層している例である。

30

【0137】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0138】

図13に基板600上の構造を示す。画素電極624は実施の形態1で示した材料を用いて形成する。画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

40

【0139】

図13に示すTFT629とそれに接続する画素電極626及び保持容量部631は、それぞれTFT628、画素電極624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。

【0140】

図14に対向基板側の構造を示す。遮光膜632上に対向電極640が形成されている。対向電極640は、画素電極624と同様の材料を用いて形成することが好ましい。対向

50

電極 640 上には液晶の配向を制御する突起 644 が形成されている。また、遮光膜 632 の位置に合わせてスペーサ 642 が形成されている。

【0141】

この画素構造の等価回路を図 15 に示す。TFT628 と TFT629 は、共にゲート配線 602、配線 616 と接続している。この場合、容量配線 604 と容量配線 605 の電位を異ならせることで、液層素子 651 と液晶素子 652 の動作を異ならせることができる。すなわち、容量配線 604 と容量配線 605 の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【0142】

スリット 625 を設けた画素電極 624 に電圧を印加すると、スリット 625 の近傍には電界の歪み（斜め電界）が発生する。このスリット 625 と、対向基板 601 側の突起 644 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。10

【0143】

次に、上記とは異なる VA 型の液晶表示装置について、図 16 乃至図 19 を用いて説明する。

【0144】

図 16 と図 17 は、VA 型液晶表示パネルの画素構造を示している。図 17 は基板 600 の平面図であり、図中に示す切断線 Y-Z に対応する断面構造を図 16 に表している。20 以下の説明ではこの両図を参照して説明する。

【0145】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極に TFT が接続されている。各 TFT は、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立して制御する構成を有している。

【0146】

画素電極 624 はコンタクトホール 623 において、配線 618 で TFT628 と接続している。また、画素電極 626 はコンタクトホール 627 において、配線 619 で TFT629 と接続している。TFT628 のゲート配線 602 と、TFT629 のゲート配線 603 には、異なるゲート信号を与えることができるよう分離されている。一方、データ線として機能する配線 616 は、TFT628 と TFT629 で共通に用いられている。TFT628 と TFT629 は実施の形態 1 で示す薄膜トランジスタを適宜用いることができる。また、容量配線 690 が設けられている。また、図 16 乃至図 25 において、TFT628、及び TFT629 は、ソース領域又はドレイン領域である一導電型を付与する不純物が添加された半導体膜、ソース電極又はドレイン電極を兼ねる配線は同じエッティング工程で加工されており、ほぼ同形状で積層している例である。30

【0147】

画素電極 624 と画素電極 626 の形状は異なっており、スリット 625 によって分離されている。V 字型に広がる画素電極 624 の外側を囲むように画素電極 626 が形成されている。画素電極 624 と画素電極 626 に印加する電圧のタイミングを、TFT628 及び TFT629 により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図 19 に示す。TFT628 はゲート配線 602 と接続し、TFT629 はゲート配線 603 と接続している。ゲート配線 602 とゲート配線 603 は異なるゲート信号を与えることで、TFT628 と TFT629 の動作タイミングを異ならせることができる。40

【0148】

対向基板 601 には、遮光膜 632、第 2 の着色膜 636、対向電極 640 が形成されている。また、第 2 の着色膜 636 と対向電極 640 の間には平坦化膜 637 が形成され、液晶の配向乱れを防いでいる。図 18 に対向基板側の構造を示す。対向電極 640 は異な50

る画素間で共通化されている電極であるが、スリット 641 が形成されている。このスリット 641 と、画素電極 624 及び画素電極 626 側のスリット 625 とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

【0149】

画素電極 624 と液晶層 650 と対向電極 640 が重なり合うことで、第1の液晶素子が形成されている。また、画素電極 626 と液晶層 650 と対向電極 640 が重なり合うことで、第2の液晶素子が形成されている。また、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造である。

10

【0150】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約 180 度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0151】

図 20 は、TFT628 とそれに接続する画素電極 624 が形成された基板 600 と、対向基板 601 を重ね合わせ、液晶を注入した状態を示している。対向基板 601 には遮光膜 632、第2の着色膜 636、平坦化膜 637 などが形成されている。画素電極は基板 600 側に有るので、対向基板 601 側には設けられていない。基板 600 と対向基板 601 の間に液晶層 650 が形成されている。

20

【0152】

基板 600 上には、第1の画素電極 607 及び第1の画素電極 607 に接続する容量配線 604、並びに及び実施の形態 1 で示す TFT628 が形成される。第1の画素電極 607 は、実施の形態 1 で示す画素電極 77 と同様の材料を用いることができる。また、第1の画素電極 607 は略画素の形状に区画化した形状で形成する。なお、第1の画素電極 607 及び容量配線 604 上にはゲート絶縁膜 606 が形成される。

【0153】

TFT628 の配線 616、配線 618 がゲート絶縁膜 606 上に形成される。配線 616 は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、TFT628 のソース領域と接続し、ソース及びドレインの一方の電極となる。配線 618 はソース及びドレインの他方の電極となり、第2の画素電極 624 と接続する配線である。

30

【0154】

配線 616、配線 618 上に第2の絶縁膜 620 が形成される。また、絶縁膜 620 上には、絶縁膜 620 に形成されるコンタクトホールにおいて、配線 618 に接続する第2の画素電極 624 が形成される。画素電極 624 は実施の形態 1 で示した画素電極 77 と同様の材料を用いて形成する。

【0155】

このようにして、基板 600 上に TFT628 とそれに接続する第2の画素電極 624 が形成される。なお、保持容量は第1の画素電極 607 と第2の画素電極 624 の間で形成している。

40

【0156】

図 21 は、画素電極の構成を示す平面図である。図 21 に示す切断線 O - P に対応する断面構造を図 20 に表している。画素電極 624 にはスリット 625 が設けられる。スリット 625 は液晶の配向を制御するためのものである。この場合、電界は第1の画素電極 607 と第2の画素電極 624 の間で発生する。第1の画素電極 607 と第2の画素電極 624 の間にはゲート絶縁膜 606 が形成されているが、ゲート絶縁膜 606 の厚さは 50 ~ 200 nm であり、2 ~ 10 μm である液晶層の厚さと比較して十分薄いので、実質的に基板 600 と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が

50

制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第1の画素電極607と第2の画素電極624は共に透光性の電極であるので、開口率を向上させることができる。

【0157】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0158】

図22と図23は、IPS型の液晶表示装置の画素構造を示している。図23は平面図であり、図中に示す切断線I-Jに対応する断面構造を図22に表している。以下の説明ではこの両図を参照して説明する。

10

【0159】

図22は、TFT628とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には遮光膜632、第2の着色膜636、平坦化膜637などが形成されている。画素電極は基板600側にあるので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

【0160】

基板600上には、共通電位線609、及び実施の形態1で示すTFT628が形成される。共通電位線609は薄膜トランジスタ(TFT)628のゲート配線602と同時に形成することができる。また、第1の画素電極607は略画素の形状に区画化した形状で形成する。

20

【0161】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方に向かって伸びる配線であると同時に、TFT628のソース領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

【0162】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホール623において、配線618に接続する第2の画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。なお、図23に示すように、画素電極624は、共通電位線609と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極624の櫛歯の部分が共通電位線609と同時に形成した櫛形の電極と交互に咬み合うように形成される。

30

【0163】

画素電極624に印加される電位と共通電位線609の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

40

【0164】

このようにして、基板600上にTFT628とそれに接続する画素電極624が形成される。保持容量は共通電位線609と容量電極615の間にゲート絶縁膜606を設け、それにより形成している。容量電極615と画素電極624はコンタクトホール633を介して接続されている。

【0165】

次に、TN型の液晶表示装置の形態について示す。

【0166】

図24と図25は、TN型の液晶表示装置の画素構造を示している。図25は平面図であり、図中に示す切断線K-Lに対応する断面構造を図24に表している。以下の説明では

50

この両図を参照して説明する。

【0167】

画素電極624はコンタクトホール623により、配線618でTFT628と接続している。データ線として機能する配線616は、TFT628と接続している。TFT628は実施の形態1に示すTFTのいずれかを適用することができる。

【0168】

画素電極624は、実施の形態1で示す画素電極77を用いて形成されている。

【0169】

対向基板601には、遮光膜632、第2の着色膜636、対向電極640が形成されている。また、第2の着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。液晶層650は画素電極624と対向電極640の間に配向膜648及び配向膜646を介して形成されている。

10

【0170】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0171】

また、基板600または対向基板601にカラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板600の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板601の対向電極640が形成されている面とは逆の面に、偏光板を貼り合わせておく。

20

【0172】

以上の工程により、液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性及び信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置である。

【0173】

（実施の形態6）

次に、本発明の液晶表示装置の一形態である液晶表示パネル（液晶パネルともいう）の構成について、以下に示す。

【0174】

図9(A)に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している液晶表示パネルの形態を示す。画素部6012及び走査線駆動回路6014は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路6013は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、またはSOIを用いたトランジスタであっても良い。画素部6012と、信号線駆動回路6013と、走査線駆動回路6014とに、それぞれ電源の電位、各種信号等が、FPC6015を介して供給される。

30

【0175】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

【0176】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えばFPC上に貼り合わせるようにしても良い。図9(B)に、信号線駆動回路6023のみを別途形成し、基板6021上に形成された画素部6022及び走査線駆動回路6024と接続している液晶表示パネルの形態を示す。画素部6022及び走査線駆動回路6024は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路6023は、FPC6025を介して画素部6022と接続されている。画素部6022と、信号線駆動回路6023と、走査線駆

40

50

動回路 6024 とに、それぞれ電源の電位、各種信号等が、FPC 6025 を介して供給される。

【0177】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電気的に接続するようにしても良い。図9(C)に、信号線駆動回路が有するアナログスイッチ 6033a を、画素部 6032、走査線駆動回路 6034 と同じ基板 6031 上に形成し、信号線駆動回路が有するシフトレジスタ 6033b を別途異なる基板に形成して貼り合わせる液晶表示パネルの形態を示す。画素部 6032 及び走査線駆動回路 6034 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6033b は、FPC 6035 を介して画素部 6032 と接続されている。画素部 6032 と、信号線駆動回路と、走査線駆動回路 6034 とに、それぞれ電源の電位、各種信号等が、FPC 6035 を介して供給される。
10

【0178】

図9に示すように、本発明の液晶表示装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜を用いた薄膜トランジスタを用いて形成することができる。

【0179】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、公知のCOG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。また接続する位置は、電気的な接続が可能であるならば、図9に示した位置に限定されない。また、コントローラ、CPU、メモリ等を別途形成し、接続するようにしても良い。
20

【0180】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0181】

次に、本発明の液晶表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図11を用いて説明する。図11(A)は、第1の基板 4001 上に形成された微結晶半導体膜を有する薄膜トランジスタ 4010 及び液晶素子 4013 を、第2の基板 4006 との間にシール材 4005 によって封止した、パネルの上面図であり、図11(B)は、図11(A)のM-Nにおける断面図に相当する。
30

【0182】

第1の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 とを囲むようにして、シール材 4005 が設けられている。また画素部 4002 と、走査線駆動回路 4004 の上に第2の基板 4006 が設けられている。よって画素部 4002 と、走査線駆動回路 4004 とは、第1の基板 4001 とシール材 4005 と第2の基板 4006 とによって、液晶 4008 と共に封止されている。また第1の基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路 4003 が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板 4001 に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図11(B)では、信号線駆動回路 4003 に含まれる、多結晶半導体膜で形成された薄膜トランジスタ 4009 を例示する。
40

【0183】

また第1の基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 は、薄膜トランジスタを複数有しており、図11(B)では、画素部 4002 に含まれる薄膜トランジスタ 4010 とを例示している。薄膜トランジスタ 4010 は微結晶半導体膜を
50

用いた薄膜トランジスタに相当し、実施の形態 1 乃至 4 に示す工程で同様に作製することができる。

【 0 1 8 4 】

また 4 0 1 3 は液晶素子に相当し、液晶素子 4 0 1 3 が有する画素電極 4 0 3 0 は、薄膜トランジスタ 4 0 1 0 と配線 4 0 4 0 を介して電気的に接続されている。そして液晶素子 4 0 1 3 の対向電極 4 0 3 1 は第 2 の基板 4 0 0 6 上に形成されている。画素電極 4 0 3 0 と対向電極 4 0 3 1 と液晶 4 0 0 8 とが重なっている部分が、液晶素子 4 0 1 3 に相当する。

【 0 1 8 5 】

なお、第 1 の基板 4 0 0 1 、第 2 の基板 4 0 0 6 としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、F R P (F i b e r g l a s s - R e i n f o r c e d P l a s t i c s) 板、P V F (ポリビニルフルオライド) フィルム、ポリエスチルフィルム、またはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを P V F フィルムやポリエスチルフィルムで挟んだ構造のシートを用いることもできる。

【 0 1 8 6 】

また 4 0 3 5 は球状のスペーサであり、画素電極 4 0 3 0 と対向電極 4 0 3 1 との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜を選択的にエッティングすることで得られるスペーサを用いていても良い。

【 0 1 8 7 】

また別途形成された信号線駆動回路 4 0 0 3 と、走査線駆動回路 4 0 0 4 または画素部 4 0 0 2 に与えられる各種信号及び電位は、配線 4 0 1 4 、 4 0 1 5 を介して、F P C 4 0 1 8 から供給されている。

【 0 1 8 8 】

本実施の形態では、接続端子 4 0 1 6 が、液晶素子 4 0 1 3 が有する画素電極 4 0 3 0 と同じ導電膜から形成されている。また、配線 4 0 1 4 、 4 0 1 5 は、配線 4 0 4 1 と同じ導電膜で形成されている。

【 0 1 8 9 】

接続端子 4 0 1 6 は、F P C 4 0 1 8 が有する端子と、異方性導電膜 4 0 1 9 を介して電気的に接続されている。

【 0 1 9 0 】

なお図示していないが、本実施の形態に示した液晶表示装置は配向膜、偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

【 0 1 9 1 】

また図 1 1において、信号線駆動回路 4 0 0 3 を別途形成し、第 1 の基板 4 0 0 1 に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【 0 1 9 2 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 0 1 9 3 】

(実施の形態 7)

本発明により得られる液晶表示装置等によって、液晶表示モジュール（液晶モジュールともいう）に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【 0 1 9 4 】

その様な電子機器としては、ビデオカメラ、デジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話また

10

20

30

40

50

は電子書籍等)などが挙げられる。それらの一例を図7に示す。

【0195】

図7(A)はテレビジョン装置である。液晶表示モジュールを、図7(A)に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた液晶表示パネルのことを液晶表示モジュールとも呼ぶ。液晶表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカー部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【0196】

図7(A)に示すように、筐体2001に液晶素子を利用した液晶表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向(送信者から受信者)又は双方向(送信者と受信者間、又は受信者間同士)の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行なうことが可能であり、このリモコン装置にも出力する情報を表示する表示部2007が設けられていても良い。

10

【0197】

また、テレビジョン装置にも、主画面2003の他にサブ画面2008を第2の液晶表示用パネルで形成し、チャネルや音量などを表示する構成が付加されていても良い。

【0198】

図8はテレビ装置の主要な構成を示すブロック図を示している。液晶表示パネルには、画素部901が形成されている。信号線駆動回路902と走査線駆動回路903は、液晶表示パネルにCOG方式により実装されていても良い。

20

【0199】

その他の外部回路の構成として、映像信号の入力側では、チューナ904で受信した信号のうち、映像信号を増幅する映像信号増幅回路905と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路906と、その映像信号をドライバICの入力仕様に変換するためのコントロール回路907などを有している。コントロール回路907は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路908を設け、入力デジタル信号をm個に分割して供給する構成としても良い。

30

【0200】

チューナ904で受信した信号のうち、音声信号は、音声信号増幅回路909に送られ、その出力は音声信号処理回路910を経てスピーカ913に供給される。制御回路911は受信局(受信周波数)や音量の制御情報を入力部912から受け、チューナ904や音声信号処理回路910に信号を送出する。

【0201】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

40

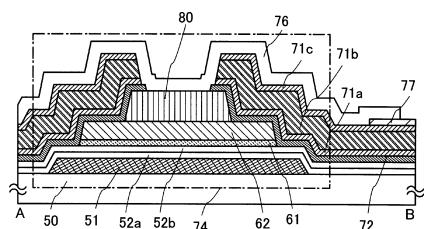
【0202】

図7(B)は携帯電話機2301の一例を示している。この携帯電話機2301は、表示部2302、操作部2303などを含んで構成されている。表示部2302においては、上記実施の形態で説明した液晶表示装置を適用することで、信頼性及び量産性を高めることができる。

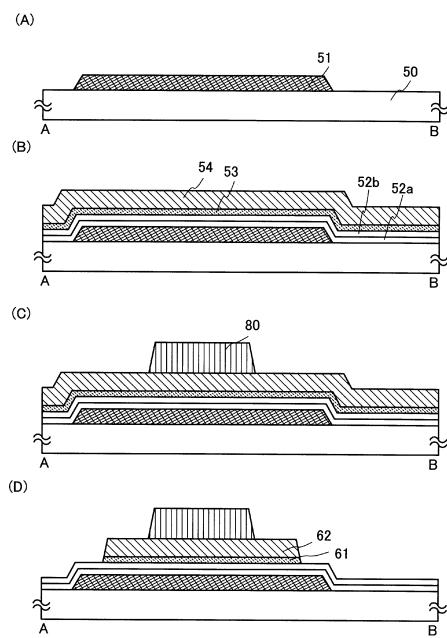
【0203】

また、図7(C)に示す携帯型のコンピュータは、本体2401、表示部2402等を含んでいる。表示部2402に、上記実施の形態に示す液晶表示装置を適用することにより、信頼性及び量産性を高めることができる。

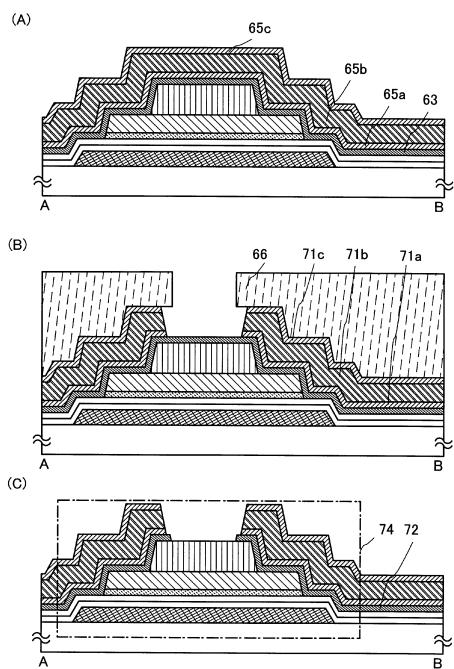
【図1】



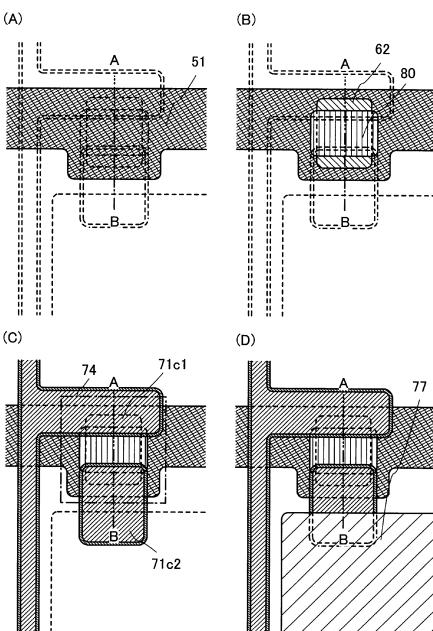
【図2】



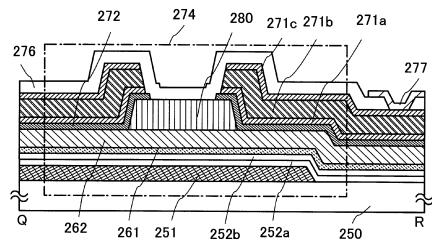
【図3】



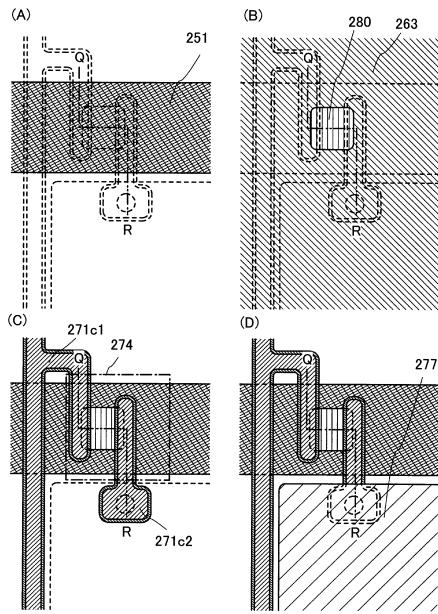
【図4】



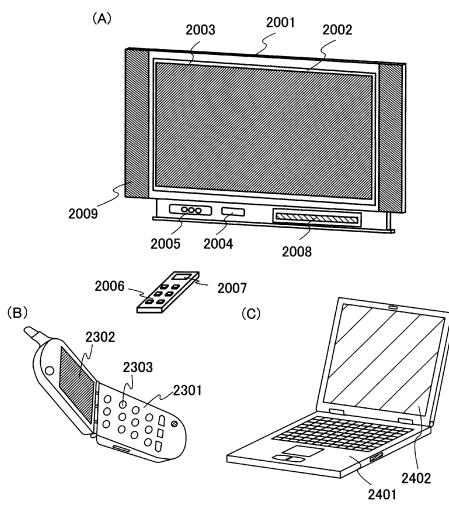
【図5】



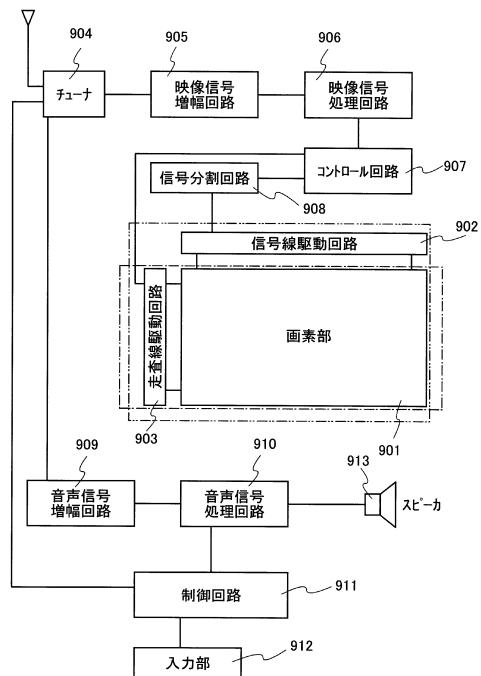
【図6】



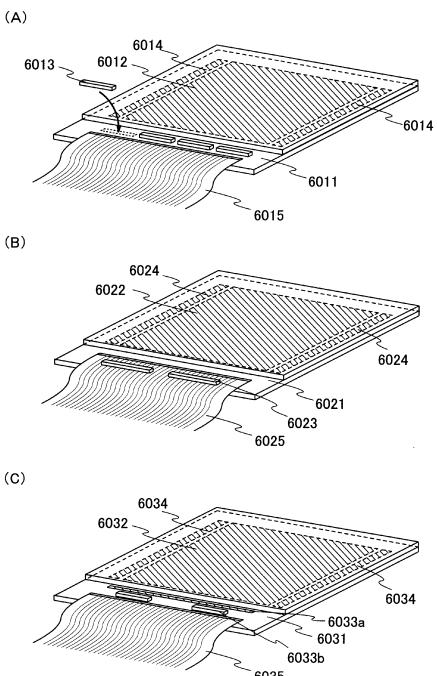
【図7】



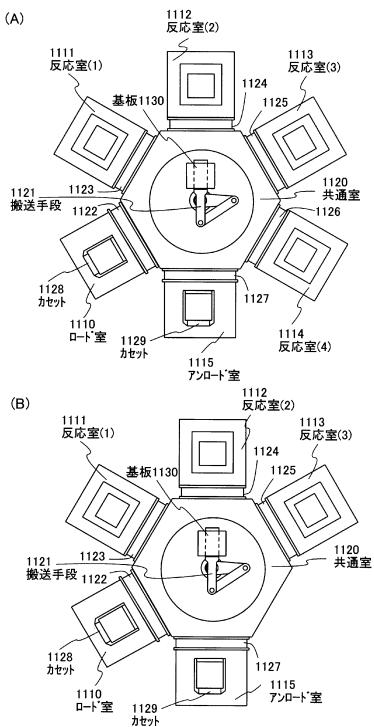
【図8】



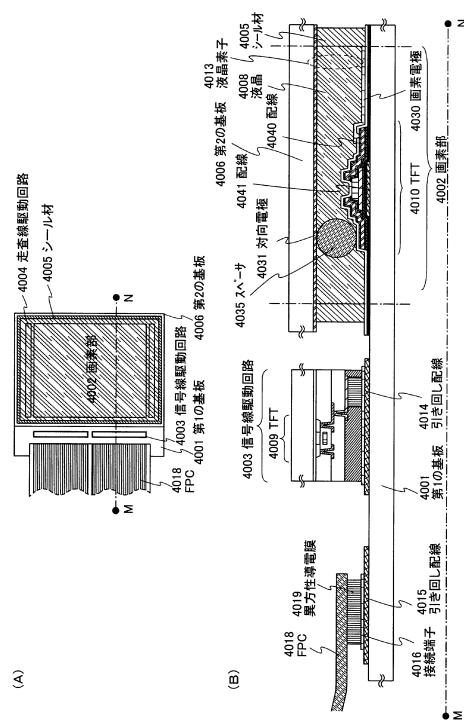
【図9】



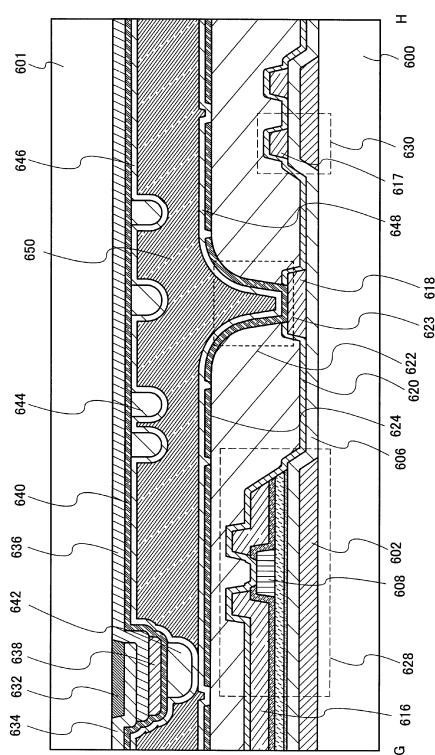
【図10】



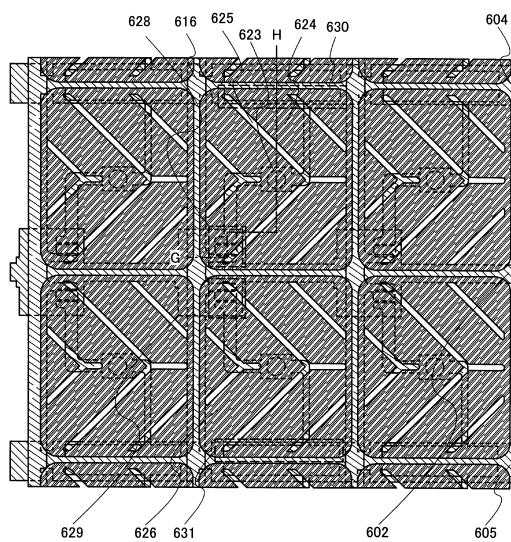
【 図 1 1 】



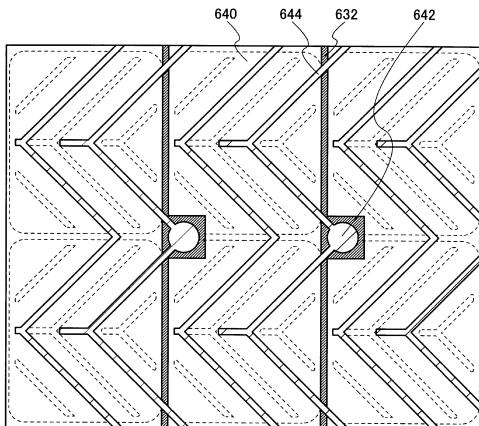
【 図 1 2 】



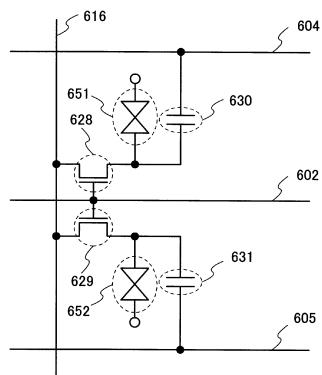
【 13 】



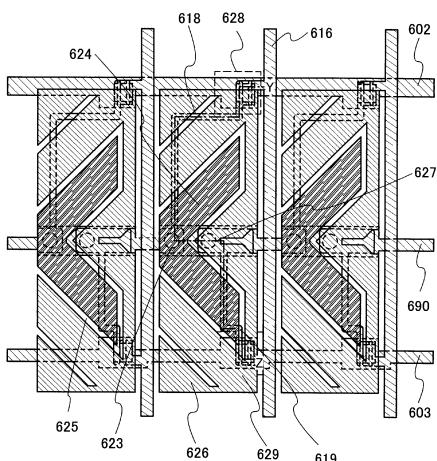
【図14】



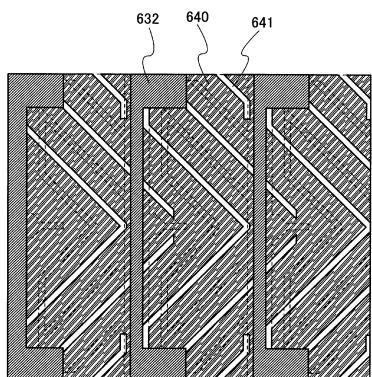
【図15】



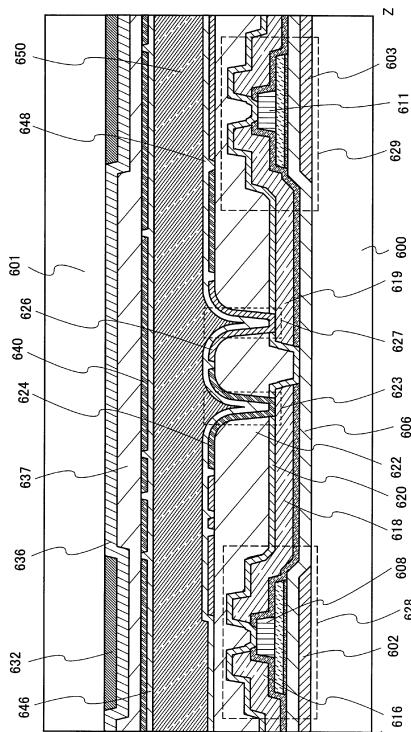
【図17】



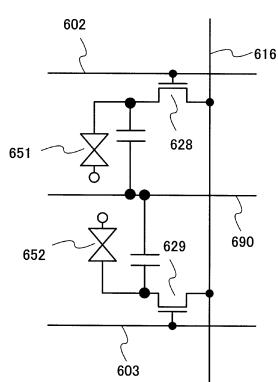
【図18】



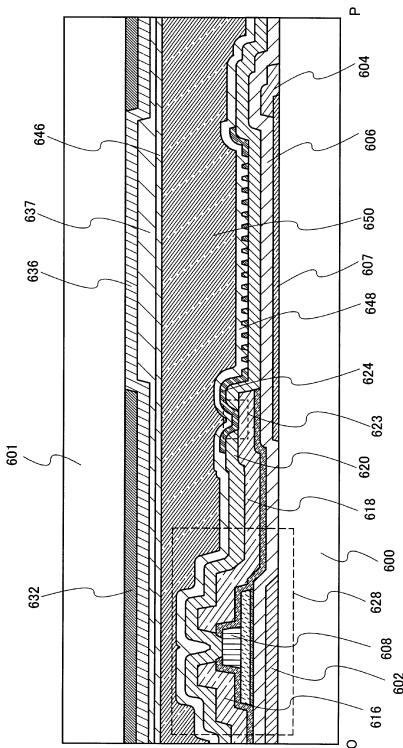
【図16】



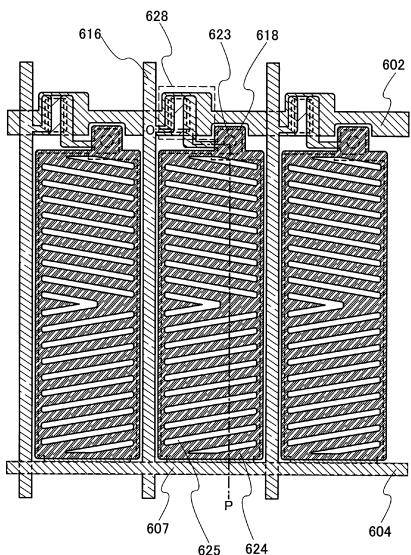
【図19】



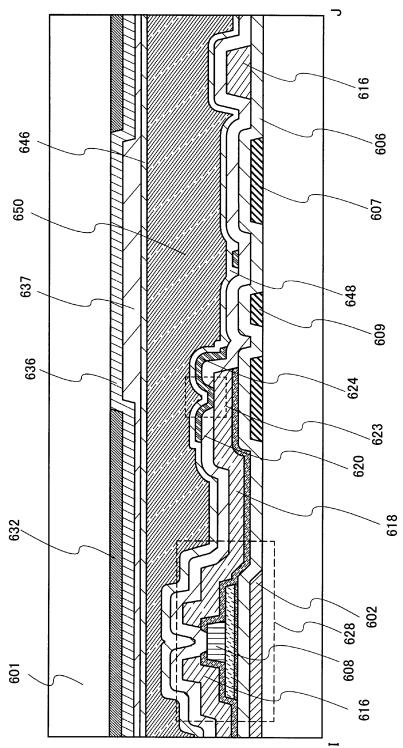
【図20】



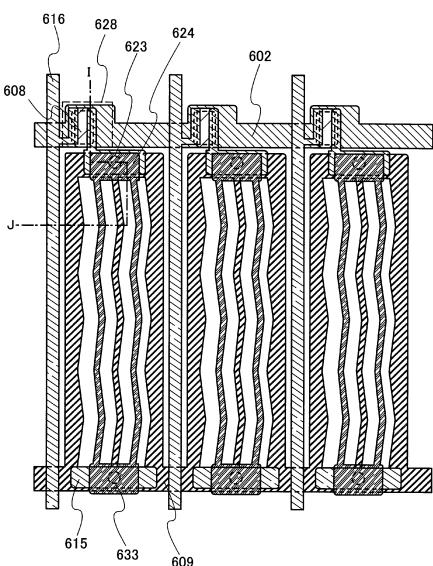
【図21】



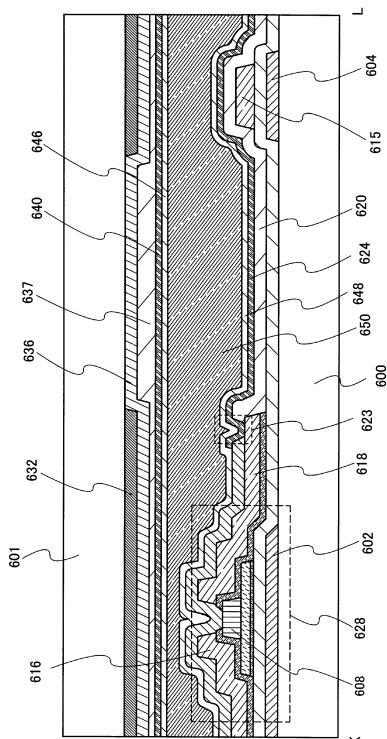
【図22】



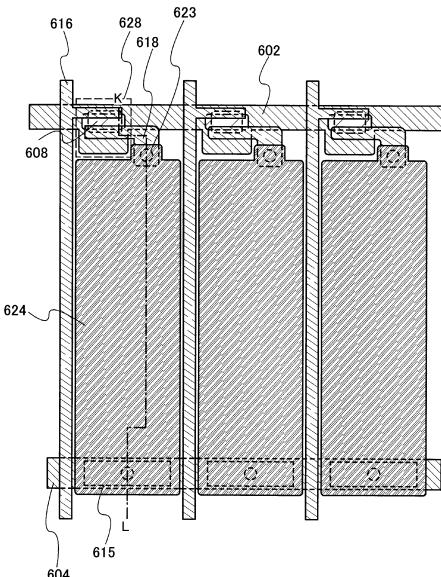
【図23】



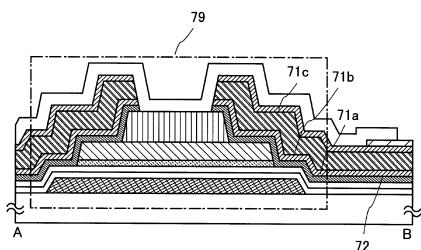
【図24】



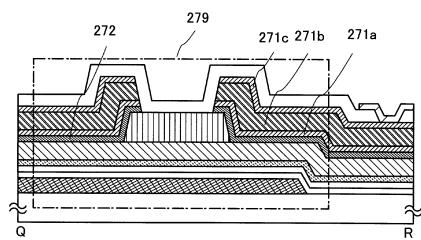
【図25】



【図26】



【図27】



フロントページの続き

(56)参考文献 国際公開第2006/064832 (WO, A1)
特開2007-156468 (JP, A)
特開2004-038165 (JP, A)
国際公開第2007/074556 (WO, A1)
特開平03-013191 (JP, A)
特開2004-078157 (JP, A)
特開平06-069505 (JP, A)
特開平11-112003 (JP, A)
特開2006-184913 (JP, A)
国際公開第2007/102382 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G 02 F	1 / 1368
G 02 F	1 / 1343
G 02 F	1 / 1333
H 01 L	21 / 336
H 01 L	29 / 786

专利名称(译)	液晶表示装置		
公开(公告)号	JP6117884B2	公开(公告)日	2017-04-19
申请号	JP2015193564	申请日	2015-09-30
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平		
发明人	山崎 舜平		
IPC分类号	G02F1/1368 G02F1/1343 H01L29/786 H01L21/336		
CPC分类号	H01L29/4908 G02F1/1368 H01L27/12 H01L29/458 H01L29/786 H01L29/78696		
FI分类号	G02F1/1368 G02F1/1343 H01L29/78.618.B H01L29/78.612.Z		
F-TERM分类号	2H192/AA24 2H192/BA13 2H192/BA25 2H192/BB02 2H192/BB13 2H192/BB53 2H192/BC24 2H192/BC26 2H192/BC31 2H192/CB05 2H192/CB32 2H192/CB42 2H192/CB45 2H192/CB56 2H192/CB71 2H192/CB83 2H192/CC02 2H192/CC04 2H192/CC72 2H192/DA12 2H192/FA73 2H192/FB02 2H192/FB27 2H192/FB33 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE42 5F110/EE43 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF10 5F110/FF28 5F110/FF29 5F110/FF36 5F110/GG02 5F110/GG06 5F110/GG14 5F110/GG15 5F110/GG16 5F110/GG17 5F110/GG19 5F110/GG22 5F110/GG24 5F110/GG32 5F110/GG33 5F110/GG34 5F110/GG43 5F110/GG45 5F110/GG55 5F110/HK01 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK09 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK32 5F110/HK33 5F110/HL01 5F110/HL07 5F110/HL09 5F110/HM02 5F110/NN02 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN73 5F110/PP03 5F110/PP05 5F110/PP22 5F110/PP36 5F110/QQ09 5F110/QQ24		
优先权	2007190219 2007-07-20 JP		
其他公开文献	JP2016006549A		
外部链接	Espacenet		

摘要(译)

甲电特性并具有高度可靠的薄膜晶体管的液晶显示装置，和液晶 本发明的目的是提出一种制造具有高产量的显示装置的方法。解决方案：在具有沟道停止型反交错型薄膜晶体管的液晶显示装置中，沟道停止型反交错型薄膜晶体管具有栅极，栅极 电极上的栅极绝缘膜，包括栅极绝缘膜上方的沟道形成区的微晶半导体膜，微晶半导体膜上的缓冲层，缓冲层上的微晶半导体膜的沟道形成在与沟道保护层和缓冲层上方的区域，源区和漏区重叠的区域中的沟道保护层 漏区，以及源区和漏区上的源电极和漏电极 那。

(19)日本国特許庁(JP)	(12)特許公報(B2)	(11)特許番号 特許第6117884号 (P6117884)
(45)発行日 平成29年4月19日(2017.4.19)		(24)登録日 平成29年3月31日(2017.3.31)
(51)Int.Cl. G02F 1/1368 (2006.01) G02F 1/1343 (2006.01) H01L 29/786 (2006.01) H01L 21/336 (2006.01)	F I G02 F 1/1368 G02 F 1/1343 H01 L 29/78 6 1 8 B H01 L 28/78 6 1 2 Z	
請求項の数 1 (全 34 頁)		
(21)出願番号 特願2015-193564 (P2015-193564) (22)出願日 平成27年9月30日 (2015.9.30) (23)分割の表示 特願2014-76852 (P2014-76852) (24)分割の分割 の分割 原出願日 平成20年7月14日 (2008.7.14) (25)公開番号 特開2016-6549 (P2016-6549A) (26)公開日 平成28年1月14日 (2016.1.14) (27)審査請求日 平成27年10月5日 (2015.10.5) (28)優先権主張番号 特願2007-190219 (P2007-190219) (29)優先日 平成19年7月20日 (2007.7.20) (30)優先権主張国 日本国 (JP)	(73)特許権者 000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷3 9 8 番地 (72)発明者 山崎 舜平 神奈川県厚木市長谷3 9 8 番地 株式会社 半導体エネルギー研究所内 審査官 右田 昌士	
最終頁に続く		