

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6085518号
(P6085518)

(45) 発行日 平成29年2月22日 (2017. 2. 22)

(24) 登録日 平成29年2月3日 (2017. 2. 3)

(51) Int. Cl.

F I

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 3 0

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 9 G 3/36 (2006. 01)

G O 9 G 3/36

G O 9 G 3/20 (2006. 01)

G O 9 G 3/20 6 9 1 D

G O 6 F 3/041 (2006. 01)

G O 9 G 3/20 6 1 2 T

請求項の数 7 (全 26 頁) 最終頁に続く

(21) 出願番号 特願2013-99646 (P2013-99646)
 (22) 出願日 平成25年5月9日 (2013. 5. 9)
 (65) 公開番号 特開2014-219606 (P2014-219606A)
 (43) 公開日 平成26年11月20日 (2014. 11. 20)
 審査請求日 平成27年9月15日 (2015. 9. 15)

(73) 特許権者 502356528
 株式会社ジャパンディスプレイ
 東京都港区西新橋三丁目7番1号
 (74) 代理人 110001737
 特許業務法人スズエ国際特許事務所
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100088683
 弁理士 中村 誠
 (74) 代理人 100103034
 弁理士 野河 信久
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶層を挟持する対向基板とアレイ基板とを有する表示パネルと、
 前記対向基板に設けられる対向電極と、
 前記アレイ基板にマトリクス状に配置される画素電極と、
 前記複数の画素電極の行間に配置されて誘電体との間の容量結合の強弱を読み取るセンサ回路と、

前記センサ回路を駆動する期間において前記対向電極に付加される共通電圧をパルス状に駆動する対向電極駆動回路と、を備え、

前記センサ回路は、前記誘電体との間で第1の浮遊容量を形成するとともに、前記対向電極との間で第2の浮遊容量を形成する検知電極を有し、

前記対向電極は、前記検知電極と対向する少なくとも一部分を含む開口部を有し、

前記第1の浮遊容量は、前記開口部を介して前記誘電体と前記検知電極との間に形成され、

前記共通電圧がパルス状に駆動されることによって前記第2の浮遊容量を介して前記検知電極の電位が変動し、

前記センサ回路は、前記対向電極駆動回路が前記対向電極に付加される前記共通電圧をパルス状に駆動してから所定時間が経過した後の前記検知電極の電位により前記誘電体の有無を検出する、

表示装置。

10

20

【請求項 2】

前記検知電極に電圧を供給するためのプリチャージ線と、
前記検知電極からの検知信号を読み出すための読出し線と、
前記センサ回路を駆動するためのプリチャージゲート線、アンプソース線、及び読出しゲート線と、を備え、
前記センサ回路は、
ソース、ドレインの一方の電極がプリチャージ線に接続し、他方の電極が検知電極に接続し、ゲート電極がプリチャージゲート線に接続するプリチャージトランジスタと、
ソース、ドレインの一方の電極がアンプソース線に接続し、ゲート電極が前記検知電極に接続する増幅トランジスタと、
ソース、ドレインの一方の電極が増幅トランジスタの他方の電極に接続し、他方の電極が読出し線に接続し、ゲート電極が読出しゲート線に接続する読出しトランジスタと、を備える、請求項 1 に記載の表示装置。

10

【請求項 3】

前記センサ回路は、複数行及び複数列に複数の画素回路が並んで配置された単位領域に少なくとも一つ配置されている請求項 1 又は 2 に記載の表示装置。

【請求項 4】

前記センサ回路を駆動する期間は、水平ブランキング期間に含まれている請求項 1 又は 2 に記載の表示装置。

【請求項 5】

前記センサ回路を駆動する期間は、垂直ブランキング期間に含まれている請求項 1 又は 2 に記載の表示装置。

20

【請求項 6】

前記センサ回路の出力信号が基準電圧に到達する時間を検出する時間検出手段を更に備える、請求項 1 又は 2 に記載の表示装置。

【請求項 7】

前記プリチャージ電圧を制御して前記センサ回路の出力信号が前記基準電圧に到達する時間を調整する調整手段を更に備える、請求項 6 に記載の表示装置。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明の実施形態は、表示装置に関する。

【背景技術】**【0002】**

ユーザインタフェースの形としてタッチパネル機能を具備した表示装置を搭載した携帯電話や携帯情報端末、パーソナルコンピュータなどの電子機器が開発されている。このようなタッチパネル機能を具備した電子機器では、液晶表示装置や有機 EL 表示装置などの表示装置に、別途タッチパネル基板を貼り合わせることでタッチパネル機能を付加することが検討されている。

【0003】

40

また、近年、CVD (Chemical Vapor Deposition) 法等によりガラス基板等の透明な絶縁基板上にさまざまな材料で薄膜を形成し、切削や研削等の作業を繰り返し行うことにより、走査線や信号線からなる表示素子や、光センサ素子等を形成して、画像読み取り装置を製造する技術が研究されている。

【0004】

また、画像読み取り装置の読み取り方式として、光センサ素子等に替えて導電性の電極を配置し、この電極と指等との間の容量変化によりパネル表面の指やペン等の情報を検知するいわゆる静電容量方式により接触位置を検出する技術が研究されている。

【先行技術文献】**【特許文献】**

50

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 4 - 9 3 8 9 4 号公報

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

そして静電容量方式を用いた表示装置では、液晶などの表示パネル中にセンサ機能を組み込む、いわゆるインセル技術が盛んに開発されている。インセル技術によれば、別途作成したタッチパネルを液晶等に貼り合わせる必要がないため、電子機器全体の厚さや重量の増加を回避することが可能になる。さらに液晶等とタッチパネルの間に界面が存在しないため、界面で生じやすい光の反射が発生しないので、表示品位の点でも優れている。

10

【 0 0 0 7 】

しかしながら、表示装置を構成する基板上にセンサ回路を内蔵することによりタッチパネル機能を実現すると、対向基板が液晶層を挟んでアレイ基板に対向して設けられているモードの液晶表示装置では、対向基板側の対向電極がシールドとなって、指など誘電体とアレイ電極側の検知電極との間で検知を行うに十分な電界が形成されないという問題があった。

【 0 0 0 8 】

また、指やペン等の有無による検知電極の電圧差を検出する場合、検出する電圧の絶対値を大きくしようとしてアナログデジタル変換回路への入力電圧範囲を拡大すると、回路部品のコストが高くなることがあった。

20

【 0 0 0 9 】

本発明は、上記事情に鑑みてなされたものであって、高い読み取り性能を備えるとともに、低コスト化を実現する表示装置を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一態様による表示装置は、液晶層を挟持する対向基板とアレイ基板とを有する表示パネルと、

前記対向基板に設けられる対向電極と、前記アレイ基板にマトリクス状に配置される画素電極と、前記複数の画素電極の行間に配置されて誘電体との間の容量結合の強弱を読み取るセンサ回路と、前記センサ回路を駆動する期間において前記対向電極に付加される共通電圧をパルス状に駆動する対向電極駆動回路と、を備え、前記センサ回路は、前記誘電体との間で第 1 の浮遊容量を形成するとともに、前記対向電極との間で第 2 の浮遊容量を形成する検知電極を有し、前記対向電極は、前記検知電極と対向する少なくとも一部分を含む開口部を有し、前記第 1 の浮遊容量は、前記開口部を介して前記誘電体と前記検知電極との間に形成され、前記共通電圧がパルス状に駆動されることによって前記第 2 の浮遊容量を介して前記検知電極の電位が変動し、前記センサ回路は、前記対向電極駆動回路が前記対向電極に付加される前記共通電圧をパルス状に駆動してから所定時間が経過した後、前記検知電極の電位により前記誘電体の有無を検出する。

30

【図面の簡単な説明】

【 0 0 1 1 】

40

【図 1】第 1 の実施の形態に係る表示装置の一断面を示す図である。

【図 2】第 1 の実施の形態に係る表示装置の液晶表示パネルの構成の一例を説明するための図である。

【図 3】第 1 の実施の形態に係る表示装置の液晶表示パネルとベゼルカバーとの構成の一例を説明するための図である。

【図 4】第 1 の実施の形態に係る表示装置の液晶表示パネルの一構成例を示す概略の平面図である。

【図 5】第 1 の実施の形態に係る表示装置の表示部の構成を模式的に示す断面図である。

【図 6】第 1 の実施の形態の表示装置のセンサ回路の一実施例による等価回路を示す図である。

50

【図 7】第 1 の実施の形態の表示装置のセンサ回路の駆動方法の一例を説明するためのタイミングチャートである。

【図 8】第 1 の実施の形態に係る表示装置のアレイ基板の構成を示す図である。

【図 9】第 1 の実施の形態のセンサ回路の配置の一例を示す図である。

【図 10】第 1 の実施の形態の表示装置のプリチャージ電圧とセンサ回路の出力電圧（読み出し線の電圧）との関係の一例を示す図である。

【図 11】第 1 の実施の形態の表示装置のプリチャージ電圧の違いによるセンサ回路の出力電圧と出力時間との関係の一例を示す図である。

【図 12】第 1 の実施の形態の表示装置のプリチャージ電圧を大きくした場合の、センサ回路の出力電圧と出力時間との関係の一例を示す図である。

10

【図 13】第 1 の実施の形態の表示装置のセンサ回路の駆動のタイミングの一例を示す図である。

【図 14】第 1 の実施の形態のセンサ回路の駆動タイミングの他の例を示す図である。

【図 15】第 1 の実施の形態の表示装置のセンサ回路、プリチャージゲート線、および、読み出しゲート線の配置位置の例を示す図である。

【図 16】第 1 の実施の形態の表示装置のセンサ回路、プリチャージゲート線、および、読み出しゲート線の配置位置の他の例を示す図である。

【図 17】第 1 の実施の形態の表示装置のセンサ回路、プリチャージゲート線、および、読み出しゲート線の配置位置の他の例を示す図である。

【図 18】第 1 の実施の形態の表示装置のセンサ回路、プリチャージゲート線、および、読み出しゲート線の配置位置の他の例を示す図である。

20

【図 19】第 1 の実施の形態の表示装置のセンサ回路、プリチャージゲート線、および、読み出しゲート線の配置位置の他の例を示す図である。

【図 20】第 2 の実施の形態に係る表示装置において、読み出しゲート線の駆動波形と、読み出し線の出力電圧波形と、の一例を示す図である。

【図 21】第 2 の実施の形態に係る表示装置において、横軸にプリチャージ電圧、縦軸に出力時間差をとって、出力時間差 - プリチャージ電圧特性曲線の一例を示す図である。

【図 22】第 2 の実施の形態に係る表示装置において、プリチャージ電圧を短時間で最適な値に設定するための手順の一例を説明するためのフローチャートである。

【図 23】第 3 の実施の形態に係る表示装置の一構成例を示す図である。

30

【図 24】第 3 の実施の形態に係る表示装置の他の構成例を示す図である。

【図 25】第 3 の実施の形態に係る表示装置の他の構成例を示す図である。

【図 26】第 3 の実施の形態に係る表示装置の他の構成例を示す図である。

【発明を実施するための形態】

【0012】

〔第 1 の実施の形態〕

以下、本発明の第 1 の実施の形態に係る表示装置について、図面を参照して説明する。

【0013】

図 1 は、第 1 の実施の形態に係る表示装置の一断面を示す図である。

【0014】

40

表示装置は、液晶表示パネル PNL と、液晶表示パネル PNL の背面側に配置された照明ユニットと、液晶表示パネル PNL と照明ユニットとを支持するフレーム 40 と、液晶表示パネル PNL の表示部を露出させるようにフレーム 40 に取り付けられるベゼルカバー 50 と、フレーム 40 の背面側に配置された回路基板 60 と、ベゼルカバー 50 上に接着剤 70 により固定された保護ガラス PGL と、を備えている。保護ガラス PGL は、液晶表示パネル PNL の表示部を外部からの衝撃から保護している。なお、保護ガラス PGL は、省略することも可能である。

【0015】

照明ユニットは、図示しない光源と、光源から入射された光を液晶表示パネル PNL 側に向けて出射する導光体 32 と、液晶表示パネル PNL と導光体 32 との間に配置された

50

光学シートとして、プリズムシート 34 および拡散シート 36 と、液晶表示パネル PNL とは反対側の導光体 32 の主面と対向するように配置された反射シート 38 と、を備えている。プリズムシート 34 および拡散シート 36 は、導光体 32 から出射された光を集光および拡散する。

【0016】

液晶表示パネル PNL は、アレイ基板 10 と、アレイ基板 10 と対向するように配置された対向基板 20 と、アレイ基板 10 と対向基板 20 との間に挟持された液晶層 LQ と、マトリクス状に配置された複数の表示画素を含む表示部 DYP (不図示) と、を備えている。アレイ基板 10 は液晶層 LQ と反対側の主面に取り付けられた偏光板 10A を備えている。対向基板 20 は液晶層 LQ と反対側の主面に取り付けられた偏光板 20A を備えている。

10

【0017】

フレーム 40 は、照明ユニットと液晶表示パネル PNL とを重ねた状態で収容する。照明ユニットと液晶表示パネル PNL とは、フレーム 40 により、その平面方向 (D1 - D2 平面) において位置決めされる。

【0018】

図 2 は、第 1 の実施の形態に係る表示装置の液晶表示パネル PNL の構成の一例を説明するための図である。

【0019】

偏光板 20A は、偏光層 L1、帯電防止層 L2、偏光層 L1 を透明絶縁性基板に固定する導電糊 L3 を備えている。帯電防止層 L2 は、その抵抗値が例えば $6.3 \times 10^{10} (\Omega/\square)$ である。導電糊 L3 は、その抵抗値が例えば $5.2 \times 10^{10} (\Omega/\square)$ である。

20

【0020】

帯電防止層 L2 や導電糊 L3 が配置されない場合、保護ガラス PGL の表面や偏光板 20A の表面に指先やペン先等が接触すると、指先やペン先等で接触したときの電荷が接触部に残ってしまうため、指先やペン先が離れた後も接触し続けていると認識されてしまい、離脱の反応が鈍くなることがあった。

【0021】

これに対し、偏光板 20A の表面において電荷を抜けやすくするために、例えば $1.0 \times 10^9 (\Omega/\square)$ 以上の抵抗の材料の帯電防止層 L2 や導電糊 L3 を設ける。そして、これらをグラウンドと接続することで、指先やペン先等の接触による容量変化も検知可能で、さらに接触時の電荷残りを分散させて、離脱時に高速に反応することができる。

30

【0022】

したがって、例えば金属製の細いペンで入力した場合でも、容量変化を精度良く検出することができる。さらに、センサ回路 (不図示) が帯電して誤動作することを防止することができる。なお、偏光板 20A の抵抗値を変えることで、指先やペン先等が実際に接触している面積に対して、検知される面積を変えることもできる。

【0023】

また、IPS (In-Plane Switching) や FFS (Fringe-Field Switching) のような表示モードを採用した表示装置では、静電気による焼き付き対策として、対向基板 20 の透明絶縁性基板上に透明電極層を形成し、または偏光板を導電性とする場合がある。第 1 の実施の形態の表示装置では、このような対策は不要であり、帯電防止層 L2 および導電糊 L3 により焼き付きを防止することができる。なお、帯電防止層 L2 と導電糊 L3 とはいずれか一方が設けられればよい。

40

【0024】

図 3 は、第 1 の実施の形態に係る表示装置の液晶表示パネル PNL と、ベゼルカバー 50 との構成の一例を説明するための図である。図 1 及び図 3 を参照しつつ構成の一例を説明する。

【0025】

50

ベゼルカバー 50 は、液晶表示パネル PNL の表示部を露出させる窓 50W (図 1 に示す) を備えている。ベゼルカバー 50 は、導電糊付両面テープ TP により偏光板 20A の帯電防止層 L2 と固定され電氣的に接続される。ベゼルカバー 50 はグラウンドと接続され、帯電防止層 L2 がベゼルカバー 50 を介してグラウンドと電氣的に接続される。

【0026】

回路基板 60 (図 1 に示す) は、例えばフレキシブル基板 FC1 (不図示) により液晶表示パネル PNL のアレイ基板 10 の一端と電氣的に接続されている。フレキシブル基板 FC1 はベゼルカバー 50 のスリット 50S (図 1 に示す) を介してフレーム 40 の背面側に屈曲するように、回路基板 60 とアレイ基板 10 との間に延びて配置される。

【0027】

10

図 4 は、第 1 の実施の形態に係る表示装置の液晶表示パネル PNL の一構成例を示す概略の平面図である。

【0028】

液晶表示パネル PNL は、アレイ基板 10 と、アレイ基板 10 に対向するように配置された対向基板 20 と、アレイ基板 10 および対向基板 20 間に挟持された液晶層 LQ と、複数の画素からなる画素回路をマトリクス状に配置した表示部 DYP と、表示部 DYP の周囲に配置された駆動回路 (信号線駆動回路 XD、走査線駆動回路 YD、対向電極駆動回路 CD) と、を備えている。

【0029】

アレイ基板 10 は、透明絶縁基板 (図示せず) と、透明絶縁基板上において複数の表示画素のそれぞれに対応してマトリクス状に配置された画素電極 PE と、画素電極 PE が配列する行に沿って配置された複数の走査線 GL、プリチャージゲート線 PG、および、読み出しゲート線 RG と、画素電極 PE が配列する列に沿って配置された複数の信号線 SL と、走査線 GL と信号線 SL とが交差する位置近傍に配置された画素スイッチ SWP と、検知電極 12E を備えたセンサ回路 12 と、を備えている。

20

【0030】

なお、液晶層 LQ を介して対向するように形成された対向電極 CE は、対向基板上に設けられている。

【0031】

アレイ基板 10 の端部には、例えばフレキシブル配線基板 FC1、FC2 を介してタイミングコントローラ TCON が搭載された回路基板 60 が電氣的に接続される。

30

【0032】

回路基板 60 は、マルチプレクサ MUX と、D/A 変換部 DAC と、A/D 変換部 ADC と、外部信号源との間で信号を送受信するインタフェース部 I/F と、を備えている。

【0033】

センサ回路 12 からの出力信号は、マルチプレクサ MUX により所定のタイミングで A/D 変換部 ADC へ供給され、デジタル信号に変換されて、インタフェース部 I/F に供給される。インタフェース部 I/F は、受信したデジタル信号を外部信号源へ出力する。外部信号源は、受信したデジタル信号により座標計算を行なって、指先やペン先等が接触した座標位置を検出する。外部信号源は表示のための信号を出力することも行なう。

40

【0034】

走査線駆動回路 YD には複数の走査線 GL、複数のプリチャージゲート線 PG、および、複数の読み出しゲート線 RG が電氣的に接続されている。走査線駆動回路 YD は、複数の走査線 GL に画素スイッチ SWP をオンする (ソース - ドレインパスを導通させる) ためのゲート電圧を供給して、走査線 GL を順次駆動する。また、走査線駆動回路 YD は、複数のプリチャージゲート線 PG および複数の読み出しゲート線 RG を所定のタイミングで駆動して、センサ回路 12 を駆動させる。

【0035】

信号線駆動回路 XD には複数の信号線 SL が電氣的に接続されている。信号線駆動回路 XD は、ソース - ドレインパスが導通した画素スイッチ SWP を介して、信号線 SL から

50

画素電極 P E へ映像信号を供給する。

【 0 0 3 6 】

対向電極駆動回路 C D は、対向電極 C E に共通電圧 V c o m を供給する。対向電極駆動回路 C D は、画像表示動作において液晶表示装置の極性反転方式に対応するように共通電圧 V c o m を変化させる。第 1 の実施の形態では、対向電極駆動回路 C D は、更にセンサ回路 1 2 を駆動する期間において対向電極に付加される共通電圧 V c o m をパルス状に変化させる。なお、共通電圧を変化させる動作周波数は数十 k H z 以上にする事で、表示画像へのフラッシュ及びフリッカー等の影響を小さくすることができる。

【 0 0 3 7 】

なお、信号線 S L は、センサ回路 1 2 を駆動する期間においてセンサ回路 1 2 への信号を供給するプリチャージ線 P R L、および、読み出し線 R O L としても用いられる。

10

【 0 0 3 8 】

図 5 は、第 1 の実施の形態に係る表示装置の表示部 D Y P の構成を模式的に示す断面図である。

【 0 0 3 9 】

液晶層 L Q の上部には対向基板 2 0 が設けられ、液晶層 L Q の下部にはアレイ基板 1 0 が設けられている。対向基板 2 0 には、対向電極 C E が配されている。アレイ基板 1 0 には、画素電極 P E と検知電極 1 2 E とが同層に配され、読み出しゲート線 R G、アンプソース線 V s 及びプリチャージゲート線 P G が同層に配されている。

20

【 0 0 4 0 】

検知電極 1 2 E とアンプソース線 V s の動作については後述するが、第 1 の実施の形態に係る表示装置では、対向電極 C E の検知電極 1 2 E に対向する部分が切り取られている。この結果、表示部 D Y P の上部（タッチ部）に接触する指又はペン等は、検知電極 1 2 E との間で、より感度良く容量を形成することができる。また、図に示すように、対向電極 C E と検知電極 1 2 E との間には浮遊容量（ C 1、 C 1 ' ）が形成される。

【 0 0 4 1 】

図 6 は、第 1 の実施の形態の表示装置のセンサ回路 1 2 の一実施例による等価回路を示す図である。

【 0 0 4 2 】

センサ回路 1 2 には、検知電極 1 2 E、プリチャージ線 P R L、読み出し線 R O L、プリチャージゲート線 P G、読み出しゲート線 R G、アンプソース線 V S、プリチャージスイッチ S W A、増幅用スイッチ（アンプ） S W B、および、読み出し用スイッチ S W C が設けられている。また、上述のように対向電極 C E と検知電極 1 2 E とは浮遊容量であるカップリング容量 C 1 を介して接続される。読み出し線 R O L は例えば、電圧を保持するための容量等（図示せず）に接続してもよい。

30

【 0 0 4 3 】

検知電極 1 2 E は、接触体の有無による検知容量の変化を検出する。プリチャージ線 P R L を介して外部からプリチャージ電圧が入力される。読み出し線 R O L を介して外部へ検知電圧が取り出される。プリチャージゲート線 P G を介して外部からのプリチャージ電圧入力のタイミングが制御される。読み出しゲート線 R G を介して外部へ検知電圧を取り出すタイミングが制御される。アンプソース線 V S を介して検知電圧を形成するための所定の電圧が供給される。

40

【 0 0 4 4 】

プリチャージスイッチ S W A は、プリチャージ電圧を検知電極 1 2 E へ書き込み、かつ保持する。カップリング容量 C 1 は、共通電圧 V c o m を検知容量 1 2 E に付加する。増幅用スイッチ S W B は、検知電極 1 2 E に生じた電圧を所定の電圧に増幅する。読み出し用スイッチ S W C は、増幅された電圧を検知電圧として読み出し線 R O L へ出力し、かつ保持する。

【 0 0 4 5 】

プリチャージスイッチ S W A は例えば p 型の薄膜トランジスタであって、ゲート電極が

50

プリチャージゲート線 P G と電氣的に接続され（あるいは一体に構成され）、ソース電極がプリチャージ線 P R L と電氣的に接続され（あるいは一体に構成され）、ドレイン電極が検知電極 1 2 E と電氣的に接続され（あるいは一体に構成され）ている。

【 0 0 4 6 】

増幅用スイッチ S W B は例えば p 型の薄膜トランジスタであって、ゲート電極が検知電極 1 2 E と電氣的に接続され（あるいは一体に構成され）、ソース電極がアンプソース線 V S と電氣的に接続され（あるいは一体に構成され）、ドレイン電極が読み出し用スイッチ S W C のソース電極と電氣的に接続され（あるいは一体に構成され）ている。

【 0 0 4 7 】

読み出し用スイッチ S W C は例えば p 型の薄膜トランジスタであって、ゲート電極が読み出しゲート線 R G と電氣的に接続され（あるいは一体に構成され）、ソース電極が増幅用スイッチ S W B のドレイン電極と電氣的に接続され（あるいは一体に構成され）、ドレイン電極が読み出し線 R O L と電氣的に接続され（あるいは一体に構成され）ている。

【 0 0 4 8 】

プリチャージスイッチ S W D は例えば p 型の薄膜トランジスタであって、ゲート電極にはプリチャージゲート線 P R G と電氣的に接続され（あるいは一体に構成され）、ソース電極が読み出し線プリチャージ線 R P R と電氣的に接続され（あるいは一体に構成され）、ドレイン電極が読み出し線 R O L と電氣的に接続され（あるいは一体に構成され）ている。

【 0 0 4 9 】

図 7 は、第 1 の実施の形態の表示装置のセンサ回路 1 2 の駆動方法の一例を説明するためのタイミングチャートである。

【 0 0 5 0 】

[初期化動作]

プリチャージゲート線駆動波形（プリチャージゲート信号波形）は、プリチャージゲート線 P G に印加され、プリチャージ用スイッチ S W A のゲート電極端子に入力される。この結果、プリチャージゲート信号がオンレベル（ローレベル）のタイミングでプリチャージ線 P R L からプリチャージ電圧 V p r c がプリチャージ用スイッチ S W A を通じて検知電極 1 2 E に書き込まれる。

【 0 0 5 1 】

読み出し線プリチャージゲート線駆動波形は、読み出し線プリチャージゲート線 P R G に印加され、外部のスイッチ（プリチャージスイッチ S W D ）のゲート電極端子に入力される。この結果、読み出し線プリチャージゲート信号がオンレベル（ローレベル）のタイミングで、読み出し線プリチャージ線 R P R から読み出し線 R O L に外部のスイッチ（プリチャージスイッチ S W D ）を介してプリチャージ電圧が書き込まれる。これにより読み出し線 R O L の初期の電圧が設定される。

【 0 0 5 2 】

[検知動作]

指が検知電極 1 2 E に接近すると、指と検知電極 1 2 E との間の容量が形成されるため、指の有無によって対向電極電位を変化させたときの検知電極 1 2 E の電位が異なる。検知電極電位波形は検知電極 1 2 E の電位変動を示したものであり、対向電極電位を変化させたときの検知電極電位（指なし）と、検知電極電位（指あり）との間に電圧差を生じさせることができる。

【 0 0 5 3 】

対向電極電位波形は、対向電極駆動回路 C D によって駆動される共通電圧 V c o m のパルス波形である。共通電圧 V c o m が駆動されることによってカップリング容量 C 1 を介して検知電極 1 2 E の電位が変動する。従って、本実施の形態では、共通電圧 V c o m をパルスとして駆動するとともに浮遊容量 C 1 をカップリング容量として利用する。この結果、従来専用に設けていたカップリング容量 C 1 を専用素子として設けることが不要となり、カップリング容量 C 1 の他方の電極を対向電極のレイヤーと同一のレイヤーで構成す

10

20

30

40

50

ることが可能となる。

【 0 0 5 4 】

一方、アンプソース線 V S には、所定の電圧が付与されている。従って、増幅用スイッチ S W B のソース端子にはこの所定の電圧が印加されている。指なし時と指あり時とでは増幅用スイッチ S W B のゲート - ソース (G S) 間電位波形に差が生じているが、これは検知電極 1 2 E で生じた電圧差が増幅用スイッチ S W B の動作点の差に反映されることを示している。即ち、ゲート - ソース (G S) 間電圧(指なし)とゲート - ソース (G S) 間電圧(指あり)とで増幅用スイッチ S W B のゲート - ソース (G S) 間電圧に差が生じ、指なし時と指あり時とでは増幅用スイッチ S W B のオン抵抗に差が生じる。この結果、増幅用スイッチ S W B のドレインに発生する電圧の上昇速度に差が生ずる。

10

【 0 0 5 5 】

本実施の形態では、増幅用スイッチ S W B の電源電圧を付与するアンプソース線 V S が上述のカップリング容量 C 1 に付加される共通電圧 V c o m とは独立して、個別に設けられている。従って、アンプソース線 V S に付与する電圧は、読み出される検知電圧が、回路部品のコストが高くない最適な値になるように柔軟に設定することができる。

【 0 0 5 6 】

読み出しゲート線駆動波形は、読み出しゲート線 R G に印加され、読み出し用スイッチ S W C のゲ - ト電極端子に入力される。読み出しスイッチゲート信号がオンレベル (ローレベル) のタイミングで、増幅用スイッチ S W B のドレインの電圧が読み出し用スイッチ S W C を介して読み出し線 R O L に出力される。即ち、オンレベルのタイミングで検知電極 1 2 E の電位が増幅されて読み出し線 R O L に出力される。

20

【 0 0 5 7 】

読み出し線出力電圧波形はこの電圧変動を示したものであり、読み出しスイッチゲート信号がオンレベルのタイミングで読み出し線 R O L に出力される出力電圧が上昇し、カップリング容量 C 1 および指の接触による検知電極 1 2 E に生じる浮遊容量に応じた上昇率で電圧が上昇する。従って、出力電圧(指あり)と出力電圧(指なし)との間には電圧差が生じている。

【 0 0 5 8 】

続いて、センサ回路 1 2 とタイミングコントローラ T C O N (あるいは外部に設けられた制御回路、あるいは T F T 基板上に設けられた制御回路)との間の信号授受動作について説明する。

30

【 0 0 5 9 】

センサ回路 1 2 を駆動する場合、まず、タイミングコントローラ T C O N は走査線駆動回路 Y D を制御して、プリチャージゲート線 P G に印加する電圧をロー (L) レベルにしてプリチャージスイッチ S W A をオンさせる。タイミングコントローラ T C O N は信号線駆動回路 X D を制御してプリチャージ線 P R L にプリチャージ電圧を印加して、スイッチ S W A を介して検知電極 1 2 E にプリチャージ電圧を印加する。

【 0 0 6 0 】

同時に、タイミングコントローラ T C O N は、読み出し線プリチャージゲート線 P R G にローレベルの電圧を印加してプリチャージスイッチ S W D をオンさせ、プリチャージスイッチ S W D を介して読み出し線 R O L に読み出し線プリチャージ電圧 (例えば 0 V) を印加する。読み出し線電圧は 0 V となる。

40

【 0 0 6 1 】

次に、タイミングコントローラ T C O N は、プリチャージスイッチ S W A 、 S W D をオフさせた後、対向電極駆動回路 C D を制御して、対向電極 C E の電位 V c o m をハイ (H) レベルとする。対向電極 C E の電位がローレベルからハイレベルへ変化すると、カップリング容量 C 1 により検知電極 1 2 E の電位が増加する。このとき、その変化量は、検知電極 1 2 E に結合される容量によって異なる。

【 0 0 6 2 】

例えば、検知電極 1 2 E の上方に指やペン先等が近接している場合には、検知電極 1 2

50

Eと指との間に浮遊容量が生じる。この結果、指先やペン先等が無い場合と比較して検知電極12Eの電位が小さくなる。

【0063】

検知電極12Eの電位が異なると増幅用スイッチ(アンプ)SWBのゲート-ソース間電圧が異なるため、増幅用スイッチ(アンプ)SWBのオン抵抗も異なる。本実施形態では、検知電極12Eの上方において指先やペン先等が近接している場合には検知電極12Eの電位が低下するため、増幅用スイッチ(アンプ)SWBのゲート-ソース間電圧は大きくなり、増幅用スイッチ(アンプ)SWBのオン抵抗が低下する。また、検知電極12Eの上方において指先やペン先等が近接していない場合には検知電極12Eの電位が比較的高い電位となっているため、増幅用スイッチ(アンプ)SWBのゲート-ソース間電圧は比較的小さくなり、増幅用スイッチ(アンプ)SWBのオン抵抗は比較的高くなる。

10

【0064】

次に、タイミングコントローラTCONは走査線駆動回路YDを制御して、読み出しゲート線RGの電圧をローレベルとして読み出し用スイッチSWCをオンさせる。読出し線ROLは例えば、電圧を保持するための容量等(図示せず)あるいは所定の浮遊容量等(図示せず)を有しているため、読出し線ROLに出力される電圧は増幅用スイッチ(アンプ)SWBのオン抵抗に応じた上昇率で上昇する。すなわち、検知電極12Eの上方において指先やペン先等が接触している場合には、読み出し用スイッチSWCがオンすると、増幅用スイッチ(アンプ)SWBおよび読み出し用スイッチSWCを介し検知電極12Eの電圧に応じた上昇率で読み出し線ROLの電圧が上昇していく。

20

【0065】

したがって、指先やペン先等が接触している場合には、指先やペン先等が接触していない場合よりも、読み出し用スイッチSWCをオンさせた所定の期間において読み出し線ROLの電位の変化が大きくなる。読み出し線ROLには、予め書き込まれた読み出し線ブリチャージ信号が保持されており、読み出しゲート線RGがオンすると同時に読み出し線ROLの電位は高電位側に向かって徐々に変動し始める。読み出し線ROLの電位は、読み出し線出力期間Tread内までは変動を持続するが、読み出しゲート線が再びオフすると、それ以降は一定の電圧が保持される。

【0066】

そこで、読み出しゲートがオンしてからの出力期間Treadでの出力電圧(指あり)と出力電圧(指なし)との出力電圧差を検出することにより指先やペン先等が接触している位置を検出することが可能となる。

30

【0067】

図8は、第1の実施の形態に係る表示装置のアレイ基板10の構成を示す図である。

【0068】

表示画素PXは、赤色着色層を含む赤色表示画素PXRと、緑色着色層を含む緑色表示画素PXGと、青色着色層を含む青色表示画素PXBと、を備えている。赤色表示画素PXRと緑色表示画素PXGと青色表示画素PXBとは、表示画素ユニットPXUを構成する。

【0069】

図中にPXR, PXG, PXBで示される各色の画素を構成するそれぞれの画素電極PEは、例えばITO(Indium Tin Oxide)等の透明導電性材料によって形成されている。そして、表示画素PXは、行方向D1に周期的に並んで配置される。検知電極12Eは例えば画素電極PEと同層とされ、表示画素行の間の行に行方向D1方向に周期的に配置されている。一方、センサ回路12も、表示画素行の間の行に設けられている。

40

【0070】

なお、図8のアレイ基板10と液晶層LQを介して対向する面には対向基板20が設けられる。対向基板20は、透明絶縁性基板(図示せず)と、透明絶縁性基板上において検知電極12Eに対向する部分に開口部を有する対向電極CEと、表示画素PXに配置された着色層(図示せず)と、表示部DYPの周囲および表示画素PXの周囲の領域に配置さ

50

れた遮光層（図示せず）と、を備えている。

【0071】

着色層は、赤色の主波長の光を透過する赤色着色層と、緑色の主波長の光を透過する緑色着色層と、青色の主波長の光を透過する青色着色層と、を備えている。赤色着色層と緑色着色層と、青色着色層とのそれぞれは、複数の表示画素PXの列方向D2に延びて配置され、行方向D1に周期的に並んで配置される。

【0072】

検知電極12Eは対向電極CEの開口部と対向する位置のアレイ基板10において画素電極PEと異なる層で形成してもよい。

【0073】

図9は、第1の実施の形態のセンサ回路12の配置の一例を示す図である。

【0074】

図9では、表示画素PXは、1行ごとに行方向D1に対して線対称となるように反転して設けられている。表示画素PXの行は、2行毎に間隔を空けて並んでいる。センサ回路12は、表示画素PXの2行と表示画素PXの2行との間の領域に設けられている。

【0075】

なお、センサ回路12は、4行4列の表示画素ユニットPXUに1つ配置されているが、この形態に限定されず、他の表示画素ユニットPXUには設けられて無くても良い。即ち、センサ回路12は、n行m列の表示画素ユニットPXUに少なくとも1つ配置することができる。

【0076】

さらに、図9に示すように、対向電極CEの検知電極12Eに対向する部分には開口部が設けられている。検知電極12Eは行方向に接続された連続する10個のブロック電極で形成されている。開口部は、連続する10個のブロック電極を全て含むように設けられているが、この形態に限定されない。即ち、開口部は、ブロック電極の一部を含むように設けても良い。また、一つの検知電極12Eに対して開口部は複数個設けても良い。

【0077】

上述のように、第1の実施の形態に係る表示装置は、対向基板20の透明絶縁基板上に指先やペン先等により接触された位置と接触されない位置とを、センサ回路12の出力電圧の差により検出することが可能に構成されている。

【0078】

この方式の場合、指の有無での出力電圧差が最も大きくなるような出力期間Treadに設定することで検出感度が向上する。プリチャージ線PRLは複数のセンサ回路で共通して用いてもよいが、センサ回路12ごとに独立させ、プリチャージ線PRLごとにプリチャージスイッチSWAを個別に設け、その印加電圧（プリチャージ電圧）を個別に制御することによりセンサ回路12のS/N（signal/noise）を個々に制御することが出来る。

【0079】

図10は、第1の実施の形態の表示装置のプリチャージ電圧Vprcとセンサ回路12の出力電圧（読み出し線ROLの電圧）との関係の一例を示す図である。

【0080】

図10では、複数の時間について指ありと指なしでの出力電圧を示している。測定条件によってグラフの曲線は左右にシフトしている。指ありと指なしでの出力電圧の差が最大になるように個々のセンサ回路12についてプリチャージ電圧を調整することで、全てのセンサ回路12のS/Nを全て最大に維持することが可能となる。

【0081】

図11は、第1の実施の形態の表示装置において、指ありと指なしとで、センサ回路12の出力電圧と出力時間との関係の一例を示す図である。図12は、第1の実施の形態の表示装置において、指ありと指なしとで、プリチャージ電圧Vprcを大きくした場合の、センサ回路12の出力電圧と出力時間との関係の一例を示す図である。

【0082】

図11および図12のグラフを比較すると、プリチャージ電圧 V_{prc} を大きくすることで、規定電圧 V_1 に達するまでに時間を要していることと、指ありと指なしとで出力電圧の差が大きくなっていることがわかる。ただし、この特性はアンプソース線 V_S に印加される電圧にも依存してくるため、アンプソース線 V_S の電圧に応じて、最適なプリチャージ電圧 V_{prc} を設定する。

【0083】

尚、第1の実施の形態では、センサ回路12の読み出し線 ROL は画素電極 PE へ映像信号を供給する信号線 SL と共用しているため、センサ回路12の動作時間は有限である。そのため、むやみにプリチャージ電圧 V_{prc} を大きくすると、センサ回路12の動作時間内に接触の有無に関わらず、規定の電圧まで達しない可能性がある。

10

【0084】

そこで、例えば外部に設けられた制御回路で規定電圧 V_1 に達する時間を常に監視し、プリチャージ電圧 V_{prc} を最適にすることで、センサ回路12の動作時間内で最大の S/N を得ることができる。即ち、個々のセンサ回路12についてプリチャージ電圧 V_{prc} を調整することで、全てのセンサ回路12の S/N を全て最大に維持することが可能となる。

【0085】

一方、全ての信号線 SL の電圧を調整することはプリチャージ電圧出力回路の個数が膨大になるので、コストアップの要因となる場合がある。そこで、ある程度の信号線 SL を束ねて、表示部 DYP のエリアごとにプリチャージ電圧 V_{prc} を調整することで、 S/N の最大化とコスト低減とを実現することができる。

20

【0086】

図13は、第1の実施の形態の表示装置のセンサ回路12の駆動のタイミングの一例を示す図である。図13では、例えば、表示部 DYP は600行×800列の表示画素 PX を含み、150×200のセンサ回路12が配置されている表示装置においてセンサ回路12を駆動する場合を示している。即ち、4行×4列の表示画素ユニットごとに、1つのセンサ回路12が設けられている。

【0087】

走査線駆動回路 YD および信号線駆動回路 XD は、1水平(1H)期間において、1行分の映像信号を画素電極 PE に書き込み、1垂直期間(1V)において、表示部 DYP に表示される1画面分の映像信号を画素電極 PE に書き込むように制御される。1垂直期間は例えば16.7msecであって、600水平期間と垂直ブランク期間(Vブランク)とを含む。

30

【0088】

第1の実施の形態では、4水平期間(4H)において、まず4行分の映像信号に対応する画素電極 PE に書き込み、続いてセンサ回路12を駆動する。走査線駆動回路 YD と信号線駆動回路 XD とは、4水平期間単位でこの動作を繰り返す。

【0089】

センサ回路12は、4行4列の表示画素ユニット PXU に1つ配置されているため、4行の表示画素 PX を駆動する期間に1行のセンサ回路12を駆動すると、1垂直期間において表示部 DYP に配置された全部のセンサ回路12を駆動することができる。

40

【0090】

図14は、第1の実施の形態のセンサ回路12の駆動タイミングの他の例を示す図である。

【0091】

図14に示す場合では、走査線駆動回路 YD と信号線駆動回路 XD とは、1垂直期間において、まず全部の画素電極 PE に順次映像信号を書き込み、続いて全てのセンサ回路12を順次駆動する。

【0092】

50

なお、センサ回路 1 2 の駆動は、全ての垂直期間において行なわれてもよく、数垂直期間毎に行なってもよい。例えば、タッチパネル機能を停止するモードでは、センサ回路 1 2 を駆動しないようにし、タッチパネル機能のスタンバイモードでは、数垂直期間毎にセンサ回路 1 2 を駆動するように、走査線駆動回路 Y D と信号線駆動回路 X D とを制御してもよい。

【 0 0 9 3 】

また、図 1 3 では 4 水平期間で 1 度、1 行分のセンサ回路 1 2 を駆動し、図 1 4 では 1 垂直期間で 1 度 1 行分のセンサ回路 1 2 を駆動しているが、センサ回路 1 2 を駆動するタイミングはこれらのタイミングに限られない。例えば、1 垂直期間を 2 つの期間に分割し、1 / 2 垂直期間のそれぞれにおいて映像信号の書き込みが終了した後にセンサ回路 1 2 を駆動するようにしてもよい。この場合、偶数行目のセンサ回路 1 2 と奇数行目のセンサ回路 1 2 とを 1 / 2 垂直期間毎に交互に駆動する（インタレース駆動を行なう）ように走査線駆動回路 Y D と信号線駆動回路 X D とが構成されてもよい。

10

【 0 0 9 4 】

図 1 5 は、第 1 の実施の形態の表示装置のセンサ回路 1 2、プリチャージゲート線 P G、および、読み出しゲート線 R G の配置位置の例を示す図である。

【 0 0 9 5 】

センサ回路 1 2 は、表示画素ユニット P X U が配列する 4 行 4 列のブロック B K 毎に 1 つ配置されている。センサ回路 1 2 は、4 行 4 列に配置された表示画素ユニット P X U の 3 行目と 4 行目との間の領域に、走査線 G L が延びる方向と略平行な方向に並んで配置されている。

20

【 0 0 9 6 】

プリチャージゲート線 P G は、第 1 行のブロック B K において並んで配置されたセンサ回路 1 2 に沿って延びた第 1 枝配線 P G 1 と、第 1 行の隣の第 2 行のブロック B K において並んで配置されたセンサ回路 1 2 に沿って延びた第 2 枝配線 P G 2 と、を備えている。読み出しゲート線 R G は、第 1 行のブロック B K において並んで配置されたセンサ回路 1 2 に沿って延びた第 1 枝配線 R G 1 と、第 1 行の隣の第 2 行のブロック B K において並んで配置されたセンサ回路 1 2 に沿って延びた第 2 枝配線 R G 2 と、を備えている。

【 0 0 9 7 】

このようにプリチャージゲート線 P G と読み出しゲート線 R G とを構成すると、走査線駆動回路 Y D は、2 行単位でセンサ回路 1 2 を駆動することが可能となる。2 行単位でセンサ回路 1 2 を駆動すると、増幅能力が略 2 倍となりセンサ回路 1 2 の S / N 差を大きくすることができる。

30

【 0 0 9 8 】

図 1 6 は、第 1 の実施の形態の表示装置のセンサ回路 1 2、プリチャージゲート線 P G、および、読み出しゲート線 R G の配置位置の他の例を示す図である。図 1 6 に示す場合では、センサ回路 1 2 の配置位置は図 1 5 に示す場合と同じであり、プリチャージゲート線 P G と読み出しゲート線 R G との配置が異なっている。

【 0 0 9 9 】

プリチャージゲート線 P G は、ブロック B K の各行において、1 行目と 2 行目との表示画素ユニット P X U の間の領域と、3 行目と 4 行目の表示画素ユニット P X U の間の領域とにおいて、走査線 G L と略平行な方向に延びた配線と、これらの配線の端部を接続する配線とによりループ状に構成されている。

40

【 0 1 0 0 】

同様に、読み出しゲート線 R G は、ブロック B K の各行において、1 行目と 2 行目との表示画素ユニット P X U の間の領域と、3 行目と 4 行目の表示画素ユニット P X U の間の領域とにおいて、走査線 G L と略平行な方向に延びた配線と、これらの配線の端部を接続する配線とによりループ状に構成されている。

【 0 1 0 1 】

このように、プリチャージゲート線 P G と読み出しゲート線 R G とを構成すると、配線

50

左右端において信号の差が小さくなり、 S/N を向上させることができる。

【0102】

図17は、第1の実施の形態の表示装置のセンサ回路12、プリチャージゲート線PG、および、読み出しゲート線RGの配置位置の他の例を示す図である。図17に示す場合では、センサ回路12の配置位置は図15に示す場合と同じであり、プリチャージゲート線PGと読み出しゲート線RGとの配置が異なっている。

【0103】

プリチャージゲート線PGおよび読み出しゲート線RGは、奇数行目のブロックBKに配置されたセンサ回路12と、偶数行目のブロックBKに配置されたセンサ回路12とで信号を供給する方向が異なっている。

10

【0104】

プリチャージゲート線PGおよび読み出しゲート線RGは、奇数行目のブロックBKでは、3行目と4行目との表示画素ユニットPXUの間の領域においてセンサ回路12に沿って延びて配置されている。

【0105】

偶数行目のブロックBKでは、プリチャージゲート線PGおよび読み出しゲート線RGは、1行目と2行目との表示画素ユニットPXUの間の領域を経由して、列方向における反対側から3行目と4行目との表示画素ユニットPXUの間の領域においてセンサ回路12に沿って延びて配置されている。

【0106】

20

このように、プリチャージゲート線PGと読み出しゲート線RGとを構成すると、列方向における表示部DYPの両端において信号の差が小さくなり、 S/N を向上させることができる。

【0107】

図18は、第1の実施の形態の表示装置のセンサ回路12、プリチャージゲート線PG、および、読み出しゲート線RGの配置位置の他の例を示す図である。センサ回路12は、表示画素ユニットPXUが配列する4行4列のブロックBK毎に1つ配置されている。センサ回路12は、4行4列に配置された表示画素ユニットPXUの1行目と2行目との間の領域、あるいは、3行目と4行目との間の領域に配置されている。

【0108】

30

第1ブロックBK1において、センサ回路12が1行目と2行目との表示画素ユニットPXUの間の領域に配置されている。第2ブロックBK2では、センサ回路12は3行目と4行目との表示画素ユニットPXUの間の領域に配置される。第1ブロックBK1と第2ブロックBK2とは、信号線SLが延びる方向（行方向）および走査線GLが延びる方向（列方向）において交互に並んで配置されている。

【0109】

プリチャージゲート線PGは、ブロックBKの各行において、3行目と4行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向に延びて、さらに、1行目と2行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向に延びる、略J字状に配置されている。

40

【0110】

同様に、読み出しゲート線RGは、ブロックBKの各行において、3行目と4行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向に延びて、さらに、1行目と2行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向の延びる、略J字状に配置されている。

【0111】

このように、センサ回路12、プリチャージゲート線PG、および、読み出しゲート線RGを配置すると、表示部DYPの左右端において信号の差が小さくなり、 S/N を向上させることができる。

【0112】

50

図19は、第1の実施の形態の表示装置のセンサ回路12、プリチャージゲート線PG、および、読み出しゲート線RGの配置位置の他の例を示す図である。センサ回路12は、表示画素ユニットPXUが配列する4行4列のブロックBK毎に1つ配置されている。センサ回路12は、4行4列に配置された表示画素ユニットPXUの1行目と2行目との間の領域、あるいは、3行目と4行目との間の領域に配置されている。

【0113】

センサ回路12は、奇数列目のブロックBKにおいて、1行目と2行目との表示画素ユニットPXUの間の領域に配置されている。センサ回路12は、偶数列目のブロックBKにおいて、3行目と4行目との表示画素ユニットPXUの間の領域に配置されている。

【0114】

プリチャージゲート線PGは、奇数行目のブロックBKにおいて、3行目と4行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向に延びて、さらに、1行目と2行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向の延びる、略J字状に配置されている。偶数行目のブロックにおいて、プリチャージゲート線PGは、1行目と2行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向に延びて、さらに、3行目と4行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向の延びる、略J字状に配置されている。

【0115】

同様に、読み出しゲート線RGは、奇数行目のブロックBKにおいて、3行目と4行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向に延びて、さらに、1行目と2行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向の延びる、略J字状に配置されている。偶数行目のブロックにおいて、読み出しゲート線RGは、1行目と2行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向に延びて、さらに、3行目と4行目との表示画素ユニットPXUの間の領域において走査線GLと略平行な方向の延びる、略J字状に配置されている。

【0116】

このように、センサ回路12、プリチャージゲート線PG、および、読み出しゲート線RGを配置すると、表示部DYPの左右端において信号の差が小さくなり、S/Nを向上させることができる。

【0117】

[第2の実施の形態]

次に、本発明の第2実施形態に係る表示装置について図面を参照して説明する。なお、以下の説明において上述の第1実施形態に係る表示装置と同様の構成については同一の符号を付して説明を省略する。

【0118】

第2の実施の形態に係る表示装置では、指やペンの先端が接触しているか否かを、読み出し線ROLの電位が基準電圧に達するまでの時間により検出している。回路基板60は、読み出し線ROLの電位が基準電圧に達するまでの時間を比較する比較器(図示せず)をさらに備えている。この点以外は上述の第1実施形態に係る表示装置と同様である。

【0119】

図20は、第2の実施の形態に係る表示装置において、読み出しゲート線RGの駆動波形と、読み出し線ROLの出力電圧波形と、の一例を示す図である。読み出しゲート線RGの駆動波形、および、読み出し線ROLの出力電圧波形は、図7で説明したものと同様である。

【0120】

第2の実施の形態では、基準電圧VAを設定し、読み出し線ROLの出力電圧波形の電圧値が基準電圧VAに到達するまでに要する出力時間Tout1と、出力時間Tout2との出力時間差Tdiffを検出している。

【0121】

信号線駆動回路XDは、フレキシブル基板FC2を介して回路基板60へ読み出し線R

10

20

30

40

50

OLの出力電圧を出力する。回路基板60は、出力電圧をA/D変換部ADCでデジタル信号に変換して外部信号源へ出力する。外部信号源が供給された出力電圧と基準電圧VAとを比較して、出力時間T_{out1}および出力時間T_{out2}を検出して、出力時間差T_{diff}を算出する。

【0122】

このような検出方法を用いることによってA/D変換部ADCに入力される電圧を低電圧化できるため、画像読み取り装置の低コスト化が可能となる。

【0123】

図21は、第2の実施の形態に係る表示装置において、横軸にプリチャージ電圧V_{prc}、縦軸に出力時間差T_{diff}をとって、出力時間差 - プリチャージ電圧特性曲線の一例を示す図である。図21に示すように、出力時間差 - プリチャージ電圧特性曲線は下に凸の曲線であり、プリチャージ電圧V_{prc}が大きくなる程出力時間差T_{diff}が大きくなる。

10

【0124】

しかし、プリチャージ電圧V_{prc}が所定値以上となると、読み出し線ROLの電圧値が出力期間T_{read}以内に基準電圧VAに到達しないために、出力時間差T_{diff}が検出不可能となる。出力時間差T_{diff}を検出する限界が最大プリチャージ電圧であり、その時の出力時間差T_{diff}が、最大出力時間差である。

【0125】

すなわち、出力時間差T_{diff}が最大となる点をもっとも検出感度が高くなるため、プリチャージ電圧V_{prc}は、出力時間差 - プリチャージ電圧特性曲線の最適制御ポイントPに対応する値となるように制御することが望ましい。

20

【0126】

この具体的な制御方法としては、最初にプリチャージ電圧V_{prc}をプリチャージ電圧初期値に設定し、そこから徐々にプリチャージ電圧V_{prc}を増加させ、最終的に最大プリチャージ電圧に設定する方法が考えられる。

【0127】

このようにプリチャージ電圧V_{prc}の大きさを設定することによって、センサ回路12の検出感度を最大限に高くすることが可能となる。

【0128】

30

尚、上記出力時間T_{out1}、出力時間T_{out2}、出力時間差はプリチャージ電圧V_{prc}以外にもアンプソース線VSに印加される電圧にも依存するため、併せてアンプソース線VSに印加する電圧も予め所定の値に設定しておく。

【0129】

図22は、第2の実施の形態に係る表示装置において、プリチャージ電圧V_{prc}を短時間で最適な値に設定するための手順の一例を説明するためのフローチャートである。

【0130】

まず、プリチャージ電圧初期値V_{prc}(1)をプリチャージ線PRLに印加し(ステップST1)、続いて次のプリチャージ電圧V_{prc}(2)(=V_{prc}(1)+ΔV_{prc}(1))を演算して値を設定する(ステップST2)。

40

【0131】

次に、プリチャージ電圧V_{prc}(2)を、プリチャージ線PRLに印加し、(ステップST3)、プリチャージ電圧V_{prc}(2)に対する出力時間(指あり)T_{out1}と出力時間(指なし)T_{out2}とを計算し、これらと読み出し線出力期間T_{read}と比較して(ステップST4)、読み出し線出力期間T_{read}よりも大きければ出力時間差T_{diff}を検出できないので、プリチャージ電圧増加分ΔV_{prc}(1)を小さく設定し直して(ステップST5)、再度プリチャージ電圧V_{prc}(2)を計算し直す(ステップST2)。

【0132】

一方、ステップST4において、出力時間(指あり)T_{out1}と出力時間(指なし)T_o

50

ut 2 とが共に読み出し線出力期間 T_{read} よりも小さければ、出力時間差 T_{diff} を検出できるので、出力時間差 T_{diff} のプリチャージ電圧 $V_{prc}(2)$ に対する変化の割合を計算する (ステップ ST 6)。

【0133】

ここで最適制御ポイント P での出力時間差変化率 T_{arget} を予め見積もっており、ステップ ST 6 で計算した値 $\Delta T_{diff} / \Delta V_{prc}$ とこの見積もり値 T_{arget} とを比較し (ステップ ST 7)、両者の差が所定値 (第 1 値) より小さい場合は (ステップ ST 8) プリチャージ電圧増加分 ΔV_{prc} を小さく設定し直し (ステップ ST 9)、両者の差が所定値 (第 2 値) 以上の場合は (ステップ ST 8) プリチャージ電圧増加分 ΔV_{prc} を大きく設定し直し (ステップ ST 10)、その後プリチャージ電圧 V_{prc} を計算し直す (ステップ ST 11)。

10

【0134】

ここで再度、ステップ ST 6 において出力時間差変化率を計算し直し、出力時間差変化率比較 (ステップ ST 7) から出力時間差変化率 2 次計算 (ステップ ST 6) までの一連の手順を何回か繰り返し、出力時間差変化率の計算値 $\Delta T_{diff} / \Delta V_{prc}$ と最適制御ポイント P での出力時間差変化率の見積もり値 T_{arget} との差がある所定の範囲 (第 1 値以上第 2 値以下) となった場合、最大プリチャージ電圧に近づいた最終的なプリチャージ電圧 V_{prc} を印加して設定を完了する。

【0135】

なお、出力時間差変化率 2 次計算 (ステップ ST 6) の最初の数回については、出力時間差変化率比較 (ステップ ST 7) にいきなり進まず、出力時間比較 (ステップ ST 4) まで戻るように構成してもよい。

20

【0136】

これは、プリチャージ電圧再設定の結果、出力時間 (指あり) T_{out1} 、或いは出力時間 (指なし) T_{out2} が読み出し線出力期間 T_{read} よりも大きくなってしまった場合、出力時間差変化率比較 (ステップ ST 7) において出力時間差変化率を計算できず、先の手順に進むことができなくなるためである。

【0137】

しかしながら、このル - プを毎回繰り返すと出力時間 (指あり) T_{out1} 、或いは出力時間 (指なし) T_{out2} が読み出し線出力期間 T_{read} よりも大きくなった場合にプリチャージ電圧初期設定 (ステップ ST 2) から出力時間比較 (ステップ ST 4) までのル - プを繰り返すことになり、設定に時間がかかってしまう。

30

【0138】

出力時間差変化率比較 (ステップ ST 7) から出力時間差変化率 2 次計算 (ステップ ST 6) までのル - プは、プリチャージ電圧初期設定 (ステップ ST 2) から出力時間比較 (ステップ ST 4) までのル - プを繰り返すことによる設定時間の無駄をできる限り短縮し、かつ出力時間差変化率比較 (ステップ ST 7) から出力時間差変化率 2 次計算 (ステップ ST 6) までのル - プ自身の繰り返し回数もできる限り少なくするために設けられたル - プであり、出力時間 (指あり) T_{out1} 、或いは出力時間 (指なし) T_{out2} が読み出し線出力期間 T_{read} よりも大きくならない範囲内でプリチャージ電圧を最大プリチャージ電圧になるべく近づけるようにプリチャージ電圧増加分の設定を調節できる。

40

【0139】

従って、本実施形態に係る表示装置によれば、プリチャージ電圧の制御方法を用いることにより、検出感度を短時間において最大限に高くすることが可能となる。

【0140】

[第 3 の実施の形態]

第 3 の実施の形態に係る表示装置は、第 1 及び第 2 の実施の形態に係る表示装置とその構成が異なっている。

【0141】

図 23 は、第 3 の実施の形態に係る表示装置の一構成例を示す図である。

50

【0142】

図23に示す場合では、アレイ基板10へ信号を供給する回路基板61が、回路基板60と対向する側の端部にフレキシブル基板FPCを介して接続されている。回路基板61には、タイミングコントローラTCO Nが搭載されている。センサ回路12の出力信号は、マルチプレクサMUXを通してA/D変換部ADCに送信されてデジタル化された後、外部信号源へ出力される。外部信号源は、受信したデジタル信号から座標計算等を行なう。

【0143】

図24は、第3の実施の形態に係る表示装置の他の構成例を示す図である。

【0144】

10

図24に示す場合では、マルチプレクサMUX、D/A変換部DAC、比較器COMP、メモリ、および、マイコンが1つのチップに搭載されて回路基板60に配置されている。このように、センサ回路12の出力処理に関する回路をワンチップにまとめてもよい。この場合、マイコンにて座標計算などをおこなって、外部信号源へ出力するように構成してもよい。

【0145】

図25は、第3の実施の形態に係る表示装置の他の構成例を示す図である。

【0146】

図25に示す場合では、回路基板60にはマイコン、メモリ、および、タイミングコントローラTCO Nが搭載され、センサ回路12の出力信号をデジタル信号に変換するA/D変換回路(図示せず)および比較器がフレキシブル基板上のチップ(COF:Chip On Film)に搭載されている。センサ回路12の出力信号は、フレキシブル基板上の比較器(コンパレータ)で基準電圧VAと比較され、A/D変換回路でデジタル信号に変換されて、マイコンへ送信される。マイコンは、受信したデジタル信号から座標計算を行い、検出された座標を外部信号源へ出力する。

20

【0147】

図26は、第3の実施の形態に係る表示装置の他の構成例を示す図である。

【0148】

図26に示す場合では、駆動回路と、センサ回路12の出力信号をデジタル信号に変換するA/D変換回路および比較器と、が液晶表示パネルPNLの透明絶縁性基板上に一体形成されている(COG:Chip On Glass)。この場合、回路基板60と外部信号源とはシリアルインタフェースにより接続され、センサ回路12の出力信号のデジタル信号と映像信号とが通信される。

30

【0149】

また、上記第1乃至第3の実施の形態に係る表示装置は、TN(Twisted Nematic)モード、VMW(Versatile Mobile Window)モード、ISPモード、OCB(Optically Compensated Bend)モード等のその他の表示モードを採用する液晶表示装置であってもよい。

【0150】

また、上記第1乃至第3の実施の形態に係る表示装置では、カラー表示タイプの表示装置について説明したが、本発明は、白黒表示タイプの表示装置にも適用可能である。その場合には、着色層が省略され、センサ回路12は例えば4行12列の表示画素PX毎に1つ配置されることとなる。

40

【0151】

また、センサ回路12は、薄膜トランジスタの特性がばらついた場合でもキャンセルするように、スイッチが追加された構成であってもよい。なお、センサ回路12は、読み出し用スイッチSWC、読み出しゲート線RG、および読み出し用のプリチャージスイッチSWDを省略してもよい。その場合には、増幅用スイッチSWBのドレイン電極と読み出し線ROLとが電氣的に接続し、所定の負荷を与えることで、指ありと指なしとで増幅用スイッチSWBの出力電圧が定常的にそのオン抵抗に応じて異なる電圧となる。

【0152】

50

読み出しスイッチ S W C が省略されることにより、そのゲート電極に印加される電圧を制御する読み出しゲート線 R G が不要となる。しかしながら、これでは、共通の読み出し線 R O L から出力信号が取り出されるセンサ回路 1 2 からの信号が同時に出力されてしまうことがある。

【 0 1 5 3 】

そこで、読み出しスイッチ S W C を省略する場合には、信号線駆動回路 X D は、プリチャージ線 P R L に供給される電圧と、カップリングパルスとを同位相で振動させるように構成される。すなわち、信号線駆動回路 X D は、検知電極 1 2 E からの出力信号を読み出すタイミング以外は、指などが接触し容量結合の強弱が変化し検知電極 1 2 E の電位が変化しても、検知電極 1 2 E に接続された読み出しスイッチ S W C がオフ状態のままであるようなゲート電極電位になるようにカップリング容量 C 1 に供給されるパルス電圧を制御する。

10

【 0 1 5 4 】

その結果、読み出しスイッチ S W C および読み出しゲート線 R G を省略した場合でも、センサ回路 1 2 からの出力信号をその位置と関連付けた処理を行うことが可能となり、開口率の高い表示装置を提供することが可能となる。

【 0 1 5 5 】

センサ回路 1 2 の検知電極 1 2 E はすべて同一でなくてもよい。例えば 2 つのセンサ回路 1 2 にひとつの割合で検知電極 1 2 E のないセンサ（基準センサ）を設けてもよい。検知電極 1 2 E を備えたセンサと基準センサとのそれぞれの出力の差電圧を外部で演算し、所定の閾値を超えたか否かによりタッチ（接触）の有無を判別することができる。

20

【 0 1 5 6 】

また、センサ回路 1 2 は上記以外にも、指の有無による検知電極 1 2 E の浮遊容量の有無による電位の相違を読み取るものであれば適用可能となる。

【 0 1 5 7 】

[効果]

以上説明した各実施の形態の表示装置では、対向電極の検知電極と対向する少なくとも一部分を含む開口部を対向電極に設ける。これによって、指など誘電体とアレイ電極側の検知電極との間に検知を行うに十分な電界を形成させる。そして、センサ駆動期間において、対向電極に付加される共通電圧を駆動して検知電圧を読出するためのカップリングパルスとして使用する。また、読み出される検知電圧の基準となる電圧を独立してセンサ回路に供給する。このように構成することで、高い読み取り性能を備えるとともに、低コスト化を実現する表示装置を得ることができる。

30

【 0 1 5 8 】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

40

【 符号の説明 】

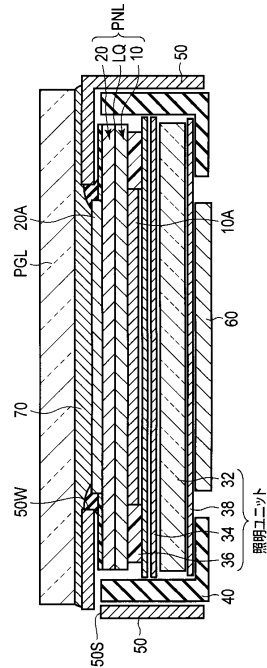
【 0 1 5 9 】

P N L ... 液晶表示パネル、 L Q ... 液晶層、 D Y P ... 表示部、 P E ... 画素電極、 G L ... 走査線、 P G ... プリチャージゲート線、 R G ... 読出しゲート線、 S L ... 信号線、 S W P ... 画素スイッチ、 C E ... 対向電極、 T C O N ... タイミングコントローラ、 Y D ... 走査線駆動回路、 X D ... 信号線駆動回路、 C D ... 対向電極駆動回路、 V c o m ... 共通電圧、 P R L ... プリチャージ線、 R O L ... 読出し線、 V s ... アンプソース線、 S W A ... プリチャージスイッチ、 S W B ... 増幅用スイッチ、 S W C ... 読出し用スイッチ、 C 1 ... カップリング容量、 V p r c ... プリチャージ電圧、 T r e a d ... 出力期間、 P X ... 表示画素、 P X U ... 表示画素ユニット、 1 0 ... アレイ基板、 2 0 ... 対向基板。

50

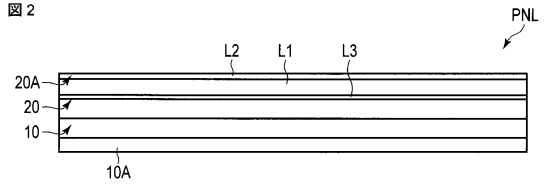
【図 1】

図 1



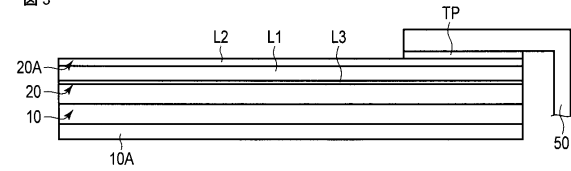
【図 2】

図 2



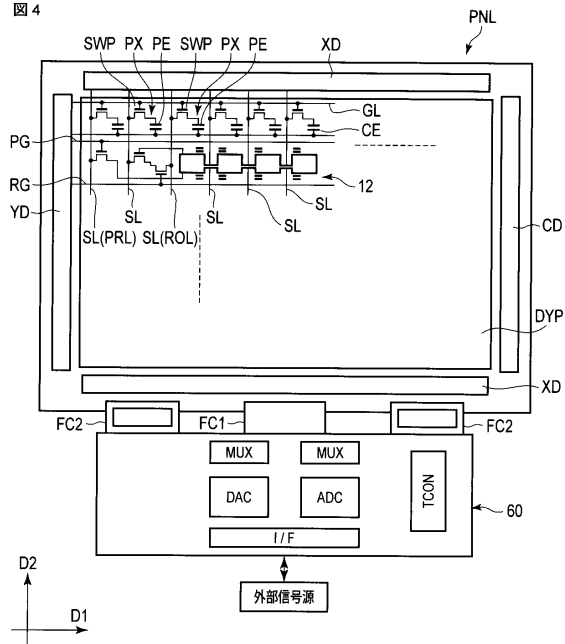
【図 3】

図 3



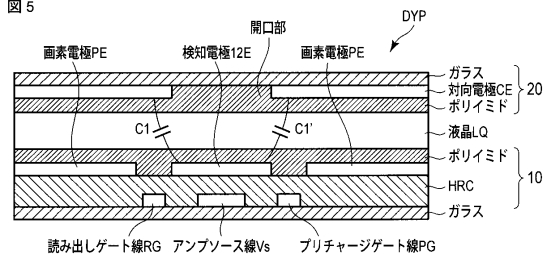
【図 4】

図 4



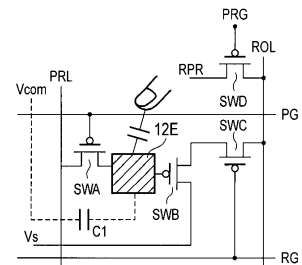
【図 5】

図 5

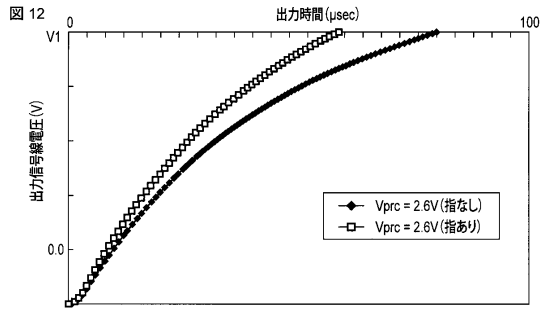


【図 6】

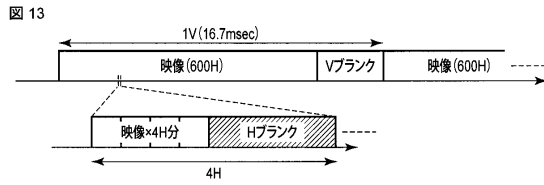
図 6



【図 1 2】



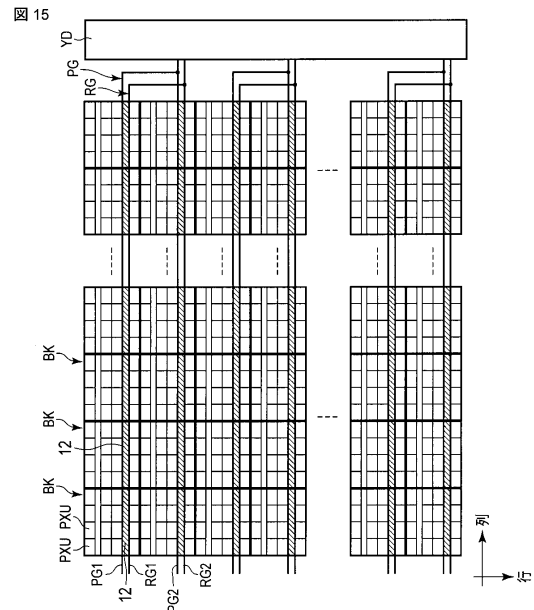
【図 1 3】



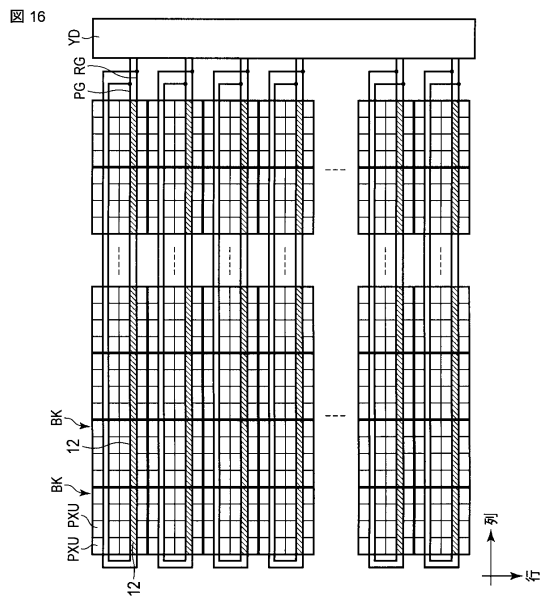
【図 1 4】



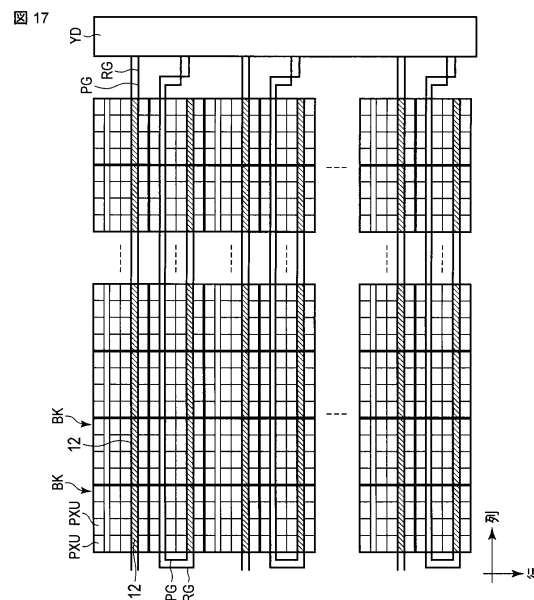
【図 1 5】



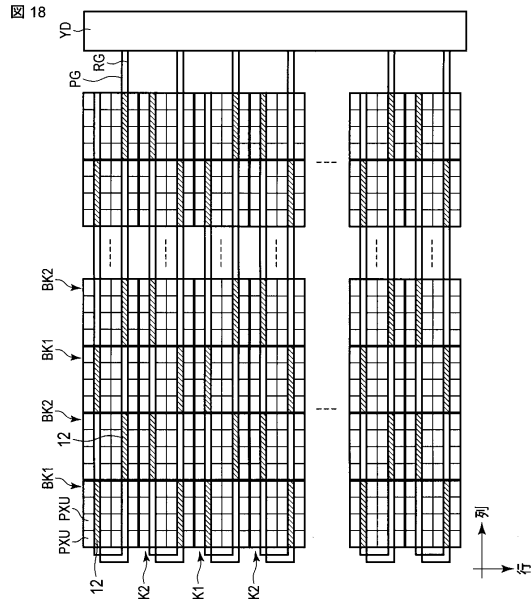
【図 1 6】



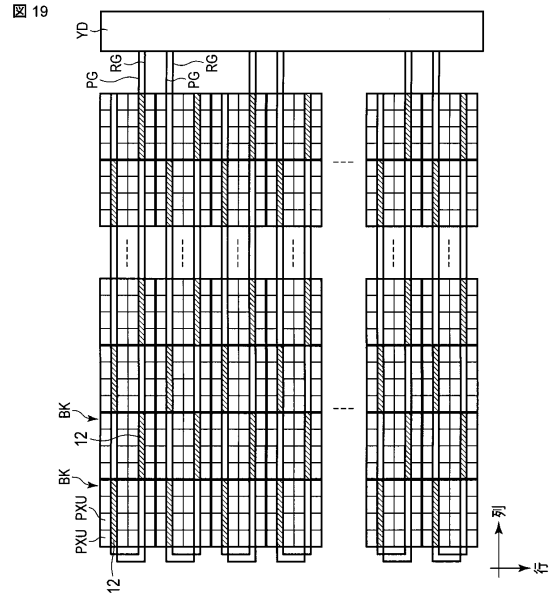
【図 1 7】



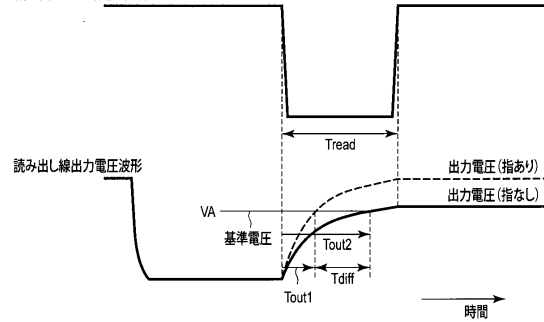
【図 18】



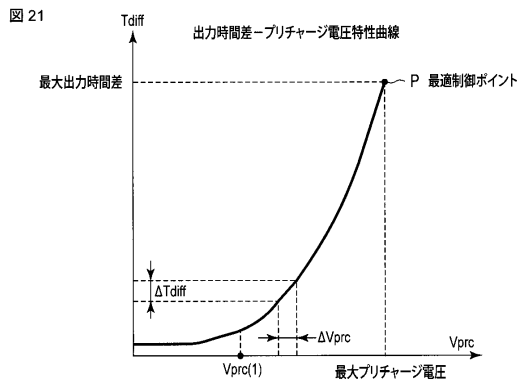
【図 19】



【図 20】

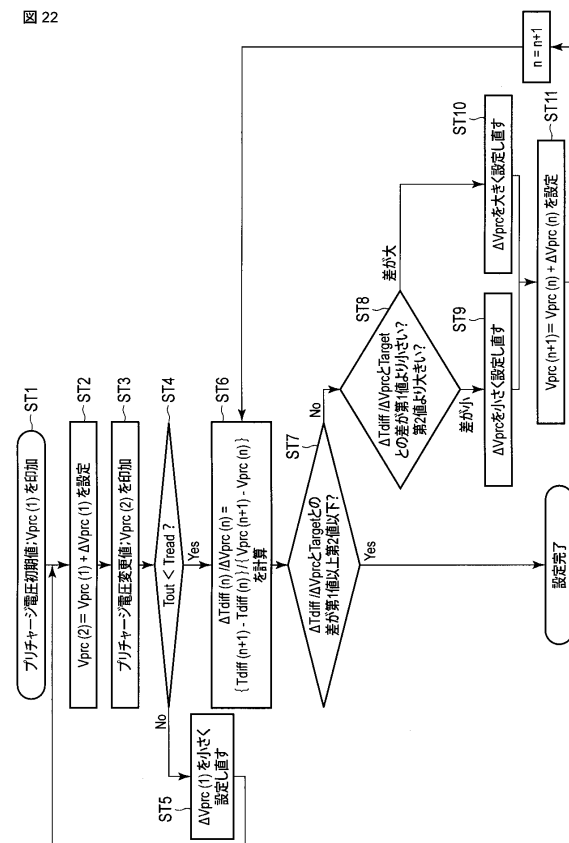
図 20
読み出しゲート線駆動波形

【図 21】



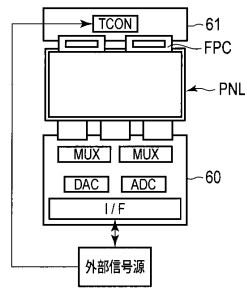
【図 22】

図 22



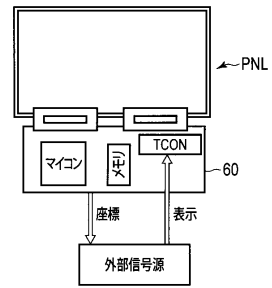
【図 23】

図 23



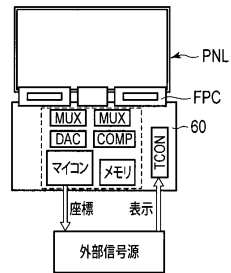
【図 25】

図 25



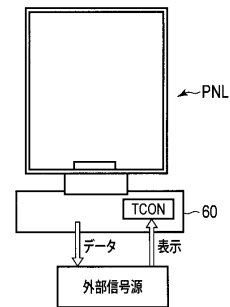
【図 24】

図 24



【図 26】

図 26



フロントページの続き

(51)Int.Cl.		F I			
G 0 6 F	3/044	(2006.01)	G 0 6 F	3/041	4 1 2
			G 0 6 F	3/044	1 2 9
			G 0 6 F	3/041	5 1 2

(74)代理人 100075672
弁理士 峰 隆司

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100172580
弁理士 赤穂 隆雄

(74)代理人 100179062
弁理士 井上 正

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 石川 美由紀
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 多田 正浩
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 中村 卓
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 梅田 豊
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 林 宏宜
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 青木 良朗
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

(72)発明者 綱島 貴徳
東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内

審査官 三笠 雄司

(56)参考文献 特開平6-317783(JP,A)
特開2011-180739(JP,A)
特開2012-43201(JP,A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F	1 / 1 3 3
G 0 2 F	1 / 1 3 3 3
G 0 2 F	1 / 1 3 4 5
G 0 2 F	1 / 1 3 6 8
G 0 6 F	3 / 0 4 1
G 0 6 F	3 / 0 4 4
G 0 9 G	3 / 2 0
G 0 9 G	3 / 3 6

专利名称(译)	表示装置		
公开(公告)号	JP6085518B2	公开(公告)日	2017-02-22
申请号	JP2013099646	申请日	2013-05-09
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
当前申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	石川美由紀 多田正浩 中村卓 梅田豊 林宏宜 青木良朗 網島貴徳		
发明人	石川 美由紀 多田 正浩 中村 卓 梅田 豊 林 宏宜 青木 良朗 網島 貴徳		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36 G09G3/20 G06F3/041 G06F3/044		
CPC分类号	G02F1/13338 G06F3/0412 G06F3/0446 G06F3/044		
FI分类号	G02F1/133.530 G02F1/1368 G09G3/36 G09G3/20.691.D G09G3/20.612.T G06F3/041.412 G06F3/044.129 G06F3/041.512 G06F3/041.330.A G06F3/041.330.D G06F3/041.350.C G06F3/044.E G09G3/20.680.G		
F-TERM分类号	2H192/AA24 2H192/GB34 2H192/GB36 2H193/ZA04 2H193/ZB07 2H193/ZE08 2H193/ZF18 2H193/ZF21 2H193/ZF31 2H193/ZF59 2H193/ZJ02 2H193/ZP03 2H193/ZP15 5B068/AA04 5B068/AA22 5B068/AA32 5B068/AA33 5B068/BB08 5B068/BC08 5B068/BC13 5B087/AA02 5B087/AB04 5B087/CC02 5B087/CC11 5B087/CC39 5C006/AA22 5C006/AF81 5C006/AF82 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF24 5C006/BF25 5C006/BF37 5C006/BF38 5C006/EA01 5C006/EC05 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD27 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/JJ07		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
其他公开文献	JP2014219606A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供具有高读取性能和实现低成本的显示装置。一种液晶显示装置，包括：显示面板PNL，包括对向基板20;夹着液晶层的阵列基板10;设置在对置基板上的对电极CE;以矩阵排列在阵列基板上的像素电极PE，传感器电路12设置在多个像素电极

的行之间，以在驱动传感器电路期间读取与电介质的电容耦合强度和以脉冲形式施加到对电极的公共电压和对电极驱动电路CD，其中传感器电路具有检测电极12E，该检测电极12E与电介质形成电容并与对电极形成电容，并且对电极检测检测电极显示装置具有开口部分，该开口部分包括与电极相对的至少一部分。 点域4

(19) 日本国特許庁 (JP)		(12) 特 許 公 報 (B2)		(11) 特許番号	
				特許第6085518号	
				(P6085518)	
(45) 発行日		平成29年2月22日 (2017. 2. 22)		(24) 登録日	
				平成29年2月3日 (2017. 2. 3)	
(51) Int. Cl.		F I			
G O 2 F		1/133	(2006. 01)	G O 2 F	1/133
G O 2 F		1/1368	(2006. 01)	G O 2 F	1/1368
G O 9 G		3/36	(2006. 01)	G O 9 G	3/36
G O 9 G		3/20	(2006. 01)	G O 9 G	3/20
G O 6 F		3/041	(2006. 01)	G O 9 G	3/20
				6 9 1 D	
				6 1 2 T	
				請求項の数 7	
				(全 26 頁)	
				最終頁に続く	
(21) 出願番号		特願2013-99646 (P2013-99646)		(73) 特許権者	
(22) 出願日		平成25年5月9日 (2013. 5. 9)		502356528	
(65) 公開番号		特開2014-219606 (P2014-219606A)		株式会社ジャパンディスプレイ	
(43) 公開日		平成26年11月20日 (2014. 11. 20)		東京都港区西新橋三丁目7番1号	
審査請求日		平成27年9月15日 (2015. 9. 15)		(74) 代理人	
				110001737	
				特許業務法人スズエ国際特許事務所	
				(74) 代理人	
				100108855	
				弁理士 蔵田 昌俊	
				(74) 代理人	
				100109830	
				弁理士 福原 淑弘	
				(74) 代理人	
				100088683	
				弁理士 中村 誠	
				(74) 代理人	
				100103034	
				弁理士 野河 信久	
				(74) 代理人	
				100095441	
				弁理士 白根 俊郎	
				最終頁に続く	
(54) 【発明の名称】 表示装置					