

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5937779号
(P5937779)

(45) 発行日 平成28年6月22日(2016. 6. 22)

(24) 登録日 平成28年5月20日(2016. 5. 20)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G02F 1/1368 (2006.01)

G09G 3/20 (2006.01)

H01L 29/786 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/1368

G09G 3/20 611A

G09G 3/20 611G

請求項の数 5 (全 70 頁) 最終頁に続く

(21) 出願番号 特願2010-229412 (P2010-229412)
 (22) 出願日 平成22年10月12日(2010.10.12)
 (65) 公開番号 特開2011-141522 (P2011-141522A)
 (43) 公開日 平成23年7月21日(2011.7.21)
 審査請求日 平成25年8月30日(2013.8.30)
 審判番号 不服2015-6998 (P2015-6998/J1)
 審判請求日 平成27年4月14日(2015.4.14)
 (31) 優先権主張番号 特願2009-238869 (P2009-238869)
 (32) 優先日 平成21年10月16日(2009.10.16)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2009-279004 (P2009-279004)
 (32) 優先日 平成21年12月8日(2009.12.8)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 荒澤 亮
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小山 潤
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 津吹 将志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

表示部に画素を有し、複数のフレーム期間で表示を行う液晶表示装置であって、
 前記画素は、トランジスタと、前記トランジスタと電氣的に接続された画素電極とを有し、

前記画素電極は、透光性を有し、

前記トランジスタは、酸化物半導体でなる半導体層を有し、

前記酸化物半導体は、Inと、Gaと、Znと、を有し、

前記酸化物半導体は、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満となるように、真性化又は実質的に真性化されたものであり、

前記トランジスタに1～10Vの間のいずれかのドレイン電圧を印加した場合、チャネル幅1 μm あたりのオフ電流は、 $1 \times 10^{-17} \text{A}$ 以下であり、

前記フレーム期間は、書き込み期間及び保持期間を有し、

前記書き込み期間において、前記画素に、画像信号を書き込んだ後、前記保持期間において、前記画素が有するトランジスタをオフ状態にして、少なくとも10秒間、再度、画像信号を書き込まないことを特徴とする液晶表示装置。

【請求項2】

表示部に画素を有し、複数のフレーム期間で表示を行う液晶表示装置であって、

前記画素は、トランジスタと、前記トランジスタと電氣的に接続された画素電極とを有し、

前記画素電極は、透光性を有し、
 前記トランジスタは、酸化物半導体でなる半導体層を有し、
 前記酸化物半導体は、Inと、Gaと、Znと、を有し、
 前記酸化物半導体は、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満となるように、高純度化されたものであり、
 前記トランジスタに1～10Vの間のいずれかのドレイン電圧を印加した場合、チャンネル幅1μmあたりのオフ電流は、 1×10^{-17} A以下であり、
 前記フレーム期間は、書き込み期間及び保持期間を有し、
 前記書き込み期間において、前記画素に、画像信号を書き込んだ後、前記保持期間において、前記画素が有するトランジスタをオフ状態にして、少なくとも10秒間、再度、画像信号を書き込まないことを特徴とする液晶表示装置。

10

【請求項3】

表示部に画素を有し、複数のフレーム期間で表示を行う液晶表示装置であって、
 前記画素は、トランジスタと、前記トランジスタと電氣的に接続された画素電極とを有し、
 前記画素電極は、透光性を有し、
 前記トランジスタは、酸化物半導体でなる半導体層を有し、
 前記酸化物半導体は、Inと、Gaと、Znと、を有し、
 前記酸化物半導体は、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満となるように、真性化又は実質的に真性化されたものであり、
 前記トランジスタに1～10Vの間のいずれかのドレイン電圧を印加した場合、チャンネル幅1μmあたりのオフ電流は、 1×10^{-17} A以下であり、
 前記フレーム期間は、書き込み期間及び保持期間を有し、
 前記書き込み期間において、前記画素に、画像信号を書き込んだ後、前記保持期間において、前記画素が有するトランジスタをオフ状態にして、少なくとも30秒間、再度、画像信号を書き込まないことを特徴とする液晶表示装置。

20

【請求項4】

表示部に画素を有し、複数のフレーム期間で表示を行う液晶表示装置であって、
 前記画素は、トランジスタと、前記トランジスタと電氣的に接続された画素電極とを有し、
 前記画素電極は、透光性を有し、
 前記トランジスタは、酸化物半導体でなる半導体層を有し、
 前記酸化物半導体は、Inと、Gaと、Znと、を有し、
 前記酸化物半導体は、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満となるように、高純度化されたものであり、
 前記トランジスタに1～10Vの間のいずれかのドレイン電圧を印加した場合、チャンネル幅1μmあたりのオフ電流は、 1×10^{-17} A以下であり、
 前記フレーム期間は、書き込み期間及び保持期間を有し、
 前記書き込み期間において、前記画素に、画像信号を書き込んだ後、前記保持期間において、前記画素が有するトランジスタをオフ状態にして、少なくとも30秒間、再度、画像信号を書き込まないことを特徴とする液晶表示装置。

30

40

【請求項5】

請求項1乃至請求項4のいずれかーにおいて、
 前記画素は、保持容量を有し、
 前記保持容量は、液晶容量に対して、1/3以下の容量値を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、液晶表示装置に関する。または、当該液晶表示装置を具備する電子機

50

器に関する。

【背景技術】

【0002】

液晶表示装置に代表されるように、ガラス基板等の平板に形成される薄膜トランジスタは、アモルファスシリコン、多結晶シリコンによって作製されている。アモルファスシリコンを用いた薄膜トランジスタは、電界効果移動度が低いもののガラス基板の大面积化に対応することができ、一方、結晶シリコンを用いた薄膜トランジスタは電界効果移動度が高いものの、レーザアニール等の結晶化工程が必要であり、ガラス基板の大面积化には必ずしも適応しないといった特性を有している。

【0003】

これに対し、酸化物半導体を用いて薄膜トランジスタを作製し、電子デバイスや光デバイスに応用する技術が注目されている。例えば、酸化物半導体膜として酸化亜鉛、 In-Ga-Zn-O 系酸化物半導体を用いて薄膜トランジスタを作製し、液晶表示装置のスイッチング素子などに用いる技術が特許文献1で開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2006-165528号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

酸化物半導体をチャネル領域に用いた薄膜トランジスタは、アモルファスシリコンをチャネル領域に用いた薄膜トランジスタよりも高い電界効果移動度が得られている。このような酸化物半導体を用いて形成した薄膜トランジスタを具備する画素は、液晶表示装置等の表示装置への応用が期待される。

【0006】

液晶表示装置が有する各画素には、液晶素子の配向を制御するための電圧を保持する保持容量が設けられている。保持容量の大きさを決める要素としては、薄膜トランジスタのオフ電流がある。オフ電流を低減することで、保持容量で電圧を保持できる期間を長く取ることができ、静止画等の表示を行う際の低消費電力化を図る上では重要となる。

【0007】

なお本明細書で説明するオフ電流とは、薄膜トランジスタがオフ状態（非導通状態ともいう）のときに、ソースとドレインの間に流れる電流をいう。nチャネル型の薄膜トランジスタ（例えば、しきい値電圧が0乃至2V程度）では、ゲートとソースとの間に印加される電圧が負の電圧の場合に、ソースとドレインとの間を流れる電流のことをいう。

【0008】

また、3Dディスプレイ、4k2kディスプレイ等、さらなる付加価値のついた液晶表示装置では、画素一つあたりの面積が小さくなることが予想される一方で、開口率の向上した画素を有する液晶表示装置が望まれる。開口率の向上を図る上で、保持容量面積の削減が重要となる。結果として、薄膜トランジスタのオフ電流の低減が望まれる。

【0009】

そこで、本発明の一態様は、酸化物半導体を用いた薄膜トランジスタを具備する画素において、薄膜トランジスタのオフ電流を低減できる液晶表示装置を提供することを課題の一つとする。

【課題を解決するための手段】

【0010】

本発明の一態様は、表示部に複数の画素を有し、複数のフレーム期間で表示を行う液晶表示装置であって、フレーム期間は、書き込み期間及び保持期間を有し、書き込み期間において、複数の画素のそれぞれに、画像信号を入力した後、保持期間において、複数の画素が有するトランジスタをオフ状態にして、少なくとも30秒間、画像信号を保持させる液

10

20

30

40

50

晶表示装置である。

【 0 0 1 1 】

本発明の一態様は、表示部に複数の画素を有し、複数のフレーム期間で表示を行う液晶表示装置であって、フレーム期間は、書き込み期間及び保持期間を有し、書き込み期間において、複数回の極性の反転した電圧の画像信号を画素に入力した後、保持期間において、複数の画素のトランジスタをオフ状態にして、少なくとも 3 0 秒間、画像信号を保持させる液晶表示装置である。

【 0 0 1 2 】

本発明の一態様において、保持期間における複数の画素に供給される電圧の極性は、書き込み期間に供給した複数回の極性の反転した電圧の画像信号のうち、最後に供給した極性の画像信号である液晶表示装置でもよい。

10

【 0 0 1 3 】

本発明の一態様において、トランジスタは、酸化物半導体でなる半導体層を有し、酸化物半導体は、キャリア濃度が $1 \times 10^{14} / \text{cm}^3$ 未満である液晶表示装置でもよい。

【 0 0 1 4 】

本発明の一態様において、トランジスタのチャネル幅 $1 \mu\text{m}$ あたりのオフ電流は、 $1 \times 10^{-17} \text{A}$ 以下である液晶表示装置でもよい。

【発明の効果】

【 0 0 1 5 】

酸化物半導体を用いた薄膜トランジスタを具備する画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また開口率の向上を図ることによって、高精細な表示部を有する液晶表示装置とすることができる。

20

【図面の簡単な説明】

【 0 0 1 6 】

【図 1】液晶表示装置の上面図及び断面図を示す図。

【図 2】液晶表示装置のブロック図を示す図。

【図 3】液晶表示装置の動作について説明する図。

【図 4】液晶表示装置の上面図及び断面図を示す図。

30

【図 5】薄膜トランジスタを説明する図。

【図 6】薄膜トランジスタの作製方法を説明する図。

【図 7】薄膜トランジスタを説明する図。

【図 8】薄膜トランジスタを説明する図。

【図 9】薄膜トランジスタを説明する図。

【図 10】薄膜トランジスタを説明する図。

【図 11】薄膜トランジスタを説明する図。

【図 12】薄膜トランジスタを説明する図。

【図 13】薄膜トランジスタを説明する図。

【図 14】薄膜トランジスタを説明する図。

40

【図 15】液晶パネルを説明する図。

【図 16】電子機器を示す図。

【図 17】電子機器を示す図。

【図 18】実施の形態 1 3 を説明するための図。

【図 19】実施の形態 1 3 を説明するための図。

【図 20】実施の形態 1 3 を説明するための図。

【図 21】実施の形態 1 3 を説明するための図。

【図 22】実施の形態 1 4 を説明するための図。

【図 23】実施の形態 1 4 を説明するための図。

【図 24】実施の形態 1 4 を説明するための図。

50

【図 2 5】シフトレジスタの構成を示す図。

【図 2 6】シフトレジスタの動作を説明するためのタイミングチャート。

【図 2 7】シフトレジスタの動作を説明するためのタイミングチャート。

【図 2 8】実施例 1 の液晶表示装置を説明するための図。

【図 2 9】実施例 1 の液晶表示装置を説明するための図。

【図 3 0】実施例 1 の液晶表示装置を説明するための図。

【発明を実施するための形態】

【 0 0 1 7 】

本発明の実施の形態及び実施例について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態及び実施例の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

10

【 0 0 1 8 】

なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【 0 0 1 9 】

なお、本明細書にて用いる第 1、第 2、第 3、等の用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではない。そのため、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと適宜置き換えて説明することもできる。

20

【 0 0 2 0 】

(実施の形態 1)

薄膜トランジスタを用いて液晶表示装置の画素を構成する例を以下に説明する。本実施の形態では、一例として、液晶表示装置における画素が有する薄膜トランジスタ（以下、TFTともいう）及び当該 TFT に接続された画素電極として機能する電極（単に画素電極ともいう）について示し、説明する。なお画素とは、表示装置の各画素に設けられた各素子、例えば薄膜トランジスタ、画素電極として機能する電極、及び配線等の電気的な信号により表示を制御するための素子で構成される素子群、のことをいう。なお画素は、カラーフィルタ等を含むものであっても良く、一画素によって、明るさを制御できる色要素一つ分としてもよい。よって、一例として、RGB の色要素からなるカラー表示装置の場合には、画像の最小単位は、R の画素と G の画素と B の画素との三画素から構成されるものとなり、複数の画素によって画像を得ることができるものとなる。ただし、本発明の一態様は、カラー表示の表示装置に限定されるものではなく、モノクロ表示の表示装置としてもよい。

30

【 0 0 2 1 】

なお、A と B とが接続されている、と記載する場合は、A と B とが電氣的に接続されている場合と、A と B とが直接接続されている場合とを含むものとする。ここで、A、B は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

40

【 0 0 2 2 】

まず、画素の上面図について図 1 (A) に示す。なお図 1 (A) に示す TFT の構造は、一例として、ボトムゲート型構造について示している。なお図 1 (A) には、ゲートとなる配線から見てチャネル領域となる酸化物半導体層と反対側に、TFT のソース電極及びドレイン電極となる配線層を有する、いわゆる逆スタガ型の構成について示している。

【 0 0 2 3 】

図 1 (A) に示す画素 100 は、走査線として機能する第 1 の配線 101、信号線として機能する第 2 の配線 102 A、酸化物半導体層 103、容量線 104、画素電極 105 を有する。また、酸化物半導体層 103 と画素電極 105 とを電氣的に接続するための第 3 の配線 102 B を有し、薄膜トランジスタ 106 が構成される。第 1 の配線 101 は薄膜

50

トランジスタ１０６のゲートとして機能する配線でもある。第２の配線１０２Ａは、ソース電極またはドレイン電極の一方及び保持容量の一方の電極として機能する配線でもある。第３の配線１０２Ｂは、ソース電極またはドレイン電極の他方として機能する配線でもある。容量線１０４は、保持容量の他方の電極として機能する配線である。

【００２４】

なお、プロセスの簡略のためには、第１の配線１０１と、容量線１０４とが同層に設けられ、第２の配線１０２Ａと、第３の配線１０２Ｂとが同層に設けられる構成とすると好ましい。また第３の配線１０２Ｂと容量線１０４とは、一部重畳して設けられており、液晶素子の保持容量を形成している。なお、薄膜トランジスタ１０６が有する酸化物半導体層１０３は、第１の配線１０１より分岐した配線上にゲート絶縁膜（図示せず）を介して設けられている。

10

【００２５】

また図１（Ｂ）には、図１（Ａ）における一点鎖線Ａ１－Ａ２間の断面構造について示している。図１（Ｂ）に示す断面構造において、基板１１１上には、下地膜１１２を介して、ゲートである第１の配線１０１、容量線１０４が設けられている。ゲート絶縁膜１１３は、第１の配線１０１及び容量線１０４を覆うように設けられている。ゲート絶縁膜１１３上には、酸化物半導体層１０３が設けられている。酸化物半導体層１０３上には、第２の配線１０２Ａ、第３の配線１０２Ｂが設けられている。また、酸化物半導体層１０３、第２の配線１０２Ａ、及び第３の配線１０２Ｂの上には、パッシベーション膜として機能する酸化物絶縁層１１４が設けられている。酸化物絶縁層１１４には開口部が形成されており、開口部において画素電極１０５と第３の配線１０２Ｂとの接続がなされる。また、第３の配線１０２Ｂと容量線１０４とは、ゲート絶縁膜１１３を誘電体として容量素子を形成している。

20

【００２６】

また図１（Ｃ）には、図１（Ａ）の一点鎖線Ｂ１－Ｂ２の断面図について示しており、容量線１０４と第２の配線１０２Ａとの間に絶縁層１２１を有する構成について示している。

【００２７】

第１の配線１０１及び容量線１０４上に第２の配線１０２Ａを設ける場合、ゲート絶縁膜１１３の膜厚によっては、第１の配線１０１と第２の配線１０２Ａ、及び容量線１０４と第２の配線１０２Ａ、の間に寄生容量が生じることとなる。そのため、図１（Ｃ）に示すように、絶縁層１２１を設けることで寄生容量を低減し、誤動作等の不良を低減することができる。

30

【００２８】

なお、図１（Ａ）乃至（Ｃ）に示す画素は、図２に示すように、基板２００上に複数の画素２０１がマトリクス状に配置されるものである。図２では、基板２００上には、画素部２０２、走査線駆動回路２０３、及び信号線駆動回路２０４を有する構成について示している。画素２０１は、走査線駆動回路２０３に接続された第１の配線１０１によって供給される走査信号により、各行ごとに選択状態か、非選択状態かが決定される。また走査信号によって選択されている画素２０１は、信号線駆動回路２０４に接続された配線１０２Ａによって、配線１０２Ａからビデオ電圧（画像信号、ビデオ信号、ビデオデータともいう）が供給される。

40

【００２９】

図２では、走査線駆動回路２０３、信号線駆動回路２０４が基板２００上に設けられる構成について示したが、走査線駆動回路２０３または信号線駆動回路２０４のいずれかが基板２００上に設けられ、他方は別の基板（例えば、単結晶シリコン）上に形成されたものをＴＡＢ法、ＣＯＧ法等の実装技術によって、画素部２０２に接続した構成としてもよい。また画素部２０２のみを基板２００上に設け、走査線駆動回路２０３および信号線駆動回路２０４として別の基板上に形成されたものをＴＡＢ法、ＣＯＧ法等の実装技術によって、画素部２０２に接続した構成としても良い。

50

【0030】

図2で画素部202には、複数の画素201がマトリクス上に配置（ストライプ配置）する例について示している。なお、画素201は必ずしもマトリクス上に配置されている必要はなく、例えば、画素201をデルタ配置、またはペイヤー配置してもよい。また画素部202における表示方式はプログレッシブ方式、インターレース方式のいずれかを用いることができる。なお、カラー表示する際に画素で制御する色要素としては、RGB（Rは赤、Gは緑、Bは青）の三色に限定されず、それ以上でもよく、例えば、RGBW（Wは白）、又はRGBに、イエロー、シアン、マゼンタなどを一色以上追加したものなどがある。なお、色要素のドット毎にその表示領域の大きさが異なってもよい。

【0031】

図2において、第1の配線101及び第2の配線102Aは画素の行方向及び列方向の数に応じて示している。なお、第1の配線101及び第2の配線102Aは、画素を構成するサブ画素（副画素、サブピクセルともいう）の数、または画素内のトランジスタの数に応じて、本数を増やす構成としてもよい。また画素間で第1の配線101及び第2の配線102Aを共有して画素201を駆動する構成としても良い。

【0032】

なお、図1（A）ではTFTの第2の配線102Aの形状を矩形状であるものとして示しているが、第3の配線102Bを囲む形状（具体的には、U字型またはC字型）とし、キャリアが移動する領域の面積を増加させ、薄膜トランジスタの導通時に流れる電流（オン電流ともいう）の量を増やす構成としてもよい。

【0033】

なお本明細書で説明するオン電流とは、薄膜トランジスタがオン状態（導通状態ともいう）のときに、ソースとドレインの間に流れる電流をいう。nチャネル型の薄膜トランジスタでは、ゲートとソースとの間に印加される電圧が閾値電圧（ V_{th} ）よりも大きい場合に、ソースとドレインとの間を流れる電流のことをいう。

【0034】

なお開口率とは、単位面積に対し、光が通過する領域の面積の比率について表したものである。光を透過しない部材が占める領域が広がると、開口率が低下し、光を透過する部材が占める領域が広がると開口率が向上することとなる。液晶表示装置では、画素電極に重畳する配線、容量線の占める面積、及び薄膜トランジスタのサイズを小さくすることで開口率が向上することとなる。

【0035】

なお、薄膜トランジスタは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。

【0036】

次いで、酸化物半導体層103について説明する。

【0037】

本実施の形態で用いる酸化物半導体は、酸化物半導体に含まれる水素濃度が $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下となるように、酸化物半導体に含まれる水素（OH結合を含む）の除去をする。そしてキャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下とした酸化物半導体膜でチャンネル領域が形成される薄膜トランジスタが構成されるものである。なお、酸化物半導体層中の水素濃度は、二次イオン質量分析法（SIMS：Sec

10

20

30

40

50

ondary Ion Mass Spectroscopy) による分析で得られたものである。

【0038】

酸化物半導体のエネルギーギャップは2 eV以上、好ましくは2.5 eV以上、より好ましくは3 eV以上とすれば、熱励起によって生じるキャリアは無視できる程度となるので、ドナーを形成する水素等の不純物を極力低減することによって、キャリア濃度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下となるようにする。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロにする。

【0039】

このように酸化物半導体に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体を、薄膜トランジスタのチャネル形成領域に用いることで、チャネル幅が10 mmの場合でさえも、ドレイン電圧が1 Vから10 Vの範囲、ゲート電圧が-5 Vから-20 Vの範囲において、ドレイン電流は $1 \times 10^{-13} \text{ A}$ 以下となる。

【0040】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、表示装置の回路などを作製した場合、ほとんどリークがないため、映像信号等の電気信号を保持する時間を長くすることができる。

【0041】

また、具体的には、上述の酸化物半導体層を具備するトランジスタは、チャネル幅10 μm の場合において、チャネル幅1 μm あたりのオフ電流を $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下にすることが可能である。オフ状態における電流値(オフ電流値)が極めて小さいトランジスタを画素の選択トランジスタとして用いることにより、映像信号等の電気信号の保持時間を長くすることができる。保持時間を長くすることができるため、例えば、映像信号の書き込みの後の保持期間は10秒以上、好ましくは30秒以上、さらに好ましくは1分以上10分未満とする。保持期間を長くすることで書き込みの間隔を長くとることができ、消費電力を抑制する効果を高くできる。

【0042】

一方、例えば低温ポリシリコンを具備するトランジスタでは、オフ電流が $1 \times 10^{-12} \text{ A} / \mu\text{m}$ 相当であると見積もって設計等行うこととなっている。そのため、酸化物半導体を有するトランジスタでは、低温ポリシリコンを具備するトランジスタに比較して、保持容量が同等(0.1 pF程度)である際、電圧の保持期間を 10^4 倍程度に引き延ばすことができる。また、アモルファスシリコンを具備するトランジスタの場合、チャネル幅1 μm あたりのオフ電流は、 $1 \times 10^{-13} \text{ A} / \mu\text{m}$ 以上である。したがって、保持容量が同等(0.1 pF程度)である際、高純度の酸化物半導体を用いたトランジスタの方がアモルファスシリコンを用いたトランジスタに比較して、電圧の保持期間を 10^4 倍以上に引き延ばすことができる。

【0043】

一例として、低温ポリシリコンを具備する薄膜トランジスタを用いたアクティブマトリクス表示装置においては、薄膜トランジスタのリーク電流によって、画素に保持されている電荷が失われるため、16ミリ秒に一度(60フレーム/秒)、映像信号を書き換えている。しかしながら、上述の酸化物半導体層を具備する薄膜トランジスタを用いたアクティブマトリクス表示装置では、上述のように酸化物半導体層を具備する薄膜トランジスタのオフ電流が低温ポリシリコンを具備する薄膜トランジスタよりはるかに小さいため、1回の信号書き込みによる保持期間を10000倍の160秒程度とすることができる。

【0044】

保持期間を長くとれるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を低減することができる。そのため画素への信号の書き込み回数を低減することができ、低消費電力化を図ることができる。

【0045】

10

20

30

40

50

また図 1 に示す保持容量は、一对の電極間に絶縁層を誘電体として挟むことにより構成されている。そして、保持容量の大きさは、画素部に配置される薄膜トランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。保持容量の大きさは、トランジスタのオフ電流等を考慮して設定すればよい。本実施の形態では、トランジスタ 106 として高純度の酸化物半導体層を有するトランジスタを用いていることにより、各画素における液晶容量に対して $1/3$ 以下、好ましくは $1/5$ 以下の容量の大きさを有する保持容量を設ければ充分である。

【0046】

前述の高純度の酸化物半導体層を具備するトランジスタは、保持期間を長く取ることができるため、特に静止画の表示を行う際に、信号の書き込みを行う頻度を著しく低減することができる。このため、表示の切り替えが少ない静止画等の表示では、画素への信号の書き込み回数を低減することができるため、低消費電力化を図ることができる。

10

【0047】

なお、静止画表示において、保持期間中の液晶素子に印加されている電圧の保持率を考慮して、適宜リフレッシュ動作してもよい。例えば、液晶素子の画素電極に信号を書き込んだ直後における電圧の値（初期値）に対して所定のレベルまで電圧が下がったタイミングでリフレッシュ動作を行えばよい。所定のレベルとする電圧は、初期値に対してチラツキを感じない程度に設定することが好ましい。具体的には、表示対象が映像の場合、初期値に対して 1.0% 低い状態、好ましくは 0.3% 低い状態となる毎に、リフレッシュ動作（再度の書き込み）を行うのが好ましい。また、表示対象が文字の場合、初期値に対して 10% 低い状態、好ましくは 3% 低い状態となる毎に、リフレッシュ動作（再度の書き込み）を行うのが好ましい。

20

【0048】

また、静止画表示における保持期間において、対向電極（共通電極、コモン電極ともいう。）をフローティング状態とすることもできる。具体的には、対向電極にコモン電位を与える電源と対向電極との間にスイッチを設け、書き込み期間中はスイッチをオンにして電源から対向電極にコモン電位を与えた後、残りの保持期間においてはスイッチをオフにしてフローティング状態とすればよい。該スイッチについても、前述した高純度の酸化物半導体層を具備するトランジスタを用いることが好ましい。上記のようにオフ電流が極めて低い酸化物半導体を用いた TFT を用いることで、液晶表示パネルの画素電極と対向電極との間の電位はほとんど変動することがなく、いわゆる液晶の焼き付きが起こらない範囲で、駆動回路を停止させたまま静止画を表示し続けることができる。

30

【0049】

また、液晶材料の固有抵抗は、 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{13} \Omega \cdot \text{cm}$ 以上であり、さらに好ましくは $1 \times 10^{14} \Omega \cdot \text{cm}$ 以上である。なお、本明細書における固有抵抗の値は、20 で測定した値とする。また、該液晶材料を用いて液晶表示装置を構成した場合、液晶素子となる部分の抵抗は、例えば配向膜又はシール材などにより液晶層に不純物が混入する可能性があるため、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上さらには $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上の範囲となる場合がある。

【0050】

液晶材料の固有抵抗が大きいほど液晶材料を介して漏れる電荷を減らすことができ、液晶素子の動作状態を保持する電圧が経時的に低下する現象を緩和できる。その結果、保持期間を長くとれるため、信号の書き込みを行う頻度を低減でき、表示装置の低消費電力化を図ることができる。

40

【0051】

図 3 (A) では、フレーム期間における書き込み期間と保持期間の関係について示している。図 3 (A) において、期間 251、252 が保持期間に相当し、期間 261、262 が書き込み期間に相当する。

【0052】

図 3 (A) には、フレーム期間毎に表示素子である液晶素子に印加する電圧の極性（図中

50

、プラス記号、マイナス記号に図示)を反転することで液晶素子に印加される電界が偏らず、液晶素子の劣化の程度を低減できる。前述の酸化物半導体層を具備する薄膜トランジスタは、保持期間を長く取ることができるため、画素への書き込み回数を極端に低減することができる。そのため、表示の切り替えが少ない静止画等の表示では、低消費電力化を図ることができる。

【0053】

また図3(B)では、図3(A)の書き込み期間261、262において、複数回の極性の反転した電圧の書き込みを行う関係を示している。図3(B)に示すように、書き込み期間261、262に複数回の極性の反転した電圧の書き込みを行うことによって、液晶素子の劣化の程度をさらに低減することができる。なお書き込み期間261、262の最後に印加する電圧の書き込みは、保持期間内に保持するための極性とするものである。

10

【0054】

なお図3(A)、(B)において、液晶素子に印加する電圧は、ドット反転駆動、ソースライン反転駆動、ゲートライン反転駆動、フレーム反転駆動等を用いて駆動するよう入力する構成とすればよい。

【0055】

なお静止画を表示しない場合には、酸化物半導体層を具備する薄膜トランジスタを用いた画素を形成する場合には、保持容量を形成しないで動画像の表示を行うことも可能である。保持容量を形成しない場合の画素の上面図及びその断面図の構成について図4(A)、(B)に示す。図4(A)、(B)に示す構成は、図1(A)及び(B)における容量線を省略した図に相当する。図4(A)に示す上面図、図4(B)に示す断面図からわかるように、酸化物半導体層を有する薄膜トランジスタを用いることで、画素電極105が占める領域、すなわち開口率を向上することができる。また図4(B)に示す断面図からわかるように、酸化物半導体層を有する薄膜トランジスタを用いることで、容量線を削減し、そして画素電極105が占める領域を広げることができるため、すなわち開口率を向上することができる。

20

【0056】

以上説明したように本実施の形態で示す構成とすることにより、酸化物半導体を用いた薄膜トランジスタを具備する画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。また開口率の向上を図ることによって、高精細な表示部を有する液晶表示装置とすることができる。

30

【0057】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0058】

(実施の形態2)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。本実施の形態で示す薄膜トランジスタ410は、実施の形態1の薄膜トランジスタ106として用いることができる。

40

【0059】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図5及び図6を用いて説明する。

【0060】

図5(A)(B)に薄膜トランジスタの平面及び断面構造の一例を示す。図5(A)(B)に示す薄膜トランジスタ410は、トップゲート構造の薄膜トランジスタの一つである。

【0061】

図5(A)はトップゲート構造の薄膜トランジスタ410の平面図であり、図5(B)は図5(A)の線C1-C2における断面図である。

50

【 0 0 6 2 】

薄膜トランジスタ 4 1 0 は、絶縁表面を有する基板 4 0 0 上に、絶縁層 4 0 7、酸化物半導体層 4 1 2、ソース電極層又はドレイン電極層 4 1 5 a、及びソース電極層又はドレイン電極層 4 1 5 b、ゲート絶縁層 4 0 2、ゲート電極層 4 1 1 を含み、ソース電極層又はドレイン電極層 4 1 5 a、ソース電極層又はドレイン電極層 4 1 5 b にそれぞれ配線層 4 1 4 a、配線層 4 1 4 b が接して設けられ電氣的に接続している。

【 0 0 6 3 】

また、薄膜トランジスタ 4 1 0 はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

10

【 0 0 6 4 】

以下、図 6 (A) 乃至 (E) を用い、基板 4 0 0 上に薄膜トランジスタ 4 1 0 を作製する工程を説明する。

【 0 0 6 5 】

絶縁表面を有する基板 4 0 0 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。

【 0 0 6 6 】

例えば、基板 4 0 0 としてガラス基板を用いる場合には、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 以上のものを用いると良い。ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

20

【 0 0 6 7 】

なお、基板 4 0 0 としては、上記のガラス基板以外に、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

【 0 0 6 8 】

まず、絶縁表面を有する基板 4 0 0 上に下地膜となる絶縁層 4 0 7 を形成する。酸化物半導体層と接する絶縁層 4 0 7 は、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などの酸化物絶縁層を用いると好ましい。絶縁層 4 0 7 の形成方法としては、プラズマ CVD 法又はスパッタリング法等を用いることができるが、絶縁層 4 0 7 中に水素が多量に含まれないようにするためには、スパッタリング法で絶縁層 4 0 7 を成膜することが好ましい。

30

【 0 0 6 9 】

本実施の形態では、絶縁層 4 0 7 として、スパッタリング法により酸化シリコン層を形成する。基板 4 0 0 を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しターゲットを用いて、基板 4 0 0 に絶縁層 4 0 7 として、酸化シリコン層を成膜する。また基板 4 0 0 は室温でもよいし、加熱されていてもよい。

【 0 0 7 0 】

例えば、ターゲットとして、石英 (好ましくは合成石英) を用い、基板温度 1 0 8 〃、基板とターゲットの間との距離 (T - S 間距離) を 6 0 mm、圧力 0 . 4 Pa、高周波電源 1 . 5 kW、酸素及びアルゴン (酸素流量 2 5 s c c m : アルゴン流量 2 5 s c c m = 1 : 1) 雰囲気下で RF スパッタリング法により酸化シリコン膜を成膜する。膜厚は 1 0 0 nm とする。なお、石英 (好ましくは合成石英) に代えてシリコンターゲットを酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

40

【 0 0 7 1 】

この場合において、処理室内の残留水分を除去しつつ絶縁層 4 0 7 を成膜することが好ましい。絶縁層 4 0 7 に水素、水酸基又は水分が含まれないようにするためである。

50

【 0 0 7 2 】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水 (H_2O) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した絶縁層 407 に含まれる不純物の濃度を低減できる。

【 0 0 7 3 】

絶縁層 407 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは 10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

10

【 0 0 7 4 】

スパッタリング法にはスパッタ用電源に高周波電源を用いる RF スパッタリング法と、DC スパッタリング法があり、さらにパルスのバイアスを与えるパルス DC スパッタリング法もある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

【 0 0 7 5 】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

20

【 0 0 7 6 】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタ装置がある。

【 0 0 7 7 】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアススパッタリング法もある。

【 0 0 7 8 】

また、絶縁層 407 は積層構造でもよく、例えば、基板 400 側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの窒化物絶縁層と、上記酸化物絶縁層との積層構造としてもよい。

30

【 0 0 7 9 】

例えば、酸化シリコン層と基板 400 との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【 0 0 8 0 】

窒化シリコン層を形成する場合も、成膜時に基板を加熱してもよい。

【 0 0 8 1 】

絶縁層 407 として窒化シリコン層と酸化シリコン層とを積層する場合、窒化シリコン層と酸化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に窒素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて窒化シリコン層を形成し、次にスパッタガスを酸素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて酸化シリコン層を成膜する。窒化シリコン層と酸化シリコン層とを大気に曝露せずに連続して形成することができるため、窒化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。

40

【 0 0 8 2 】

次いで、絶縁層 407 上に、酸化物半導体膜を形成する。

【 0 0 8 3 】

50

また、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室で絶縁層407が形成された基板400を予備加熱し、基板400に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0084】

なお、酸化物半導体膜をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層407の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に高周波電源を用いて電圧を印加して基板付近にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

10

【0085】

酸化物半導体膜はスパッタリング法により成膜する。酸化物半導体膜は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜をIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。具体的には、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol%] (すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom%])を用いる。他にも、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom%]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom%]の組成比を有するターゲットを用いることもできる。なお、酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。スパッタリングの雰囲気は希ガス(代表的にはアルゴン)、酸素、あるいは希ガスと酸素の混合雰囲気とすればよい。また、ターゲットには、 SiO_2 を2重量%以上10重量%以下含ませてもよい。

20

【0086】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

30

【0087】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板400上に成膜される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

40

【0088】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を110mm、圧力0.4Pa、直流(DC)電源0.5kW、酸素及びアルゴン(酸素流量15sccm:アルゴン流量30sccm)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0089】

50

次いで、酸化物半導体膜を第1のフォトリソグラフィ工程により島状の酸化物半導体層412に加工する(図6(A)参照。)。また、島状の酸化物半導体層412を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0090】

なお、ここでの酸化物半導体膜のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0091】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、塩化硼素(BCl_3)、塩化珪素(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

10

【0092】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、弗化硫黄(SF_6)、弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

【0093】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

20

【0094】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0095】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

30

【0096】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0097】

本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層412に加工する。

【0098】

本実施の形態では、酸化物半導体層412に、第1の加熱処理を行う。第1の加熱処理の温度は、400以上750以下とし、基板400の歪み点が750以下の場合には、400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく室温まで温度を下げ、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第1の加熱処理によって酸化物半導体層412の脱水化または脱水素化を行うことができる。

40

【0099】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal An

50

n e a l) 装置を用いることができる。L R T A 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0100】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すG R T Aを行ってもよい。G R T Aを用いると短時間での高温加熱処理が可能となる。

10

【0101】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (99.9999%)以上、好ましくは7 N (99.99999%)以上、(即ち不純物濃度を1 ppm以下、好ましくは0.1 ppm以下)とすることが好ましい。

【0102】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層412は結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層412は結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1 nm以上20 nm以下(代表的には2 nm以上4 nm以下))が混在する酸化物半導体膜となる場合もある。

20

【0103】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層412に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0104】

なお、上記では、酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層412の形成直後に行う例について示したが、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上にゲート絶縁層を形成した後、のいずれで行っても良い。

30

【0105】

次いで、絶縁層407及び酸化物半導体層412上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。本実施の形態では、スパッタリング法により膜厚150 nmのチタン膜を形成する。

40

【0106】

そして、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成する。レ

50

ジストマスクはインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。その後、選択的にエッチングを行ってソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bを形成した後、レジストマスクを除去する(図6(B)参照。)。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0107】

なお、導電膜のエッチングの際に、酸化物半導体層412が除去されて、その下の絶縁層407が露出しないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0108】

本実施の形態では、導電膜としてTi膜を用いて、酸化物半導体層412にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとして過水アンモニア水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0109】

なお、第2のフォトリソグラフィ工程では、酸化物半導体層412は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

【0110】

第2のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いてもよい。酸化物半導体層412上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第2のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

【0111】

次いで、絶縁層407、酸化物半導体層412、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415b上にゲート絶縁層402を形成する(図6(C)参照。)。

【0112】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層402中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層402を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素とアルゴンの混合ガスを用いて行う。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン(酸素流量25sccm:アルゴン流量25sccm=1:1)雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

【0113】

ゲート絶縁層402は、ソ基板側から酸化シリコン層と窒化シリコン層を積層した多層構造とすることもできる。例えば、第1のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層(SiO_x ($x > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を積層して、膜厚70nm以上400nm以下、例えば、100nmのゲート絶縁層としてもよい。

【0114】

次いで、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層402の一部を除去して、ソース電極層又はドレイン電極層415a、ソース電極層又はドレイン電極層415bに達する開口421a、421bを形成する(図6(D)参照。)。

【0115】

次に、ゲート絶縁層402、及び開口421a、421b上に導電膜を形成する。本実施の形態では、スパッタリング法により膜厚150nmのチタン膜を形成する。その後第4のフォトリソグラフィ工程により、導電膜上にレジストマスクを形成し、これを用いて導電膜を選択的にエッチングすることで、ゲート電極層411、配線層414a、414bを形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

【0116】

ゲート電極層411、配線層414a、414bの材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0117】

例えば、ゲート電極層411、配線層414a、414bの2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタルを積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

20

【0118】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200以上400以下、例えば250以上350以下)を行う。本実施の形態では、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ410上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

30

【0119】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0120】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層412を有する薄膜トランジスタ410を形成することができる(図6(E)参照。)。薄膜トランジスタ410は実施の形態1における薄膜トランジスタ106として適用することができる。

40

【0121】

また、薄膜トランジスタ410上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。例えば、保護絶縁層として酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。

【0122】

また、平坦化絶縁層としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他

50

に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁層を形成してもよい。

【0123】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0124】

平坦化絶縁層の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。

10

【0125】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0126】

以上のようにして作製された、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素に用いることによって、画素からのリーク電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができる。静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

20

【0127】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0128】

（実施の形態3）

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。なお、実施の形態2と同一部分又は同様な機能を有する部分、及び工程は、実施の形態2と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。本実施の形態で示す薄膜トランジスタ460は、実施の形態1の薄膜トランジスタ106として用いることができる。

30

【0129】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図7及び図8を用いて説明する。

【0130】

図7（A）（B）に薄膜トランジスタの平面及び断面構造の一例を示す。図7（A）（B）に示す薄膜トランジスタ460は、トップゲート構造の薄膜トランジスタの一つである。

40

【0131】

図7（A）はトップゲート構造の薄膜トランジスタ460の平面図であり、図7（B）は図7（A）の線D1-D2における断面図である。

【0132】

薄膜トランジスタ460は、絶縁表面を有する基板450上に、絶縁層457、ソース電極層又はドレイン電極層465a（465a1、465a2）、酸化物半導体層462、ソース電極層又はドレイン電極層465b、配線層468、ゲート絶縁層452、ゲート電極層461（461a、461b）を含み、ソース電極層又はドレイン電極層465a（465a1、465a2）は配線層468を介して配線層464と電氣的に接続している。また、図示していないが、ソース電極層又はドレイン電極層465bもゲート絶縁層

50

4 5 2 に設けられた開口において配線層と電氣的に接続する。

【 0 1 3 3 】

以下、図 8 (A) 乃至 (E) を用い、基板 4 5 0 上に薄膜トランジスタ 4 6 0 を作製する工程を説明する。

【 0 1 3 4 】

まず、絶縁表面を有する基板 4 5 0 上に下地膜となる絶縁層 4 5 7 を形成する。

【 0 1 3 5 】

本実施の形態では、絶縁層 4 5 7 として、スパッタリング法により酸化シリコン層を形成する。基板 4 5 0 を処理室へ搬送し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコンターゲット又は石英（好ましくは合成石英）を用いて、基板 4 5 0 に絶縁層 4 5 7 として、酸化シリコン層を成膜する。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

10

【 0 1 3 6 】

例えば、純度が 6 N であり、石英（好ましくは合成石英）をターゲットとして用い、基板温度 1 0 8 、基板とターゲットの間との距離（ T - S 間距離）を 6 0 m m 、圧力 0 . 4 P a 、高周波電源 1 . 5 k W 、酸素及びアルゴン（酸素流量 2 5 s c c m ：アルゴン流量 2 5 s c c m = 1 : 1 ）雰囲気下で R F スパッタリング法により酸化シリコン膜を成膜する。膜厚は 1 0 0 n m とする。なお、石英（好ましくは合成石英）に代えてシリコンターゲットを酸化シリコン膜を成膜するためのターゲットとして用いることができる。

20

【 0 1 3 7 】

この場合において、処理室内の残留水分を除去しつつ絶縁層 4 5 7 を成膜することが好ましい。絶縁層 4 5 7 に水素、水酸基又は水分が含まれないようにするためである。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水（ H ₂ O ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜し絶縁層 4 5 7 に含まれる不純物の濃度を低減できる。

【 0 1 3 8 】

絶縁層 4 5 7 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、 1 p p m 以下、好ましくは 1 0 p p b 以下まで除去された高純度ガスを用いることが好ましい。

【 0 1 3 9 】

また、絶縁層 4 5 7 は積層構造でもよく、例えば、基板 4 5 0 側から窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、窒化酸化アルミニウム層などの窒化物絶縁層と、上記窒化物絶縁層との積層構造としてもよい。

30

【 0 1 4 0 】

例えば、酸化シリコン層と基板との間に水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン層を成膜する。この場合においても、酸化シリコン層と同様に、処理室内の残留水分を除去しつつ窒化シリコン層を成膜することが好ましい。

【 0 1 4 1 】

次いで、絶縁層 4 5 7 上に、導電膜を形成する。導電膜の材料としては、 A l 、 C r 、 C u 、 T a 、 T i 、 M o 、 W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、 2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、 T i 膜と、その T i 膜上に重ねてアルミニウム膜を積層し、さらにその上に T i 膜を成膜する 3 層構造などが挙げられる。また、 A l に、チタン（ T i ）、タンタル（ T a ）、タングステン（ W ）、モリブデン（ M o ）、クロム（ C r ）、 N d （ネオジウム）、 S c （スカンジウム）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。本実施の形態では導電膜としてスパッタリング法により

40

50

膜厚 150 nm のチタン膜を形成する。その後、第 1 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層 465a1、465a2 を形成した後、レジストマスクを除去する（図 8（A）参照）。ソース電極層又はドレイン電極層 465a1、465a2 は断面図では分断されて示されているが、連続した膜である。なお、形成されたソース電極層、ドレイン電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。

【0142】

次いで、膜厚 2 nm 以上 200 nm 以下の酸化物半導体膜を形成する。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。本実施の形態では、酸化物半導体膜として In - Ga - Zn - O 系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。

10

【0143】

酸化物半導体膜は、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、ターゲットを用いて基板 450 上に酸化物半導体膜を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また、酸化物半導体膜成膜時に基板を加熱してもよい。

20

【0144】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1 ppm 以下、好ましくは 10 ppb 以下まで除去された高純度ガスを用いることが好ましい。

【0145】

成膜条件の一例としては、基板温度室温、基板とターゲットの間との距離を 110 mm、圧力 0.4 Pa、直流（DC）電源 0.5 kW、酸素及びアルゴン（酸素流量 15 sccm：アルゴン流量 30 sccm）雰囲気下の条件が適用される。

30

【0146】

次に、酸化物半導体膜を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 462 に加工する（図 8（B）参照）。本実施の形態では、エッチング液として燐酸と酢酸と硝酸を混ぜた溶液を用いたウェットエッチング法により、酸化物半導体膜を島状の酸化物半導体層 462 に加工する。

【0147】

本実施の形態では、酸化物半導体層 462 に、第 1 の加熱処理を行う。第 1 の加熱処理の温度は、400 以上 750 以下とし、基板 450 の歪み点が 750 以下の場合には、400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下 450 において 1 時間の加熱処理を行った後、大気に触れることなく、室温まで温度を下げ、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。この第 1 の加熱処理によって酸化物半導体層 462 の脱水化または脱水素化を行うことができる。

40

【0148】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等の RTA（Rapid Thermal Anneal）装置を用いることができる。例えば、第 1 の加熱処理として、650 ~ 70

50

0 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出す G R T A を行ってもよい。G R T A を用いると短時間での高温加熱処理が可能となる。

【 0 1 4 9 】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。

【 0 1 5 0 】

また、第 1 の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層 4 6 2 は結晶化し、微結晶膜または多結晶膜となる場合もある。

【 0 1 5 1 】

また、酸化物半導体層の第 1 の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【 0 1 5 2 】

なお、上記では、酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層 4 6 2 の形成直後におこなう例を示したが、酸化物半導体層成膜後であれば、酸化物半導体層上にさらにソース電極層又はドレイン電極層 4 6 5 b を積層させた後、ソース電極層又はドレイン電極層 4 6 5 b 上にゲート絶縁層 4 5 2 を形成した後、のいずれで行っても良い。

【 0 1 5 3 】

次いで、絶縁層 4 5 7 及び酸化物半導体層 4 6 2 上に、導電膜を形成し、第 3 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 を形成した後、レジストマスクを除去する (図 8 (C) 参照。) 。ソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 はソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 と同様な材料及び工程で形成すればよい。

【 0 1 5 4 】

本実施の形態ではソース電極層又はドレイン電極層 4 6 5 b、配線層 4 6 8 としてスパッタリング法により膜厚 1 5 0 n m のチタン膜を形成する。本実施の形態では、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b に同じチタン膜を用いる例のため、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とはエッチングにおいて選択比がとれない。よって、ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 が、ソース電極層又はドレイン電極層 4 6 5 b のエッチング時にエッチングされないように、酸化物半導体層 4 6 2 に覆われないソース電極層又はドレイン電極層 4 6 5 a 2 上に配線層 4 6 8 を設けている。ソース電極層又はドレイン電極層 4 6 5 a 1、4 6 5 a 2 とソース電極層又はドレイン電極層 4 6 5 b とにエッチング工程において高い選択比を有する異なる材料を用いる場合には、エッチング時にソース電極層又はドレイン電極層 4 6 5 a 2 を保護する配線層 4 6 8 は必ずしも設けなくてもよい。

【 0 1 5 5 】

なお、導電膜のエッチングの際に、酸化物半導体層 4 6 2 は一部がエッチングされることもある。酸化物半導体層 4 6 2 は必要以上に除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【 0 1 5 6 】

本実施の形態では、導電膜として T i 膜を用いて、酸化物半導体層 4 6 2 には I n - G a - Z n - O 系酸化物半導体を用いているので、エッチャントとして過水アンモニア水 (アンモニア、水、過酸化水素水の混合液) を用いる。

【 0 1 5 7 】

なお、第2のフォトリソグラフィ工程では、酸化物半導体層462は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層又はドレイン電極層465b、配線層468を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 1 5 8 】

次いで、絶縁層457、酸化物半導体層462、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b上にゲート絶縁層452を形成する。

10

【 0 1 5 9 】

ゲート絶縁層452は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層452中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層452を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【 0 1 6 0 】

ゲート絶縁層452は、ソース電極層又はドレイン電極層465a1、465a2、ソース電極層又はドレイン電極層465b側から酸化シリコン層と窒化シリコン層を積層した構造とすることもできる。本実施の形態では、圧力0.4Pa、高周波電源1.5kW、酸素及びアルゴン（酸素流量25sccm：アルゴン流量25sccm＝1：1）雰囲気下でRFスパッタリング法により膜厚100nmの酸化シリコン層を形成する。

20

【 0 1 6 1 】

次いで、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってゲート絶縁層452の一部を除去して、配線層468に達する開口423を形成する（図8（D）参照。）。図示しないが開口423の形成時にソース電極層又はドレイン電極層465bに達する開口を形成してもよい。本実施の形態では、ソース電極層又はドレイン電極層465bへの開口はさらに層間絶縁層を積層した後に形成し、電氣的に接続する配線層を開口に形成する例とする。

30

【 0 1 6 2 】

次に、ゲート絶縁層452、及び開口423上に導電膜を形成した後、第5のフォトリソグラフィ工程によりゲート電極層461（461a、461b）、配線層464を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【 0 1 6 3 】

また、ゲート電極層461（461a、461b）、配線層464の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

40

【 0 1 6 4 】

本実施の形態ではゲート電極層461（461a、461b）、配線層464としてスパッタリング法により膜厚150nmのチタン膜を形成する。図8（E）では、ゲート電極層461（461a、461b）は離れたように示されているが、図7（A）で示されるように、ソース電極層又はドレイン電極層465a1、465a2とソース電極層又はドレイン電極層465bの間に円環状に生じる空隙部分に重なるように、形成される。

【 0 1 6 5 】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。本実施の形態では

50

、窒素雰囲気下で250、1時間の第2の加熱処理を行う。また、第2の加熱処理は、薄膜トランジスタ460上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。

【0166】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0167】

以上の工程で、水素、水分、水素化物、水酸化物の濃度が低減された酸化物半導体層462を有する薄膜トランジスタ460を形成することができる(図8(E)参照。)。薄膜トランジスタ460は、実施の形態1における薄膜トランジスタ106として用いることができる。

10

【0168】

また、薄膜トランジスタ460上に保護絶縁層や、平坦化のための平坦化絶縁層を設けてもよい。なお、図示しないが、ゲート絶縁層452、保護絶縁層や平坦化絶縁層にソース電極層又はドレイン電極層465bに達する開口を形成し、その開口に、ソース電極層又はドレイン電極層465bと電気的に接続する配線層を形成する。

【0169】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

20

【0170】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。本実施の形態ではチャンネルを円形とし、また、ソース電極層とドレイン電極層とを異なる層を用いて形成することによって、チャンネル長を短く、かつ、チャンネル幅をより大きくできる。このように、比較的、狭い面積でもチャンネル幅の大きな薄膜トランジスタを形成できるので、大きな電流のスイッチングができる。また、チャンネル幅は大きい、高純度化した酸化物半導体を使用しているので、オフ電流が極めて小さいという特徴を有する。

30

【0171】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0172】

(実施の形態4)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。なお、実施の形態2と同一部分又は同様な機能を有する部分、及び工程は、実施の形態2と同様とすればよく、その繰り返しの説明は省略する。また同じ箇所の詳細な説明も省略する。本実施の形態で示す薄膜トランジスタ425、426は、実施の形態1の薄膜トランジスタ106として用いることができる。

40

【0173】

本実施の形態の薄膜トランジスタを、図9を用いて説明する。

【0174】

図9(A)(B)に薄膜トランジスタの断面構造の一例を示す。図9(A)(B)に示す薄膜トランジスタ425、426は、酸化物半導体層を導電層とゲート電極層とで挟んだ構造の薄膜トランジスタの一つである。

【0175】

また、図9(A)(B)において、基板はシリコン基板を用いており、シリコン基板42

50

0上に設けられた絶縁層422上に薄膜トランジスタ425、426がそれぞれ設けられている。

【0176】

図9(A)において、シリコン基板420に設けられた絶縁層422と絶縁層407との間に少なくとも酸化物半導体層412全体と重なるように導電層427が設けられている。

【0177】

なお、図9(B)は、絶縁層422と絶縁層407との間の導電層が、導電層424のようにエッチングにより加工され、酸化物半導体層412の少なくともチャネル領域を含む一部と重なる例である。

10

【0178】

導電層427、424は後工程で行われる加熱処理温度に耐えられる金属材料であればよく、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジム)、スカンジウム(Sc)から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜、または上述した元素を成分とする窒化物などを用いることができる。また、単層構造でも積層構造でもよく、例えばタングステン層単層、又は窒化タングステン層とタングステン層との積層構造などを用いることができる。

【0179】

また、導電層427、424は、電位が薄膜トランジスタ425、426のゲート電極層411と同じでもよいし、異なっても良く、第2のゲート電極層として機能させることもできる。また、導電層427、424の電位がGND、0Vという固定電位であってもよい。

20

【0180】

導電層427、424によって、薄膜トランジスタ425、426の電気特性を制御することができる。

【0181】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0182】

(実施の形態5)

30

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの例を示す。

【0183】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図10を用いて説明する。

【0184】

図10(A)乃至(E)に薄膜トランジスタの断面構造の一例を示す。図10(A)乃至(E)に示す薄膜トランジスタ390は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0185】

40

また、薄膜トランジスタ390はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0186】

以下、図10(A)乃至(E)を用い、基板394上に薄膜トランジスタ390を作製する工程を説明する。

【0187】

まず、絶縁表面を有する基板394上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層391を形成する。形成されたゲート電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジスト

50

マスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0188】

絶縁表面を有する基板394に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。。

【0189】

例えば基板394として、ガラス基板を用いる場合には、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素と比較して酸化バリウム(BaO)を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい

10

【0190】

なお、基板394としては、上記のガラス基板以外に、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0191】

下地膜となる絶縁膜を基板394とゲート電極層391との間に設けてもよい。下地膜は、基板394からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

20

【0192】

また、ゲート電極層391の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0193】

例えば、ゲート電極層391の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、銅層上にモリブデン層を積層した2層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造、又は窒化タングステン層とタングステン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げるることができる。

30

【0194】

次いで、ゲート電極層391上にゲート絶縁層397を形成する。

【0195】

ゲート絶縁層397は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層397中に水素が多量に含まれないようにするためには、スパッタリング法でゲート絶縁層397を成膜することが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

40

【0196】

ゲート絶縁層397は、ゲート電極層391側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸

50

化シリコン層 (SiO_x ($x > 0$)) を積層して、例えば膜厚 100 nm のゲート絶縁層とする。

【0197】

また、ゲート絶縁層 397、酸化物半導体膜 393 に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層 391 が形成された基板 394、又はゲート絶縁層 397 までが形成された基板 394 を予備加熱し、基板 394 に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、 100 以上 400 以下好ましくは 150 以上 300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、
10 酸化物絶縁層 396 の成膜前であれば、図 10 (C) に示すソース電極層 395a 及びドレイン電極層 395b まで形成した基板 394 にも同様に行ってもよい。

【0198】

次いで、ゲート絶縁層 397 上に、膜厚 2 nm 以上 200 nm 以下、好ましくは 5 nm 以上 30 nm 以下の酸化物半導体膜 393 をスパッタリング法により形成する (図 10 (A) 参照)。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

【0199】

なお、酸化物半導体膜 393 をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 397 の表面に付着しているゴミを除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板付近にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などをを用いてもよい。
20

【0200】

酸化物半導体膜 393 は、 In-Ga-Zn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜 393 を In-Ga-Zn-O 系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。具体的には、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol %] (すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom %]) を用いる。他にも、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom %]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom %] の組成比を有するターゲットを用いることもできる。なお、酸化物半導体ターゲットの充填率は 90% 以上 100% 以下、好ましくは 95% 以上 99.9% 以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。また、酸化物半導体膜 393 は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、又は希ガス (代表的にはアルゴン) 及び酸素雰囲気下においてスパッタリング法により形成することができる。また、ターゲットには、 SiO_2 を 2 重量 % 以上 10 重量 % 以下含むターゲットを用いて成膜を行ってもよい。
30 40

【0201】

減圧状態に保持された処理室内に基板を保持し、基板を室温又は 400 未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板 394 上に酸化物半導体膜 393 を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水 (H_2O) など水素原子を含む化合物 (より好ましくは炭素原子を含む化合物も) 等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。また
50

、クライオポンプにより処理室内に残留する水分を除去しながらスパッタ成膜を行うことで、酸化物半導体膜 393 を成膜する際の基板温度は室温から 400 未満とすることができる。

【0202】

成膜条件の一例としては、基板とターゲットの間の距離を 100 mm、圧力 0.6 Pa、直流 (DC) 電源 0.5 kW、酸素 (酸素流量比率 100%) 雰囲気下の条件が適用される。なお、パルス直流 (DC) 電源を用いると、ごみが軽減でき、膜厚分布も均一となるために好ましい。

【0203】

スパッタリング法にはスパッタ用電源に高周波電源を用いる RF スパッタリング法と、DC スパッタリング法があり、さらにパルスのバイアスを与えるパルス DC スパッタリング法もある。RF スパッタリング法は主に絶縁膜を成膜する場合に用いられ、DC スパッタリング法は主に金属膜を成膜する場合に用いられる。

10

【0204】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0205】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いる ECR スパッタリング法を用いるスパッタ装置がある。

20

【0206】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0207】

次いで、酸化物半導体膜を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 399 に加工する (図 10 (B) 参照。)。また、島状の酸化物半導体層 399 を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0208】

また、ゲート絶縁層 397 にコンタクトホールを形成する場合、その工程は酸化物半導体層 399 の形成時に行うことができる。

【0209】

なお、ここでの酸化物半導体膜 393 のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0210】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス (塩素系ガス、例えば塩素 (Cl_2)、塩化硼素 (BCl_3)、塩化珪素 (SiCl_4)、四塩化炭素 (CCl_4) など) が好ましい。

40

【0211】

また、フッ素を含むガス (フッ素系ガス、例えば四弗化炭素 (CF_4)、弗化硫黄 (SF_6)、弗化窒素 (NF_3)、トリフルオロメタン (CHF_3) など)、臭化水素 (HBr)、酸素 (O_2)、これらのガスにヘリウム (He) やアルゴン (Ar) などの希ガスを添加したガス、などを用いることができる。

【0212】

ドライエッチング法としては、平行平板型 RIE (Reactive Ion Etching) 法や、ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件 (コイル型の電極に印加される電力量、基板側の電極に印加さ

50

れる電力量、基板側の電極温度等)を適宜調節する。

【0213】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水(31重量%過酸化水素水:28重量%アンモニア水:水=5:2:2)などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0214】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

10

【0215】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0216】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層399及びゲート絶縁層397の表面に付着しているレジスト残渣などを除去することが好ましい。

【0217】

次いで、ゲート絶縁層397、及び酸化物半導体層399上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。また、Alに、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、Nd(ネオジウム)、Sc(スカンジウム)から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

20

【0218】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層395a、ドレイン電極層395bを形成した後、レジストマスクを除去する(図10(C)参照。)。

30

【0219】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層399上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25nm未満の露光を行う場合には、数nm~数10nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

40

【0220】

なお、導電膜のエッチングの際に、酸化物半導体層399は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0221】

本実施の形態では、導電膜としてTi膜を用いて、酸化物半導体層399にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとして過水アンモニア水(アンモ

50

ニア、水、過酸化水素水の混合液)を用いる。

【0222】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層399は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層395a、ドレイン電極層395bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0223】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を变形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【0224】

また、レジストマスクを除去した後は、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層399の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0225】

次に、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層として酸化物絶縁層396を形成する(図10(D)参照。)。前記プラズマ処理を行った場合は、プラズマ処理後に酸化物半導体層399を大気にさらすことなく、連続して酸化物絶縁層396を形成してもよい。なお、本実施の形態では、酸化物半導体層399がソース電極層395a、ドレイン電極層395bと重ならない領域において、酸化物半導体層399と酸化物絶縁層396とが接するように形成する。

【0226】

本実施の形態では、島状の酸化物半導体層399、ソース電極層395a、ドレイン電極層395bまで形成された基板394を室温又は100 未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて、欠陥を含む酸化シリコン層を成膜し、酸化物絶縁層396とする。

【0227】

例えば、純度が6Nであり、ボロンがドーブされたシリコンターゲット(抵抗値0.01 Ω cm)を用い、基板とターゲットの間との距離(T-S間距離)を89mm、圧力0.4Pa、直流(DC)電源6kW、酸素(酸素流量比率100%)雰囲気下でパルスDCスパッタリング法により成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英(好ましくは合成石英)を酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

【0228】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層396を成膜することが好ましい。酸化物半導体層399及び酸化物絶縁層396に水素、水酸基又は水分が含まれないようにするためである。

【0229】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H_2O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した

10

20

30

40

50

酸化物絶縁層 396 に含まれる不純物の濃度を低減できる。

【0230】

なお、酸化物絶縁層 396 として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

【0231】

さらに、酸化物絶縁層 396 の形成後、酸化物絶縁層 396 と酸化物半導体層 399 とを接した状態で 100 乃至 400 で加熱処理を行ってもよい。本実施の形態における酸化物絶縁層 396 は欠陥を多く含むため、この加熱処理によって酸化物半導体層 399 中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層 396 に拡散させ、酸化物半導体層 399 中に含まれる該不純物をより低減させることができる。

10

【0232】

以上の工程で、水素、水分、水酸基又は水素化物の濃度が低減された酸化物半導体層 392 を有する薄膜トランジスタ 390 を形成することができる（図 10（E）参照。）。

【0233】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

【0234】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層 398 を酸化物絶縁層 396 上に形成する。保護絶縁層 398 としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いる。

20

【0235】

保護絶縁層 398 として、酸化物絶縁層 396 まで形成された基板 394 を 100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層 396 と同様に、処理室内の残留水分を除去しつつ保護絶縁層 398 を成膜することが好ましい。

【0236】

保護絶縁層 398 を形成する場合、保護絶縁層 398 の成膜時に 100 ~ 400 に基板 394 を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させることができる。この場合上記酸化物絶縁層 396 の形成後に加熱処理を行わなくてもよい。

30

【0237】

酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にスパッタガスを窒素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、酸化物絶縁層 396 として酸化シリコン層を形成し、保護絶縁層 398 として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理（温度 100 乃至 400）を行うとよい。

40

【0238】

保護絶縁層の形成後、さらに大気中、100 以上 200 以下、1 時間以上 30 時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上 200 の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができ

50

る。この加熱処理によって、ノーマリーオフ（ n チャネル型トランジスタの場合、しきい値電圧が正の値となること）となる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0239】

また、ゲート絶縁層上にチャネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

【0240】

上記の工程は、液晶表示パネル、エレクトロルミネセンス表示パネル、電子インクを用いた表示装置などのバックプレーン（薄膜トランジスタが形成された基板）の製造に用いることができる。上記の工程は、400 以下の温度で行われるため、厚さが1mm以下で、一辺が1mを超えるガラス基板を用いる製造工程にも適用することができる。また、400 以下の処理温度で全ての工程を行うことができるので、表示パネルを製造するために多大なエネルギーを消費しないで済む。

【0241】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0242】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0243】

（実施の形態6）

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ310は、実施の形態1の薄膜トランジスタ106として用いることができる。

【0244】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を図11を用いて説明する。

【0245】

図11（A）乃至（E）に薄膜トランジスタの断面構造の一例を示す。図11（A）乃至（E）に示す薄膜トランジスタ310は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0246】

また、薄膜トランジスタ310はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0247】

以下、図11（A）乃至（E）を用い、基板300上に薄膜トランジスタ310を作製する工程を説明する。

【0248】

まず、絶縁表面を有する基板300上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層311を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0249】

絶縁表面を有する基板300に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。

【0250】

例えば基板 3 0 0 としてガラス基板を用いる場合には、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 以上のものを用いると良い。ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、酸化ホウ素と比較して酸化バリウム (BaO) を多く含ませることで、より実用的な耐熱ガラスが得られる。このため、 B_2O_3 より BaO を多く含むガラス基板を用いることが好ましい。

【 0 2 5 1 】

なお、基板 3 0 0 としては、上記のガラス基板以外に、セラミック基板、石英基板、サファイア基板などの絶縁体でなる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

10

【 0 2 5 2 】

下地膜となる絶縁膜を基板 3 0 0 とゲート電極層 3 1 1 との間に設けてもよい。下地膜は、基板 3 0 0 からの不純物元素の拡散を防止する機能があり、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、又は酸化窒化珪素膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【 0 2 5 3 】

また、ゲート電極層 3 1 1 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【 0 2 5 4 】

20

例えば、ゲート電極層 3 1 1 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、銅層上にモリブデン層を積層した 2 層の積層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した 2 層の積層構造、窒化チタン層とモリブデン層とを積層した 2 層の積層構造、又は窒化タングステン層とタングステン層との 2 層の積層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステンと、アルミニウムと珪素の合金またはアルミニウムとチタンの合金と、窒化チタンまたはチタン層とを積層した積層とすることが好ましい。

【 0 2 5 5 】

次いで、ゲート電極層 3 1 1 上にゲート絶縁層 3 0 2 を形成する。

【 0 2 5 6 】

30

ゲート絶縁層 3 0 2 は、プラズマ C V D 法又はスパッタリング法等を用いて、酸化珪素層、窒化珪素層、酸化窒化珪素層、窒化酸化珪素層、又は酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、 SiH_4 、酸素及び窒素を用いてプラズマ C V D 法により酸化窒化珪素層を形成すればよい。ゲート絶縁層 3 0 2 の膜厚は、1 0 0 nm 以上 5 0 0 nm 以下とし、積層の場合は、例えば、膜厚 5 0 nm 以上 2 0 0 nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上に膜厚 5 nm 以上 3 0 0 nm 以下の第 2 のゲート絶縁層の積層とする。

【 0 2 5 7 】

本実施の形態では、ゲート絶縁層 3 0 2 としてプラズマ C V D 法により膜厚 1 0 0 nm 以下の酸化窒化珪素層を形成する。

40

【 0 2 5 8 】

次いで、ゲート絶縁層 3 0 2 上に、膜厚 2 nm 以上 2 0 0 nm 以下、好ましくは 5 nm 以上 3 0 nm 以下の酸化物半導体膜 3 3 0 を形成する。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。この段階での断面図が図 1 1 (A) に相当する。

【 0 2 5 9 】

なお、酸化物半導体膜 3 3 0 をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 3 0 2 の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気にて窒素、ヘリウム、酸素などを用いてもよい。

50

【0260】

酸化物半導体膜330は、In-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜330としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。具体的には、組成比として、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol %] (すなわち、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 0.5$ [atom %])を用いる。他にも、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ [atom %]、又は $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 2$ [atom %]の組成比を有するターゲットを用いることもできる。なお、酸化物半導体ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下である。充填率の高い酸化物半導体ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。また、ターゲットには、 SiO_2 を2重量%以上10重量%以下含ませてよい。

10

【0261】

酸化物半導体膜330を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0262】

スパッタリングは、減圧状態に保持された処理室内に基板を保持し、基板温度を100以上600以下好ましくは200以上400以下で行う。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板300上に酸化物半導体膜330を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

20

30

【0263】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流(DC)電源を用いると、ゴミが軽減でき、膜厚分布も均一となるために好ましい。

【0264】

次いで、酸化物半導体膜330を第2のフォトリソグラフィ工程により島状の酸化物半導体層331に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0265】

次いで、酸化物半導体層331に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層331の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層331を得る(図11(B)参照)。

【0266】

50

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

【0267】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0268】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

20

【0269】

第1の加熱処理の結果、酸化物半導体層331中に含まれていた水素等は除去されるが、同時に酸素欠損も生じるので、n型の半導体(低抵抗化した半導体)となる。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層331は、結晶化し、微結晶膜または多結晶膜となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体膜となる場合もある。また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層331は、結晶成分を含まない非晶質の酸化物半導体膜となる場合もある。また、非晶質の酸化物半導体の中に微結晶部(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体膜となる場合もある。

30

【0270】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜330に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

【0271】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上に保護絶縁膜を形成した後、のいずれで行っても良い。

【0272】

また、ゲート絶縁層302にコンタクトホールを形成する場合、その工程は酸化物半導体膜330あるいは酸化物半導体層331に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

40

【0273】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0274】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

【0275】

50

次いで、ゲート絶縁層 302、及び酸化物半導体層 331 上に、導電膜を形成する。導電膜はスパッタ法や真空蒸着法で形成すればよい。導電膜の材料としては、Al、Cr、Cu、Ta、Ti、Mo、W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれかまたは複数から選択された材料を用いてもよい。また、導電膜は、単層構造でも、2 層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する 2 層構造、Ti 膜と、その Ti 膜上に重ねてアルミニウム膜を積層し、さらにその上に Ti 膜を成膜する 3 層構造などが挙げられる。また、Al に、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、Nd (ネオジム)、Sc (スカンジウム) から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

10

【0276】

導電膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【0277】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 315a、ドレイン電極層 315b を形成した後、レジストマスクを除去する (図 11 (C) 参照。)。

【0278】

20

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線や KrF レーザ光や ArF レーザ光を用いる。酸化物半導体層 331 上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成される薄膜トランジスタのチャネル長 L が決定される。なお、チャネル長 L = 25 nm 未満の露光を行う場合には、数 nm ~ 数 10 nm と極めて波長が短い超紫外線 (Extreme Ultraviolet) を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成される薄膜トランジスタのチャネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

30

【0279】

なお、導電膜のエッチングの際に、酸化物半導体層 331 は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0280】

本実施の形態では、導電膜として Ti 膜を用いて、酸化物半導体層 331 には In - Ga - Zn - O 系酸化物半導体を用いたので、エッチャントとして過水アンモニア水 (アンモニア、水、過酸化水素水の混合液) を用いる。

【0281】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層 331 は一部のみがエッチングされ、溝部 (凹部) を有する酸化物半導体層となることもある。また、ソース電極層 315a、ドレイン電極層 315b を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

40

【0282】

また、酸化物半導体層とソース電極層及びドレイン電極層の間に、酸化物導電層を形成してもよい。酸化物導電層とソース電極層及びドレイン電極層を形成するための金属層は、連続成膜が可能である。酸化物導電層はソース領域及びドレイン領域として機能しうる。

【0283】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図るこ

50

とができ、トランジスタの高速動作をすることができる。

【0284】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

10

【0285】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0286】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層316を形成する。

【0287】

酸化物絶縁層316は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層316に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層316に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素が酸化物半導体層中の酸素を引き抜き、酸素欠損が生じ酸化物半導体層のバックチャンネルが低抵抗化(N型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、酸化物絶縁層316はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

20

【0288】

本実施の形態では、酸化物絶縁層316として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。低抵抗化した酸化物半導体層に接して形成する酸化物絶縁層316は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

30

【0289】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層316を成膜することが好ましい。酸化物半導体層331及び酸化物絶縁層316に水素、水酸基又は水分が含まれないようにするためである。

40

【0290】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H_2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層316に含まれる不純物の濃度を低減できる。

【0291】

酸化物絶縁層316を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガス

50

を用いることが好ましい。

【0292】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層316と接した状態で加熱される。

【0293】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行ったため、低抵抗化した酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層311と重なるチャネル形成領域313はI型となり、ソース電極層315aに重なり、低抵抗な酸化物半導体よりなる高抵抗ソース領域314aと、ドレイン電極層315bに重なり、低抵抗な酸化物半導体よりなる高抵抗ドレイン領域314bとが自己整合的に形成される。以上の工程で薄膜トランジスタ310が形成される（図11（D）参照。）。

【0294】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、この加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化合物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

【0295】

なお、ドレイン電極層315b（及びソース電極層315a）と重畳した酸化物半導体層において高抵抗ドレイン領域314b（又は高抵抗ソース領域314a）を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域314bを形成することで、ドレイン電極層315bから高抵抗ドレイン領域314b、チャネル形成領域313にかけて、導電性を段階的に変化させるような構造とすることができる。そのため、ドレイン電極層315bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層311とドレイン電極層315bとの間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

【0296】

また、酸化物半導体層における高抵抗ソース領域又は高抵抗ドレイン領域は、酸化物半導体層の膜厚が15nm以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が30nm以上50nm以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化し高抵抗ソース領域又は高抵抗ドレイン領域が形成され、酸化物半導体層においてゲート絶縁膜に近い領域はI型とすることもできる。

【0297】

酸化物絶縁層316上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層303を、窒化シリコン膜を用いて形成する

(図11(E)参照。)。

【0298】

本実施の形態では、保護絶縁層303として、酸化物絶縁層316まで形成された基板300を100～400の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、酸化物絶縁層316と同様に、処理室内の残留水分を除去しつつ保護絶縁層303を成膜することが好ましい。

【0299】

保護絶縁層303上に平坦化のための平坦化絶縁層を設けてもよい。

【0300】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0301】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0302】

(実施の形態7)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ360は、実施の形態1の薄膜トランジスタ106として用いることができる。

【0303】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図12を用いて説明する。

【0304】

図12(A)乃至(D)に薄膜トランジスタのび断面構造の一例を示す。図12(A)乃至(D)に示す薄膜トランジスタ360は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

【0305】

また、薄膜トランジスタ360はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0306】

以下、図12(A)乃至(D)を用い、基板320上に薄膜トランジスタ360を作製する工程を説明する。

【0307】

まず、絶縁表面を有する基板320上に導電膜を形成した後、第1のフォトリソグラフィ工程によりレジストマスクを形成し、それを用いて、導電膜を選択的にエッチングして、ゲート電極層361を形成する。その後レジストマスクを除去する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0308】

また、ゲート電極層361の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0309】

次いで、ゲート電極層361上にゲート絶縁層322を形成する。

【0310】

本実施の形態では、ゲート絶縁層322としてプラズマCVD法により膜厚100nm以

10

20

30

40

50

下の酸化窒化珪素層を形成する。

【0311】

次いで、ゲート絶縁層322上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成し、第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。

【0312】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0313】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H₂O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

【0314】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0315】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層332を得る(図12(A)参照。)。

【0316】

次いで、N₂O、N₂、またはArなどのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0317】

次いで、ゲート絶縁層322、及び酸化物半導体層332上に、酸化物絶縁層を形成した後、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行って酸化物絶縁層366を形成した後、レジストマスクを除去する。

【0318】

本実施の形態では、酸化物絶縁層366として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガス及び酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。酸化物半導体層に接して形成する酸化物絶縁層366は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0319】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層366を成膜することが好ましい。酸化物半導体層332及び酸化物絶縁層366に水素、水酸基又は水分が含まれないようにするためである。

10

20

30

40

50

【0320】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブレーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水 (H_2O) など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層366に含まれる不純物の濃度を低減できる。

【0321】

酸化物絶縁層366を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

10

【0322】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行ってもよい。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層366と接した状態で加熱される。

【0323】

本実施の形態は、さらに酸化物絶縁層366が設けられ一部が露出している酸化物半導体層332を、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行う。酸化物絶縁層366によって覆われていない露出された酸化物半導体層332の領域は、窒素、不活性ガス雰囲気下、又は減圧下で加熱処理を行うと、低抵抗化することができる。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

20

【0324】

酸化物絶縁層366が設けられた酸化物半導体層332に対する窒素雰囲気下の加熱処理によって、酸化物半導体層332の露出領域は低抵抗化し、抵抗の異なる領域（図12（B）においては斜線領域及び白地領域で示す）を有する酸化物半導体層362となる。

【0325】

次いで、ゲート絶縁層322、酸化物半導体層362、及び酸化物絶縁層366上に、導電膜を形成した後、第4のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層365a、ドレイン電極層365bを形成した後、レジストマスクを除去する（図12（C）参照。）。

30

【0326】

ソース電極層365a、ドレイン電極層365bの材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。

【0327】

以上の工程を経ることによって、酸化物半導体膜の一部を選択的に酸素過剰な状態とする。その結果、ゲート電極層361と重なるチャネル形成領域363は、I型となり、ソース電極層365aに重なる高抵抗ソース領域364aと、ドレイン電極層365bに重なる高抵抗ドレイン領域364bとが自己整合的に形成される。以上の工程で薄膜トランジスタ360が形成される。

40

【0328】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物

50

絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0329】

なお、ドレイン電極層365b（及びソース電極層365a）と重畳した酸化物半導体層において、低抵抗した酸化物半導体よりなる高抵抗ドレイン領域364b（又は高抵抗ソース領域364a）を形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、高抵抗ドレイン領域364bを形成することで、ドレイン電極層から高抵抗ドレイン領域364b、チャネル形成領域363にかけて、導電性を段階的に変化させうるような構造とすることができる。そのため、ドレイン電極層365bに高電源電位VDDを供給する配線に接続して動作させる場合、ゲート電極層361とドレイン電極層365bとの間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させた構成とすることができる。

10

【0330】

ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上に保護絶縁層323を形成する。本実施の形態では、保護絶縁層323を、窒化珪素膜を用いて形成する（図12（D）参照。）。

【0331】

なお、ソース電極層365a、ドレイン電極層365b、酸化物絶縁層366上にさらに酸化物絶縁層を形成し、該酸化物絶縁層上に保護絶縁層323を積層してもよい。

【0332】

20

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0333】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0334】

（実施の形態8）

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ350は、実施の形態1の薄膜トランジスタ106として用いることができる。

30

【0335】

本実施の形態の薄膜トランジスタ及び薄膜トランジスタの作製方法の一形態を、図13を用いて説明する。

【0336】

また、薄膜トランジスタ350はシングルゲート構造の薄膜トランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造の薄膜トランジスタも形成することができる。

【0337】

40

以下、図13（A）乃至（D）を用い、基板340上に薄膜トランジスタ350を作製する工程を説明する。

【0338】

まず、絶縁表面を有する基板340上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層351を形成する。本実施の形態では、ゲート電極層351として、膜厚150nmのタングステン膜を、スパッタ法を用いて形成する。

【0339】

次いで、ゲート電極層351上にゲート絶縁層342を形成する。本実施の形態では、ゲート絶縁層342としてプラズマCVD法により膜厚100nm以下の酸化窒化珪素層を形成する。

50

【0340】

次いで、ゲート絶縁層342上に、導電膜を形成し、第2のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層355a、ドレイン電極層355bを形成した後、レジストマスクを除去する(図13(A)参照。)。

【0341】

次に酸化物半導体膜345を形成する(図13(B)参照。)。本実施の形態では、酸化物半導体膜345としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。酸化物半導体膜345を第3のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。

10

【0342】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜345を成膜することが好ましい。酸化物半導体膜345に水素、水酸基又は水分が含まれないようにするためである。

【0343】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H₂O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜345に含まれる不純物の濃度を低減できる。

20

【0344】

酸化物半導体膜345を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化合物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0345】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上750 以下、好ましくは400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層346を得る(図13(C)参照。)。

30

【0346】

また、第1の加熱処理として、650 ~700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0347】

酸化物半導体層346に接する保護絶縁膜となる酸化物絶縁層356を形成する。

【0348】

酸化物絶縁層356は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層356に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層356に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素が酸化物半導体層中の酸素を引き抜き、酸素欠損が生じ酸化物半導体層のバックチャネルが低抵抗化(N型化)してしまい、寄生チャネルが形成されるおそれがある。よって、酸化物絶縁層356はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

40

【0349】

本実施の形態では、酸化物絶縁層356として膜厚200nmの酸化珪素膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300 以下とすればよく、本実施の

50

形態では100とする。酸化珪素膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス及び酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化珪素ターゲットまたは珪素ターゲットを用いることができる。例えば、珪素ターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化珪素を形成することができる。酸化物半導体層に接して形成する酸化物絶縁層356は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0350】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層356を成膜することが好ましい。酸化物半導体層346及び酸化物絶縁層356に水素、水酸基又は水分が含まれないようにするためである。

10

【0351】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水（ H_2O ）など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層356に含まれる不純物の濃度を低減できる。

【0352】

20

酸化物絶縁層356を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0353】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層356と接した状態で加熱される。

【0354】

以上の工程を経ることによって、酸化物半導体膜を酸素過剰な状態とする。その結果、I型の酸化物半導体層352が形成される。以上の工程で薄膜トランジスタ350が形成される。

30

【0355】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

40

【0356】

酸化物絶縁層356上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化珪素膜を形成する。本実施の形態では、保護絶縁層として保護絶縁層343を、窒化珪素膜を用いて形成する（図13（D）参照。）。

【0357】

保護絶縁層343上に平坦化のための平坦化絶縁層を設けてもよい。

【0358】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量

50

で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0359】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0360】

(実施の形態9)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタ380は、実施の形態1の薄膜トランジスタ106として用いることができる。

10

【0361】

本実施の形態では、薄膜トランジスタの作製工程の一部が実施の形態6と異なる例を図14に示す。図14は、図11と工程が一部異なる点以外は同じであるため、同じ箇所には同じ符号を用い、同じ箇所の詳細な説明は省略する。

【0362】

実施の形態6に従って、基板370上にゲート電極層381を形成し、第1のゲート絶縁層372a、第2のゲート絶縁層372bを積層する。本実施の形態では、ゲート絶縁層を2層構造とし、第1のゲート絶縁層372aに窒化物絶縁層を、第2のゲート絶縁層372bに酸化物絶縁層を用いる。

【0363】

酸化絶縁層としては、酸化シリコン層、酸化窒化シリコン層、または酸化アルミニウム層、又は酸化窒化アルミニウム層などを用いることができる。また、窒化絶縁層としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いることができる。

20

【0364】

本実施の形態では、ゲート電極層381側から窒化シリコン層と酸化シリコン層とを積層した構造とする。第1のゲート絶縁層372aとしてスパッタリング法により膜厚50nm以上200nm以下(本実施の形態では50nm)の窒化シリコン層(SiN_y ($y > 0$))を形成し、第1のゲート絶縁層372a上に第2のゲート絶縁層372bとして膜厚5nm以上300nm以下(本実施の形態では100nm)の酸化シリコン層(SiO_x ($x > 0$))を積層して、例えば、膜厚150nmのゲート絶縁層とする。

30

【0365】

次に酸化物半導体膜の形成を行い、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。

【0366】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0367】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H_2O)など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

40

【0368】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0369】

50

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400 以上基板の750 以下、好ましくは425 以上とする。なお、425 以上であれば加熱処理時間は1時間以下でよいが、425 未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度の N_2O ガス、又は超乾燥エア（露点が-40 以下、好ましくは-60 以下）を導入して冷却を行う。酸素ガスまたは N_2O ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N_2O ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち酸素ガスまたは N_2O ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0370】

なお、加熱処理装置は電気炉に限られず、例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、LRTA装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。GRTAとは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。RTA法を用いて、600 ~ 750 で数分間加熱処理を行ってもよい。

20

【0371】

また、脱水化または脱水素化を行う第1の加熱処理後に200 以上400 以下、好ましくは200 以上300 以下の温度で酸素ガスまたは N_2O ガス雰囲気下での加熱処理を行ってもよい。

【0372】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

30

【0373】

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、全体がI型化した酸化物半導体層382を得る。

【0374】

次いで、酸化物半導体層382上に、導電膜を形成し、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層385a、ドレイン電極層385bを形成し、スパッタ法で酸化物絶縁層386を形成する。

【0375】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層386を成膜することが好ましい。酸化物半導体層382及び酸化物絶縁層386に水素、水酸基又は水分が含まれないようにするためである。

40

【0376】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素分子や、水(H_2O)など水素原子を含む化合物を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層386に含まれる不純物の濃度を低減できる。

50

【0377】

酸化物絶縁層386を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、1ppm以下、好ましくは10ppb以下まで除去された高純度ガスを用いることが好ましい。

【0378】

以上の工程で、薄膜トランジスタ380を形成することができる。

【0379】

次いで、薄膜トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理（好ましくは150以上350未満）を行ってもよい。例えば、窒素雰囲気下で250、1時間の加熱処理を行う。

10

【0380】

また、大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。本実施の形態では150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素がとりこまれ、ノーマリーオフとなる薄膜トランジスタを得ることができる。よって液晶表示装置の信頼性を向上できる。

【0381】

20

酸化物絶縁層386上に保護絶縁層373を形成する。本実施の形態では、保護絶縁層373として、スパッタリング法を用いて膜厚100nmの窒化珪素膜を形成する。

【0382】

窒化物絶縁層からなる保護絶縁層373及び第1のゲート絶縁層372aは、水分や、水素や、水素化物、水酸化物などの不純物を含まず、これらが外部から侵入することをブロックする効果がある。

【0383】

従って、保護絶縁層373形成後の製造プロセスにおいて、外部からの水分などの不純物の侵入を防ぐことができる。また、液晶表示装置としてデバイスが完成した後にも長期的に、外部からの水分などの不純物の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

30

【0384】

また、窒化物絶縁層からなる保護絶縁層373と、第1のゲート絶縁層372aとの間に設けられる絶縁層を除去し、保護絶縁層373と、第1のゲート絶縁層372aとが接する構造としてもよい。

【0385】

従って、酸化物半導体層中の水分や、水素や、水素化物、水酸化物などの不純物を究極にまで低減し、かつ該不純物の再混入を防止し、酸化物半導体層中の不純物濃度を低く維持することができる。

【0386】

40

保護絶縁層373上に平坦化のための平坦化絶縁層を設けてもよい。

【0387】

以上のように、酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置の表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置とすることができる。

【0388】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0389】

50

(実施の形態 10)

本実施の形態は、本明細書で開示する液晶表示装置に適用できる薄膜トランジスタの他の例を示す。本実施の形態で示す薄膜トランジスタは、実施の形態 2 乃至 8 の薄膜トランジスタに適用することができる。

【0390】

本実施の形態では、ゲート電極層、ソース電極層及びドレイン電極層に透光性を有する導電材料を用いる例を示す。従って、他は上記実施の形態と同様に行うことができ、上記実施の形態と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

【0391】

例えば、ゲート電極層、ソース電極層、ドレイン電極層の材料として、可視光に対して透光性を有する導電材料、例えば In-Sn-O 系、 In-Sn-Zn-O 系、 In-Al-Zn-O 系、 Sn-Ga-Zn-O 系、 Al-Ga-Zn-O 系、 Sn-Al-Zn-O 系、 In-Zn-O 系、 Sn-Zn-O 系、 Al-Zn-O 系、 In-O 系、 Sn-O 系、 Zn-O 系の金属酸化物を適用することができ、膜厚は 50 nm 以上 300 nm 以下の範囲内で適宜選択する。ゲート電極層、ソース電極層、ドレイン電極層に用いる金属酸化物の成膜方法は、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。また、スパッタリング法を用いる場合、 SiO_2 を 2 重量% 以上 10 重量% 以下含むターゲットを用いて成膜を行い、透光性を有する導電膜に結晶化を阻害する SiO_x ($x > 0$) を含ませ、後の工程で行う加熱処理の際に結晶化してしまうのを抑制することが好ましい。

【0392】

なお、透光性を有する導電膜の組成比の単位は原子% とし、電子線マイクロアナライザー（EPMA: Electron Probe X-ray Micro Analyzer）を用いた分析により評価するものとする。

【0393】

また、薄膜トランジスタが配置される画素には、画素電極層、またはその他の電極層（容量電極層など）や、その他の配線層（容量配線層など）に可視光に対して透光性を有する導電膜を用いると、高開口率を有する表示装置を実現することができる。勿論、画素に存在するゲート絶縁層、酸化物絶縁層、保護絶縁層、平坦化絶縁層も可視光に対して透光性を有する膜を用いることが好ましい。

【0394】

本明細書において、可視光に対して透光性を有する膜とは可視光の透過率が $75 \sim 100\%$ である膜厚を有する膜を指し、その膜が導電性を有する場合は透明の導電膜とも呼ぶ。また、ゲート電極層、ソース電極層、ドレイン電極層、画素電極層、またはその他の電極層や、その他の配線層に適用する金属酸化物として、可視光に対して半透明の導電膜を用いてもよい。可視光に対して半透明とは可視光の透過率が $50 \sim 75\%$ であることを指す。

【0395】

薄膜トランジスタに透光性を持たせると、開口率を向上させることができる。特に 10 インチ 以下の小型の液晶表示パネルにおいて、ゲート配線の本数を増やすなどして表示画像の高精細化を図るため、画素寸法を微細化しても、高い開口率を実現することができる。また、薄膜トランジスタの構成部材に透光性を有する膜を用いることで、広視野角を実現するため、1 画素を複数のサブピクセルに分割しても高い開口率を実現することができる。即ち、高密度の薄膜トランジスタ群を配置しても開口率を大きくとることができ、表示領域の面積を十分に確保することができる。例えば、一つの画素内に $2 \sim 4$ 個のサブピクセルを有する場合、薄膜トランジスタが透光性を有するため、開口率を向上させることができる。また、薄膜トランジスタの構成部材と同工程で同材料を用いて保持容量を形成すると、保持容量も透光性とすることができるため、さらに開口率を向上させることができる。

10

20

30

40

50

【 0 3 9 6 】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【 0 3 9 7 】

(実施の形態 1 1)

液晶表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図 1 5 を用いて説明する。図 1 5 は、第 1 の基板 4 0 0 1 上に形成された薄膜トランジスタ 4 0 1 0、4 0 1 1、及び液晶素子 4 0 1 3 を、第 2 の基板 4 0 0 6 との間にシール材 4 0 0 5 によって封止した、パネルの平面図であり、図 1 5 (B) は、図 1 5 (A) または図 1 5 (C) の M - N における断面図に相当する。

【 0 3 9 8 】

第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とを囲むようにして、シール材 4 0 0 5 が設けられている。また画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 の上に第 2 の基板 4 0 0 6 が設けられている。よって画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 とは、第 1 の基板 4 0 0 1 とシール材 4 0 0 5 と第 2 の基板 4 0 0 6 とによって、液晶層 4 0 0 8 と共に封止されている。また第 1 の基板 4 0 0 1 上のシール材 4 0 0 5 によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路 4 0 0 3 が実装されている。

【 0 3 9 9 】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG 方法、ワイヤボンディング方法、或いはTAB 方法などを用いることができる。図 1 5 (A) は、COG 方法により信号線駆動回路 4 0 0 3 を実装する例であり、図 1 5 (C) は、TAB 方法により信号線駆動回路 4 0 0 3 を実装する例である。

【 0 4 0 0 】

また第 1 の基板 4 0 0 1 上に設けられた画素部 4 0 0 2 と、走査線駆動回路 4 0 0 4 は、薄膜トランジスタを複数有しており、図 1 5 (B) では、画素部 4 0 0 2 に含まれる薄膜トランジスタ 4 0 1 0 と、走査線駆動回路 4 0 0 4 に含まれる薄膜トランジスタ 4 0 1 1 とを例示している。薄膜トランジスタ 4 0 1 0、4 0 1 1 の上下には絶縁層 4 0 4 1、4 0 4 2、4 0 2 0、4 0 2 1 が設けられている。

【 0 4 0 1 】

薄膜トランジスタ 4 0 1 0、4 0 1 1 は、実施の形態 2 乃至 9 のいずれか一の薄膜トランジスタを適宜用いることができ、同様な工程及び材料で形成することができる。薄膜トランジスタ 4 0 1 0、4 0 1 1 の酸化物半導体層は水素や水が低減されている。従って、薄膜トランジスタ 4 0 1 0、4 0 1 1 は信頼性の高い薄膜トランジスタである。本実施の形態において、薄膜トランジスタ 4 0 1 0、4 0 1 1 は n チャネル型薄膜トランジスタである。

【 0 4 0 2 】

絶縁層 4 0 2 1 上において、駆動回路用の薄膜トランジスタ 4 0 1 1 の酸化物半導体層のチャネル形成領域と重なる位置に導電層 4 0 4 0 が設けられている。導電層 4 0 4 0 を酸化物半導体層のチャネル形成領域と重なる位置に設けることによって、BT 試験前後における薄膜トランジスタ 4 0 1 1 のしきい値電圧の変化量を低減することができる。また、導電層 4 0 4 0 は、電位が薄膜トランジスタ 4 0 1 1 のゲート電極層と同じでもよいし、異なっても良く、第 2 のゲート電極層として機能させることもできる。また、導電層 4 0 4 0 の電位が GND、0 V、或いはフローティング状態であってもよい。

【 0 4 0 3 】

また、液晶素子 4 0 1 3 が有する画素電極層 4 0 3 0 は、薄膜トランジスタ 4 0 1 0 のソース電極層又はドレイン電極層と電気的に接続されている。そして液晶素子 4 0 1 3 の対向電極層 4 0 3 1 は第 2 の基板 4 0 0 6 上に形成されている。画素電極層 4 0 3 0 と対向電極層 4 0 3 1 と液晶層 4 0 0 8 とが重なっている部分が、液晶素子 4 0 1 3 に相当する。なお、画素電極層 4 0 3 0、対向電極層 4 0 3 1 はそれぞれ配向膜として機能する絶縁層 4 0 3 2、4 0 3 3 が設けられ、絶縁層 4 0 3 2、4 0 3 3 を介して液晶層 4 0 0 8 を

10

20

30

40

50

挟持している。

【0404】

なお、第1の基板4001、第2の基板4006としては、透光性基板を用いることができる。プラスチックとしては、FRP(Fiberglass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルム、またはアクリル樹脂フィルムを用いることができる。

【0405】

また4035は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層4030と対向電極層4031との間の距離(セルギャップ)を制御するために設けられている。なお球状のスペーサを用いていても良い。また、対向電極層4031は、薄膜トランジスタ4010と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層4031と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材4005に含有させる。

10

【0406】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層4008に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破壊を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いる薄膜トランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

20

【0407】

なお、本実施の形態の液晶表示パネルは、透過型の液晶表示装置の例であるが、本発明の一態様は、半透過型や反射型の液晶表示装置にも適用できる。

30

【0408】

また、液晶表示装置では、基板の外側(視認側)に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、表示部以外にブラックマトリクスとして機能する遮光膜を設けてもよい。

【0409】

薄膜トランジスタ4011、4010上には、酸化物半導体層に接して絶縁層4041が形成されている。ここでは、絶縁層4041として、スパッタリング法により酸化シリコン層を形成する。また、絶縁層4041上に接して保護絶縁層4042を形成する。また、保護絶縁層4042は、例えば窒化シリコン膜を用いることができる。また、保護絶縁層4042上に薄膜トランジスタの表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層4021で覆う構成となっている。

40

【0410】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)、シロキサン系樹脂、PSG(リンガラス)、BPSG(リンボロンガラス)等を用いる

50

ことができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層 4021 を形成してもよい。

【0411】

絶縁層 4021 の形成法は、特に限定されず、その材料に応じて、スパッタリング法、SOG 法、スピコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層 4021 の焼成工程と半導体層のアニールを兼ねることで効率よく液晶表示装置を作製することが可能となる。

【0412】

画素電極層 4030、対向電極層 4031 は、インジウム錫酸化物（ITO）、酸化インジウムに酸化亜鉛（ZnO）を混合した IZO（indium zinc oxide）、酸化インジウムに酸化珪素（SiO₂）を混合した導電材料、有機インジウム、有機スズ、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、などの透光性の導電性材料を用いることができる。または反射型の液晶表示装置において、透光性を有する必要がない、または反射性を有する必要がある場合は、タングステン（W）、モリブデン（Mo）、ジルコニウム（Zr）、ハフニウム（Hf）、バナジウム（V）、ニオブ（Nb）、タンタル（Ta）、クロム（Cr）、コバルト（Co）、ニッケル（Ni）、チタン（Ti）、白金（Pt）、アルミニウム（Al）、銅（Cu）、銀（Ag）等の金属、又はその合金、若しくはその金属窒化物から一つ、又は複数種を用いて形成することができる。

【0413】

また、画素電極層 4030、対向電極層 4031 として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が 10000 Ω/□ 以下、波長 550 nm における透光率が 70 % 以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が 0.1 Ω・cm 以下であることが好ましい。

【0414】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの 2 種以上の共重合体などがあげられる。

【0415】

また別途形成された信号線駆動回路 4003 と、走査線駆動回路 4004 または画素部 4002 に与えられる各種信号及び電位は、FPC 4018 から供給されている。

【0416】

接続端子電極 4015 が、液晶素子 4013 が有する画素電極層 4030 と同じ導電膜から形成され、端子電極 4016 は、薄膜トランジスタ 4010、4011 のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0417】

接続端子電極 4015 は、FPC 4018 が有する端子と、異方性導電膜 4019 を介して電氣的に接続されている。

【0418】

また図 15 においては、信号線駆動回路 4003 を別途形成し、第 1 の基板 4001 に実装している例を示しているがこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0419】

また、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

【0420】

アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された画素電極を駆動することによって、画面上に表示パターンが形成される。詳しくは選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0421】

また、薄膜トランジスタは静電気などにより破壊されやすいため、さらに画素部または駆動回路と同一基板上に保護回路を設けることが好ましい。保護回路は、酸化物半導体層を用いた非線形素子を用いて構成することが好ましい。例えば、保護回路は画素部と、走査線入力端子及び信号線入力端子との間に配設されている。本実施の形態では複数の保護回路を配設して、走査線、信号線及び容量バス線に静電気等によりサージ電圧が印加され、画素トランジスタなどが破壊されないように構成されている。そのため、保護回路にはサージ電圧が印加されたときに、共通配線に電荷を逃がすように構成する。また、保護回路は、走査線、信号線、または容量バス線と共通配線との間に並列に配置された非線形素子によって構成されている。非線形素子は、ダイオードのような二端子素子又はトランジスタのような三端子素子で構成される。例えば、画素部の薄膜トランジスタと同じ工程で形成することも可能であり、例えばゲート端子とドレイン端子を接続することによりダイオードと同様の特性を持たせることができる。

【0422】

また、液晶表示モジュールには、TN (Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optical Compensated Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) などを用いることができる。

【0423】

このように、本明細書に開示される液晶表示装置では、液書素子の種類は特に限定されず、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスコティック液晶などを用いることができるが、中でもノーマリーブラック型の液晶パネル、例えば垂直配向(VA)モードを採用した透過型の液晶表示装置とすることが好ましい。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。また、垂直配向モードとしては、いくつか挙げられるが、例えば、MVA (Multi-Domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASVモードなどを用いることができる。

【0424】

また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素(ピクセル)をいくつかの領域(サブピクセル)に分け、それぞれ別の方向に分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

【0425】

なお、本発明の一態様は、液晶表示装置に限定されず、表示素子としてエレクトロルミネッセンス素子(EL素子ともいう)などの発光素子を用いたEL表示装置の画素に適用することもできる。

【0426】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【 0 4 2 7 】

(実施の形態 1 2)

本実施の形態においては、上記実施の形態で説明した液晶表示装置を具備する電子機器の例について説明する。

【 0 4 2 8 】

図 1 6 (A) は携帯型遊技機であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、記録媒体読込部 9 6 7 2、等を有することができる。図 1 6 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、他の携帯型遊技機と無線通信を行って情報を共有する機能、等を有することができる。なお、図 1 6 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

10

【 0 4 2 9 】

図 1 6 (B) はデジタルカメラであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、シャッターボタン 9 6 7 6、受像部 9 6 7 7、等を有することができる。図 1 6 (B) に示すテレビ受像機能付きデジタルカメラは、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、アンテナから様々な情報を取得する機能、撮影した画像、又はアンテナから取得した情報を保存する機能、撮影した画像、又はアンテナから取得した情報を表示部に表示する機能、等を有することができる。なお、図 1 6 (B) に示すテレビ受像機能付きデジタルカメラが有する機能はこれに限定されず、様々な機能を有することができる。

20

【 0 4 3 0 】

図 1 6 (C) はテレビ受像器であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、等を有することができる。図 1 6 (C) に示すテレビ受像機は、テレビ用電波を処理して画像信号に変換する機能、画像信号を処理して表示に適した信号に変換する機能、画像信号のフレーム周波数を変換する機能、等を有することができる。なお、図 1 6 (C) に示すテレビ受像機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 4 3 1 】

図 1 7 (A) はコンピュータであり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、接続端子 9 6 3 6、ポインティングデバイス 9 6 8 1、外部接続ポート 9 6 8 0 等を有することができる。図 1 7 (A) に示すコンピュータは、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信又は有線通信などの通信機能、通信機能を用いて様々なコンピュータネットワークに接続する機能、通信機能を用いて様々なデータの送信又は受信を行う機能、等を有することができる。なお、図 1 7 (A) に示すコンピュータが有する機能はこれに限定されず、様々な機能を有することができる。

30

【 0 4 3 2 】

次に、図 1 7 (B) は携帯電話であり、筐体 9 6 3 0、表示部 9 6 3 1、スピーカ 9 6 3 3、操作キー 9 6 3 5、マイクロフォン 9 6 3 8 等を有することができる。図 1 7 (B) に示した携帯電話は、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有することができる。なお、図 1 7 (B) に示した携帯電話が有する機能はこれに限定されず、様々な機能を有することができる。

40

【 0 4 3 3 】

次に、図 1 7 (C) は電子ペーパー（E - b o o k ともいう）であり、筐体 9 6 3 0、表示部 9 6 3 1、操作キー 9 6 3 5 等を有することができる。図 1 7 (C) に示した電子ペーパーは、様々な情報（静止画、動画、テキスト画像など）を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、等を有すること

50

ができる。なお、図 17 (C) に示した電子ペーパーが有する機能はこれに限定されず、様々な機能を有することができる。

【0434】

本実施の形態において述べた電子機器は、表示部を構成する複数の画素において、オフ電流を低減することができる。そのため、保持容量で電圧を保持できる期間を長く取ることができ、静止画等を表示する際の低消費電力化を図ることができる液晶表示装置を具備する電子機器とすることができる。また開口率の向上を図ることによって、高精細な表示部を有する液晶表示装置とすることができる。

【0435】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

10

【0436】

(実施の形態 13)

本実施の形態では、酸化物半導体を用いたボトムゲート型のトランジスタの動作原理について説明する。

【0437】

図 18 は、酸化物半導体を用いた逆スタガ型の絶縁ゲート型トランジスタの断面図である。ゲート電極 (G1) 上にゲート絶縁膜 (GI) を介して酸化物半導体層 (OS) が設けられ、その上にソース電極 (S) 及びドレイン電極 (D) が設けられている。

【0438】

20

図 19 は、図 18 に示す A - A' 断面におけるエネルギーバンド図 (模式図) である。図 19 (A) はソースとドレインの間の電圧を等電位 ($V_D = 0$ V) とした場合を示し、図 19 (B) はソースに対しドレインに正の電位 ($V_D > 0$) を加えた場合を示す。

【0439】

図 20 は、図 18 における B - B' の断面におけるエネルギーバンド図 (模式図) である。図 20 (A) はゲート (G1) に正の電位 ($+V_G$) が印加された状態であり、ソースとドレイン間にキャリア (電子) が流れるオン状態を示している。また、図 20 (B) は、ゲート (G1) に負の電位 ($-V_G$) が印加された状態であり、オフ状態 (少数キャリアは流れない) である場合を示す。

【0440】

30

図 21 は、真空準位と金属の仕事関数 (ϕ_M)、酸化物半導体の電子親和力 (χ) の関係を示す。

【0441】

金属は縮退しているため、伝導帯とフェルミ準位とは一致する。一方、従来の酸化物半導体は一般的に n 型であり、その場合のフェルミ準位 (E_f) は、バンドギャップ中央に位置する真性フェルミ準位 (E_i) から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素はドナーであり n 型化する一つの要因であることが知られている。

【0442】

これに対して本発明に係る酸化物半導体は、n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (i 型) とし、又は実質的に真性型としたものである。すなわち、不純物を添加して i 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された i 型 (真性半導体) 又はそれに近づくことを特徴としている。そうすることにより、フェルミ準位 (E_f) は真性フェルミ準位 (E_i) と同じレベルにまですることができ。

40

【0443】

酸化物半導体のバンドギャップ (E_g) が 3.15 eV である場合、電子親和力 (χ) は 4.3 eV と言われている。ソース電極及びドレイン電極を構成するチタン (Ti) の仕事関数は、酸化物半導体の電子親和力 (χ) とほぼ等しい。この場合、金属 - 酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

【0444】

50

すなわち、金属の仕事関数 (ϕ_M) と酸化物半導体の電子親和力 (χ) が等しい場合、両者が接触すると図 19 (A) で示すようなエネルギーバンド図 (模式図) が示される。

【0445】

図 19 (B) において黒丸 (●) は電子を示し、ドレインに正の電位が印加されると、電子はバリア (h) をこえて酸化物半導体に注入され、ドレインに向かって流れる。この場合、バリア (h) の高さは、ゲート電圧とドレイン電圧に依存して変化するが、正のドレイン電圧が印加された場合には、電圧印加のない図 19 (A) のバリアの高さすなわちバンドギャップ (E_g) の $1/2$ よりもバリアの高さ (h) は小さい値となる。

【0446】

このとき酸化物半導体に注入された電子は、図 20 (A) で示すように酸化物半導体中を流れる。また、図 20 (B) において、ゲート電極 (G_1) に負の電位 (逆バイアス) が印加されると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0447】

例えば、上記のように絶縁ゲート型トランジスタのチャネル幅 W が $1 \times 10^4 \mu m$ でチャネル長が $3 \mu m$ の素子であっても、オフ電流が $10^{-13} A$ 以下であり、サブスレッショルドスイング値 (S 値) が $0.1 V / dec.$ (ゲート絶縁膜厚 $100 nm$) が得られる。

【0448】

なお、シリコン半導体の真性キャリア濃度は $1.45 \times 10^{10} / cm^3$ ($300 K$) であり、室温においてもキャリアが存在している。これは、室温においても、熱励起キャリアが存在していることを意味している。実用的にはリン又はホウ素などの不純物が添加されたシリコンウエハが使用される。また、いわゆる真性シリコンウエハと言っても、意図的に制御できない不純物が存在するので、実際には $1 \times 10^{14} / cm^3$ 以上のキャリアがシリコン半導体に存在し、これがソース - ドレイン間の伝導に寄与する。さらに、シリコン半導体のバンドギャップは $1.12 eV$ であるので、シリコン半導体を用いたトランジスタは温度に依存してオフ電流が大きく変動することとなる。

【0449】

従って、単にバンドギャップの広い酸化物半導体をトランジスタに適用するのではなく、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、キャリア濃度を $1 \times 10^{14} / cm^3$ 未満、好ましくは $1 \times 10^{12} / cm^3$ 以下となるようにすることで、実用的な動作温度で熱的に励起されるキャリアを排除して、ソース側から注入されるキャリアのみによってトランジスタを動作させることができる。それにより、オフ電流を $1 \times 10^{-13} [A]$ 以下にまで下げると共に、温度変化によってオフ電流がほとんど変化しない極めて安定に動作するトランジスタを得ることができる。

【0450】

本発明の技術思想は、酸化物半導体中に、更に加えることをせずに逆に不本意に存在する水、水素という不純物を除去することにより、酸化物半導体自体を高純度化することにある。すなわち、ドナー準位を構成する水または水素を除去することにより、更に酸素欠損を除去するために酸素を十分に供給することにより、酸化物半導体自体を高純度化することを特徴としている。

【0451】

酸化物半導体は成膜直後ですら $10^{20} / cm^3$ のレベルの水素が SIMS (二次イオン質量分析) で観察される。このドナー準位を作る水または水素という不純物を意図的に除去し、更に水または水素の除去に伴い同時に減少してしまう酸素 (酸化物半導体の成分の一つ) を酸化物半導体に加えることにより、酸化物半導体を高純度化し、電氣的に i 型 (真性) 半導体とすることを技術思想の一つとしている。

【0452】

結果として、水素の量は少なければ少ないほど良く、酸化物半導体中のキャリアも少なければ少ないほど良い。酸化物半導体は、絶縁ゲート型トランジスタに用いる場合に半導体

10

20

30

40

50

としてのキャリアを意図的に有するというよりも、逆に酸化物半導体のキャリアは無くしてしまい、半導体としてはキャリアを通過させる通路としての意味を与えた、いわゆる高純度化したi型（真性）半導体である。

【0453】

その結果、酸化物半導体中にキャリアが無い、または極めて少なくさせることにより、絶縁ゲート型トランジスタではオフ電流が少なくなるというのが本発明の一態様における技術思想である。すなわち、その指標として水素濃度が $1 \times 10^{16} / \text{cm}^3$ 以下、またキャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下が求められる。本発明の技術思想的には、ゼロまたはゼロに近いことが理想である。

【0454】

また結果として、酸化物半導体は通路（パス）として機能し、酸化物半導体自体がキャリアを有さない、または極めて少ないように高純度化したi型（真性）とし、キャリアはソース側となる電極より供給される。供給の程度は、酸化物半導体の電子親和力 χ 、フェルミレベル理想的には真性フェルミレベルと一致したフェルミレベル、及びソース、ドレインの電極の仕事関数より導かれる、バリアハイト（障壁高さ）で決められる。

【0455】

このため、オフ電流は少なければ少ないほど良く、 $1 \sim 10 \text{ V}$ の間のいずれかのドレイン電圧を印加しての絶縁ゲート型トランジスタ特性において、チャネル長 $10 \mu\text{m}$ の場合、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流を $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下にすることを特徴の一つとしている。

【0456】

（実施の形態14）

本実施の形態では、評価用素子（TEGとも呼ぶ）を用いたオフ電流の測定値について以下に説明する。

【0457】

図22に $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ の薄膜トランジスタを200個並列に接続し、 $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ の薄膜トランジスタの初期特性を示す。また、上面図を図23（A）に示し、その一部を拡大した上面図を図23（B）に示す。図23（B）の点線で囲んだ領域が $L/W = 3 \mu\text{m} / 50 \mu\text{m}$ 、 $L_{ov} = 1.5 \mu\text{m}$ の1段分の薄膜トランジスタである。薄膜トランジスタの初期特性を測定するため、基板温度を室温とし、ソース・ドレイン間電圧（以下、ドレイン電圧または V_d という）を 10 V とし、ソース・ゲート間電圧（以下、ゲート電圧または V_g という）を $-20 \text{ V} \sim +20 \text{ V}$ まで変化させたときのソース・ドレイン電流（以下、ドレイン電流または I_d という）の変化特性、すなわち $V_g - I_d$ 特性を測定した。なお、図22では、 V_g を $-20 \text{ V} \sim +5 \text{ V}$ までの範囲で示している。

【0458】

図22に示すようにチャネル幅 W が $10000 \mu\text{m}$ の薄膜トランジスタは、 V_d が 1 V 及び 10 V においてオフ電流は $1 \times 10^{-13} [\text{A}]$ 以下となっており、測定機（半導体パラメータ・アナライザ、Agilent 4156C；Agilent社製）の分解能（ 100 fA ）以下となっている。

【0459】

測定した薄膜トランジスタの作製方法について説明する。

【0460】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタ法によりタングステン層を形成した。ここで、タングステン層を選択的にエッチングしてゲート電極層を形成した。

【0461】

次に、ゲート電極層上にゲート絶縁層としてCVD法により厚さ 100 nm の酸化窒化珪

10

20

30

40

50

素層を形成した。

【0462】

次に、ゲート絶縁層上に、スパッタ法により $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系酸化物半導体ターゲット（モル数比で、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ ）を用いて、厚さ 50 nm の酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

【0463】

次に、酸化物半導体層をクリーンオープンにて窒素雰囲気下、 450°C 、1時間の第1の熱処理を行った。

【0464】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層（厚さ 150 nm ）をスパッタ法により形成した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、1つの薄膜トランジスタのチャンネル長 L が $3 \mu\text{m}$ 、チャンネル幅 W が $50 \mu\text{m}$ とし、 200 個を並列とすることで、 $L/W = 3 \mu\text{m} / 10000 \mu\text{m}$ となるようにした。

【0465】

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を膜厚 300 nm で形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、 250°C で1時間、第2の熱処理を行った。

【0466】

そして、 $V_g - I_d$ 特性を測定する前に 150°C 、10時間の加熱を行った。

【0467】

以上の工程により、ボトムゲート型の薄膜トランジスタを作製した。

【0468】

図22に示すように薄膜トランジスタのオフ電流が、 $1 \times 10^{-13} [\text{A}]$ 程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 $1 \times 10^{16} / \text{cm}^3$ 以下とする。なお、酸化物半導体層中の水素濃度の値は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）で測定して得られたものである。

【0469】

また、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、 $\text{In} - \text{Sn} - \text{Zn} - \text{O}$ 系、 $\text{Sn} - \text{Ga} - \text{Zn} - \text{O}$ 系、 $\text{Al} - \text{Ga} - \text{Zn} - \text{O}$ 系、 $\text{Sn} - \text{Al} - \text{Zn} - \text{O}$ 系、 $\text{In} - \text{Zn} - \text{O}$ 系、 $\text{In} - \text{Sn} - \text{O}$ 系、 $\text{Sn} - \text{Zn} - \text{O}$ 系、 $\text{Al} - \text{Zn} - \text{O}$ 系、 $\text{In} - \text{O}$ 系、 $\text{Sn} - \text{O}$ 系、 $\text{Zn} - \text{O}$ 系などを用いることができる。また、酸化物半導体材料として、 AlO_x を $2.5 \sim 10 \text{ wt}\%$ 混入した $\text{In} - \text{Al} - \text{Zn} - \text{O}$ 系や、 SiO_x を $2.5 \sim 10 \text{ wt}\%$ 混入した $\text{In} - \text{Zn} - \text{O}$ 系を用いることもできる。

【0470】

また、キャリア測定機で測定される酸化物半導体層のキャリア濃度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下である。即ち、酸化物半導体層のキャリア濃度は、限りなくゼロに近くすることができる。

【0471】

また、薄膜トランジスタのチャンネル長 L を 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費電力化も図ることができる。

【0472】

また、薄膜トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。

【0473】

続いて、本実施の形態で作製した薄膜トランジスタに対してオフ電流の温度特性を評価した。温度特性は、薄膜トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

【0474】

温度特性は、恒温槽を用い、 -30 、 0 、 25 、 40 、 60 、 80 、 100 、及び 120 のそれぞれの温度で薄膜トランジスタを形成した基板を一定温度とし、ドレイン電圧を 6 V 、ゲート電圧を $-20\text{ V} \sim +20\text{ V}$ まで変化させて $V_g - I_d$ 特性を取得した。

【0475】

図24(A)に示すのは、上記それぞれの温度で測定した $V_g - I_d$ 特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図24(B)に示す。図中の矢印で示す右端の曲線が -30 、左端が 120 で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図24(B)においても明かであるように、ゲート電圧が -20 V 近傍を除いて、全ての温度で測定機の分解能近傍の $1 \times 10^{-12} [\text{A}]$ 以下となっており、温度依存性も見えていない。すなわち、 120 の高温においても、オフ電流が $1 \times 10^{-12} [\text{A}]$ 以下を維持しており、チャンネル幅 W が $10000\text{ }\mu\text{m}$ であることを考慮すると、オフ電流が非常に小さいことがわかる。

【0476】

上記のように高純度化された酸化物半導体(purified OS)を用いた薄膜トランジスタは、オフ電流の温度依存性がほとんど現れない。これは、図20(A)のバンド図で示すように、酸化物半導体が高純度化されることによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するため、温度依存性を示さなくなると言える。また、これは、酸化物半導体のエネルギーギャップが 3 eV 以上であり、熱励起キャリアが極めて少ないことにも起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。薄膜トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア濃度の温度依存性がないことから上記特性(オフ電流の温度依存性無し)を説明することができる。

【0477】

このようにオフ電流値が極めて小さい薄膜トランジスタを用いて、表示装置などを作製した場合、オフ電流値が小さくほとんどリークがないため、表示データを保持する時間を長くすることができる。

【0478】

(実施の形態15)

本実施の形態では、本発明の一態様である液晶表示装置における走査線駆動回路及び信号線駆動回路を構成するシフトレジスタの構成について図25に一例を示す。

【0479】

図25(A)に示すシフトレジスタは、第1のパルス出力回路 10_1 乃至第 N のパルス出力回路 10_N ($N \geq 3$ の自然数)を有している。図25(A)に示すシフトレジスタの第1のパルス出力回路 10_1 乃至第 N のパルス出力回路 10_N には、第1の配線11より第1のクロック信号 CK_1 、第2の配線12より第2のクロック信号 CK_2 、第3の配線13より第3のクロック信号 CK_3 、第4の配線14より第4のクロック信号 CK_4 が供給される。また第1のパルス出力回路 10_1 では、第5の配線15からのスタートパルス SP_1 (第1のスタートパルス)が入力される。また2段目以降の第 n のパルス出力回路 10_n (n は、 $2 \leq n \leq N$ の自然数)では、一段前段のパルス出力回路 10_n ($n-1$)からの信号(前段信号 $OUT(n-1)$ という)が入力される。また第1のパルス出力回路 10_1 では、2段後段の第3のパルス出力回路 10_3 からの信号が入力される。同様に、2段目以降の第 n のパルス出力回路 10_n では、2段後段の第 $(n+2)$ のパルス出力回路 10_n ($n+2$)からの信号(後段信号 $OUT(n+2)$ という)

が入力される。従って、各段のパルス出力回路からは、後段及び／または二つ前段のパルス出力回路に入力するための第1の出力信号(OUT(1)(SR)~OUT(N)(SR))、別の回路等に入力される第2の出力信号(OUT(1)~OUT(N))が出力される。なお、図25(A)に示すように、シフトレジスタの最終段の2つの段には、後段信号OUT(n+2)が入力されないため、一例としては、別途第7の配線17より第2のスタートパルスSP2、第8の配線18より第3のスタートパルスSP3をそれぞれ入力する構成でもよい。または、別途シフトレジスタの内部で生成された信号であってもよい。例えば、画素部へのパルス出力に寄与しない第(N+1)のパルス出力回路10(N+1)、第(N+2)のパルス出力回路10(N+2)を設け(ダミー段ともいう)、当該ダミー段より第2のスタートパルス(SP2)及び第3のスタートパルス(SP3)に相当する信号を生成する構成としてもよい。

10

【0480】

なお、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、一定の間隔でH信号とL信号を繰り返す信号である。また、第1のクロック信号(CK1)~第4のクロック信号(CK4)は、順に1/4周期分遅延している。本実施の形態では、第1のクロック信号(CK1)~第4のクロック信号(CK4)を利用して、パルス出力回路の駆動の制御等を行う。なお、クロック信号CKは、入力される駆動回路に応じて、GCK、SCKということもあるが、ここではCKとして説明を行う。

【0481】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

20

【0482】

第1のパルス出力回路10_1~第Nのパルス出力回路10_Nの各々は、第1の入力端子21、第2の入力端子22、第3の入力端子23、第4の入力端子24、第5の入力端子25、第1の出力端子26、第2の出力端子27を有している(図25(B)参照)。

30

【0483】

第1の入力端子21、第2の入力端子22及び第3の入力端子23は、第1の配線11~第4の配線14のいずれかと電氣的に接続されている。例えば、図25(A)、(B)において、第1のパルス出力回路10_1は、第1の入力端子21が第1の配線11と電氣的に接続され、第2の入力端子22が第2の配線12と電氣的に接続され、第3の入力端子23が第3の配線13と電氣的に接続されている。また、第2のパルス出力回路10_2は、第1の入力端子21が第2の配線12と電氣的に接続され、第2の入力端子22が第3の配線13と電氣的に接続され、第3の入力端子23が第4の配線14と電氣的に接続されている。

【0484】

40

また図25(A)、(B)において、第1のパルス出力回路10_1は、第4の入力端子24に第1のスタートパルスSP1が入力され、第5の入力端子25に後段信号OUT(3)が入力され、第1の出力端子26より第1の出力信号OUT(1)(SR)が出力され、第2の出力端子27より第2の出力信号OUT(1)が出力されていることとなる。

【0485】

次に、パルス出力回路の具体的な回路構成の一例について、図25(C)で説明する。

【0486】

図25(C)において第1のトランジスタ31は、第1端子が電源線51に電氣的に接続され、第2端子が第9のトランジスタ39の第1端子に電氣的に接続され、ゲート電極が第4の入力端子24に電氣的に接続されている。第2のトランジスタ32は、第1端子

50

が電源線 5 2 に電氣的に接続され、第 2 端子が第 9 のトランジスタ 3 9 の第 1 端子に電氣的に接続され、ゲート電極が第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。第 3 のトランジスタ 3 3 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 4 のトランジスタ 3 4 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 1 の出力端子 2 6 に電氣的に接続されている。第 5 のトランジスタ 3 5 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 4 の入力端子 2 4 に電氣的に接続されている。第 6 のトランジスタ 3 6 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 5 の入力端子 2 5 に電氣的に接続されている。第 7 のトランジスタ 3 7 は、第 1 端子が電源線 5 1 に電氣的に接続され、第 2 端子が第 8 のトランジスタ 3 8 の第 2 端子に電氣的に接続され、ゲート電極が第 3 の入力端子 2 3 に電氣的に接続されている。第 8 のトランジスタ 3 8 は、第 1 端子が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続され、ゲート電極が第 2 の入力端子 2 2 に電氣的に接続されている。第 9 のトランジスタ 3 9 は、第 1 端子が第 1 のトランジスタ 3 1 の第 2 端子及び第 2 のトランジスタ 3 2 の第 2 端子に電氣的に接続され、第 2 端子が第 3 のトランジスタ 3 3 のゲート電極及び第 10 のトランジスタ 4 0 のゲート電極に電氣的に接続され、ゲート電極が電源線 5 1 に電氣的に接続されている。第 10 のトランジスタ 4 0 は、第 1 端子が第 1 の入力端子 2 1 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 9 のトランジスタ 3 9 の第 2 端子に電氣的に接続されている。第 11 のトランジスタ 4 1 は、第 1 端子が電源線 5 2 に電氣的に接続され、第 2 端子が第 2 の出力端子 2 7 に電氣的に接続され、ゲート電極が第 2 のトランジスタ 3 2 のゲート電極及び第 4 のトランジスタ 3 4 のゲート電極に電氣的に接続されている。

【 0 4 8 7 】

図 2 5 (C) において、第 3 のトランジスタ 3 3 のゲート電極、第 10 のトランジスタ 4 0 のゲート電極、及び第 9 のトランジスタ 3 9 の第 2 端子の接続箇所をノード N A とする。また、第 2 のトランジスタ 3 2 のゲート電極、第 4 のトランジスタ 3 4 のゲート電極、第 5 のトランジスタ 3 5 の第 2 端子、第 6 のトランジスタ 3 6 の第 2 端子、第 8 のトランジスタ 3 8 の第 1 端子、及び第 11 のトランジスタ 4 1 のゲート電極の接続箇所をノード N B とする。

【 0 4 8 8 】

図 2 5 (C) におけるパルス出力回路が第 1 のパルス出力回路 1 0 _ 1 の場合、第 1 の入力端子 2 1 には第 1 のクロック信号 C K 1 が入力され、第 2 の入力端子 2 2 には第 2 のクロック信号 C K 2 が入力され、第 3 の入力端子 2 3 には第 3 のクロック信号 C K 3 が入力され、第 4 の入力端子 2 4 にはスタートパルス S P が入力され、第 5 の入力端子 2 5 には後段信号 O U T (3) が入力され、第 1 の出力端子 2 6 からは第 1 の出力信号 O U T (1) (S R) が出力され、第 2 の出力端子 2 7 からは第 2 の出力信号 O U T (1) が出力されることとなる。

【 0 4 8 9 】

ここで、図 2 5 (C) に示したパルス出力回路を複数具備するシフトレジスタのタイミングチャートについて図 2 6 に示す。なおシフトレジスタが走査線駆動回路である場合、図 2 6 中の期間 6 1 は垂直帰線期間であり、期間 6 2 はゲート選択期間に相当する。

【 0 4 9 0 】

図 2 5、図 2 6 で、一例として示した、n チャネル型のトランジスタを複数用いて作製した駆動回路において、静止画表示及び動画像表示をおこなう動作、または液晶素子に印加する電圧の再書き込みを行う動作（以下、リフレッシュ動作ともいう）の際の、駆動回路部への各配線の電位の供給または停止の手順について、図 2 7 を参照して説明する。なお、図 2 7 は、シフトレジスタに高電源電位 (V D D) を供給する配線、低電電源電位 (V

10

20

30

40

50

SS)を供給する配線、スタートパルス(SP)を供給する配線、及び第1のクロック信号(CK1)を供給する配線乃至第4のクロック信号(CK4)を供給する配線の、期間T1の前後における電位の変化を示す図である。

【0491】

本実施の形態の液晶表示装置では、駆動回路部を常時動作することなく、静止画の表示を行うことができる。そのため図27に示すように、シフトレジスタに対し、高電源電位(VDD)、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)、及びスタートパルス等の制御信号が供給される期間、並びにそれら制御信号が供給されない期間が存在する。なお図27に示す、期間T1は、制御信号が供給される期間、すなわち動画像を表示する期間及びリフレッシュ動作を行う期間に相当する。また図27に示す期間T2は、制御信号が供給されない期間、すなわち静止画を表示する期間に相当する。

10

【0492】

図27において高電源電位(VDD)が供給される期間は、期間T1に限らず、期間T1と期間T2にわたる期間にかけて設けられている。また図27において、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)が供給される期間は、高電源電位(VDD)が供給された後から、高電源電位(VDD)が停止する前までにかけて設けられている。

【0493】

さらに図27に示すように、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)は、期間T1が始まる前には一旦高電位の信号としてから一定周期のクロック信号の発振を開始し、期間T1が終わった後には低電位の信号としてからクロック信号の発振を終了する構成とすればよい。

20

【0494】

上述したように、本実施の形態の液晶表示装置では、期間T2ではシフトレジスタに高電源電位(VDD)、第1のクロック信号(CK1)乃至第4のクロック信号(CK4)、及びスタートパルス等の制御信号の供給を停止する。そして、制御信号の供給が停止する期間においては、各トランジスタの導通または非導通を制御して動作しシフトレジスタより出力されるパルス信号も停止する。そのため、シフトレジスタにおいて消費される電力及び当該シフトレジスタによって駆動される画素部において消費される電力を低減することが可能になる。

30

【0495】

なお上述のリフレッシュ動作は、表示される静止画の画質の劣化を生じる可能性があるため、定期的に行う必要がある。本実施の形態の液晶表示装置は、各画素が有する液晶素子に印加する電圧を制御するスイッチング素子として、上述した酸化物半導体を具備するトランジスタを適用している。これにより、オフ電流を極端に低減することができるため、各画素が有する液晶素子に印加される電圧の変動を低減することが可能である。つまり静止画の表示により、シフトレジスタの動作が停止する期間が長期間に渡っても、画質の劣化を低減することが可能である。一例としては、当該期間が3分であったとしても表示される静止画の品質を維持することが可能である。例えば、1秒間に60回の再書き込みを行う液晶表示装置と、3分間に1回のリフレッシュ動作を行う液晶表示装置とを比較すると約1/10000にまで消費電力を低減することが可能である。

40

【0496】

なお、上述の高電源電位(VDD)の停止は、図27に示すように、低電位電源(VSS)と等電位とすることである。また、高電源電位(VDD)の停止は、高電源電位が供給される配線の、当該配線の電位を浮遊状態とすることであってもよい。

【0497】

なお、高電源電位(VDD)が供給される配線の電位を増加させる、すなわち期間T1の前に低電源電位(VSS)より高電源電位(VDD)に増加させる際には、当該配線の電位の変化が緩やかに変化するように制御することが好ましい。当該配線の電位の変化の勾配が急峻であると、当該電位の変化がノイズとなり、シフトレジスタから不正パルスが出

50

力される可能性がある。当該シフトレジスタが、ゲート線駆動回路が有するシフトレジスタである場合、不正パルスは、トランジスタをオンさせる信号となる。そのため、当該不正パルスによって、液晶素子に印加される電圧が変化し、静止画の画像が変化する可能性があるためである。上述した内容を鑑み、図27では、高電源電位（VDD）となる信号の立ち上がり立ち下がりよりも緩やかになる例について図示している。特に、本実施の形態の液晶表示装置においては、画素部において静止画を表示している際に、シフトレジスタに対する高電源電位（VDD）の供給の停止及び再供給が適宜行われる構成となる。つまり、高電源電位（VDD）を供給する配線の電位の変化が、ノイズとして画素部に影響した場合、当該ノイズは表示画像の劣化に直結する。そのため、本実施の形態の液晶表示装置においては、当該配線の電位の変化（特に、電位の増加）がノイズとして画素部に侵入しないよう制御することが重要となる。

10

【0498】

さらに、本実施の形態においては、静止画表示を行う際に、信号線や走査線に供給される信号の出力を停止するように駆動回路部を動作させることにより、画素部だけでなく駆動回路部の消費電力も抑制することができる。

【0499】

なお、本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【実施例1】

【0500】

本実施例では、上記実施の形態で説明した液晶表示装置を実際に作製し、静止画の表示の際、画像信号の保持特性に関して評価した結果について説明する。

20

【0501】

まず、作製した液晶表示装置の表示状態時における写真図を図28に示す。図28に示す液晶表示装置の写真から、実際に作製した液晶表示装置にて静止画表示が行われている様子がわかる。

【0502】

次に、画素部に設けられる複数の画素の上面レイアウト図について、基板上に形成した薄膜トランジスタ等の素子を裏面側から撮影した写真図を図29に示す。

【0503】

図29に示す画素の写真からは、矩形状の画素が設けられており、ゲート線2901及び信号線2902が直交して設けられている様子がわかる。またゲート線2901と平行な位置に容量線2903が設けられている様子がわかる。また、ゲート線2901及び容量線2903と、信号線2902とが重畳する領域には、寄生容量を減らすために別途絶縁膜を設けており、図29ではコブ状の形で視認される。また本実施例で示す液晶表示装置では、反射型の液晶表示装置について示しており、R（赤）のカラーフィルタに重畳した反射電極2904R、G（緑）のカラーフィルタに重畳した反射電極2904G、B（青）のカラーフィルタに重畳した反射電極2904Bが確認される。また図29では、ゲート線2901により制御される領域に、透光性を有する半導体層として酸化物半導体であるIn-Ga-Zn-O系非単結晶膜が設けられており、薄膜トランジスタが形成されている。

30

40

【0504】

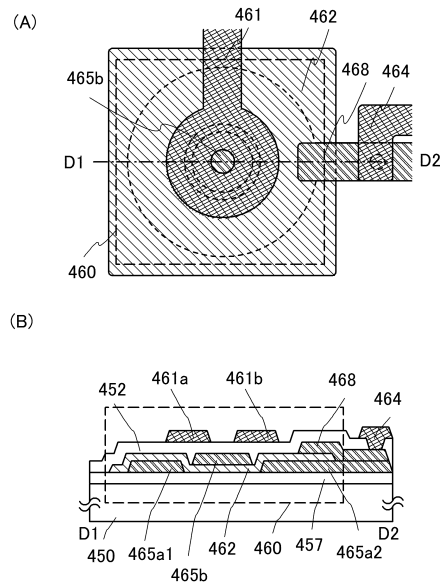
また図30には、上記実施の形態による静止画表示の際、図29に示す各画素の、時間の経過に応じた輝度変化についてのグラフを示す。

【0505】

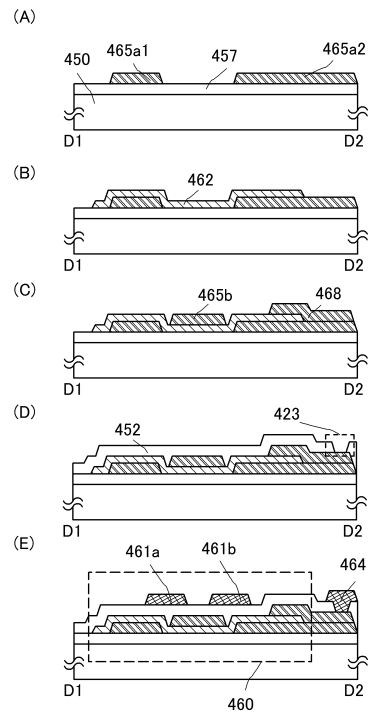
図30から、図29の画素の上面レイアウトの場合、画像信号の保持期間が1分程度であることがわかる。そのため、静止画表示の際、定期的に同じ画像信号を供給する動作（図中、refresh）を行い、一定の輝度を保持するようにすればよい。その結果、駆動回路部を構成するトランジスタに電圧が印加される時間を大幅に削減することができる。さらに駆動回路の経時劣化を大幅に遅らせることができるため、液晶表示装置の信頼性が向上するといった効果が得られる。

50

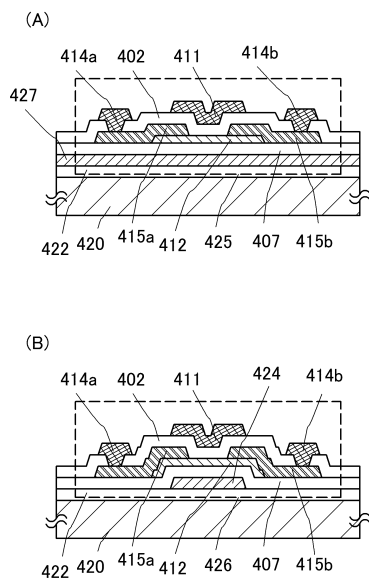
【図 7】



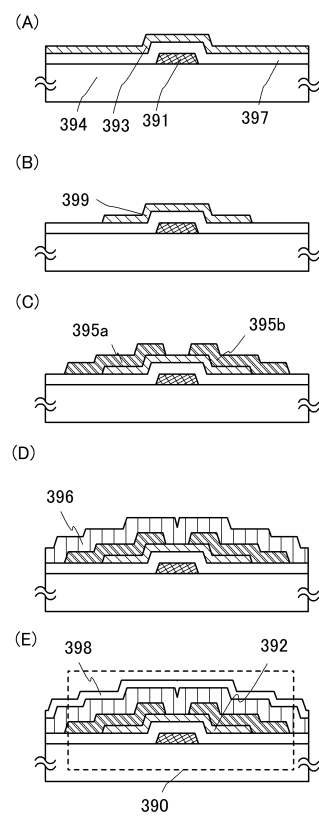
【図 8】



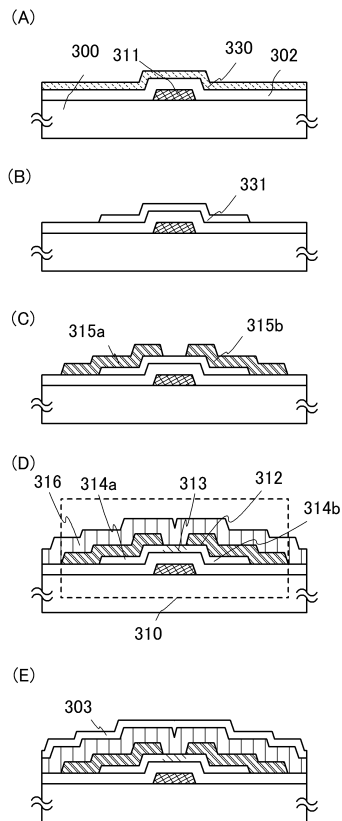
【図 9】



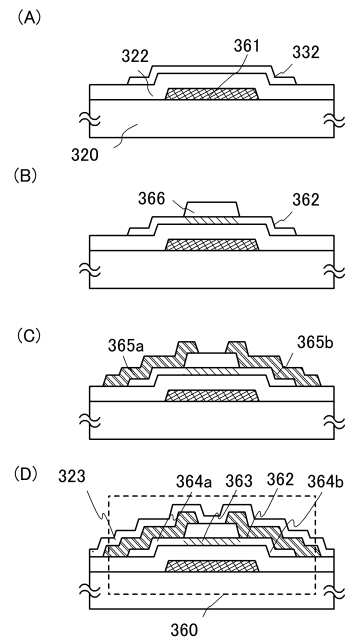
【図 10】



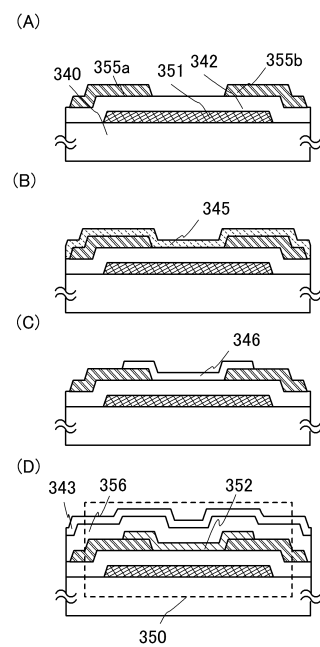
【図 1 1】



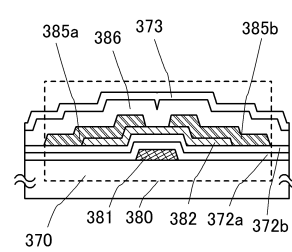
【図 1 2】



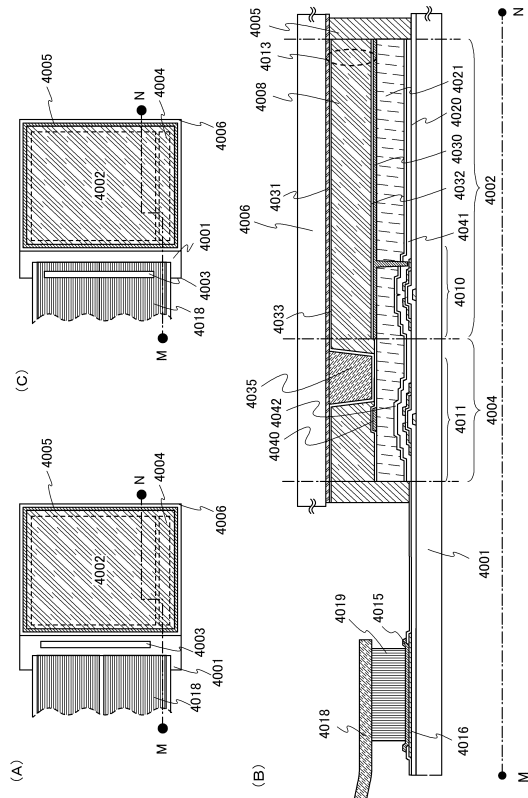
【図 1 3】



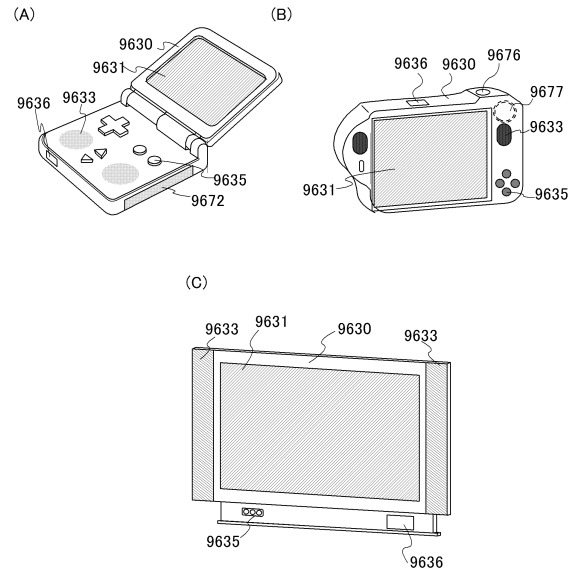
【図 1 4】



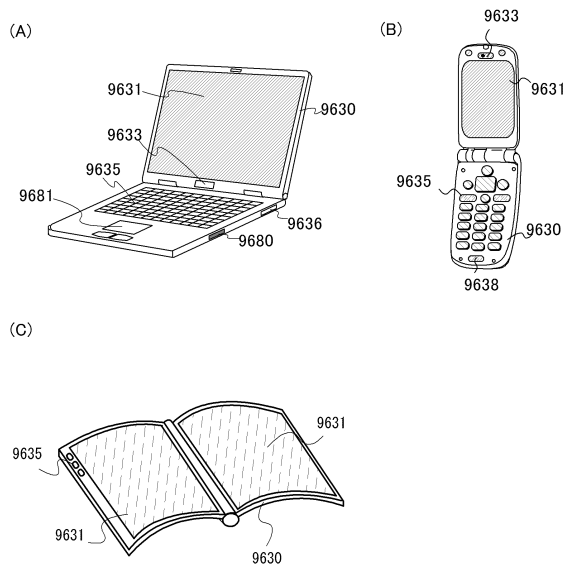
【図 15】



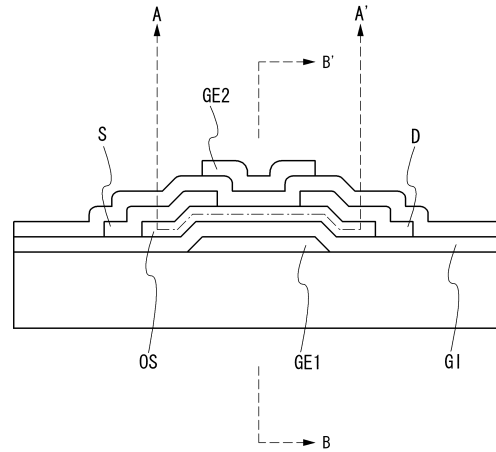
【図 16】



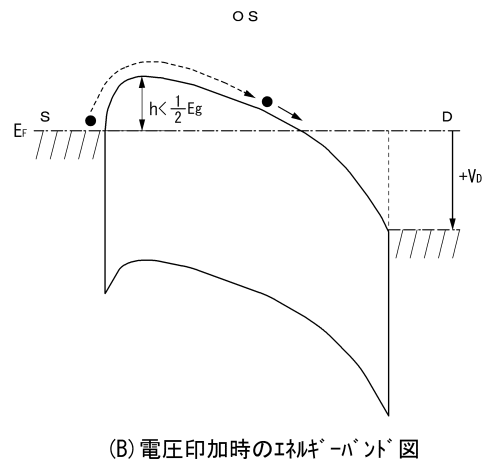
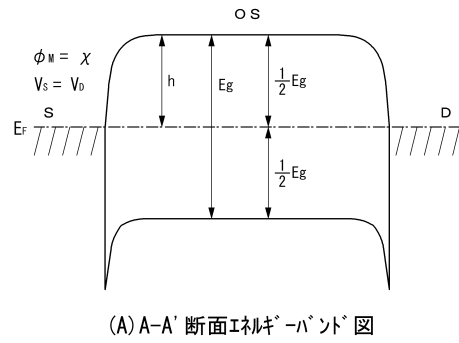
【図 17】



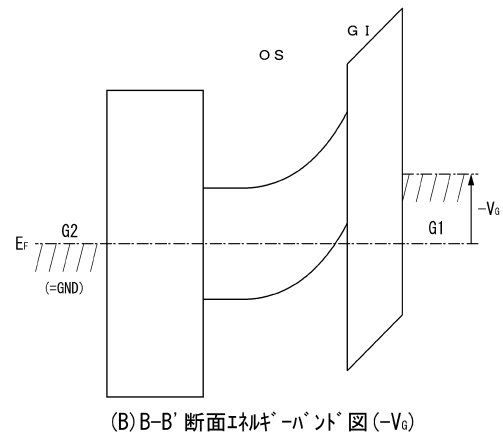
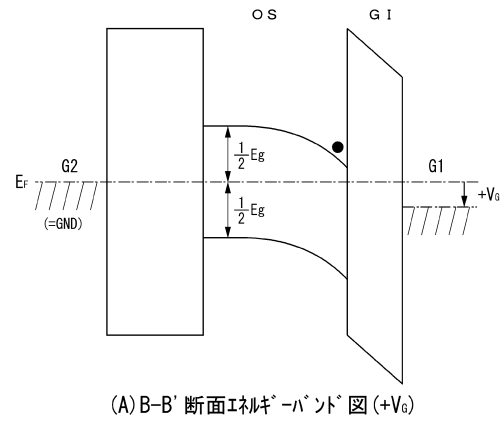
【図 18】



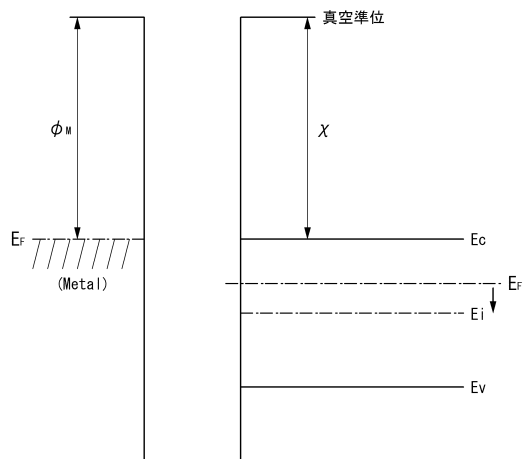
【図 19】



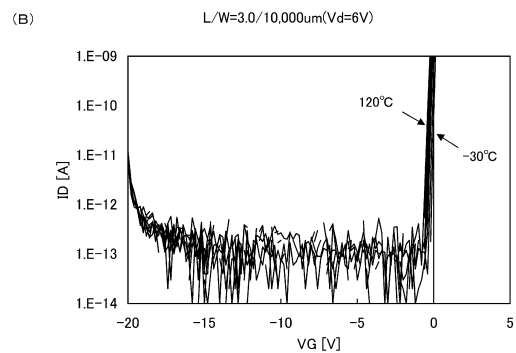
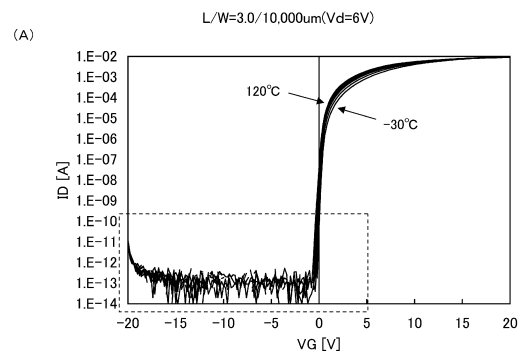
【図 20】



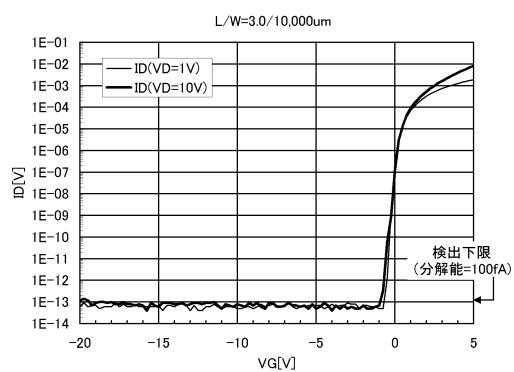
【図 21】



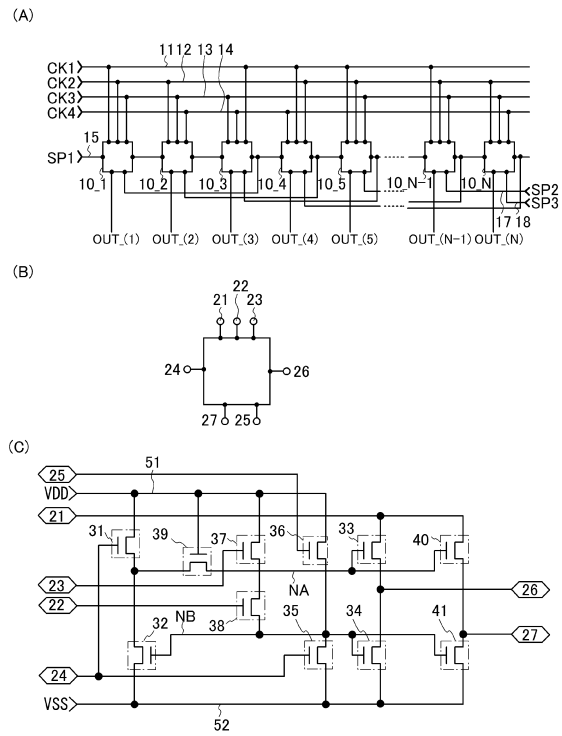
【図 24】



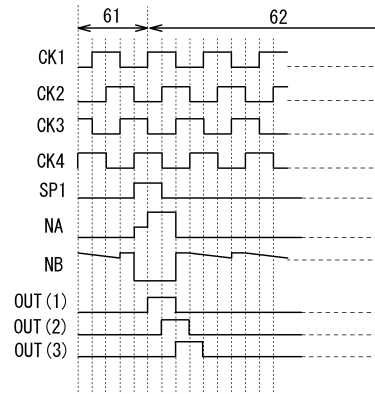
【図 22】



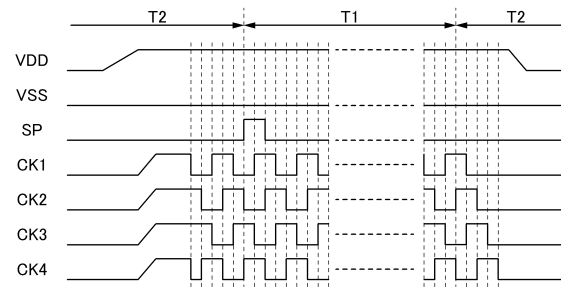
【図 25】



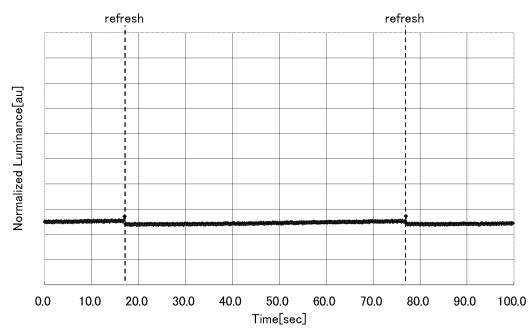
【図 26】



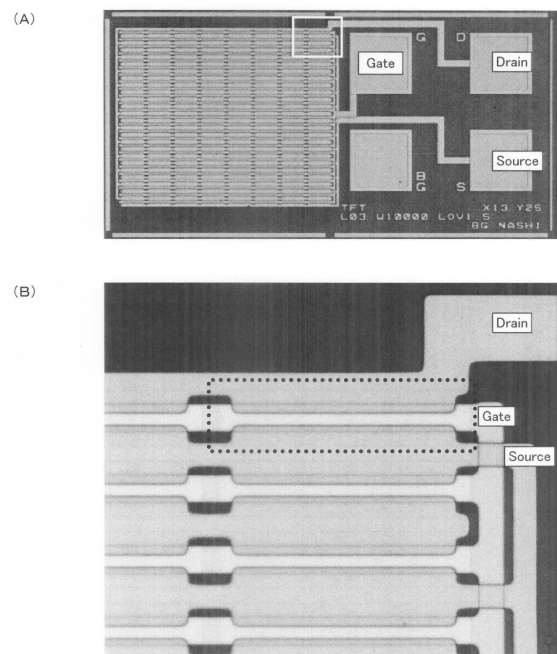
【図 27】



【図 30】



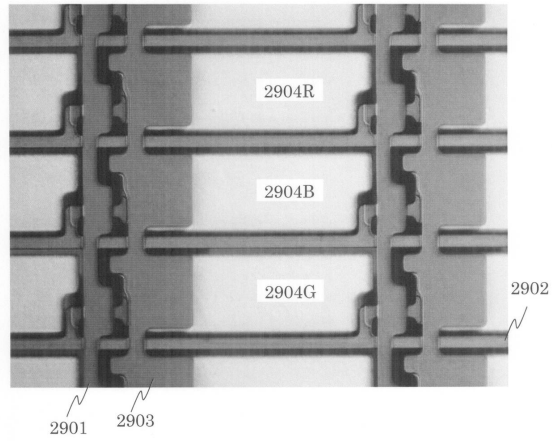
【図 23】



【図 28】



【図 29】



フロントページの続き

(51) Int.Cl.	F I
H 0 1 L 21/336 (2006.01)	G 0 9 G 3/20 6 2 1 B
	G 0 9 G 3/20 6 2 4 B
	G 0 9 G 3/20 6 4 1 E
	H 0 1 L 29/78 6 1 8 B
	H 0 1 L 29/78 6 1 8 Z

(72)発明者 野田 耕生
神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

合議体
審判長 中塚 直樹
審判官 関根 洋之
審判官 堀 圭史

(56)参考文献 特開 2 0 0 2 - 2 0 7 4 6 2 (J P , A)
特開 2 0 0 7 - 1 4 2 1 9 6 (J P , A)
国際公開第 2 0 0 7 / 1 3 9 0 0 9 (W O , A 1)
特開 2 0 0 7 - 1 4 2 1 9 5 (J P , A)
特開平 1 0 - 2 2 8 0 0 9 (J P , A)
特開 2 0 0 8 - 3 0 0 5 1 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G09G 3/00-3/38
G02F 1/133,1/1368
H01L 29/786

专利名称(译)	液晶表示装置		
公开(公告)号	JP5937779B2	公开(公告)日	2016-06-22
申请号	JP2010229412	申请日	2010-10-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 荒澤亮 小山潤 津吹将志 野田耕生		
发明人	山崎 舜平 荒澤 亮 小山 潤 津吹 将志 野田 耕生		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20 H01L29/786 H01L21/336		
CPC分类号	G09G3/3648 H01L27/1225 H01L29/7869 H01L29/06 G02F1/133553 G02F1/13439 G02F1/1368 G02F2201/123 G02F2202/10 G09G3/3614 G09G3/3677 G09G2300/08 G09G2310/0286 G09G2310/08 G09G2330/021 H01L21/02164 H01L21/02266 H01L21/02565 H01L21/02631 H01L21/467 H01L21/477 H01L27/1255 H01L29/24 H01L29/42356 H01L29/45 H01L29/66969 H01L29/78648		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.A G09G3/20.611.G G09G3/20.621.B G09G3/20.624.B G09G3/20.641.E H01L29/78.618.B H01L29/78.618.Z		
F-TERM分类号	2H092/GA59 2H092/GA60 2H092/JA25 2H092/JA26 2H092/JA35 2H092/JA40 2H092/JB69 2H092/KA07 2H092/KA12 2H092/KA18 2H092/KB22 2H092/KB24 2H092/MA05 2H092/MA08 2H092/MA14 2H092/NA22 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB08 2H192/CB37 2H192/CB52 2H192/CB71 2H192/DA12 2H192/GD61 2H192/JA06 2H192/JA13 2H193/ZA04 2H193/ZA07 2H193/ZC03 2H193/ZC06 2H193/ZC12 2H193/ZC15 2H193/ZD02 2H193/ZD13 2H193/ZD16 2H193/ZE37 2H193/ZQ06 2H193/ZQ07 2H193/ZQ08 2H193/ZQ09 2H193/ZQ11 2H193/ZQ13 2H193/ZQ14 2H193/ZQ16 2H193/ZQ22 2H193/ZQ26 5C006/AA02 5C006/AA14 5C006/AC26 5C006/AF68 5C006/BB16 5C006/BC03 5C006/BC05 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF34 5C006/EB05 5C006/FA36 5C006/FA47 5C006/FA48 5C006/GA03 5C080/AA10 5C080/BB05 5C080/CC06 5C080/DD21 5C080/DD26 5C080/DD30 5C080/EE29 5C080/FF11 5C080/GG13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK43 5C080/KK47 5F110/AA06 5F110/AA13 5F110/AA22 5F110/BB01 5F110/CC01 5F110/CC03 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD04 5F110/DD05 5F110/DD07 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/DD24 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE24 5F110/EE30 5F110/EE48 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG22 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK08 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HK42 5F110/HL01 5F110/HL07 5F110/HL09 5F110/HM03 5F110/HM04 5F110/HM12 5F110/HM15 5F110/HM17 5F110/NN02 5F110/NN03 5F110/NN05 5F110/NN12 5F110/NN14 5F110/NN22		

5F110/NN23 5F110/NN24 5F110/NN25 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN36 5F110/NN40 5F110/NN72 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP29 5F110/PP35 5F110/QQ01 5F110/QQ02 5F110/QQ09 5F110/QQ11 5F110/QQ19

優先権
2009238869 2009-10-16 JP
2009279004 2009-12-08 JP

其他公开文献
JP2011141522A5
JP2011141522A

外部链接
[Espacenet](#)

摘要(译)

要解决的问题：提供一种能够降低功耗的液晶显示装置。解决方案：液晶显示装置包括显示部分中的多个像素，并被配置为在多个帧周期中执行显示，每个帧周期包括写周期和保持周期；并且，在写入时段中将图像信号输入到多个像素中的每个像素之后，关闭包括在多个像素中的每个像素中的晶体管；并且图像信号在保持期间保持至少30秒。像素包括由氧化物半导体层构成的半导体层，并且氧化物半导体层的载流子浓度小于 $1 \times 10^{14} / \text{cm}^3$ 。

(21) 出願番号	特願2010-229412 (P2010-229412)	(73) 特許権者	000153878
(22) 出願日	平成22年10月12日 (2010.10.12)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2011-141522 (P2011-141522A)		神奈川県厚木市長谷398番地
(43) 公開日	平成23年7月21日 (2011.7.21)	(72) 発明者	山崎 舜平
審査請求日	平成25年8月30日 (2013.8.30)		神奈川県厚木市長谷398番地 株式会社
審判番号	不服2015-6988 (P2015-6988/11)		半導体エネルギー研究所内
審判請求日	平成27年4月14日 (2015.4.14)	(72) 発明者	荒澤 亮
(31) 優先権主張番号	特願2009-238869 (P2009-238869)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成21年10月16日 (2009.10.16)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	小山 潤
(31) 優先権主張番号	特願2009-279004 (P2009-279004)		神奈川県厚木市長谷398番地 株式会社
(32) 優先日	平成21年12月8日 (2009.12.8)		半導体エネルギー研究所内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	津吹 将志
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く