

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5866439号
(P5866439)

(45) 発行日 平成28年2月17日 (2016. 2. 17)

(24) 登録日 平成28年1月8日 (2016. 1. 8)

(51) Int. Cl.

F I

GO 2 F 1/1345 (2006. 01)

GO 2 F 1/1345

GO 2 F 1/1339 (2006. 01)

GO 2 F 1/1339 5 O 5

GO 2 F 1/1368 (2006. 01)

GO 2 F 1/1368

請求項の数 12 (全 29 頁)

(21) 出願番号 特願2014-515585 (P2014-515585)
 (86) (22) 出願日 平成25年5月9日 (2013. 5. 9)
 (86) 国際出願番号 PCT/JP2013/063022
 (87) 国際公開番号 W02013/172243
 (87) 国際公開日 平成25年11月21日 (2013. 11. 21)
 審査請求日 平成26年11月4日 (2014. 11. 4)
 (31) 優先権主張番号 特願2012-112771 (P2012-112771)
 (32) 優先日 平成24年5月16日 (2012. 5. 16)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000914
 特許業務法人 安富国際特許事務所
 (72) 発明者 森 隆弘
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 審査官 小濱 健太

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイ

(57) 【特許請求の範囲】

【請求項 1】

第1基板と、前記第1基板に対向する第2基板と、前記第1基板及び前記第2基板の間に設けられた液晶層及びシールとを備える液晶ディスプレイであって、
 前記第1基板は、絶縁基板と、前記絶縁基板上にモノリシック形成されたシフトレジスタと、複数のバスラインと、当該第1基板の第1端部と、表示領域とを含み、
 前記シフトレジスタは、多段接続された複数の単位回路と、前記複数の単位回路に接続された配線とを含み、かつ、前記第1端部及び前記表示領域の間の領域内に配置され、
 前記複数の単位回路は少なくとも一つは、
 クロック信号が入力されるクロック端子と、
 対応するバスラインに接続され、出力信号が出力される出力端子と、
 ソース及びドレインの一方が前記クロック端子に接続され、前記ソース及び前記ドレインの他方が前記出力端子に接続された第1トランジスタと、
 前記第1トランジスタ以外の第2トランジスタと、
 第1端子が前記第1トランジスタのゲートに接続され、第2端子が前記出力端子に接続されたコンデンサとを含み、
 前記第1トランジスタ及び前記コンデンサは、前記第1端部と、前記第2トランジスタとの間の領域内に配置され、
 前記第2トランジスタは、前記表示領域と、前記第1トランジスタ及び前記コンデンサとの間の領域内に配置され、

前記シールは、光硬化性を有する材料の硬化物を含み、
前記第 1 基板は、前記配線及び / 又は前記第 2 トランジスタが配置された第 1 領域と、前記第 1 トランジスタ及び / 又は前記コンデンサが配置された第 2 領域とを含み、
前記シールは、前記液晶層に隣接する第 1 部分と、前記第 1 部分に隣接する第 2 部分とを含み、

前記第 1 部分は、前記第 1 領域上に配置され、

前記第 2 部分は、前記第 2 領域上に配置される液晶ディスプレイ。

【請求項 2】

前記配線及び前記第 2 トランジスタは、前記表示領域と、前記第 1 トランジスタ又は前記コンデンサとの間の領域内に配置される請求項 1 記載の液晶ディスプレイ。

10

【請求項 3】

前記配線は、前記第 2 トランジスタ及び前記表示領域の間の領域内に配置される請求項 2 記載の液晶ディスプレイ。

【請求項 4】

前記第 2 トランジスタは、前記配線及び前記表示領域の間の領域内に配置される請求項 2 記載の液晶ディスプレイ。

【請求項 5】

前記第 1 トランジスタ及び前記コンデンサは、前記配線及び前記第 2 トランジスタの間の領域内に配置される請求項 1 記載の液晶ディスプレイ。

【請求項 6】

20

前記配線は、前記第 1 端部と、前記第 1 トランジスタ又は前記コンデンサとの間の領域内に配置される請求項 5 記載の液晶ディスプレイ。

【請求項 7】

前記配線は、前記第 1 トランジスタ及び前記コンデンサの間の領域内に配置される請求項 1 記載の液晶ディスプレイ。

【請求項 8】

前記シールは、光硬化性及び熱硬化性を有する材料の硬化物を含む請求項 1 ~ 7 のいずれかに記載の液晶ディスプレイ。

【請求項 9】

前記第 2 基板は、前記シフトレジスタに対向する遮光部材を有する請求項 1 ~ 8 のいずれかに記載の液晶ディスプレイ。

30

【請求項 10】

前記配線には、パルス信号が伝送される請求項 1 ~ 9 のいずれかに記載の液晶ディスプレイ。

【請求項 11】

前記第 1 基板は、前記表示領域内に設けられた複数の画素回路を含み、
前記複数の画素回路は各々、画素用トランジスタと、前記画素用トランジスタに接続された画素電極とを含み、

前記複数のバスラインは各々、対応する複数の画素用トランジスタのゲートに接続される請求項 1 ~ 10 のいずれかに記載の液晶ディスプレイ。

40

【請求項 12】

前記第 1 領域の方が前記第 2 領域よりも遮光される面積の割合が小さい請求項 1 ~ 11 のいずれかに記載の液晶ディスプレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイに関する。より詳しくは、シフトレジスタを備えた液晶ディスプレイに好適な液晶ディスプレイに関するものである。

【背景技術】

【0002】

50

アクティブマトリクス型の液晶ディスプレイは、通常、マトリクス状に配列された画素を行単位で選択し、選択した画素に表示データに応じた電圧を書き込むことで、画像を表示する。画素を行単位で選択するために、ゲートバスライン用の駆動回路（以下、ゲートドライバとも言う。）内には、クロック信号に基づき出力信号（走査信号）を順にシフトするシフトレジスタが設けられる。

【 0 0 0 3 】

ゲートドライバは、画素内の薄膜トランジスタ（ＴＦＴ）を形成するための製造プロセスを用いて、画素内のＴＦＴと同時に形成されることがある。例えば、アモルファスシリコンを用いて画素内のＴＦＴを形成する場合、製造コストを削減するため、ゲートドライバに含まれるシフトレジスタもアモルファスシリコンを用いて形成されることが好ましい。このように最近では、ゲートドライバは、アレイ基板上にモノリシック形成されることがある。

10

【 0 0 0 4 】

また近年、液晶ディスプレイの液晶パネル内に液晶材料を充填する方法として、滴下注入法（ＯＤＦ法）が開発されている。滴下注入法によれば、２枚の基板を貼り合わせる工程と、液晶材料を２枚の基板の間に封入する工程とを同時に行うことができる。

【 0 0 0 5 】

ゲートドライバのモノリシック形成に関する技術としては、以下が挙げられる。

【 0 0 0 6 】

表示装置であって、表示パネルは、複数のゲート線及び複数のデータ線が設けられた第１基板と、第１基板に対向する第２基板と、第１基板及び第２基板を結合する密封材とからなり、ゲート駆動部は、外部から複数の信号を受信する配線部と、複数の信号に応答して駆動信号を出力する回路部とからなり、配線部には、密封材を硬化するため第１基板の背面を通じて入射された光を透過させる開口部が設けられた表示装置が開示されている（例えば、特許文献１参照。）。特許文献１には、密封材によって第１基板と第２基板の結合力を向上させることが記載されている。

20

【 0 0 0 7 】

回路部及び配線部を含む駆動ユニットであって、回路部は、従属的に接続された複数のステージを含み、複数の制御信号に応じて駆動信号を出力し、配線部は、外部から複数の制御信号の入力を受ける第１及び第２信号配線と、第１信号配線を複数のステージに接続させる第１接続配線と、第２信号配線を複数のステージに接続させる第２接続配線とを含み、第１信号配線、第１及び第２接続配線は、第２信号配と異なる層に配置される駆動ユニットが開示されている（例えば、特許文献２参照。）。

30

【 0 0 0 8 】

ゲート配線、駆動回路部、信号配線部、連結配線部及びコンタクト部を含む表示基板であって、ゲート配線は、表示領域に形成され、ソース配線と交差し、駆動回路部は、表示領域を取り囲む周辺領域に形成され、ゲート配線にゲート信号を出力し、信号配線部は、駆動回路部と隣接して形成され、ソース配線の延長方向に延長され、駆動信号を伝達するものであり、連結配線部は、信号配線部上に重なる一端部と、駆動回路部に電氣的に連結された他端部とを含み、コンタクト部は、信号配線部上に形成され、連結配線部の一端部と信号配線部とを電氣的に接続する表示基板が開示されている（例えば、特許文献３参照。）。

40

【 0 0 0 9 】

複数の駆動ステージとダミーステージとで構成される駆動回路であって、複数の駆動ステージは、各ステージの出力端子が以前ステージの制御端子に連結されることによって、互いに従属的に連結され、マトリクス形態に配列されたそれぞれの画素上に形成されたスイッチング素子に連結された複数の駆動信号ラインにスイッチング素子駆動信号を順次出力し、ダミーステージは、ダミー出力端子が複数の駆動ステージのうち、最後のステージの制御端子及び自体のダミー制御端子にそれぞれ連結される駆動回路が開示されている（例えば、特許文献４参照。）。

50

【 0 0 1 0 】

従来の第 1 の補助容量幹配線の幅を細く形成し、さらに第 2 の補助容量幹配線を新たに設け、これを基板の外縁部に最も近い位置に配置した液晶表示装置が開示されている（例えば、特許文献 5 参照。）。特許文献 5 の第 5 の実施形態及び図 1 3 には、第 2 の補助容量幹配線 4 4 0 と、駆動信号供給幹配線 4 2 0 のうち最も幅が大きい直流電圧 V S S 用配線 4 2 0 a とにスリット状の開口部が設けられた構造が記載されている。

【 0 0 1 1 】

第 1 及び第 2 容量電極によって形成された第 1 容量と、第 3 及び第 4 容量電極によって形成された第 2 容量と、第 1 引き出し配線と、ゲート電極に接続された第 2 引き出し配線と、第 3 引き出し配線と、第 4 引き出し配線と、第 1 配線と、第 2 配線とを備える T F T が開示されている（例えば、特許文献 6 参照。）。 10

【 0 0 1 2 】

単位回路を多段接続して構成されたシフトレジスタであって、単位回路は、クロック端子及び出力端子の間に設けられ、ゲート電位に応じてクロック信号を通過させるか否かを切り替える出力トランジスタと、一方の導通端子が出力端子のゲートに接続された 1 以上の制御トランジスタとを含み、出力トランジスタがオン状態でクロック信号がハイレベルとなる期間では、出力トランジスタのゲート電位がクロック信号のハイレベル電位よりも高くなるように構成されており、制御トランジスタの中に、出力トランジスタよりもチャンネル長が長いトランジスタが含まれているシフトレジスタが開示されている（例えば、特許文献 7 参照。）。 20

【 0 0 1 3 】

基板上に、複数のシフトレジスタ段が縦続接続された構成を備えるように形成されたシフトレジスタであって、シフトレジスタ段は、2つのソース/ドレイン電極の少なくとも一方に対してゲート電極と反対側で膜厚方向に対向する容量電極を備えた第 1 のトランジスタを備えており、容量電極と、容量電極に対向するいずれか一方のソース/ドレイン電極とのいずれか一方は、シフトレジスタ段の出力トランジスタの制御電極と電気的に接続されているシフトレジスタが開示されている（例えば、特許文献 8 参照。）。 30

【 0 0 1 4 】

滴下注入法に関する技術としては、以下が挙げられる。

【 0 0 1 5 】

T F T 基板と、T F T 基板に対向配置された C F 基板と、T F T 基板及び C F 基板に挟まれ、両基板の周辺部に形成されたシール材と、T F T 基板及び C F 基板の間に介在する液晶層とを備える液晶表示パネルであって、C F 基板は、シール材が設けられる周辺部に遮光層を有し、遮光層は、T F T 基板の配線と重なる領域に隙間を有する液晶表示パネルが開示されている（例えば、特許文献 9 参照。）。 40

【 0 0 1 6 】

互いに対向配置されたアクティブマトリクス基板及び対向基板と、両基板の間に設けられた液晶層とを備え、表示領域とその周りの非表示領域とが規定された液晶表示パネルであって、非表示領域において、両基板の間には幅狭の線状部分と線状部分よりも幅広の幅広部分とを有し、光硬化性材料により構成された枠形状のシール部が設けられ、アクティブマトリクス基板には遮光性の表示用配線がパターン形成され、対向基板にはシール部の内周端に沿って形成され幅広部分に対応した位置に切り欠き部分を有するブラックマトリクスが設けられている液晶表示パネルが開示されている（例えば、特許文献 1 0 参照。）。 50

【 0 0 1 7 】

閉環形状の紫外線硬化型のシールを第 1 の透明基板に形成するシール形成工程と、シールで囲まれた領域内に液晶を滴下する液晶滴下工程と、所定の間隙を持って、第 1 の透明基板に第 2 の透明基板をシールを介して貼り合わせた後に、シールを本硬化するシール本硬化工程とを有し、シール形成工程と液晶滴下工程との間に、遮光部を有するマスクを介してシール内側領域に当該紫外線を照射して、シールの一部領域を仮硬化するシール仮硬化工程を行う液晶光学素子の製造方法が開示されている（例えば、特許文献 1 1 参照。）。 50

【先行技術文献】

【特許文献】

【0018】

【特許文献1】特開2006-39524号公報

【特許文献2】特開2006-79041号公報

【特許文献3】特開2008-26865号公報

【特許文献4】特表2005-522734号公報

【特許文献5】国際公開2011/067963号

【特許文献6】国際公開2009/150862号

【特許文献7】国際公開2010/137197号

【特許文献8】国際公開2011/135873号

【特許文献9】国際公開2006/098475号

【特許文献10】特開2007-65037号公報

【特許文献11】特開2009-210965号公報

【発明の概要】

【発明が解決しようとする課題】

【0019】

図19を参照して、比較形態1に係る液晶ディスプレイについて説明する。

比較形態1に係る液晶ディスプレイは、アレイ基板と、対向基板と、両基板を互いに貼り合わせるためのシールと、アレイ基板上にモノリシック形成されたシフトレジスタとを備えている。シフトレジスタは、ゲートバスラインに接続された出力トランジスタTr11と、出力トランジスタTr11に接続されたブートストラップ・コンデンサCB11と、トランジスタTr12~Tr14と、配線174~176からなる配線群178とを有している。

【0020】

比較形態1に係る液晶ディスプレイは、滴下注入法により作製されており、シールは、光硬化性（例えば紫外線硬化性）及び熱硬化性を有するシール材の硬化物を含んでいる。シール材は、光が照射されることによってある程度まで硬化（仮硬化）し、その後、熱処理が施されることによって十分に硬化（本硬化）する。アレイ基板は、太い破線に挟まれた帯状の領域（以下、シール塗布領域とも言う。）163を含んでおり、シールは、シール塗布領域163上に帯状に形成されている。シール塗布領域163は、一方の端部が配線群178とアレイ基板の端部110aとの間に設定され、他方の端部がブートストラップ・コンデンサCB11及び出力トランジスタTr11の間に設定されている。

【0021】

ここで、シールの幅は、以下の理由から、できるだけ細く形成されることが要望される。

【0022】

第一の理由は、画面の高精細化及び／又は大画面化に起因して出力トランジスタTr11及びブートストラップ・コンデンサCB11の面積が増加するためである。この結果、ブートストラップ・コンデンサCB11及び出力トランジスタTr11が配置されている領域164の幅は広くなる傾向にある。なお、高精細化及び／又は大画面化すると、表示領域内の画素用トランジスタのゲートに所定の電圧を印加する能力、すなわち、印加能力を高くする必要があるため、出力トランジスタTr11及びブートストラップ・コンデンサCB11の面積が増加する。

【0023】

第二の理由は、液晶ディスプレイを利用した電子機器のモバイル性を追求する一環として、ゲートドライバ、ソースドライバ等が配置される額縁領域の幅が狭くなる傾向にあるためである。この結果、シール塗布領域163の幅が狭くなる傾向にある。

【0024】

しかしながら、シールの幅を細くした場合、アレイ基板とシールの接着面積、及び、対向基板とシールの接着面積が小さくなる。そのため、液晶ディスプレイに外部から物理的な

10

20

30

40

50

力を加えたときのパネルの剥離強度が弱くなる。結果として、液晶漏れ等の品質上の不具合が発生することがある。

【 0 0 2 5 】

また、もし仮に、シール材を出力トランジスタ T_{r11} 及びブートストラップ・コンデンサ C_{B11} 上にも塗布した場合は、出力トランジスタ T_{r11} 及びブートストラップ・コンデンサ C_{B11} 上において、シール材に照射される光が不足し、シール材を十分に仮硬化できないことがある。これは、出力トランジスタ T_{r11} 及びブートストラップ・コンデンサ C_{B11} は、遮光性の電極を含み、遮光部材として機能し、これらによって光が遮られるためである。そして、この場合、仮硬化していないシール材部分が液晶材料に接触すると、シール材成分が液晶材料中に溶解し、その結果、表示不良等の品質上の不具合が発生することがある。したがって、比較形態 1 では、シール塗布領域 163 は、出力トランジスタ T_{r11} 及びブートストラップ・コンデンサ C_{B11} 以外の領域に設定する必要がある。

10

【 0 0 2 6 】

なお、特許文献 11 に記載の技術では、シール形成工程及び液晶滴下工程の間のシール仮硬化工程において、遮光部を有するマスクが必要になるため、液晶ディスプレイ自体の単価が上がってしまう。また、シール仮硬化工程は、第 1 及び第 2 の透明基板を貼り合わせる前に行う必要があり、仮硬化工程後から両基板を貼り合わせるまでの時間が長くなる。そのため、ごみ等の異物が液晶層に混入し、表示輝点等の表示品質上の不具合をもたらすおそれがある。

20

【 0 0 2 7 】

本発明は、上記現状に鑑みてなされたものであり、品質上の不具合の発生を低減でき、かつ、基板間の接着強度を向上できる液晶ディスプレイを提供することを目的とするものである。

【課題を解決するための手段】

【 0 0 2 8 】

本発明者は、品質上の不具合の発生を低減でき、かつ、基板間の接着強度を向上できる液晶ディスプレイについて種々検討したところ、シフトレジスタに含まれる素子及び配線のレイアウトに着目した。そして、アレイ基板の第 1 端部及び表示領域の間に配置されたシフトレジスタにおいて、出力トランジスタ及びブートストラップ・コンデンサを第 1 端部とこれら以外の部材（より詳細には、配線、又は、出力トランジスタ以外のトランジスタ（第 2 トランジスタ））との間の領域内に配置することにより、配線及び / 又は第 2 トランジスタを出力トランジスタ及びブートストラップ・コンデンサの表示領域側に配置できることを見いだした。また、配線及び / 又は第 2 トランジスタが配置された領域上においてシール材を仮硬化及び本硬化でき、他方、出力トランジスタ及び / 又はブートストラップ・コンデンサが配置された領域上においてシール材を本硬化できることを見いだした。以上の結果、シール材成分が液晶層に溶解するのを抑制でき、また、シール材の塗布領域を広く設定でき、更に、液晶漏れの発生を抑制できることを見いだし、上記課題をみごとに解決することができることに想到し、本発明に到達したものである。

30

【 0 0 2 9 】

すなわち、本発明のある側面は、第 1 基板と、前記第 1 基板に対向する第 2 基板と、前記第 1 基板及び前記第 2 基板の間の領域内に設けられたシールとを備える液晶ディスプレイであって、

40

前記第 1 基板は、絶縁基板と、前記絶縁基板上にモノリシック形成されたシフトレジスタと、複数のバスラインと、第 1 端部と、表示領域とを含み、

前記シフトレジスタは、多段接続された複数の単位回路と、前記複数の単位回路に接続された配線とを含み、かつ、前記第 1 端部及び前記表示領域の間の領域内に配置され、

前記複数の単位回路は少なくとも一つは、

クロック信号が入力されるクロック端子と、

対応するバスラインに接続され、出力信号が出力される出力端子と、

50

ソース及びドレインの一方が前記クロック端子に接続され、前記ソース及び前記ドレインの他方が前記出力端子に接続された第1トランジスタ（出力トランジスタ）と、第2トランジスタと、

第1端子が前記第1トランジスタのゲートに接続され、第2端子が前記出力端子に接続されたコンデンサ（ブートストラップ・コンデンサ）とを含み、

前記第1トランジスタ及び前記コンデンサは、前記第1端部と、前記配線又は前記第2トランジスタとの間の領域内に配置される液晶ディスプレイ（以下、「本発明に係るディスプレイ」とも言う。）である。

【0030】

本発明に係るディスプレイの構成としては、このような構成要素を必須として形成されるものである限り、その他の構成要素により特に限定されるものではない。

なお、前記シフトレジスタは、前記配線を複数有してもよいし、前記少なくとも一つの単位回路は、前記第2トランジスタを複数有してもよい。これらの場合、前記複数の配線の用途は通常、互いに異なり、前記複数の第2トランジスタの用途は通常、互いに異なる。

【0031】

本発明に係るディスプレイにおける好ましい実施形態について以下に説明する。なお、以下の好ましい実施形態は、適宜、互いに組み合わせられてもよく、以下の2以上の好ましい実施形態を互いに組み合わせた実施形態もまた、好ましい実施形態の一つである。

【0032】

（A）前記第1基板は、前記配線及び／又は前記第2トランジスタが配置された第1領域と、前記第1トランジスタ及び／又は前記コンデンサが配置された第2領域とを含み、前記シールは、前記液晶層に隣接する第1部分と、前記第1部分に隣接する第2部分とを含み、

前記第1部分は、前記第1領域上に配置され、

前記第2部分は、前記第2領域上に配置されることが好ましい。

【0033】

（B）前記配線及び前記第2トランジスタは、前記表示領域と、前記第1トランジスタ又は前記コンデンサとの間の領域内に配置されてもよい。

【0034】

前記実施形態（B）において、前記配線は、前記第2トランジスタ及び前記表示領域の間の領域内に配置されてもよい。

【0035】

前記実施形態（B）において、前記第2トランジスタは、前記配線及び前記表示領域の間の領域内に配置されてもよい。

【0036】

（C）前記第1トランジスタ及び前記コンデンサは、前記配線及び前記第2トランジスタの間の領域内に配置されてもよい。

【0037】

前記実施形態（C）において、前記第2トランジスタは、前記第1端部と、前記第1トランジスタ又は前記コンデンサとの間の領域内に配置されてもよい。

【0038】

前記実施形態（C）において、前記配線は、前記第1端部と、前記第1トランジスタ又は前記コンデンサとの間の領域内に配置されてもよい。この場合、外部から侵入する静電気から第1及び第2トランジスタを配線によって保護することができる。

【0039】

（D）前記配線及び前記第2トランジスタの一方は、前記表示領域と、前記第1トランジスタ又は前記コンデンサとの間の領域内に配置され、

前記配線及び前記第2トランジスタの他方は、前記第1トランジスタ及び前記コンデンサの間の領域内に配置されてもよい。

【0040】

10

20

30

40

50

(E) 前記シールは、光硬化性及び熱硬化性を有する材料の硬化物を含むことが好ましい。

【0041】

(F) 前記第2基板は、前記シフトレジスタに対向する遮光部材を有することが好ましい。

【0042】

前記配線の用途は特に限定されないが、下記実施形態(G)が好適である。

【0043】

(G) 前記配線には、パルス信号が伝送される

【0044】

10

前記バスラインの用途は特に限定されないが、下記実施形態(H)が好適である。なお、前記複数のバスラインは通常、一行又は一列の画素回路に共通して接続される。

【0045】

(H) 前記第1基板は、前記表示領域内に設けられた複数の画素回路を含み、前記複数の画素回路は各々、画素用トランジスタと、前記画素用トランジスタに接続された画素電極とを含み、前記複数のバスラインは各々、対応する複数の画素用トランジスタのゲートに接続されることが好ましい。

【発明の効果】

【0046】

20

本発明によれば、品質上の不具合の発生を低減でき、かつ、基板間の接着強度を向上できる液晶ディスプレイを実現することができる。

【図面の簡単な説明】

【0047】

【図1】実施形態1の液晶ディスプレイに含まれる液晶パネルの平面模式図である。

【図2】図1のA-B線における断面模式図である。

【図3】実施形態1の液晶ディスプレイに含まれる液晶パネルの平面模式図である。

【図4】実施形態1の液晶ディスプレイの構成を示すブロック図である。

【図5】実施形態1におけるシフトレジスタの構成を示すブロック図である。

【図6】実施形態1におけるシフトレジスタに含まれる単位回路の回路図である。

30

【図7】実施形態1におけるシフトレジスタのタイミングチャートを示す。

【図8】実施形態1におけるシフトレジスタのタイミングチャートを示す。

【図9】実施形態1の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

【図10】実施形態1の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

【図11】図9のC-D線における断面模式図である。

【図12】図9のE-F線における断面模式図である。

【図13】実施形態1の液晶ディスプレイの製造工程を説明するための図である。

【図14】実施形態1の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

40

【図15】実施形態2の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

【図16】実施形態3の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

【図17】実施形態4の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

【図18】実施形態5の液晶ディスプレイの額縁領域における構成を示す平面模式図である。

【図19】比較形態1の液晶ディスプレイの額縁領域における構成を示す平面模式図であ

50

る。

【発明を実施するための形態】

【0048】

以下に実施形態を掲げ、本発明を図面を参照して更に詳細に説明するが、本発明はこれらの実施形態のみに限定されるものではない。

【0049】

(実施形態1)

図1～14を参照して、実施形態1の液晶ディスプレイについて説明する。まず、図1～3を参照して、本実施形態の液晶ディスプレイの全体の構造について説明する。

【0050】

本実施形態の液晶ディスプレイは、アクティブマトリクス駆動方式、かつ、透過型の液晶ディスプレイであり、液晶パネル1と、液晶パネル1の後方に配置されたバックライト(図示せず)と、液晶パネル1及びバックライトを駆動及び制御する制御部(図示せず)と、液晶パネル1を制御部に接続するフレキシブル基板(図示せず)とを備えている。

【0051】

液晶パネル1は、画像を表示する表示部2を含み、表示部2には、複数の画素3がマトリクス状に配置されている。なお、各画素3は、複数色(例えば、赤、緑、及び、青の3色)のサブ画素から構成されてもよい。他方、本実施形態の液晶ディスプレイは、モノクロ液晶ディスプレイであってもよく、その場合は、各画素3を複数のサブ画素に分割する必要はない。

【0052】

液晶パネル1は、前記第1基板に対応するアレイ基板(アクティブマトリクス基板)10と、前記第2基板に対応し、アレイ基板10に対向する対向基板50と、基板10、50の間に設けられた液晶層(表示用媒体)61及びシール62と、アレイ基板10の液晶層61側の表面上に設けられた配向膜(図示せず)と、対向基板50の液晶層61側の表面上に設けられた配向膜(図示せず)と、アレイ基板10上に実装されたソースドライバ5とを有している。また、液晶パネル1、アレイ基板10及び対向基板50は、表示部2に対応する領域(表示領域)7と、表示領域7の周囲の領域(額縁領域)8とを含んでいる。なお、ソースドライバ5は、後述するソースバスライン用の駆動回路である。

【0053】

シール62は、表示領域7を取り囲むように額縁領域8内に形成されている。また、シール62は、基板10、50を互いに接着するとともに、液晶層61を基板10、50の間に封止している。

【0054】

アレイ基板10は、液晶ディスプレイの背面側に設けられ、対向基板50は、観察者側に設けられている。アレイ基板10にはバックライトから光が照射され、そして、液晶パネル1に表示される画像が対向基板50側から観察される。各基板10、50の液晶層61とは反対側の表面上には、偏光板(図示せず)が貼り付けられている。これらの偏光板は、通常はクロスニコルに配置されている。ソースドライバ5は、アレイ基板10の対向基板50に対向しない領域、すなわち対向基板50からはみ出した領域(以下、張り出し領域とも言う。)にCOG(Chip On Glass)技術により実装されている。

【0055】

アレイ基板10は、表示領域7の左右にモノリシックに形成されたゲートドライバ6a、6bと、張り出し領域内に形成された端子26、27、28、29、30と、表示領域7を縦断するように設けられたソースバスライン(データ信号線)12と、表示領域7を横断するように設けられたゲートバスライン(走査信号線)13及びコモンバスライン17と、額縁領域8内に各々形成された引き出し線18、19と、表示領域7を囲むように額縁領域8内に形成された配線(以下、共通幹配線とも言う。)16と、額縁領域8内に形成された入力配線25とを有している。ゲートバスライン13は、左側のゲートドライバ6aの出力端子に接続されたゲートバスライン13と、右側のゲートドライバ6bの出力

端子に接続されたゲートバスライン 13 とを含み、これらは交互に配置されている。ゲートバスライン 13 は、上記実施形態 (D) におけるバスラインに相当する。端子 26、28、30 が設けられた領域 (図 3 中の太い二点鎖線で囲まれた領域) にフレキシブル基板が実装されている。各ソースバスライン 12 は、対応する引き出し線 18 及び端子 27 を介して、ソースドライバ 5 の出力部に接続されている。ソースドライバ 5 の入力部には、フレキシブル基板、端子 28、入力配線 25 及び端子 29 を介して、制御部から各種信号及び電源電圧が入力される。共通幹配線 16 には、フレキシブル基板及び端子 30 を介して、制御部から共通信号が入力される。なお、共通信号とは、全ての画素に共通して印加される信号である。コモンバスライン 17 は、額縁領域 8 内において共通幹配線 16 に接続されており、コモンバスライン 17 には、共通幹配線 16 から共通信号が印加される。

10

【0056】

ゲートドライバ 6a、6b には、フレキシブル基板、端子 26 及び引き出し線 19 を介して制御部から各種信号及び電源電圧が供給される。詳細については後述する。ゲートモノリシック、ゲートドライバレス、パネル内蔵ゲートドライバ、ゲートインパネル、ゲートオンアレイ等と称されるゲートドライバは全てゲートドライバ 6a、6b に含まれ得る。なお、2つのゲートドライバ 6a、6b を設ける代わりに、2つのゲートドライバ 6a、6b と同様の機能を発揮する 1つのゲートドライバのみを設けてもよい。

【0057】

対向基板 50 は、透明な (透光性を有する) 絶縁基板 51 と、遮光部材として機能するブラックマトリクス (BM) 52 と、複数の柱状のスペーサ (図示せず) とを有している。BM 52 は、額縁領域 8 と、バスラインに対向する領域とを遮光するように形成されている。BM 52 は、枠状に形成されており、ゲートドライバ 6a、6b を覆っている。なお、図 2 では、表示領域 7 内において BM 52 の図示は省略している。表示領域 7 内には、複数色のカラーフィルタが設けられてもよく、各カラーフィルタは、BM 52 で区画された領域、すなわち、BM 52 の開口を覆うように形成される。また、対向基板 50 は、全てのカラーフィルタを覆う透明な (光透過性を有する) オーバーコート膜を有していてもよい。柱状のスペーサは、BM 52 上の遮光領域内に配置されている。また、シール 62 内に粒状のスペーサー (図示せず) が混入されていてもよい。これらのスペーサは、アレイ基板 10 と対向基板 50 との距離を一定にするための部材であり、両基板間の距離 (セルギャップ) は、4.0 μm 程度に設定されている。

20

30

【0058】

カラーフィルタの材料としては、顔料を混合したアクリル樹脂等が挙げられ、BM 52 の材料としては、クロムや、黒色顔料を混合したアクリル樹脂等が挙げられる。好適には、BM 52 は、その厚みが 1.0 μm 程度であり、黒色顔料を混合したアクリル樹脂から形成される。オーバーコート膜は、透明な絶縁材料から形成される。具体的には、アクリル樹脂やエポキシ樹脂等の光透過性を有する硬化性樹脂が利用される。オーバーコート膜は、好ましくは、アクリル樹脂から形成され、その厚みは、好ましくは、2.0 μm 程度である。オーバーコート膜は、カラーフィルタを物理的または化学的に保護する機能を有する。

【0059】

40

なお、本実施形態の液晶ディスプレイの液晶モードは特に限定されない。TN (Twisted Nematic) モード、VA (Vertical Alignment) モード等の縦電界を利用する液晶モードの場合、対向基板 50 は、共通信号が印加される対向電極を有しており、アレイ基板 10 は、共通幹配線 16 に接続されたコモン転移用電極 14 を有しており、両電極は、導通部材を介して互いに接続されている。対向電極は、インジウム錫酸化物 (ITO: Indium Tin Oxide)、錫酸化物 (SnO_2)、酸化インジウム亜鉛 (IZO: Indium Zinc Oxide) 等の透明導電材料 (光透過性を有する導電材料) から形成されている。好ましくは ITO が利用される。導通部材としては、例えば、導電性を有する微粒子が混入された硬化性樹脂や、銀、カーボンペースト等が挙げられる。シール材に導電性を有する微粒子を混入し、この微粒子を

50

導電部材として用いてもよい。導電性を有する微粒子としては、樹脂製の微粒子に金等の金属がコーティングされたものが挙げられる。

【0060】

次に、図4～8を参照して、本実施形態の液晶ディスプレイの回路構成及び動作について説明する。

【0061】

図4に示すように、本実施形態の液晶ディスプレイは、画素アレイ71と、制御部内に設けられた表示制御回路72と、ソースドライバ5と、ゲートドライバ6a、6bとを備えている。

【0062】

画素アレイ71は、前記ゲートバスライン13に対応するn本のゲートバスラインG1～Gnと、前記ソースバスライン12に対応するm本のソースバスラインS1～Smと、前記画素3に各々形成された(m×n)個の画素回路Pijとを含んでいる。nとmは2以上の整数、iは1以上n以下の整数、jは1以上m以下の整数とする。ゲートバスラインG1～Gnは互いに平行に配置されており、ソースバスラインS1～Smは、ゲートバスラインG1～Gnと直交するように互いに平行に配置されている。ゲートバスラインGiとソースバスラインSjの交点近傍には、画素回路Pijが配置されている。このように(m×n)個の画素回路Pijは、行方向にm個ずつ、列方向にn個ずつ、2次元状に配置されている。ゲートバスラインGiは、i行目に配置された画素回路Pijに共通して接続され、ソースバスラインSjは、j列目に配置された画素回路Pijに共通して接続されている。また、画素回路Pijには各々、スイッチング素子としての画素用TF T4と、画素電極9とが設けられており、TF T4のゲートは、ゲートバスラインGiに接続され、TF T4のドレイン及びソースは、一方がソースバスラインSjに接続され、他方が画素電極9に接続されている。

【0063】

本実施形態の液晶ディスプレイの外部からは、水平同期信号HSYNC、垂直同期信号VSYNC等の制御信号と、画像信号DATとが供給される。表示制御回路72は、これらの信号に基づき、ゲートドライバ6aに対してクロック信号CK1、CK2、及び、スタートパルスSP1を出力し、ゲートドライバ6bに対してクロック信号CK3、CK4、及び、スタートパルスSP2を出力し、ソースドライバ5に対して制御信号SC及びデジタル映像信号DVを出力する。

【0064】

ゲートドライバ6aは、シフトレジスタ73aを含んでおり、シフトレジスタ73aは、多段接続された複数の単位回路SR1、SR3、・・・、SRn-1を含んでいる。単位回路SR1、SR3、・・・、SRn-1は、奇数番目のゲートバスラインG1、G3、・・・、Gn-1に接続されている。

【0065】

ゲートドライバ6bは、シフトレジスタ73bを含んでおり、シフトレジスタ73bは、多段接続された複数の単位回路SR2、SR4、・・・、SRnを含んでいる。単位回路SR2、SR4、・・・、SRnは、偶数番目のゲートバスラインG2、G4、・・・、Gnに接続されている。

【0066】

シフトレジスタ73a、73bは、出力信号SROUT1～SROUTnを1つずつ順にハイレベル(選択状態を示す)に制御する。出力信号SROUT1～SROUTnは、それぞれ、ゲートバスラインG1～Gnに与えられる。これにより、ゲートバスラインG1～Gnが1本ずつ順に選択され、1行分の画素回路Pijが一括して選択される。すなわち、1行分の画素回路Pijの画素用TF T4がオン状態になる。

【0067】

ソースドライバ5は、制御信号SC及びデジタル映像信号DVに基づき、ソースバスラインS1～Smに対してデジタル映像信号DVに応じた電圧を印加する。これにより、選択

10

20

30

40

50

された 1 行分の画素回路 P_{ij} にデジタル映像信号 DV に応じた電圧が書き込まれる。このようにして、本実施形態の液晶ディスプレイは画像を表示する。

【0068】

図 5 に示すように、各単位回路 $SR_1 \sim SR_n$ は、入力端子 INa 、 INb 、クロック端子 CKA 、 CKB 、電源端子 VSS 、及び、出力端子 OUT を有している。

【0069】

シフトレジスタ 73a には、スタートパルス SP_1 と、エンドパルス EP_1 と、2 相のクロック信号 CK_1 、 CK_2 と、ローレベル電位 VSS (便宜上、電源端子と同じ符号を付している。) とが供給される。スタートパルス SP_1 は、シフトレジスタ 73a 内で初段目の単位回路 SR_1 の入力端子 INa に入力される。エンドパルス EP_1 は、シフトレジスタ 73a 内で最終段目の単位回路 $SR_n - 1$ の入力端子 INb に入力される。クロック信号 CK_1 は、シフトレジスタ 73a 内で奇数段目の単位回路のクロック端子 CKA と、シフトレジスタ 73a 内で偶数段目の単位回路のクロック端子 CKB とに入力される。クロック信号 CK_2 は、シフトレジスタ 73a 内で偶数段目の単位回路のクロック端子 CKA と、シフトレジスタ 73a 内で奇数段目の単位回路のクロック端子 CKB とに入力される。ローレベル電位 VSS は、シフトレジスタ 73a 内の全ての単位回路の電源端子 VSS に入力される。単位回路 SR_1 、 SR_3 、 $\dots$ 、 $SR_n - 1$ の出力端子 OUT からは、それぞれ、出力信号 $SROUT_1$ 、 $SROUT_3$ 、 $\dots$ 、 $SROUT_n - 1$ が出力され、出力信号 $SROUT_1$ 、 $SROUT_3$ 、 $\dots$ 、 $SROUT_n - 1$ は、それぞれ、ゲートバスライン G_1 、 G_3 、 $\dots$ 、 $G_n - 1$ に出力される。また各出力信号は、二段後 (シフトレジスタ 73a 内で考えると一段後) の単位回路の入力端子 INa と、四段前 (シフトレジスタ 73a 内で考えると二段前) の単位回路の入力端子 INb とに入力される。

【0070】

シフトレジスタ 73b には、スタートパルス SP_2 と、エンドパルス EP_2 と、2 相のクロック信号 CK_3 、 CK_4 と、ローレベル電位 VSS とが供給される。スタートパルス SP_2 は、シフトレジスタ 73b 内で初段目の単位回路 SR_2 の入力端子 INa に入力される。エンドパルス EP_2 は、シフトレジスタ 73b 内で最終段目の単位回路 SR_n の入力端子 INb に入力される。クロック信号 CK_3 は、シフトレジスタ 73b 内で奇数段目の単位回路のクロック端子 CKA と、シフトレジスタ 73b 内で偶数段目の単位回路のクロック端子 CKB とに入力される。クロック信号 CK_4 は、シフトレジスタ 73b 内で偶数段目の単位回路のクロック端子 CKA と、シフトレジスタ 73b 内で奇数段目の単位回路のクロック端子 CKB とに入力される。ローレベル電位 VSS は、シフトレジスタ 73b 内の全ての単位回路の電源端子 VSS に入力される。単位回路 SR_2 、 SR_4 、 $\dots$ 、 SR_n の出力端子 OUT からは、それぞれ、出力信号 $SROUT_2$ 、 $SROUT_4$ 、 $\dots$ 、 $SROUT_n$ が出力され、出力信号 $SROUT_2$ 、 $SROUT_4$ 、 $\dots$ 、 $SROUT_n$ は、それぞれ、ゲートバスライン G_2 、 G_4 、 $\dots$ 、 G_n に出力される。また各出力信号は、二段後 (シフトレジスタ 73b 内で考えると一段後) の単位回路の入力端子 INa と、四段前 (シフトレジスタ 73b 内で考えると二段前) の単位回路の入力端子 INb とに入力される。

【0071】

なお、ローレベル電位 VSS は、 n チャネル型の TFT を確実にオフ状態にする観点からは負の電位であることが好ましいが、画素用 TFT 4 として p チャネル型の TFT に使用する場合には、正の電位であってもよい。

【0072】

図 6 に示すように、各単位回路は、 n チャネル型の TFT であるトランジスタ $Tr_1 \sim Tr_4$ と、コンデンサ (以下、ブートストラップ・コンデンサとも言う。) CB_1 とを含んでいる。以下、トランジスタ Tr_1 を出力トランジスタ Tr_1 とも言う。

【0073】

出力トランジスタ Tr_1 は、ドレインがクロック端子 CKA に接続されており、ソースが

出力端子OUTに接続されている。トランジスタTr2は、ドレインとゲートが入力端子INaに接続されており、ソースが出力トランジスタTr1のゲートに接続されている。ブートストラップ・コンデンサCB1は、出力トランジスタTr1のゲート及びソースの間に設けられており、一方の端子が出力トランジスタTr1のゲートに接続されており、他方の端子が出力端子OUTに接続されている。トランジスタTr3は、ドレインが出力端子OUTに接続されており、ゲートがクロック端子CKBに接続されており、ソースが電源端子VSSに接続されている。トランジスタTr4は、ドレインが出力トランジスタTr1のゲートに接続されており、ゲートが入力端子INbに接続されており、ソースが電源端子VSSに接続されている。

【0074】

10

出力トランジスタTr1は、クロック端子CKAと出力端子OUTとの間に設けられており、ゲート電位に応じてクロック信号を通過させるか否かを切り替えるトランジスタ（伝送ゲート）として機能する。また、出力トランジスタTr1のゲートは、出力端子OUT側の導通端子（ソース）と容量結合されている。このため、後述するように、出力トランジスタTr1がオン状態で、クロック端子CKAに入力されるクロック信号CK1又はCK3（以下、クロック信号CKAとも言う。）がハイレベルとなる期間では、出力トランジスタTr1のゲート電位はクロック信号CKAのハイレベル電位よりも高くなる。以下、出力トランジスタTr1のゲートが接続されたノードをnetAという。

【0075】

図7及び8に、シフトレジスタ73a、73bのタイミングチャートを示す。図7には、各シフトレジスタ内で奇数段目の単位回路の入出力信号及びノードnetAの電圧変化が図示されている。

20

【0076】

図7に示すように、各シフトレジスタ内で奇数段目の単位回路には、クロック端子CKAを介してクロック信号CK1又はCK3が入力され、クロック端子CKBを介してクロック信号CK2又はCK4が入力される。各クロック信号CK1～CK4の電位がハイレベルの期間は、1/2周期と略同じである。クロック信号CK2は、クロック信号CK1を1/2周期だけ、クロック信号CK3は、クロック信号CK1を1/4周期だけ、クロック信号CK4は、クロック信号CK2を1/4周期だけ、それぞれ、遅延させた信号である。

30

【0077】

スタートパルスSP1及びSP2は、それぞれ、シフト動作の開始前に、クロック信号CK2及びCK4の電位がハイレベルの期間と同じ長さの時間だけハイレベルになる。エンドパルスEP1及びEP2（図7及び8では図示せず）は、それぞれ、シフト動作の終了後に、クロック信号CK2及びCK4の電位がハイレベルの期間と同じ長さの時間だけハイレベルになる。

【0078】

図7を参照して、各シフトレジスタ内で奇数段目の単位回路の動作について説明する。まず、入力端子INaに入力される信号（スタートパルスSP1、SP2、又は、前々段（各シフトレジスタ内で考えると一段前）の単位回路の出力信号。以下、入力信号INaとも言う。）がローレベルからハイレベルに変化すると、ダイオード接続されたトランジスタTr2を介してノードnetAの電位もハイレベルに変化し、出力トランジスタTr1はオン状態になる。

40

【0079】

次に、入力信号INaがローレベルに変化すると、トランジスタTr2はオフ状態になり、ノードnetAはフローティング状態になるが、出力トランジスタTr1はオン状態を保つ。

【0080】

次に、クロック信号CKA（クロック信号CK1又はCK3）がローレベルからハイレベルに変化すると、ブートストラップ・コンデンサCB1が充電され、ブートストラップ効

50

果によってノード $n e t A$ の電位はクロック信号 $C K A$ の振幅 $V c k (= (\text{ハイレベル電位 } V G H) - (\text{ローレベル電位 } V G L))$ の 2 倍程度まで上昇する。出力トランジスタ $T r 1$ のゲート電位が十分に高いので、出力トランジスタ $T r 1$ のソース・ドレイン間の抵抗が小さくなり、クロック信号 $C K A$ は出力トランジスタ $T r 1$ を電圧降下することなく通過する。

【 0 0 8 1 】

クロック信号 $C K A$ がハイレベルの間、ノード $n e t A$ の電位は $V c k$ の 2 倍程度になり、出力信号 $S R O U T$ はハイレベルになる。

【 0 0 8 2 】

次に、クロック信号 $C K A$ がローレベルに変化すると、ノード $n e t A$ の電位はハイレベルになる。同時に、クロック端子 $C K B$ に入力されるクロック信号 $C K 2$ 又は $C K 4$ (以下、クロック信号 $C K B$ とも言う。) がハイレベルに変化することにより、トランジスタ $T r 3$ がオン状態になり出力端子 $O U T$ にローレベル電位 $V S S$ が印加される。これらの結果、出力信号 $S R O U T$ はローレベルになる。

10

【 0 0 8 3 】

次に、入力端子 $I N b$ に入力される信号 (エンドパルス $E P 1$ 、 $E P 2$ 、又は、四段後 (各シフトレジスタ内で考えると二段後) の単位回路の出力信号。以下、入力信号 $I N b$ とも言う。) がローレベルからハイレベルに変化すると、トランジスタ $T r 4$ はオン状態になる。トランジスタ $T r 4$ がオン状態になると、ノード $n e t A$ にはローレベル電位 $V S S$ が印加され、ノード $n e t A$ の電位はローレベルに変化し、出力トランジスタ $T r 1$ はオフ状態になる。

20

【 0 0 8 4 】

次に、入力信号 $I N b$ がローレベルに変化すると、トランジスタ $T r 4$ はオフ状態になる。このとき、ノード $n e t A$ はフローティング状態になるが、出力トランジスタ $T r 1$ はオフ状態を保つ。入力信号 $I N a$ が次のハイレベルになるまで、理想的には、出力トランジスタ $T r 1$ はオフ状態を保ち、出力信号 $S R O U T$ はローレベルを保つ。

【 0 0 8 5 】

そして、トランジスタ $T r 3$ は、クロック信号 $C K B$ がハイレベルの時にオン状態になる。このため、クロック信号 $C K B$ がハイレベルになるたびに、出力端子 $O U T$ にはローレベル電位 $V S S$ が印加される。このようにトランジスタ $T r 3$ は、出力端子 $O U T$ を繰り返しローレベル電位 $V S S$ に設定し、出力信号 $S R O U T$ を安定化させる機能を有する。

30

【 0 0 8 6 】

偶数段目の単位回路についても、奇数段目の単位回路と同様に動作する。

【 0 0 8 7 】

以上の結果、図 8 に示すように、ゲートバスライン $G 1$ 、 $G 2$ 、 $G 3$ 、・・・に順次、ゲートパルスが出力されていく。

【 0 0 8 8 】

次に、図 9 ~ 1 4 を参照して、本実施形態の液晶ディスプレイの額縁領域における構成について説明する。

【 0 0 8 9 】

40

図 9 に示すように、各ゲートドライバ内には、上述のゲートバスライン 1 3 と直交する方向に延在する配線群 7 8 が設けられている。配線群 7 8 は、ローレベル電位 $V S S$ に設定されている配線 7 4 と、クロック信号 $C K 1$ 又は $C K 3$ を伝送する配線 7 5 と、クロック信号 $C K 2$ 又は $C K 4$ を伝送する配線 7 6 とを含んでいる。各配線内には、スリット状の開口部が形成されている。

【 0 0 9 0 】

出力トランジスタ $T r 1$ 及びブートストラップ・コンデンサ $C B 1$ は、互いに隣接して配置されている。トランジスタ $T r 2 \sim T r 4$ は、互いに隣接して配置されている。トランジスタ $T r 2 \sim T r 4$ が配置されている領域 (以下、制御素子領域とも言う。) 7 7 は、配線群 7 8 及び出力トランジスタ $T r 1$ の間に位置している。出力トランジスタ $T r 1$ 及

50

びブートストラップ・コンデンサC B 1は、制御素子領域77及び配線群78の端部10a側（表示領域7の反対側）に配置されている。

【0091】

図10に示すように、アレ基板10は、太い破線に挟まれた帯状の領域（以下、シール塗布領域とも言う。）63を含んでおり、シール62は、シール塗布領域63からはみ出さないようにしてシール塗布領域63上に帯状に形成されている。シール塗布領域63は、一方の端部がブートストラップ・コンデンサC B 1とアレ基板10の端部10aとの間の領域内に設定され、他方の端部が配線74及び表示領域7の間の領域内に設定されている。また、シール塗布領域63は、トランジスタTr 2～Tr 4及び配線74～76（配線群78）が配置されている領域65と、出力トランジスタTr 1及びブートストラップ・コンデンサC B 1が配置されている領域64とを含んでいる。領域65は、上記第1領域に相当し、領域64は、上記第2領域に相当する。このように、本実施形態では、比較形態1とは異なり、シール塗布領域63内に出力トランジスタTr 1及びブートストラップ・コンデンサC B 1が配置されている。

10

【0092】

シール62は、出力トランジスタTr 1の一部又は全部と、制御素子領域77の一部の領域又は全領域とを少なくとも覆うように配置されている。シール塗布領域63からはみ出さない限り、これら以外の領域をシール62が覆うか否かは特に限定されない。例えば、シール62は、出力トランジスタTr 1の一部又は全部と、制御素子領域77の全領域と、配線76の一部又は全部とを覆うように配置されてもよいし、ブートストラップ・コンデンサC B 1の一部又は全部と、出力トランジスタTr 1の全部と、制御素子領域77の全領域と、配線76の全部と、配線75の一部又は全部と、を覆うように配置されてもよいし、ブートストラップ・コンデンサC B 1の一部又は全部と、出力トランジスタTr 1の全部と、制御素子領域77の全領域と、配線76の全部と、配線75の全部と、配線74の一部又は全部と、を覆うように配置されてもよい。このように、シール62は、液晶層61に隣接する第1部分と、第1部分に隣接する第2部分とを含み、第1部分は、領域65上に配置され、第2部分は、領域64上に配置されている。

20

【0093】

各トランジスタTr 1～Tr 4は、ボトムゲート型の薄膜トランジスタであり、なかでも出力トランジスタTr 1は、そのサイズが大きく、櫛歯状のソース・ドレイン構造を有する。これにより、大きな、例えば数十 μm ～数百 μm 程度のチャネル幅を確保している。

30

【0094】

図11に示すように、アレ基板10は、透明な（透光性を有する）絶縁基板11を含んでおり、出力トランジスタTr 1は、絶縁基板11上のゲート電極41と、ゲート電極41上のゲート絶縁膜42と、ゲート絶縁膜42上のi層（半導体活性層）43と、i層43上のn+層44と、n+層44上に各々設けられたソース電極45及びドレイン電極46とを有している。ソース電極45及びドレイン電極46は各々、複数の櫛歯部を有しており、ソース電極45及びドレイン電極46は、互いに櫛歯部が噛み合うように対向して配置されている。

40

【0095】

図12に示すように、ブートストラップ・コンデンサC B 1は、絶縁基板11上の第1電極31と、第1電極31上に設けられ、出力トランジスタTr 1と共用されているゲート絶縁膜42と、ゲート絶縁膜42上の第2電極32とを有している。

【0096】

アレ基板10及び対向基板50は、光透過性を有するため、絶縁基板11、51の材料としては、主に、ガラス、石英ガラス、窒化ケイ素等の無機物や、アクリル樹脂等の有機高分子化合物（樹脂）等が利用される。好適には、厚み0.7mm程度の石英ガラスが挙げられる。

【0097】

ゲート電極41及び第1電極31は、モリブデン（Mo）、チタン（Ti）、アルミニウ

50

ム（Ａｌ）、銅（Ｃｕ）、これらの合金等の材料を含む同じ導電膜から形成されている。ゲート電極４１及び第１電極３１は、これらの導電膜の積層膜から形成されてもよい。好適には、Ａｌが用いられる。ゲート絶縁膜４２は、窒化シリコン、酸化シリコン等の無機絶縁材料を含む透明な（透光性を有する）絶縁膜から形成されている。ゲート絶縁膜４２は、これらの絶縁膜の積層膜を用いて形成されてもよい。ｉ層（半導体活性層）４３は、アモルファスシリコンから形成されており、ｎ＋層４４は、不純物（例えばリン）を含有するアモルファスシリコンから形成されている。ソース電極４５、ドレイン電極４６及び第２電極３２は、Ｍｏ、Ｔｉ、Ａｌ、Ｃｕ、これらの合金等の材料を含む同じ導電膜から形成されている。ソース電極４５、ドレイン電極４６及び第２電極３２は、これらの導電膜の積層膜から形成されてもよい。

10

【００９８】

ソース電極４５、ドレイン電極４６及び第２電極３２上には、パッシベーション膜として機能する透明な（透光性を有する）絶縁膜４７が形成されている。絶縁膜４７は、窒化シリコン膜、酸化シリコン膜等の無機絶縁膜から形成されている。なお、絶縁膜４７は、これらの無機絶縁膜の積層膜を用いて形成されてもよい。絶縁膜４７上には、平坦化膜として機能する透明な（透光性を有する）絶縁膜４８が形成されている。絶縁膜４８は、有機絶縁膜から形成されている。有機絶縁膜の材料としては、感光性アクリル樹脂等の感光性樹脂が挙げられる。

【００９９】

なお、トランジスタＴｒ２～４は、出力トランジスタＴｒ１と平面構造が異なるだけであり、その断面構造は、出力トランジスタＴｒ１と同様である。また、各図中、斜線が付された部材と、ゲート電極４１及び第１電極３１とは、同じ導電膜から形成されており、ドット状の模様が付された部材と、ソース電極４５、ドレイン電極４６及び第２電極３２とは、同じ導電膜から形成されている。更に、各図中、斜線が付された部材とドット状の模様が付された部材とが互いに重なる領域内に配置された白塗りの四角形の領域は、両部材を互いに接続するためのコンタクトホールを示している。

20

【０１００】

また、画素用ＴＦＴ４は、出力トランジスタＴｒ１～Ｔｒ４と同様にボトムゲート型の薄膜トランジスタであり、同じ工程を経て出力トランジスタＴｒ１～Ｔｒ４と一緒に形成される。

30

【０１０１】

更に、表示領域７内において、絶縁膜４８上には上述の画素電極９が形成されている。画素電極９は、絶縁膜４７、４８を貫通するコンタクトホール（図示せず）を通して画素用ＴＦＴ４のドレイン電極（図示せず）に電気的に接続されている。画素電極９は、ＩＴＯ、ＳｎＯ_２、ＩＺＯ等の透明導電材料（光透過性を有する導電材料）から形成されている。

【０１０２】

次に、本実施形態の液晶ディスプレイの製造方法について説明する。

本実施形態の液晶ディスプレイは、一般的な方法により製造することができるが、より詳細には、まず、複数のアレイ基板１０に分断される前の基板（以下、アレイ用マザーガラスとも言う。）と、複数の対向基板５０に分断される前の基板（ＣＦ用マザーガラスとも言う。）とを通常の方法により各々作製する。

40

【０１０３】

アレイ用マザーガラス及びＣＦ用マザーガラスを作製した後、図１３に示すように、ステップＳ１１～Ｓ１９を行う。

【０１０４】

まず、ステップＳ１１（基板洗浄工程）において、アレイ用マザーガラス及びＣＦ用マザーガラスを洗浄する。

【０１０５】

なお、ステップＳ１１とステップＳ１２の間にデガス工程を実施してもよい。デガス工程

50

では、アレイ用マザーガラス及びCF用マザーガラスを加熱し、これらのマザーガラスから有機溶剤、ガス等の不要な物質を除去する

【0106】

次に、ステップS12（配向膜形成工程）において、アレイ用マザーガラス及びCF用マザーガラス上にそれぞれ配向膜を形成する。配向膜の材料としては、ポリイミド等の有機材料やシリコン酸化物等の無機材料が挙げられる。

【0107】

次に、ステップS13（ラビング工程）では、各配向膜にラビング処理を施す。なお、液晶層61中の液晶分子の配向状態によってはステップS13を省略してもよい。また、ラビング処理に代えて、ラビング処理以外の配向処理、例えば光配向処理を施してもよい。

10

【0108】

次に、ステップS14（シール塗布工程）において、スクリーン印刷法、ディスペンサ描画法等の方法により、アレイ用マザーガラス及びCF用マザーガラスのいずれかに硬化前のシールの材料（以下、シール材とも言う。）を塗布する。シール材は、ペースト状であり、閉じた環状に塗布される。このシール材は、硬化性（例えば紫外線硬化性）及び熱硬化性を有する材料（以下、光・熱併用型シール材とも言う。）であり、一般的には、アクリル樹脂及び／又はエポキシ樹脂を含む。光・熱併用型シール材の具体例としては、例えば、エポキシアクリル系樹脂を主成分とするフォトレックSシリーズ（積水化学工業社製）が挙げられる。シール材は、好ましくは、ディスペンサ描画法により塗布される。

【0109】

20

次に、ステップS15（液晶材料滴下及び貼り合わせ工程）において、シール材が塗布されたマザーガラス、塗布されていないマザーガラス、又は、両方のマザーガラス上に液晶材料を滴下し、そして、両マザーガラスを互いに貼り合わせる。両マザーガラスの貼り合わせは、大気圧よりも低い環境下（例えば真空下）で行われる。貼り合わせの後、両マザーガラスは大気圧下に置かれる。液晶材料は、好ましくは、CF用マザーガラス上に滴下される。

【0110】

次に、ステップS16（シール仮硬化工程）において、アレイ用マザーガラス側からシール材に光を照射し、シール材をある程度まで硬化（仮硬化）させる。このとき、出力トランジスタTr1及びブートストラップ・コンデンサCB1によって光が遮られるため、出力トランジスタTr1及びブートストラップ・コンデンサCB1上においては、シール材に照射される光が不足し、シール材はほとんど仮硬化しない。しかしながら、トランジスタTr2～Tr4及び配線74～76が配置されている領域65には多くの透光領域が含まれるため、シール材は、領域65上においては十分に仮硬化することができる。また、仮硬化したシール材部分（上記第1部分に対応する部分）は、表示領域7のより近く配置され、仮硬化しなかったシール材部分（上記第2部分に対応する部分）は、アレイ基板10の端部10aのより近くに配置されている。そのため、仮硬化しなかったシール材部分が液晶層に接触するのを防止することができ、その結果、シール材成分が液晶層に溶解及び拡散するのを防止することができる。なお、アレイ基板10側から光を照射するのは、対向基板50にはBM52が形成されているためである。照射する光の種類は特に限定されず、例えば、紫外線を含む光が挙げられる。好ましくは、紫外線を用いる。

30

40

【0111】

次に、ステップS17（シール本硬化工程）において、貼り合わされたマザーガラスを加熱する。この加熱によりシール材を更に硬化（本硬化）させる。この工程でシール材の全部が硬化する。そのため、シール材は、出力トランジスタTr1及びブートストラップ・コンデンサCB1が配置されている領域64上において、ステップS16ではほとんど仮硬化せず、ステップS17で本硬化する。他方、シール材は、トランジスタTr2～Tr4及び配線74～76が配置されている領域65上において、ステップS16で仮硬化し、かつ、ステップS17で本硬化する。

【0112】

50

このように本実施形態では、仮硬化及び本硬化するシール材部分（上記第１部分に対応する部分）を表示領域７のより近く配置し、仮硬化せず、本硬化するシール材部分（上記第２部分に対応する部分）をアレイ基板１０の端部１０ａのより近くに配置している。

【０１１３】

また、特許文献１１に記載の技術においては基板同士を貼り合わせる前にシール材を仮硬化させる必要があったが、本実施形態では、マザーガラス同士を貼り合わせた後にシール材を仮硬化させている。そのため、ごみ等の異物が液晶層に混入するのを防止することができる。更に、本実施形態では、仮硬化のためのマスクも必要ない。そのため、製造コストを削減することができる。

【０１１４】

なお、ステップＳ１６、Ｓ１７における光照射及び熱処理の条件は、シール材の特性に合わせて適宜設定できるが、フォトレックＳシリーズを用いた場合は、例えば、１０Ｊ前後の紫外線を照射し、１２０で６０分間、熱処理を行う。

【０１１５】

次に、ステップＳ１８（分断工程）において、貼り合わされたマザーガラスをパネル分断線で分断し、複数の液晶セルに分割する。

【０１１６】

次に、ステップＳ１９（検査工程）において、液晶セルについて点灯検査等の検査を行い、液晶セルの品質状態を確認する。

【０１１７】

その後、液晶セルの両表面上に、偏光板及び位相板（任意）を貼り付けた後、ソースドライバ５を実装して、液晶パネル１が完成する。そして、液晶パネル１にフレキシブル基板を接続し、制御部及びバックライトユニットを取り付け、これらを筐体に収納することにより、実施形態１の液晶ディスプレイが完成する。

【０１１８】

本実施形態では、出力トランジスタＴｒ１及びブートストラップ・コンデンサＣＢ１は、アレイ基板１０の端部１０ａと制御素子領域７７との間の領域内に配置されている。そのため、制御素子領域７７の各トランジスタと配線群７８とを出力トランジスタＴｒ１及びブートストラップ・コンデンサＣＢ１の表示領域７側に配置することができる。また、トランジスタＴｒ２～Ｔｒ４及び配線７４～７６が配置されている領域６５上においてシール材を仮硬化及び本硬化させることができ、他方、出力トランジスタＴｒ１及びブートストラップ・コンデンサＣＢ１が配置されている領域６４上においてシール材を本硬化させることができる。以上の結果、シール本硬化工程を終えるまでにシール材成分が液晶層に溶解するのを抑制することができる。また、シール塗布領域６３を広く設定することができる。更に、液晶漏れが発生するのを抑制することができる。したがって、品質上の不具合の発生を低減することができ、かつ、基板間の接着強度を向上することができる。

【０１１９】

なお、各素子の大きさ及び各配線の太さは特に限定されず、適宜設定することができるが、例えば、図１４に示す値を適用することができる。なお、配線７４、７５の太さは、配線７６と実質的に同じである。また、配線７４及び配線７５の間隔は、３０μｍに設定することができる。また、出力トランジスタのピッチは、単位回路又はゲートバスラインのピッチと実質的に等しい。更に、素子間、又は、素子及び配線の間を接続する配線の幅に関しては、例えば、１０μｍに設定することができる。

【０１２０】

図１４に示された場合では、トランジスタＴｒ２～Ｔｒ４、配線７６及び配線７５を含む領域Ａにおいて遮光される面積の割合を概算すると、略２５％（＝（１０５×７０＋５０×７０＋３０×６０＋２０×２０×６×コンタクトが６個＋３０×２００×配線の線状部分が４本）／（８００×２００）＝３９０５０／１６００００）である。他方、出力トランジスタＴｒ１及びブートストラップ・コンデンサＣＢ１を含む領域Ｂにおいて遮光される面積の割合を概算すると、略８０％（＝（８０×１９０＋２００×１６０）／（３００

10

20

30

40

50

$\times 200) = 47200 / 600)$ である。このように、領域 A において遮光される面積の割合は、50% 以下であることが好ましく、領域 B において遮光される面積の割合は、50% より大きいことが好ましい。

【0121】

(実施形態 2)

実施形態 2 の液晶ディスプレイは、シフトレジスタ中の素子及び配線のレイアウトが異なるが異なることを除いて、実施形態 1 の液晶ディスプレイと実質的に同じである。

【0122】

実施形態 1 では、配線群 78 は、トランジスタ $T_{r2} \sim T_{r4}$ (制御素子領域 77) 及び表示領域 7 の間の領域内に配置されていた。他方、本実施形態では、図 15 に示すように、トランジスタ $T_{r2} \sim T_{r4}$ (制御素子領域 77) が配線群 78 及び表示領域 7 の間の領域内に配置されている。実施形態 1、2 は、配線群 78 及びトランジスタ $T_{r2} \sim T_{r4}$ (制御素子領域 77) が、表示領域 7 及び出力トランジスタ T_{r1} の間の領域内に配置されているという点で共通の特徴を有する。

【0123】

アレイ基板 10 は、太い破線に挟まれた帯状の領域 (以下、シール塗布領域とも言う。) 63 を含んでおり、シール 62 は、シール塗布領域 63 からみ出さないようにしてシール塗布領域 63 上に帯状に形成されている。シール塗布領域 63 は、一方の端部がブートストラップ・コンデンサ C_{B1} とアレイ基板 10 の端部 10a との間の領域内に設定され、他方の端部がトランジスタ $T_{r2} \sim T_{r4}$ (制御素子領域 77) と表示領域 7 との間の領域内に設定されている。また、シール塗布領域 63 は、出力トランジスタ T_{r1} 及びブートストラップ・コンデンサ C_{B1} が配置されている領域 64 と、トランジスタ $T_{r2} \sim T_{r4}$ (制御素子領域 77) 及び配線 74 ~ 76 (配線群 78) が配置されている領域 66 とを含んでいる。領域 66 は、上記第 1 領域に相当し、領域 64 は、上記第 2 領域に相当する。このように、本実施形態では、比較形態 1 とは異なり、シール塗布領域 63 内に出力トランジスタ T_{r1} 及びブートストラップ・コンデンサ C_{B1} が配置されている。

【0124】

シール 62 は、出力トランジスタ T_{r1} の一部又は全部と、配線群 78 の一部又は全部とを少なくとも覆うように配置されている。シール塗布領域 63 からみ出さない限り、これら以外の領域をシール 62 が覆うか否かは特に限定されない。例えば、シール 62 は、出力トランジスタ T_{r1} の全部と、配線群 78 の全部と、制御素子領域 77 の一部の領域又は全領域を覆うように配置されてもよいし、ブートストラップ・コンデンサ C_{B1} の一部又は全部と、出力トランジスタ T_{r1} の全部と、配線群 78 の全部と、制御素子領域 77 の一部の領域又は全領域とを覆うように配置されてもよい。このように、シール 62 は、液晶層 61 に隣接する第 1 部分と、第 1 部分に隣接する第 2 部分とを含み、第 1 部分は、領域 66 上に配置され、第 2 部分は、領域 64 上に配置されている。

【0125】

本実施形態では、実施形態 1 と同様に、出力トランジスタ T_{r1} 及びブートストラップ・コンデンサ C_{B1} は、アレイ基板 10 の端部 10a と制御素子領域 77 との間の領域内に配置されている。したがって、本実施形態においても、品質上の不具合の発生を低減することができ、かつ、基板間の接着強度を向上することができる。

【0126】

なお、実施形態 1、2 の各々においては、出力トランジスタ T_{r1} 及びブートストラップ・コンデンサ C_{B1} の配置場所が互いに入れ替わっていてもよい。

【0127】

(実施形態 3)

実施形態 3 の液晶ディスプレイは、シフトレジスタ中の素子及び配線のレイアウトが異なることを除いて、実施形態 1 の液晶ディスプレイと実質的に同じである。

【0128】

本実施形態では、図 16 に示すように、トランジスタ $T_{r2} \sim T_{r4}$ (制御素子領域 77

10

20

30

40

50

）は、アレイ基板 10 の端部 10 a と、ブートストラップ・コンデンサ C B 1 との間の領域内に配置されている。

【 0 1 2 9 】

アレイ基板 10 は、太い破線に挟まれた帯状の領域（以下、シール塗布領域とも言う。）6 3 を含んでおり、シール 6 2 は、シール塗布領域 6 3 からみ出さないようにしてシール塗布領域 6 3 上に帯状に形成されている。シール塗布領域 6 3 は、一方の端部が制御素子領域 7 7 とアレイ基板 10 の端部 10 a との間の領域内に設定され、他方の端部が配線 7 4 及び表示領域 7 の間の領域内に設定されている。また、シール塗布領域 6 3 は、出力トランジスタ T r 1 及びブートストラップ・コンデンサ C B 1 が配置されている領域 6 4 と、トランジスタ T r 2 ~ T r 4 が配置されている領域 6 7 と、配線 7 4 ~ 7 6（配線群 7 8）が配置されている領域 6 8 とを含んでいる。領域 6 8 は、上記第 1 領域に相当し、領域 6 4 は、上記第 2 領域に相当する。このように、本実施形態では、比較形態 1 とは異なり、シール塗布領域 6 3 内に出力トランジスタ T r 1 及びブートストラップ・コンデンサ C B 1 が配置されている。

【 0 1 3 0 】

シール 6 2 は、出力トランジスタ T r 1 の一部又は全部と、配線 7 6 の一部又は全部とを少なくとも覆うように配置されている。シール塗布領域 6 3 からみ出さない限り、これら以外の領域をシール 6 2 が覆うか否かは特に限定されない。例えば、シール 6 2 は、ブートストラップ・コンデンサ C B 1 の一部又は全部と、出力トランジスタ T r 1 の全部と、配線 7 6 の全部とを覆うように配置されてもよいし、制御素子領域 7 7 の一部の領域又は全領域と、ブートストラップ・コンデンサ C B 1 の全部と、出力トランジスタ T r 1 の全部と、配線 7 6 の全部と、配線 7 5 の一部又は全部とを覆うように配置されてもよいし、制御素子領域 7 7 の一部の領域又は全領域と、ブートストラップ・コンデンサ C B 1 の全部と、出力トランジスタ T r 1 の全部と、配線 7 6 の全部と、配線 7 5 の全部と、配線 7 4 の一部又は全部とを覆うように配置されてもよい。このように、シール 6 2 は、液晶層 6 1 に隣接する第 1 部分と、第 1 部分に隣接する第 2 部分とを含み、第 1 部分は、領域 6 8 上に配置され、第 2 部分は、領域 6 4 上に配置されている。

【 0 1 3 1 】

本実施形態では、出力トランジスタ T r 1 及びブートストラップ・コンデンサ C B 1 は、アレイ基板 10 の端部 10 a と配線 7 6 との間の領域内に配置されている。そのため、配線群 7 8 を出力トランジスタ T r 1 及びブートストラップ・コンデンサ C B 1 の表示領域 7 側に配置することができる。また、配線 7 4 ~ 7 6 が配置されている領域 6 8 上においてシール材を仮硬化及び本硬化させることができ、他方、出力トランジスタ T r 1 及びブートストラップ・コンデンサ C B 1 が配置されている領域 6 4 上においてシール材を本硬化させることができる。以上の結果、シール本硬化工程を終えるまでにシール材成分が液晶層に溶解するのを抑制することができる。また、シール塗布領域 6 3 を広く設定することができる。更に、液晶漏れが発生するのを抑制することができる。したがって、実施形態 1 と同様に、品質上の不具合の発生を低減することができ、かつ、基板間の接着強度を向上することができる。

【 0 1 3 2 】

ただし、本実施形態では、仮硬化及び本硬化するシール材部分が分離して配置されている点で、実施形態 1 とは異なる。

【 0 1 3 3 】

（実施形態 4）

実施形態 4 の液晶ディスプレイは、シフトレジスタ中の素子及び配線のレイアウトが異なることを除いて、実施形態 3 の液晶ディスプレイと実質的に同じである。

【 0 1 3 4 】

実施形態 3 では、トランジスタ T r 2 ~ T r 4（制御素子領域 7 7）は、アレイ基板 10 の端部 10 a と、ブートストラップ・コンデンサ C B 1 との間の領域内に配置されていた。他方、本実施形態では、図 17 に示すように、配線群 7 8 がアレイ基板 10 の端部 10

aと、出力トランジスタTr 1との間の領域内に配置されている。実施形態3、4は、出力トランジスタTr 1及びブートストラップ・コンデンサCB 1が、配線群78及びトランジスタTr 2~Tr 4（制御素子領域77）の間の領域内に配置されているという点が共通の特徴を有する。

【0135】

アレイ基板10は、太い破線に挟まれた帯状の領域（以下、シール塗布領域とも言う。）63を含んでおり、シール62は、シール塗布領域63からはみ出さないようにしてシール塗布領域63上に帯状に形成されている。シール塗布領域63は、一方の端部が配線74及び端部10aの間に設定され、他方の端部がトランジスタTr 2~Tr 4（制御素子領域77）と表示領域7との間の領域内に設定されている。シール塗布領域63は、出力トランジスタTr 1及びブートストラップ・コンデンサCB 1が配置されている領域64と、トランジスタTr 2~Tr 4が配置されている領域67と、配線74~76（配線群78）が配置されている領域68とを含んでいる。領域67は、上記第1領域に相当し、領域64は、上記第2領域に相当する。このように、本実施形態では、比較形態1とは異なり、シール塗布領域63内に出力トランジスタTr 1及びブートストラップ・コンデンサCB 1が配置されている。

10

【0136】

シール62は、ブートストラップ・コンデンサCB 1の一部又は全部と、制御素子領域77の一部の領域又は全領域とを少なくとも覆うように配置されている。シール塗布領域63からはみ出さない限り、これら以外の領域をシール62が覆うか否かは特に限定されない。例えば、シール62は、出力トランジスタTr 1の一部又は全部と、ブートストラップ・コンデンサCB 1の全部と、制御素子領域77の一部の領域又は全領域とを覆うように配置されてもよいし、配線76の一部又は全部と、出力トランジスタTr 1の全部と、ブートストラップ・コンデンサCB 1の全部と、制御素子領域77の一部の領域又は全領域とを覆うように配置されてもよいし、配線75の一部又は全部と、配線76の全部と、出力トランジスタTr 1の全部と、ブートストラップ・コンデンサCB 1の全部と、制御素子領域77の一部の領域又は全領域とを覆うように配置されてもよいし、配線74の一部又は全部と、配線75の全部と、配線76の全部と、出力トランジスタTr 1の全部と、ブートストラップ・コンデンサCB 1の全部と、制御素子領域77の一部の領域又は全領域とを覆うように配置されてもよい。このように、シール62は、液晶層61に隣接する第1部分と、第1部分に隣接する第2部分とを含み、第1部分は、領域67上に配置され、第2部分は、領域64上に配置されている。

20

30

【0137】

本実施形態では、実施形態1と同様に、出力トランジスタTr 1及びブートストラップ・コンデンサCB 1は、アレイ基板10の端部10aと制御素子領域77との間の領域内に配置されている。したがって、本実施形態においても、品質上の不具合の発生を低減することができ、かつ、基板間の接着強度を向上することができる。

【0138】

また、配線群78は、アレイ基板10の端部10aと、出力トランジスタTr 1との間の領域内に配置されている。そのため、外部から侵入する静電気からトランジスタTr 1~Tr 4を配線群78によって保護することができる。

40

【0139】

なお、実施形態3、4の各々においては、出力トランジスタTr 1及びブートストラップ・コンデンサCB 1の配置場所が互いに入れ替わっていてもよい。

【0140】

（実施形態5）

実施形態5の液晶ディスプレイは、シフトレジスタ中の素子及び配線のレイアウトが異なることを除いて、実施形態1の液晶ディスプレイと実質的に同じである。

【0141】

本実施形態では、図18に示すように、トランジスタTr 2~Tr 4（制御素子領域77

50

）は、表示領域 7 と、ブートストラップ・コンデンサ C B 1 との間の領域内に配置されており、配線群 7 8 は、出力トランジスタ T r 1 及びブートストラップ・コンデンサ C B 1 の間の領域内に配置されている。

【 0 1 4 2 】

アレイ基板 1 0 は、太い破線に挟まれた帯状の領域（以下、シール塗布領域とも言う。）6 3 を含んでおり、シール 6 2 は、シール塗布領域 6 3 からみ出さないようにしてシール塗布領域 6 3 上に帯状に形成されている。シール塗布領域 6 3 は、一方の端部が出力トランジスタ T r 1 とアレイ基板 1 0 の端部 1 0 a との間の領域内に設定され、他方の端部がトランジスタ T r 2 ~ T r 4 （制御素子領域 7 7 ）と表示領域 7 との間の領域内に設定されている。シール塗布領域 6 3 は、出力トランジスタ T r 1 が配置されている領域 6 9 と、ブートストラップ・コンデンサ C B 1 が配置されている領域 7 0 と、トランジスタ T r 2 ~ T r 4 が配置されている領域 6 7 と、配線 7 4 ~ 7 6 （配線群 7 8 ）が配置されている領域 7 9 とを含んでいる。領域 6 7、7 9 は、上記第 1 領域に相当し、領域 6 9、7 0 は、上記第 2 領域に相当する。このように、本実施形態では、比較形態 1 とは異なり、シール塗布領域 6 3 内に出力トランジスタ T r 1 及びブートストラップ・コンデンサ C B 1 が配置されている。

10

【 0 1 4 3 】

シール 6 2 は、（ 1 ）出力トランジスタ T r 1 の一部又は全部と、配線 7 4 の一部又は全部とを少なくとも覆うように配置されているか、又は、（ 2 ）ブートストラップ・コンデンサ C B 1 の一部又は全部と、制御素子領域 7 7 の一部の領域又は全領域とを少なくとも覆うように配置されている。また、シール 6 2 は、液晶層 6 1 に隣接する第 1 部分と、第 1 部分に隣接する第 2 部分とを含んでいる。（ 1 ）、（ 2 ）の各場合において、シール塗布領域 6 3 からみ出さず、かつ、第 1 部分がブートストラップ・コンデンサ C B 1 上に配置されない限り、上記以外の領域をシール 6 2 が覆うか否かは特に限定されない。

20

【 0 1 4 4 】

（ 1 ）の場合、例えば、シール 6 2 は、出力トランジスタ T r 1 の全部と、配線群 7 8 の全部とを覆うように配置されてもよいし、出力トランジスタ T r 1 の一部又は全部と、配線群 7 8 の全部と、ブートストラップ・コンデンサ C B 1 の全部と、制御素子領域 7 7 の一部の領域又は全領域とを覆うように配置されてもよい。

【 0 1 4 5 】

（ 2 ）の場合、例えば、シール 6 2 は、ブートストラップ・コンデンサ C B 1 の全部と、制御素子領域 7 7 の全領域とを覆うように配置されてもよいし、配線群 7 8 の一部又は全部と、ブートストラップ・コンデンサ C B 1 の全部と、制御素子領域 7 7 の一部の領域又は全領域とを覆うように配置されてもよいし、出力トランジスタ T r 1 の一部又は全部と、配線群 7 8 の全部と、ブートストラップ・コンデンサ C B 1 の全部と、制御素子領域 7 7 の一部の領域又は全領域とを覆うように配置されてもよい。

30

【 0 1 4 6 】

本実施形態では、出力トランジスタ T r 1 は、アレイ基板 1 0 の端部 1 0 a と配線群 7 8 との間の領域内に配置されており、ブートストラップ・コンデンサ C B 1 は、アレイ基板 1 0 の端部 1 0 a と制御素子領域 7 7 との間の領域内に配置されている。そのため、配線群 7 8 を出力トランジスタ T r 1 の表示領域 7 側に配置することができ、また、制御素子領域 7 7 をブートストラップ・コンデンサ C B 1 の表示領域 7 側に配置することができる。また、トランジスタ T r 2 ~ T r 4 が配置されている領域 6 7 上と、配線群 7 8 が配置されている領域 7 9 上とにおいてシール材を仮硬化及び本硬化させることができる。他方、出力トランジスタ T r 1 が配置されている領域 6 9 上と、ブートストラップ・コンデンサ C B 1 が配置されている領域 7 0 上においてシール材を本硬化させることができる。以上の結果、シール本硬化工程を終えるまでにシール材成分が液晶層に溶解するのを抑制することができる。また、シール塗布領域 6 3 を広く設定することができる。更に、液晶漏れが発生するのを抑制することができる。したがって、実施形態 1 と同様に、品質上の不具合の発生を低減することができ、かつ、基板間の接着強度を向上することができる。

40

50

【0147】

ただし、本実施形態では、仮硬化及び本硬化するシール材部分が分離して配置されている点で、実施形態1とは異なる。

【0148】

なお、実施形態5では、出力トランジスタTr1及びブートストラップ・コンデンサCB1の配置場所が互いに入れ替わっていてもよく、また、制御素子領域77及び配線群78の配置場所が互いに入れ替わっていてもよい。

【0149】

以下、実施形態1～5の種々の変形例について説明する。

各TFTの半導体材料は特に限定されず、適宜、選択することができる。例えば、シリコン等の14属元素の半導体、酸化物半導体等が挙げられる。更に、各TFTの半導体材料の結晶性は特に限定されず、単結晶、多結晶、非晶質、又は、微結晶であってもよく、これらの2種以上の結晶構造を含んでもよい。しかしながら、出力トランジスタがアモルファスシリコンを含む場合、その駆動能力を大きくする観点から、出力トランジスタのチャネル幅と、ブートストラップ・コンデンサのサイズとは特に大きくなる。したがって、出力トランジスタがアモルファスシリコンを含む場合に、品質上の不具合の発生を低減することができる効果やシールの接着強度を向上することができるといった効果を顕著に発揮することができる。なお、酸化物半導体は、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、アルミニウム(Al)及びシリコン(Si)からなる群より選ばれる少なくとも一種の元素と、酸素(O)とを含むことが好ましく、In、Ga、Zn及びOを含むことがより好ましい。

【0150】

また、各TFTの型はボトムゲート型に特に限定されず、適宜、選択することができる。

【0151】

更に、額縁領域には、ゲートドライバのTFT以外のTFTが更に配置されていてもよい。

【0152】

また、上述のレイアウトを満たす単位回路の数と配置場所は特に限定されず、適宜設定することができる。すなわち、少なくとも一つの単位回路が上述のいずれかのレイアウトを含んでいればよく、一部又は全ての単位回路が上述のいずれかのレイアウトを含んでもよい。ただし、上述の効果を特に効果的に発揮する観点からは、全ての単位回路が上述のいずれかのレイアウトを含むことが好ましい。

【0153】

更に、各ゲートドライバの素子及び配線の種類は、出力トランジスタ及びブートストラップ・コンデンサを除いて、特に限定されず、適宜決定することができる。

【0154】

そして、実施形態1～5は、互いに組み合わせられてもよく、例えば、異なるレイアウトの単位回路を同じシフトレジスタ内に形成してもよいし、複数のシフトレジスタが互いに異なるレイアウトの単位回路を含んでいてもよい。

【符号の説明】

【0155】

- 1：液晶パネル
- 2：表示部
- 3：画素
- 4：画素用TFT
- 5：ソースバスライン用の駆動回路(ソースドライバ)
- 6a、6b：ゲートバスライン用の駆動回路(ゲートドライバ)
- 7：表示領域
- 8：額縁領域
- 9：画素電極

10

20

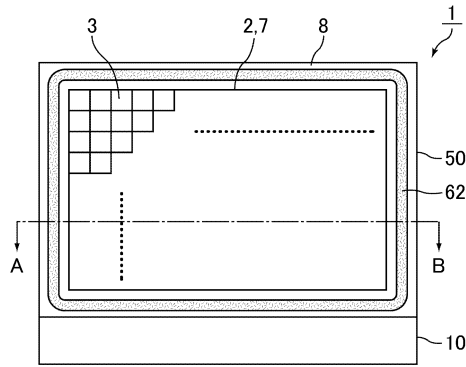
30

40

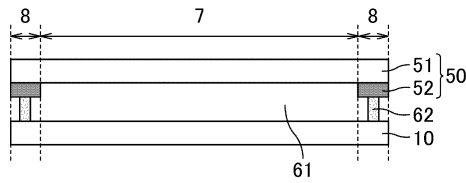
50

1 0 : アレイ基板	
1 0 a : 端部	
1 1 : 絶縁基板	
1 2、S 1 ~ S m : ソースバスライン	
1 3、G 1 ~ G n : ゲートバスライン	
1 4 : コモン転移用電極	
1 6 : 共通幹配線	
1 7 : コモンバスライン	
1 8、1 9 : 引き出し線	
2 5 : 入力配線	10
2 6、2 7、2 8、2 9、3 0 : 端子	
3 1 : 第 1 電極	
3 2 : 第 2 電極	
4 1 : ゲート電極	
4 2 : ゲート絶縁膜	
4 3 : i 層 (半導体活性層)	
4 4 : n + 層	
4 5 : ソース電極	
4 6 : ドレイン電極	
4 7、4 8 : 絶縁膜	20
5 0 : 対向基板	
5 1 : 絶縁基板	
5 2 : ブラックマトリクス (B M)	
6 1 : 液晶層	
6 2 : シール	
6 3 : シール塗布領域	
6 4 ~ 6 9、7 0、7 9 : 領域	
7 1 : 画素アレイ	
7 2 : 表示制御回路	
7 3 a、7 3 b : シフトレジスタ	30
7 4 ~ 7 6 : 配線	
7 7 : 制御素子領域	
7 8 : 配線群	
P i j : 画素回路	
S R 1 ~ S R n : 単位回路	
I N a、I N b : 入力端子	
C K A、C K B : クロック端子	
V S S : 電源端子	
O U T : 出力端子	
T r 1 ~ T r 4 : トランジスタ	40
C B 1 : ブートストラップ・コンデンサ	

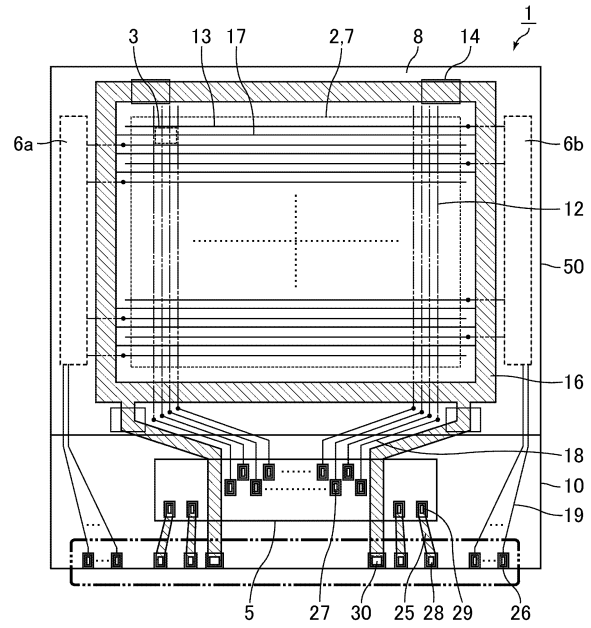
【図 1】



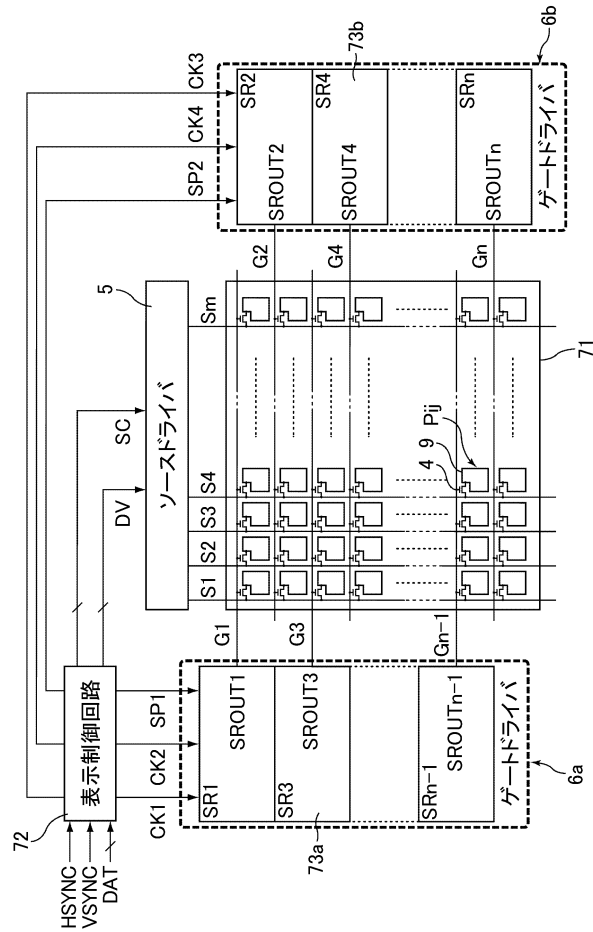
【図 2】



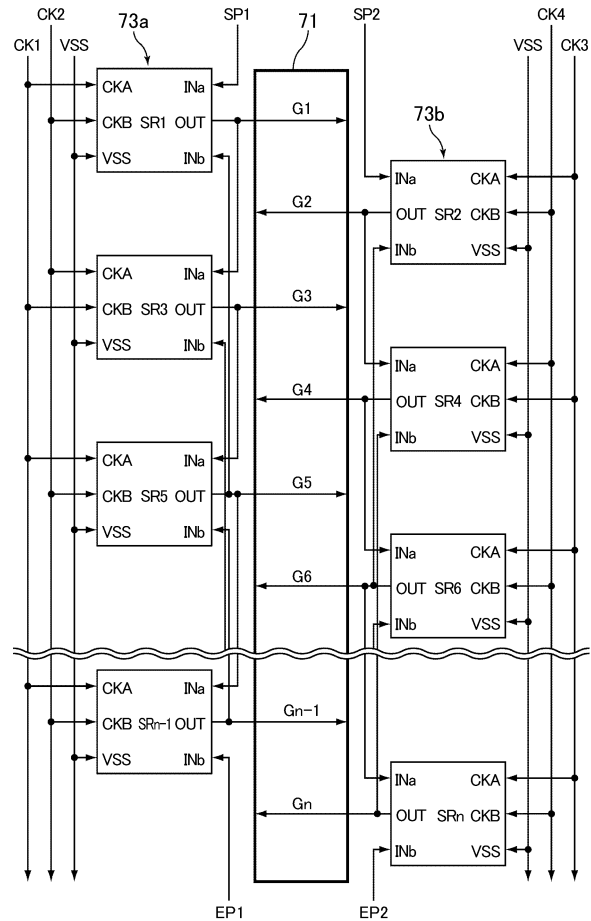
【図 3】



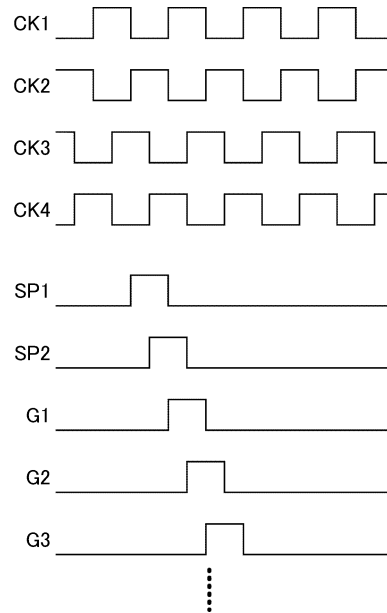
【図 4】



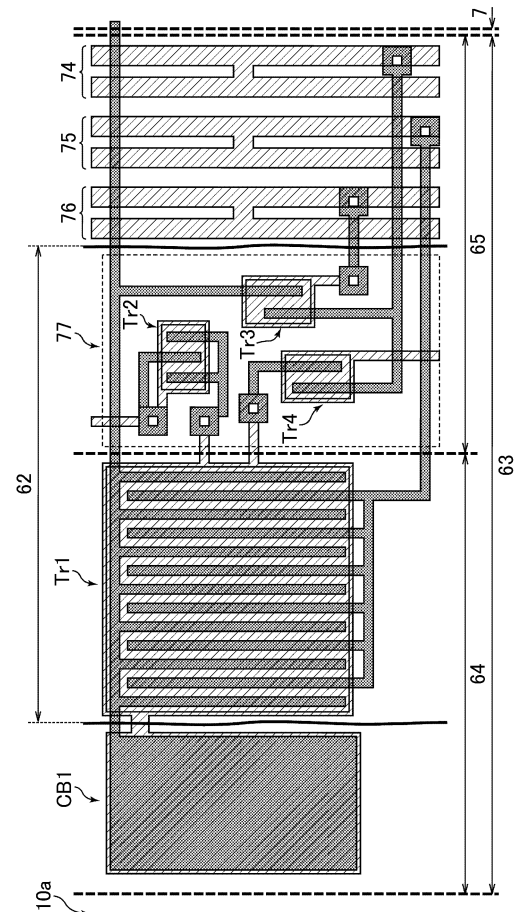
【図 5】



【 図 8 】

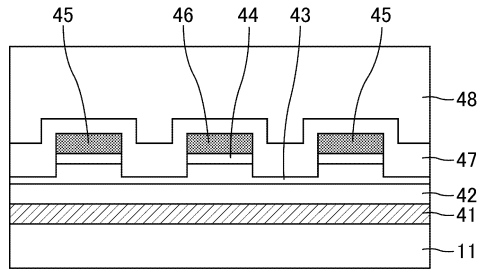


【 図 1 0 】

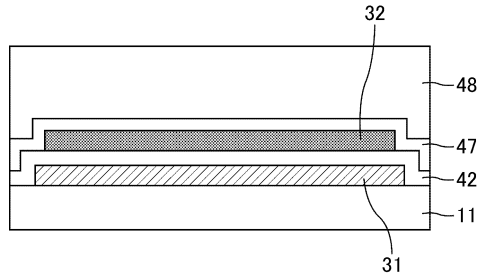


【圖 9】

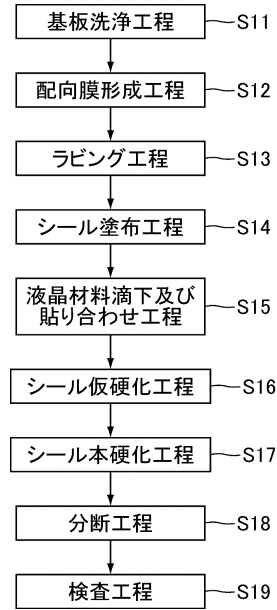
【図 1 1】



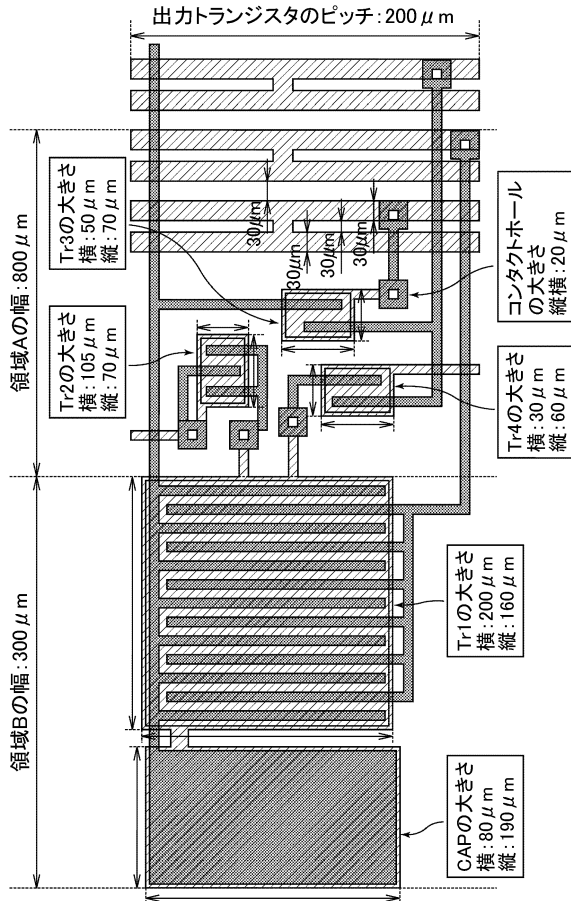
【図 1 2】



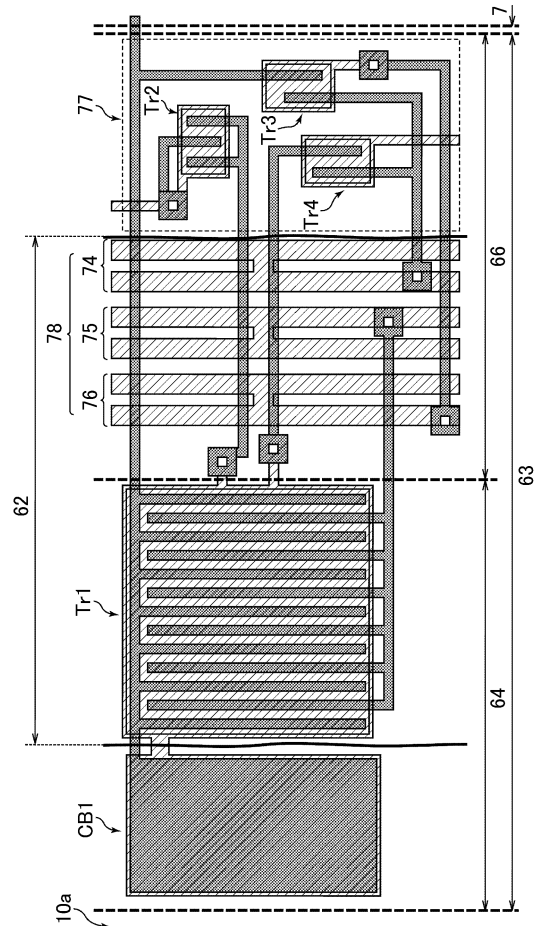
【図 1 3】



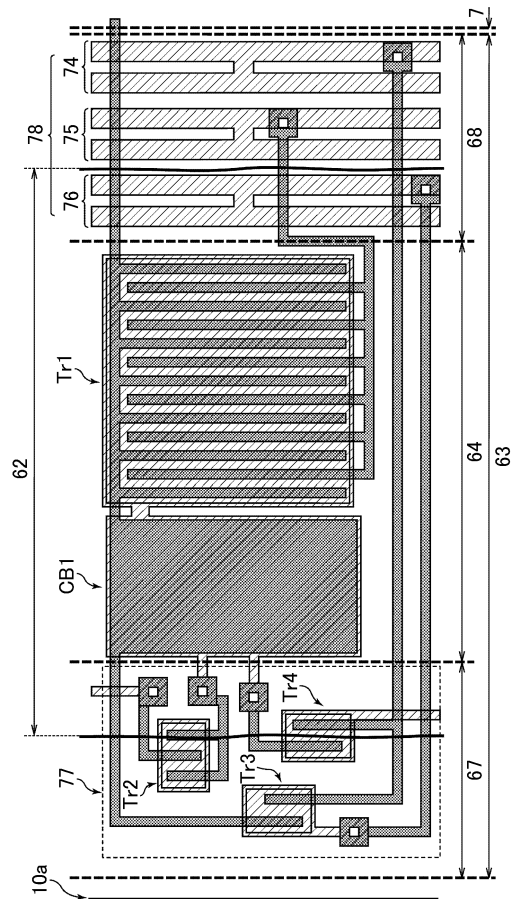
【図 1 4】



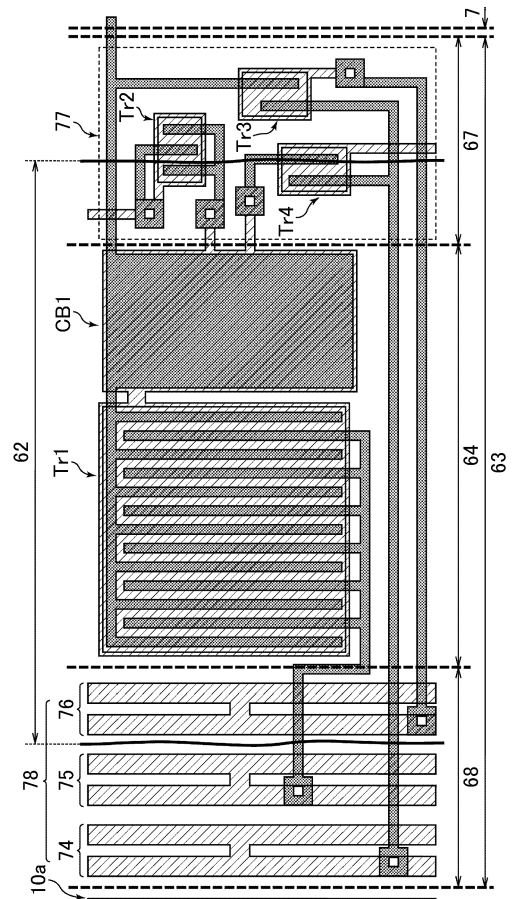
【図 1 5】



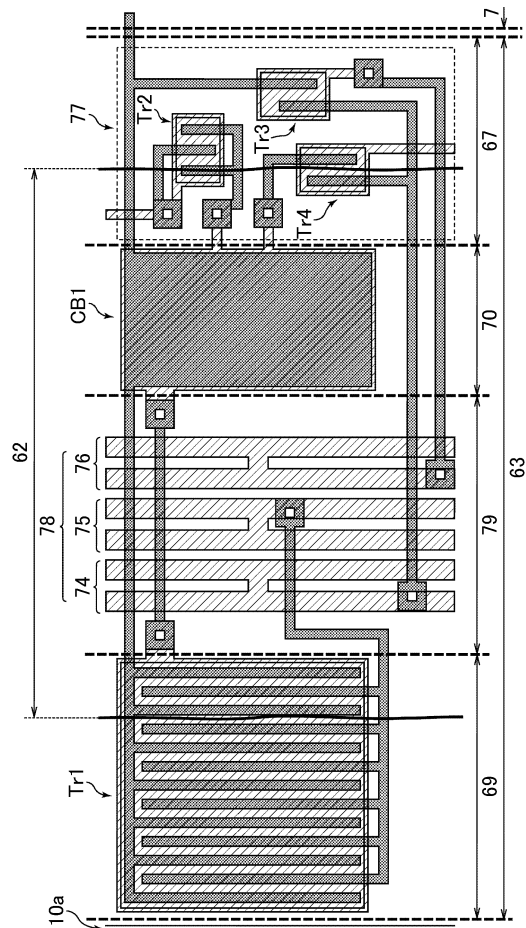
【図 16】



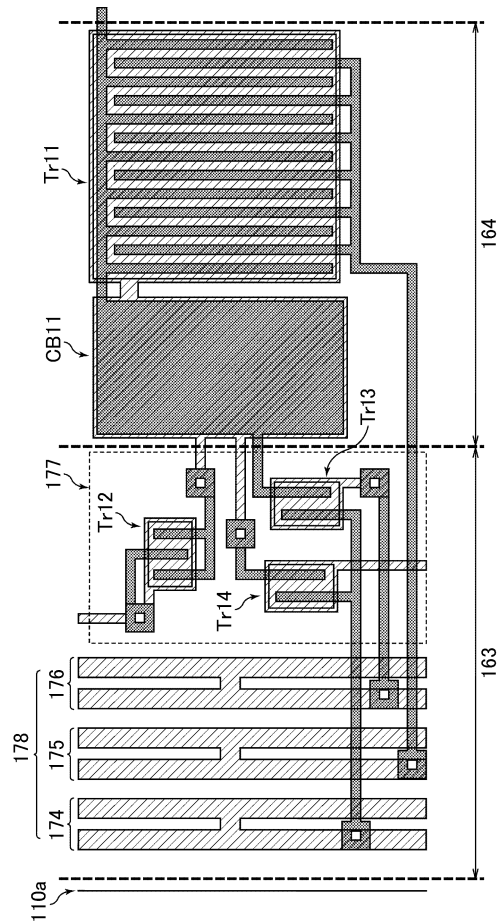
【図 17】



【図 18】



【図 19】



フロントページの続き

- (56)参考文献 国際公開第2011/104945(WO,A1)
国際公開第2009/128179(WO,A1)
特開2008-139604(JP,A)
特開2006-091813(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G02F	1/1345
G02F	1/1339
G02F	1/1368

专利名称(译)	液晶显示器		
公开(公告)号	JP5866439B2	公开(公告)日	2016-02-17
申请号	JP2014515585	申请日	2013-05-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	森隆弘		
发明人	森 隆弘		
IPC分类号	G02F1/1345 G02F1/1339 G02F1/1368		
CPC分类号	G09G3/3677 G09G2300/0408 G09G2310/0286 G11C19/28 G11C19/287 G02F1/1339 G02F1/1345 G02F1/133345 G02F1/133512 G02F1/136213 G02F1/1368		
FI分类号	G02F1/1345 G02F1/1339.505 G02F1/1368		
优先权	2012112771 2012-05-16 JP		
其他公开文献	JPWO2013172243A1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，其能够减少质量问题的发生并提高基板之间的粘合强度。本发明是一种液晶显示器，包括第一基板，第二基板和密封件。第一基板包括单片地形成在绝缘基板上的移位寄存器，多条总线，第一端和显示区域。移位寄存器包括多个多级连接的单元电路和连接到多个单元电路的布线，并且布置在第一端和显示区域之间的区域中。至少一个单元电路包括时钟端子，输出端子，输出晶体管，第二晶体管 and 自举电容器。输出晶体管和自举电容器布置在第一端与布线和第二晶体管之一之间的区域中。

(21) 出願番号	特願2014-515585 (P2014-515585)	(73) 特許権者	000005049
(86) (22) 出願日	平成25年5月9日 (2013.5.9)		シャープ株式会社
(86) 国際出願番号	PCT/JP2013/063022		大阪府大阪市阿倍野区長池町2番22号
(87) 国際公開番号	W02013/172243	(74) 代理人	110000914
(87) 国際公開日	平成25年11月21日 (2013.11.21)		特許業務法人 安富国際特許事務所
審査請求日	平成26年11月4日 (2014.11.4)	(72) 発明者	森 隆弘
(31) 優先権主張番号	特願2012-112771 (P2012-112771)		日本国大阪府大阪市阿倍野区長池町2番22号 シャープ株式会社内
(32) 優先日	平成24年5月16日 (2012.5.16)		
(33) 優先権主張国	日本国 (JP)		
		審査官	小濱 健太