

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5851734号
(P5851734)

(45) 発行日 平成28年2月3日 (2016. 2. 3)

(24) 登録日 平成27年12月11日 (2015. 12. 11)

(51) Int. Cl.

F I

G O 2 F 1/133 (2006. 01)

G O 2 F 1/133 5 3 5

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/133 5 5 0

G O 2 F 1/13357 (2006. 01)

G O 2 F 1/1343

G O 9 G 3/36 (2006. 01)

G O 2 F 1/13357

請求項の数 4 (全 66 頁) 最終頁に続く

(21) 出願番号 特願2011-142754 (P2011-142754)

(22) 出願日 平成23年6月28日 (2011. 6. 28)

(65) 公開番号 特開2012-32800 (P2012-32800A)

(43) 公開日 平成24年2月16日 (2012. 2. 16)

審査請求日 平成26年5月20日 (2014. 5. 20)

(31) 優先権主張番号 特願2010-152158 (P2010-152158)

(32) 優先日 平成22年7月2日 (2010. 7. 2)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷 3 9 8 番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

(72) 発明者 小山 潤

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

(72) 発明者 三宅 博之

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

(72) 発明者 豊高 耕平

神奈川県厚木市長谷 3 9 8 番地 株式会社

半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 の領域及び第 2 の領域を少なくとも有する画素部と、複数の光源とを有し、

前記第 1 の領域及び前記第 2 の領域は、画像信号の電圧に従って透過率が制御される液晶素子と、前記電圧の保持を制御するトランジスタとをそれぞれ有し、

前記トランジスタのチャネル形成領域は、バンドギャップがシリコン半導体よりも広く、真性キャリア密度がシリコン半導体よりも低い半導体材料を含み、

前記トランジスタのチャネル幅あたりのオフ電流は、ドレイン電圧が 3 V のときに $1.0 \times 10^{-10} \text{ A} / \mu\text{m}$ 以下であり、

前記複数の光源は、前記第 1 の領域に異なる色相を有する複数の光を第 1 の輪番に従い順次供給すると共に、前記第 2 の領域に前記異なる色相を有する前記複数の光を前記第 1 の輪番とは異なる第 2 の輪番に従い順次供給する第 1 の駆動、または、前記第 1 の領域及び前記第 2 の領域のいずれか一つもしくは両方に、単一の色相を有する光を連続して供給する第 2 の駆動が行われ、

前記電圧の保持を行う期間が、前記第 1 の駆動と前記第 2 の駆動とで異なることを特徴とする液晶表示装置。

【請求項 2】

第 1 の領域及び第 2 の領域を少なくとも有する画素部と、複数の光源とを有し、

前記第 1 の領域及び前記第 2 の領域は、画像信号の電圧に従って透過率が制御される液晶素子と、前記電圧の保持を制御するトランジスタとをそれぞれ有し、

10

20

前記トランジスタのチャンネル形成領域は、バンドギャップがシリコン半導体よりも広く、真性キャリア密度がシリコン半導体よりも低い半導体材料を含み、

前記トランジスタのチャンネル幅あたりのオフ電流は、ドレイン電圧が3 Vのときに $1.0 \times 10^{-10} \text{ A} / \mu\text{m}$ 以下であり、

前記複数の光源は、前記第1の領域に異なる色相を有する複数の光を第1の輪番に従い順次供給すると共に、前記第2の領域に前記異なる色相を有する前記複数の光を前記第1の輪番とは異なる第2の輪番に従い順次供給する第1の駆動、または、前記第1の領域及び前記第2の領域のいずれか一つもしくは両方に、単一の色相を有する光を連続して供給する第2の駆動が行われ、

前記第2の駆動は、前記第1の駆動と比較して、前記電圧の保持を行う期間が長いことを特徴とする液晶表示装置。

10

【請求項3】

請求項1または請求項2において、

前記半導体材料は、酸化物半導体であることを特徴とする液晶表示装置。

【請求項4】

請求項1乃至3のいずれかーにおいて、

前記トランジスタのチャンネル形成領域は、キャリア密度が $1 \times 10^{14} / \text{cm}^3$ 未満であることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

トランジスタを画素に有するアクティブマトリクス型の液晶表示装置に関する。

【背景技術】

【0002】

透過型の液晶表示装置の場合、バックライトの消費電力が液晶表示装置全体の消費電力に大きく影響を及ぼすため、パネルの内部における光の損失を如何に低減できるかが消費電力削減の重要なポイントとなる。パネルの内部における光の損失は、層間絶縁膜における光の屈折や、カラーフィルタによる光の吸収などによりもたらされる。特に、カラーフィルタは、色素による光の吸収を利用することで白色光から特定の波長領域の光を取り出すため、原理的に光の損失が大きい。実際にバックライトからの光のエネルギーは、カラー

30

【0003】

カラーフィルタによる光の損失の問題を回避するためには、フィールドシーケンシャル駆動（FS駆動）が有効である。FS駆動は、異なる色相の光を発する複数の光源を順次点灯させることでカラーの画像を表示する駆動方法である。FS駆動ではカラーフィルタを用いる必要がないため、パネルの内部における光の損失を低減することができ、パネルの透過率を高めることができる。よって、バックライトからの光の利用効率を高めることができ、液晶表示装置全体の消費電力を低減させることができる。また、FS駆動では、1つの画素で各色に対応する画像の表示を行うことができるため、高精細な画像の表示を行

40

【0004】

下記特許文献1には、通常はフィールドシーケンシャル方式でのカラー画像の表示を行い、文字などの画像のときにはモノカラー表示に切り換える液晶表示装置について開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-248463号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0006】**

しかし、FS駆動では、各色の画像が合成されずに個別に視認される、カラーブレイクと呼ばれる現象が起こりやすい。特に、カラーブレイクは動画を表示する際に顕著に起こりやすい。

【0007】

また、上述したように、フィールドシーケンシャル駆動を用いる場合、カラーフィルタを用いる場合に比べて、液晶表示装置の消費電力を低減させることができる。しかし、携帯用電子機器の普及に伴い液晶表示装置への低消費電力化の要求は厳しさを増しており、更なる消費電力の低減が求められている。

10

【0008】

上述の課題に鑑み、本発明は、画質の低下を防ぐことができる液晶表示装置及びその駆動方法の提案を課題の一つとする。或いは、本発明は、消費電力の低減を実現することができる液晶表示装置及びその駆動方法の提案を課題の一つとする。

【課題を解決するための手段】**【0009】**

本発明の一態様に係る液晶表示装置は、バックライトが、異なる色相の光を発する複数の光源を有する。そして、フルカラー画像の表示を行う場合と、モノカラー画像の表示を行う場合とで、光源の駆動方法を切り換える。

【0010】

20

フルカラー画像の表示を行う場合は、画素部を複数の領域に分割し、領域ごとに上記光源の点灯を制御する。具体的に、本発明の一態様では、画素部が第1の領域及び第2の領域を少なくとも有し、前記第1の領域に、異なる色相を有する複数の光が、第1の順番に従い順次供給されると共に、前記第2の領域にも異なる色相を有する前記複数の光が、前記第1の順番とは異なる第2の順番に従い、順次供給される。

【0011】

モノカラー画像の表示を行う場合は、画素部全体、或いは領域ごとに、異なる色相を有する複数の光の少なくとも一つを連続して供給する。

【0012】

さらに、本発明の一態様では、上記モノカラー画像が静止画である場合に、モノカラー画像が動画である場合よりも、その駆動周波数を低くする。そして、本発明の一態様では、駆動周波数を低くするために、液晶表示装置の画素部に、液晶素子と、当該液晶素子に与えられる電圧の保持を制御するための、オフ電流が極めて小さい絶縁ゲート電界効果型トランジスタ（以下、単にトランジスタとする）とを設ける。オフ電流の極めて小さいトランジスタを用いることで、液晶素子に与えられる電圧が保持される期間を長くすることができる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素部と同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くしても、言い換えると一定期間内における画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。

30

【0013】

40

上記トランジスタは、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコン半導体よりも低い半導体材料を、チャネル形成領域に含むことを特徴とする。上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低いトランジスタを実現することができる。このような半導体材料としては、例えば、シリコンの約3倍程度の大きなバンドギャップを有する、酸化物半導体が挙げられる。上記構成を有するトランジスタを、液晶素子に与えられる電圧を保持するためのスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、液晶素子からの電荷のリークを防ぐことができる。

【0014】

50

具体的に、本発明の一態様に係る液晶表示装置は、画素部、及び、前記画素部への画像信号の入力を制御する駆動回路が設けられたパネルと、前記画素部に色相の異なる光を供給する複数の光源とを有する。前記画素部は、入力される画像信号の電圧に従って透過率が制御される液晶素子と、前記電圧の保持を制御するトランジスタとを有する。そして、前記トランジスタは、そのチャネル形成領域に、例えば酸化物半導体などの、バンドギャップがシリコン半導体よりも広く、真性キャリア密度がシリコン半導体よりも低い半導体材料を含んでいる。

【0015】

また、具体的に、本発明の一態様に係る液晶表示装置の駆動方法では、フルカラー画像の表示を行う場合、画素部が第1の領域及び第2の領域を少なくとも有し、前記第1の領域に、異なる色相を有する複数の光が、第1の輪番に従い順次供給されると共に、前記第2の領域にも異なる色相を有する前記複数の光が、前記第1の輪番とは異なる第2の輪番に従い、順次供給される。モノカラー画像の表示を行う場合、画素部全体、或いは領域ごとに、単一の色相を有する光を連続して供給する。そして、画像信号が第1のモノカラー画像の情報を含む場合と、画像信号が第2のモノカラー画像の情報を含む場合とで、一定期間内における前記画像信号の書き込み回数を切り換える。

【0016】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素の添加により酸素欠損が低減されることで高純度化された酸化物半導体（*purified OS*）は、*i*型（真性半導体）又は*i*型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。具体的に、高純度化された酸化物半導体は、二次イオン質量分析法（*SIMS: Secondary Ion Mass Spectrometry*）による水素濃度の測定値が、 $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より好ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下とする。また、ホール効果測定により測定できる酸化物半導体膜のキャリア密度は、 $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とする。また、酸化物半導体のバンドギャップは、 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素の添加により酸素欠損が低減されることで高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるができる。

【0017】

ここで、酸化物半導体膜中の、水素濃度の分析について触れておく。酸化物半導体膜中及び導電膜中の水素濃度測定は、*SIMS*で行う。*SIMS*は、その原理上、試料表面近傍や、材質が異なる膜との積層界面近傍のデータを正確に得ることが困難であることが知られている。そこで、膜中における水素濃度の厚さ方向の分布を*SIMS*で分析する場合、対象となる膜が存在する範囲において、値に極端な変動が無く、ほぼ一定の値が得られる領域における平均値を、水素濃度として採用する。また、測定の対象となる膜の厚さが小さい場合、隣接する膜内の水素濃度の影響を受けて、ほぼ一定の値が得られる領域を見いだせない場合がある。この場合、当該膜が存在する領域における、水素濃度の極大値または極小値を、当該膜中の水素濃度として採用する。さらに、当該膜が存在する領域において、極大値を有する山型のピーク、極小値を有する谷型のピークが存在しない場合、変曲点の値を水素濃度として採用する。

【0018】

具体的に、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu\text{m}$ でチャネル長が $10 \mu\text{m}$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流（ゲート電極とソース電極間の電圧を 0 V 以下としたときのドレイン電流）が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} \text{ A}$ 以下という特性を得ることができる。この場合、オフ電流を

トランジスタのチャネル幅で除した数値に相当するオフ電流密度は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流密度の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流密度を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が3Vの場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに低いオフ電流密度が得られることが分かった。したがって、本発明の一態様に係る半導体装置では、高純度化された酸化物半導体膜を活性層として用いたトランジスタのオフ電流密度を、ソース電極とドレイン電極間の電圧によっては、 $100 \text{ yA} / \mu\text{m}$ 以下、好ましくは $10 \text{ yA} / \mu\text{m}$ 以下、更に好ましくは $1 \text{ yA} / \mu\text{m}$ 以下にすることができる。従って、高純度化された酸化物半導体膜を活性層として用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

10

【0019】

なお、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、 Sn-Zn 系酸化物、 Al-Zn 系酸化物、 Zn-Mg 系酸化物、 Sn-Mg 系酸化物、 In-Mg 系酸化物、 In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物（ IGZO とも表記する）、 In-Al-Zn 系酸化物、 In-Sn-Zn 系酸化物、 Sn-Ga-Zn 系酸化物、 Al-Ga-Zn 系酸化物、 Sn-Al-Zn 系酸化物、 In-Hf-Zn 系酸化物、 In-La-Zn 系酸化物、 In-Ce-Zn 系酸化物、 In-Pr-Zn 系酸化物、 In-Nd-Zn 系酸化物、 In-Sm-Zn 系酸化物、 In-Eu-Zn 系酸化物、 In-Gd-Zn 系酸化物、 In-Tb-Zn 系酸化物、 In-Dy-Zn 系酸化物、 In-Ho-Zn 系酸化物、 In-Er-Zn 系酸化物、 In-Tm-Zn 系酸化物、 In-Yb-Zn 系酸化物、 In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、 In-Hf-Ga-Zn 系酸化物、 In-Al-Ga-Zn 系酸化物、 In-Sn-Al-Zn 系酸化物、 In-Sn-Hf-Zn 系酸化物、 In-Hf-Al-Zn 系酸化物を用いることができる。

20

【0020】

なお、例えば、 In-Ga-Zn 系酸化物とは、 In と Ga と Zn を有する酸化物という意味であり、 In と Ga と Zn の比率は問わない。また、 In と Ga と Zn 以外の金属元素が入っていてもよい。また、酸化物半導体として、 $\text{InMO}_3(\text{ZnO})_m$ （ $m > 0$ 、且つ、 m は整数でなくてもよい）で表記される材料を用いてもよい。なお、 M は、 Ga 、 Fe 、 Mn 及び Co から選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $\text{In}_2\text{SnO}_5(\text{ZnO})_n$ （ $n > 0$ 、且つ、 n は整数）で表記される材料を用いてもよい。

30

【発明の効果】

【0021】

本発明の一態様に係る液晶表示装置は、画素部を複数の領域に分割し、領域ごとに異なる色相の光を順次供給することで、カラー画像の表示を行う。よって、特定の時刻に着目すると、隣接する領域に供給される光の色相を、互いに異ならせることができる。よって、各色の画像が合成されずに個別に視認されるのを防ぐことができ、動画の表示を行う際に起きやすかったカラーブレイクの発生を防ぐことができる。

40

【0022】

なお、異なる色相を有する複数の光源を用いてカラー画像の表示を行う場合、単色の光源とカラーフィルタを組み合わせる場合とは異なり、上記複数の光源を順次切り換えて発光させる必要がある。そして、上記光源の切り換えが行われる周波数は、単色の光源を用いた場合のフレーム周波数よりも高い値に設定する必要がある。例えば、単色の光源を用いた場合のフレーム周波数を 60 Hz とすると、赤、緑、青の各色に対応する光源を用いてFS駆動を行う場合、光源の切り替えを行う周波数は、3倍の 180 Hz となる。よって

50

、駆動回路も上記光源の周波数に合わせて動作させるので、非常に高い周波数で動作を行うことになる。従って、駆動回路における消費電力が、単色の光源とカラーフィルタを組み合わせる場合に比べて高くなりやすい。

【 0 0 2 3 】

しかし、本発明の一態様では、オフ電流の極めて小さいトランジスタを用いることで、液晶素子に与えられる電圧が保持される期間を長くすることができる。そのため、静止画を表示する際の駆動周波数を、動画を表示する際の駆動周波数よりも低くすることができる。よって、消費電力を低減することができる液晶表示装置を実現することができる。

【図面の簡単な説明】

【 0 0 2 4 】

10

【図 1】液晶表示装置の構成を示すブロック図。

【図 2】パネルと画素の構成を示す図。

【図 3】液晶表示装置の駆動方法とバックライトの動作を模式的に示した図。

【図 4】各領域に供給される光の色相の一例を、模式的に示す図。

【図 5】各領域に供給される光の色相の一例を、模式的に示す図。

【図 6】走査線駆動回路の構成を示す図。

【図 7】第 x のパルス出力回路 20 __ x を、模式的に示す図。

【図 8】パルス出力回路の構成と、そのタイミングチャートを示す図。

【図 9】走査線駆動回路のタイミングチャートを示す図。

【図 10】走査線駆動回路のタイミングチャートを示す図。

20

【図 11】信号線駆動回路の構成を示す図。

【図 12】信号線に供給される画像信号 (DATA) のタイミングの一例を示す図。

【図 13】選択信号の走査のタイミングと、バックライトの点灯のタイミングとを示す図。

。

【図 14】選択信号の走査のタイミングと、バックライトの点灯のタイミングとを示す図。

。

【図 15】パネルと画素の構成を示す図。

【図 16】走査線駆動回路の構成を示す図。

【図 17】走査線駆動回路のタイミングチャートを示す図。

【図 18】信号線駆動回路の構成を示す図。

30

【図 19】パルス出力回路の構成を示す図。

【図 20】パルス出力回路の構成を示す図。

【図 21】トランジスタの作製方法を示す断面図。

【図 22】トランジスタの断面図。

【図 23】液晶表示装置の作製方法を示す断面図。

【図 24】液晶表示装置の上面図。

【図 25】画素の上面図及び断面図。

【図 26】液晶表示装置の上面図及び断面図。

【図 27】液晶表示装置の構成を示す斜視図。

【図 28】電子機器の図。

40

【図 29】トランジスタの構成を説明する図。

【図 30】V_{th} の定義を示す図。

【図 31】光負バイアス試験結果を示す図。

【図 32】画素の上面図及び断面図。

【発明を実施するための形態】

【 0 0 2 5 】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

50

【 0 0 2 6 】

(実施の形態 1)

< 液晶表示装置の構成例 >

図 1 に示すように、本実施の形態の液晶表示装置 4 0 0 は、複数の画像メモリ 4 0 1 と、画像データ選択回路 4 0 2 と、セレクト 4 0 3 と、CPU 4 0 4 と、コントローラ 4 0 5 と、パネル 4 0 6 と、バックライト 4 0 7 と、バックライト制御回路 4 0 8 とを有する。

【 0 0 2 7 】

複数の画像メモリ 4 0 1 には、液晶表示装置 4 0 0 に入力された、フルカラー画像に対応する画像データ (フルカラー画像データ 4 1 0) が記憶される。上記フルカラー画像データ 4 1 0 には、複数の色相にそれぞれ対応する画像データが含まれている。複数の各画像メモリ 4 0 1 には、各色相に対応する画像データがそれぞれ記憶されている。

10

【 0 0 2 8 】

画像メモリ 4 0 1 は、例えば DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) 等の記憶回路を用いることができる。

【 0 0 2 9 】

画像データ選択回路 4 0 2 は、コントローラ 4 0 5 からの命令に従って複数の画像メモリ 4 0 1 に記憶されている、各色相に対応するフルカラー画像データを読み出し、セレクト 4 0 3 に送る。

【 0 0 3 0 】

また、液晶表示装置 4 0 0 には、モノカラー画像に対応する画像データ (モノカラー画像データ 4 1 1) も入力される。入力されたモノカラー画像データ 4 1 1 は、セレクト 4 0 3 に入力される。

20

【 0 0 3 1 】

なお、異なる色相の色を複数用い、各色の階調により表示される画像をフルカラー画像とする。また、単一の色相の色を用い、その色の階調により表示される画像をモノカラー画像とする。

【 0 0 3 2 】

また、本実施の形態では、モノカラー画像データ 4 1 1 が直接セレクト 4 0 3 に入力される構成を示しているが、本発明はこの構成に限定されない。フルカラー画像データ 4 1 0 と同様に、モノカラー画像データ 4 1 1 も、画像メモリ 4 0 1 において一旦記憶し、画像データ選択回路 4 0 2 において読み出すようにしても良い。この場合、セレクト 4 0 3 が画像データ選択回路 4 0 2 に含まれる構成となる。

30

【 0 0 3 3 】

また、モノカラー画像データ 4 1 1 は、フルカラー画像データ 4 1 0 を液晶表示装置 4 0 0 において合成することで、作製されていても良い。

【 0 0 3 4 】

CPU 4 0 4 は、フルカラー画像の表示を行う場合と、モノカラー画像の表示を行う場合とで、セレクト 4 0 3 とコントローラ 4 0 5 の動作が切り替わるように制御する。

【 0 0 3 5 】

具体的に、フルカラー画像の表示を行う場合、セレクト 4 0 3 は、CPU 4 0 4 からの命令に従って、入力されたフルカラー画像データ 4 1 0 を選択し、パネル 4 0 6 に供給する。また、コントローラ 4 0 5 は、CPU 4 0 4 からの命令に従って、フルカラー画像データ 4 1 0 に同期した駆動信号またはフルカラー画像の表示を行う際に用いられる電源電位を、パネル 4 0 6 に供給する。

40

【 0 0 3 6 】

或いは、モノカラー画像の表示を行う場合、セレクト 4 0 3 は、CPU 4 0 4 からの命令に従って、入力されたモノカラー画像データ 4 1 1 を選択し、パネル 4 0 6 に供給する。また、コントローラ 4 0 5 は、CPU 4 0 4 からの命令に従って、モノカラー画像データ 4 1 1 に同期した駆動信号またはモノカラー画像の表示を行う際に用いられる電源電位を

50

、パネル４０６に供給する。

【００３７】

パネル４０６は、各画素に液晶素子を有する画素部４１２と、信号線駆動回路４１３、走査線駆動回路４１４などの駆動回路とを有する。セレクタ４０３からのフルカラー画像データ４１０またはモノカラー画像データ４１１は、信号線駆動回路４１３に与えられる。また、コントローラ４０５からの駆動信号または電源電位は、信号線駆動回路４１３または走査線駆動回路４１４に与えられる。

【００３８】

なお、駆動信号には、信号線駆動回路４１３の動作を制御する信号線駆動回路用スタートパルス信号（ＳＳＰ）、信号線駆動回路用クロック信号（ＳＣＫ）、走査線駆動回路４１４の動作を制御する走査線駆動回路用スタートパルス信号（ＧＳＰ）、走査線駆動回路用クロック信号（ＧＣＫ）などが含まれる。

10

【００３９】

バックライト４０７には、色相の異なる光を発する複数の光源が配置されている。コントローラ４０５は、バックライト制御回路４０８を介してバックライト４０７が有する光源の駆動を制御する。

【００４０】

なお、フルカラー画像の表示とモノカラー画像の表示の切り替えは、人為的に行うことができる。この場合、入力装置４２０を液晶表示装置４００に設け、入力装置４２０からの信号に従って、ＣＰＵ４０４が上記切り替えを制御するようにすれば良い。

20

【００４１】

また、実施の形態で例示される液晶表示装置４００は、測光回路４２１を有していても良い。測光回路４２１は当該液晶表示装置４００が使用されている環境の明るさを測定する回路である。そして、測光回路４２１において検知された明るさに従って、ＣＰＵ４０４がフルカラー画像の表示とモノカラー画像の表示の切り替えを制御しても良い。

【００４２】

例えば、本実施の形態で例示される液晶表示装置４００を薄暗い環境で利用する場合、測光回路４２１からの信号に従って、ＣＰＵ４０４がフルカラー画像の表示を選択し、明るい環境で利用する場合、測光回路４２１からの信号に従って、ＣＰＵ４０４がモノカラー画像の表示を選択しても良い。なお、測光回路４２１にあらかじめ閾値を設定し、使用環境の明るさが閾値を下回ると、バックライト４０７が点灯するように設定してもよい。

30

【００４３】

< パネルの構成例 >

次いで、本発明の一態様に係る液晶表示装置の、パネルの具体的な構成について、一例を挙げて説明する。

【００４４】

図２（Ａ）は、液晶表示装置の構成例を示す図である。図２（Ａ）に示す液晶表示装置は、画素部１０と、走査線駆動回路１１と、信号線駆動回路１２とを有する。本発明の一態様では、画素部１０が複数の領域に分割されている。具体的に、図２（Ａ）では、画素部１０が、３つの領域（領域１０１～領域１０３）に分割されている場合を例示している。そして、各領域は、マトリクス状に配設された複数の画素１５を有する。

40

【００４５】

また、画素部１０には、走査線駆動回路１１によって電位が制御されるｍ本の走査線ＧＬと、信号線駆動回路１２によって電位が制御されるｎ本の信号線ＳＬとが設けられている。そして、ｍ本の走査線ＧＬは、画素部１０が有する領域の数に合わせて、複数のグループに分割されている。例えば、図２（Ａ）の場合、画素部１０が３つの領域に分割されているので、ｍ本の走査線ＧＬも３つのグループに分割されている。そして、各グループに属する走査線ＧＬは、当該グループに対応する領域が有する複数の画素１５に、接続されている。具体的に、各走査線ＧＬは、各領域においてマトリクス状に配設された複数の画素１５のうち、いずれかの行に配設されたｎ個の画素１５に接続される。

50

【 0 0 4 6 】

また、各信号線 S L は、上記領域に係わらず、画素部 1 0 において m 行 n 列に配設された複数の画素 1 5 のうち、いずれかの列に配設された m 個の画素 1 5 に接続される。

【 0 0 4 7 】

なお、本明細書において接続とは電氣的な接続を意味しており、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

【 0 0 4 8 】

なお、回路図上は独立している構成要素どうしが接続されている場合であっても、実際には、例えば配線の一部が電極としても機能する場合など、一の導電膜が、複数の構成要素の機能を併せ持っている場合もある。本明細書において接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

【 0 0 4 9 】

また、トランジスタが有するソース電極とドレイン電極は、トランジスタの極性及び各電極に与えられる電位の高低差によって、その呼び方が入れ替わる。一般的に、n チャネル型トランジスタでは、低い電位が与えられる電極がソース電極と呼ばれ、高い電位が与えられる電極がドレイン電極と呼ばれる。また、p チャネル型トランジスタでは、低い電位が与えられる電極がドレイン電極と呼ばれ、高い電位が与えられる電極がソース電極と呼ばれる。本明細書では、ソース電極とドレイン電極のいずれか一方を第 1 端子、他方を第 2 端子とし、トランジスタの接続関係を説明する。

【 0 0 5 0 】

図 2 (B) は、図 2 (A) に示す液晶表示装置が有する画素 1 5 の回路図の一例を示す図である。図 2 (B) に示す画素 1 5 は、スイッチング素子として機能するトランジスタ 1 6 と、トランジスタ 1 6 を介して与えられた画像信号の電位に従って、その透過率が制御される液晶素子 1 8 と、容量素子 1 7 とを有する。

【 0 0 5 1 】

液晶素子 1 8 は、画素電極と、対向電極と、画素電極と対向電極間の電圧が印加される液晶を含んだ液晶層とを有している。そして、容量素子 1 7 は、液晶素子 1 8 が有する画素電極と対向電極間の電圧を保持する機能を有している。

【 0 0 5 2 】

液晶層には、例えば、サーモトロピック液晶またはリオトロピック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、ネマチック液晶、スメクチック液晶、コレステリック液晶、または、ディスコチック液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、強誘電性液晶、または反強誘電性液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、主鎖型高分子液晶、側鎖型高分子液晶、或いは、複合型高分子液晶などの高分子液晶、または低分子液晶に分類される液晶材料を用いることができる。或いは、液晶層には、例えば、高分子分散型液晶 (P D L C) に分類される液晶材料を用いることができる。

【 0 0 5 3 】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が 1 m s e c 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

【 0 0 5 4 】

また液晶の駆動方法としては、T N (T w i s t e d N e m a t i c) モード、S T N (S u p e r T w i s t e d N e m a t i c) モード、V A (V e r t i c a l A

10

20

30

40

50

l i g n m e n t) モード、M V A (M u l t i - d o m a i n V e r t i c a l A l i g n m e n t) モード、I P S (I n - P l a n e S w i t c h i n g) モード、O C B (O p t i c a l l y C o m p e n s a t e d B i r e f r i n g e n c e) モード、E C B (E l e c t r i c a l l y C o n t r o l l e d B i r e f r i n g e n c e) モード、F L C (F e r r o e l e c t r i c L i q u i d C r y s t a l) モード、A F L C (A n t i F e r r o e l e c t r i c L i q u i d C r y s t a l) モード、P D L C (P o l y m e r D i s p e r s e d L i q u i d C r y s t a l) モード、P N L C (P o l y m e r N e t w o r k L i q u i d C r y s t a l) モード、ゲストホストモードなどを適用することが可能である。

【 0 0 5 5 】

10

画素 1 5 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタンスなどのその他の回路素子を、さらに有していても良い。

【 0 0 5 6 】

具体的に、図 2 (B) では、トランジスタ 1 6 のゲート電極が走査線 G L に接続されている。トランジスタ 1 6 は、その第 1 端子が信号線 S L に接続され、その第 2 端子が液晶素子 1 8 の画素電極に接続されている。容量素子 1 7 は、一方の電極が液晶素子 1 8 の画素電極に接続されており、他方の電極が、特定の電位の与えられているノードに接続されている。なお、液晶素子 1 8 が有する対向電極にも特定の電位が与えられている。そして、対向電極に与えられる電位は、容量素子 1 7 が有する他方の電極に与えられる電位と共通であっても良い。

20

【 0 0 5 7 】

そして、本発明の一態様では、上記スイッチング素子として機能するトランジスタ 1 6 のチャネル形成領域に、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコン半導体よりも低い半導体を含んでいても良い。上記半導体の一例として、炭化珪素 (S i C)、窒化ガリウム (G a N) などの化合物半導体、酸化亜鉛 (Z n O) などの金属酸化物でなる酸化物半導体などを適用することができる。この中でも酸化物半導体は、スパッタリング法や湿式法 (印刷法など) により作製可能であり、量産性に優れるといった利点がある。また、炭化シリコンや窒化ガリウムなどの化合物半導体は単結晶であることが必須で、単結晶材料を得るためには、酸化物半導体のプロセス温度よりも著しく高い温度による結晶成長、或いは、特殊な基板上のエピタキシャル成長が必要である。一方、酸化物半導体は、室温でも成膜が可能なため、入手が容易なシリコンウェハや、安価で大型化に対応できるガラス基板上への成膜が可能であり、量産性が高い。また、通常のシリコンやガリウムなどの半導体材料を用いた集積回路上に、酸化物半導体による半導体素子を積層させることも可能である。よって、上述したワイドギャップ半導体の中でも、特に酸化物半導体は量産性が高いというメリットを有する。また、トランジスタの性能 (例えば電界効果移動度) を向上させるために結晶性の酸化物半導体を得ようとする場合でも、2 0 0 から 8 0 0 の熱処理によって容易に結晶性の酸化物半導体を得ることができる。

30

【 0 0 5 8 】

以下の説明では、バンドギャップが大きい半導体として、上記のような利点を有する酸化物半導体を用いる場合を例に挙げている。

40

【 0 0 5 9 】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が 0 以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、pチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が 0 以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

【 0 0 6 0 】

50

また、図 2 (B) では、画素 1 5 において、一のトランジスタ 1 6 をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを用いても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わされて接続されていても良い。

【 0 0 6 1 】

本明細書において、トランジスタが直列に接続されている状態とは、例えば、第 1 のトランジスタの第 1 端子と第 2 端子のいずれか一方のみが、第 2 のトランジスタの第 1 端子と第 2 端子のいずれか一方のみに接続されている状態を意味する。また、トランジスタが並列に接続されている状態とは、第 1 のトランジスタの第 1 端子が第 2 のトランジスタの第 1 端子に接続され、第 1 のトランジスタの第 2 端子が第 2 のトランジスタの第 2 端子に接続されている状態を意味する。

【 0 0 6 2 】

上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低く、なおかつ高耐圧であるトランジスタ 1 6 を実現することができる。そして、上記構成を有するトランジスタ 1 6 をスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、液晶素子 1 8 に蓄積された電荷のリークを防ぐことができる。

【 0 0 6 3 】

オフ電流の極めて小さいトランジスタ 1 6 を用いることで、液晶素子 1 8 に与えられる電圧が保持される期間を長く確保することができる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素部 1 0 に同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くする、言い換えると一定期間内における画素部 1 0 への画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。例えば、上述したような、高純度化された酸化物半導体膜を活性層として用いたトランジスタ 1 6 を用いることで、画像信号の書き込みの間隔を 1 0 秒以上、好ましくは 3 0 秒以上、さらに好ましくは 1 分以上にすることができる。そして、画像信号が書き込まれる間隔を長くすればするほど、より消費電力を低減することができる。

【 0 0 6 4 】

また、複数回の画像信号の書き込みによる画像を視認する際、複数回にわたって切り替わる画像を人間の目は視認することとなる。そのため、人間の目に疲労が生じることもあり得る。本実施の形態で説明したように、画像信号の書き込み回数を削減する構成とすることで、目の疲労を減らすといった効果もある。

【 0 0 6 5 】

また、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために、液晶素子 1 8 に容量素子 1 7 を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、容量素子 1 7 を設けないことによって、或いは容量素子 1 7 のサイズを小さくすることによって、開口率を高めることができるため、液晶表示装置の消費電力を低減させることができる。

【 0 0 6 6 】

また、画像信号の電位の極性を、対向電極の電位を基準として反転させる反転駆動を行うことで、焼き付きと呼ばれる液晶の劣化を防ぐことができる。しかし、反転駆動を行うと、画像信号の極性が変化する際に信号線に与えられる電位の変化が大きくなるため、スイッチング素子として機能するトランジスタ 1 6 のソース電極とドレイン電極の電位差が大きくなる。よって、トランジスタ 1 6 は、閾値電圧がシフトするなどの特性劣化が生じやすい。また、液晶素子 1 8 に保持されている電圧を維持するために、ソース電極とドレイン電極の電位差が大きくても、オフ電流が低いことが要求される。本発明の一態様では、トランジスタ 1 6 に、シリコンまたはゲルマニウムよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体などの半導体を用いているので、トランジスタ 1 6 の耐

10

20

30

40

50

圧性を高め、オフ電流を著しく低くすることができる。よって、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ 16 の劣化を防ぎ、液晶素子 18 に保持されている電圧を維持することができる。

【0067】

<パネルとバックライトの動作例>

次いで、パネルの動作の一例について、バックライトの動作とともに説明する。図3は、液晶表示装置とバックライトの動作を模式的に示した図である。図3に示すように、本発明の一態様に係る液晶表示装置の動作は、フルカラー画像を表示する期間（フルカラー画像表示期間301）と、モノカラー画像の動画を表示する期間（モノカラー動画表示期間302）と、モノカラー画像の静止画を表示する期間（モノカラー静止画表示期間303）とに大別される。

10

【0068】

フルカラー画像表示期間301では、複数のサブフレーム期間により1フレーム期間が構成されている。そして、サブフレーム期間ごとに画素部への画像信号の書き込みが行われている。そして、走査線駆動回路や信号線駆動回路などの駆動回路には、画像の表示を行っている間において、連続して駆動信号が供給されている。よって、フルカラー画像表示期間301では、駆動回路は動作している状態にある。また、フルカラー画像表示期間301では、バックライトにより画素部に供給される光の色相が、サブフレーム期間ごとに切り換わる。そして、各色相に対応した画像信号を画素部へ順に書き込んでいき、1フレーム期間内に全ての色相に対応した画像信号を書き込むことで1画像が形成される。そのため、フルカラー画像表示期間301では、1フレーム期間における画素部への画像信号の書き込み回数は複数回であり、その数はバックライトから供給される光の色相の数により決まる。

20

【0069】

モノカラー動画表示期間302では、1フレーム期間ごとに画素部への画像信号の書き込みが行われている。そして、走査線駆動回路や信号線駆動回路などの駆動回路には、画像の表示を行っている間において、連続して駆動信号が供給されている。よって、モノカラー動画表示期間302では、駆動回路は動作している状態にある。また、モノカラー動画表示期間302では、バックライトにより画素部に供給される光の色相が、フレーム期間ごとに切り換わることなく、一の色相の光が連続して画素部に供給される。そして、1フレーム期間内に、その一の色相に対応した画像信号を画素部へ順に書き込むことで、1画像が形成される。そのため、モノカラー動画表示期間302では、1フレーム期間における画素部への画像信号の書き込み回数は1回となる。

30

【0070】

モノカラー静止画表示期間303では、1フレーム期間ごとに画素部への画像信号の書き込みが行われている。しかし、フルカラー画像表示期間301やモノカラー動画表示期間302とは異なり、画素部への画像信号の書き込み時に駆動回路に駆動信号が供給され、書き込みが終了した後は駆動回路への駆動信号の供給が停止する。よって、モノカラー静止画表示期間303では、画像信号の書き込み時以外は非動作の状態にある。また、モノカラー静止画表示期間303では、バックライトにより画素部に供給される光の色相が、フレーム期間ごとに切り換わることなく、一の色相の光が連続して画素部に供給される。そして、1フレーム期間内に、その一の色相に対応した画像信号を画素部へ順に書き込むことで、1画像が形成される。そのため、モノカラー静止画表示期間303では、1フレーム期間における画素部への画像信号の書き込み回数は1回となる。

40

【0071】

なお、モノカラー動画表示期間302では、フリッカ等の画像のちらつきが視認されるのを防ぐために、1秒間に60フレーム期間以上設けることが望ましい。モノカラー静止画表示期間303では、1フレーム期間を極端に長く、例えば1分以上とすることができる。1フレーム期間を長くすることで、駆動回路が非動作の期間を長くすることができるので、液晶表示装置の消費電力を低減させることができる。

50

【 0 0 7 2 】

また、本発明の一態様に係る液晶表示装置は、カラーフィルタを用いる必要がない。よって、カラーフィルタを用いた液晶表示装置に比べて、フルカラー画像表示期間 3 0 1、モノカラー動画表示期間 3 0 2、モノカラー静止画表示期間 3 0 3 の全てにおいて、バックライトの消費電力を約 1 / 3 にすることができる。

【 0 0 7 3 】

なお、フルカラー画像表示期間 3 0 1 では、1 フレーム期間において、画素部の各領域に色相の異なる複数の光を順次供給する。図 4 に、各領域に供給される光の色相の一例を、模式的に示す。なお、図 4 では、図 2 (A) に示したように、画素部が 3 つの領域に分割されている場合を例示している。さらに、図 4 では、画素部に、バックライトから赤 (R) の光、青 (B) の光、緑 (G) の光が供給される場合を例示している。

10

【 0 0 7 4 】

まず、図 4 (A) に、最初のサブフレーム期間において、領域 1 0 1 に赤 (R) の光、領域 1 0 2 に緑 (G) の光、領域 1 0 3 に青 (B) の光が、それぞれ供給されている様子を示す。そして、図 4 (B) に、次のサブフレーム期間において、領域 1 0 1 に緑 (G) の光、領域 1 0 2 に青 (B) の光、領域 1 0 3 に赤 (R) の光が、それぞれ供給されている様子を示す。そして、図 4 (C) に、さらに次のサブフレーム期間において、領域 1 0 1 に青 (B) の光、領域 1 0 2 に赤 (R) の光、領域 1 0 3 に緑 (G) の光が、それぞれ供給されている様子を示す。

【 0 0 7 5 】

20

そして、上記全てのサブフレーム期間が終了することで、1 フレーム期間が終了する。1 フレーム期間において、各領域に供給される光の色相が一巡することで、フルカラーの画像を表示することができる。なお、各領域に着目すると、領域 1 0 1 では、供給される光の色相が、赤 (R)、緑 (G)、青 (B) の順に変化している。また、領域 1 0 2 では、供給される光の色相が、緑 (G)、青 (B)、赤 (R) の順に変化している。また、領域 1 0 3 では、供給される光の色相が、青 (B)、赤 (R)、緑 (G) の順に変化している。よって、各領域には、異なる色相を有する複数の光が、互いに異なる順番に従い順次供給されていることが分かる。

【 0 0 7 6 】

なお、図 4 では、各サブフレーム期間において、一の領域に対し一の色相の光だけが供給されている例を示しているが、本発明の一態様はこの構成に限定されない。例えば、各領域内において、画像信号の書き込みが終了した部分から順に供給される光の色相を切り換えていくようにしても良い。この場合、各色相の光が供給される照射領域と、画素部が分割されることで形成される領域とは必ずしも一致しない。

30

【 0 0 7 7 】

また、モノカラー動画表示期間 3 0 2 及びモノカラー静止画表示期間 3 0 3 では、画素部全体、或いは領域ごとに、異なる色相を有する複数の光の少なくとも一つを連続して供給する。図 5 に、各領域に供給される光の色相の一例を、模式的に示す。なお、図 5 では、図 2 (A) に示したように画素部を 3 つの領域に分割した場合を例に挙げている。

【 0 0 7 8 】

40

図 5 (A) に、バックライトから画素部に赤 (R) の光、青 (B) の光、緑 (G) の光が並行して供給されている様子を示す。赤 (R) の光、青 (B) の光、緑 (G) の光が混ざることによって、領域 1 0 1、領域 1 0 2、及び領域 1 0 3 には白 (W) の光が供給される。よって、画素部には、白の階調により表される画像が、表示される。

【 0 0 7 9 】

なお、図 5 (A) では、異なる色相を有する複数の光を混色させることで、一の色相を有する光を画素部に供給する例を示しているが、混色によらずに一の色相を有する光を画素部に供給しても良い。図 5 (B) に、バックライトから画素部に緑 (G) の光が供給されている様子を示す。この場合、画素部には、緑の階調により表される画像が、表示される。

50

【 0 0 8 0 】

< 走査線駆動回路 1 1 の構成例 >

図 6 は、図 2 (A) に示す走査線駆動回路 1 1 の構成例を示す図である。図 6 に示す走査線駆動回路 1 1 は、第 1 のパルス出力回路 2 0 __ 1 乃至第 m のパルス出力回路 2 0 __ m を有している。第 1 のパルス出力回路 2 0 __ 1 乃至第 m のパルス出力回路 2 0 __ m から出力される選択信号は、それぞれ m 本の走査線 G L (走査線 G L 1 乃至走査線 G L m) に供給される。

【 0 0 8 1 】

また、走査線駆動回路 1 1 には、第 1 の走査線駆動回路用クロック信号 (G C K 1) 乃至第 4 の走査線駆動回路用クロック信号 (G C K 4) と、第 1 のパルス幅制御信号 (P W C 1) 乃至第 6 のパルス幅制御信号 (P W C 6) と、走査線駆動回路用スタートパルス信号 (G S P) とが、駆動信号として供給されている。

10

【 0 0 8 2 】

なお、図 6 では、第 1 のパルス出力回路 2 0 __ 1 乃至第 k のパルス出力回路 2 0 __ k (k は、 $m / 2$ 未満の 4 の倍数) が、領域 1 0 1 に配設された走査線 G L 1 乃至走査線 G L k に接続されている場合を例示している。また、図 6 では、第 k + 1 のパルス出力回路 2 0 __ k + 1 乃至第 2 k のパルス出力回路 2 0 __ 2 k が、領域 1 0 2 に配設された走査線 G L k + 1 乃至走査線 G L 2 k に接続されている場合を例示している。また、図 6 では、第 2 k + 1 のパルス出力回路 2 0 __ 2 k + 1 乃至第 m のパルス出力回路 2 0 __ m が領域 1 0 3 に配設された走査線 G L 2 k + 1 乃至走査線 G L m に接続されている場合を例示している。

20

【 0 0 8 3 】

第 1 のパルス出力回路 2 0 __ 1 乃至第 m のパルス出力回路 2 0 __ m は、第 1 のパルス出力回路 2 0 __ 1 に入力される走査線駆動回路用スタートパルス信号 (G S P) に従って動作を開始し、パルスが順次シフトした選択信号を出力する。

【 0 0 8 4 】

第 1 のパルス出力回路 2 0 __ 1 乃至第 m のパルス出力回路 2 0 __ m には、同一の構成を有する回路を適用することができる。第 1 のパルス出力回路 2 0 __ 1 乃至第 m のパルス出力回路 2 0 __ m の具体的な接続関係について、図 7 を参照して説明する。

【 0 0 8 5 】

図 7 は、第 x のパルス出力回路 2 0 __ x (x は、m 以下の自然数) を、模式的に示した図である。第 1 のパルス出力回路 2 0 __ 1 乃至第 m のパルス出力回路 2 0 __ m のそれぞれは、端子 2 1 乃至端子 2 7 を有する。なお、端子 2 1 乃至端子 2 4 及び端子 2 6 は入力端子であり、端子 2 5 及び端子 2 7 は出力端子である。

30

【 0 0 8 6 】

まず、端子 2 1 について述べる。第 1 のパルス出力回路 2 0 __ 1 の端子 2 1 は、走査線駆動回路用スタートパルス信号 (G S P) を供給する配線に接続され、第 2 のパルス出力回路 2 0 __ 2 乃至第 m のパルス出力回路 2 0 __ m の端子 2 1 は、前段のパルス出力回路の端子 2 7 に接続される。

【 0 0 8 7 】

次いで、端子 2 2 について述べる。第 (4 a - 3) のパルス出力回路 2 0 __ (4 a - 3) (a は、 $m / 4$ 以下の自然数) の端子 2 2 は、第 1 の走査線駆動回路用クロック信号 (G C K 1) を供給する配線に接続され、第 (4 a - 2) のパルス出力回路 2 0 __ (4 a - 2) の端子 2 2 は、第 2 の走査線駆動回路用クロック信号 (G C K 2) を供給する配線に接続され、第 (4 a - 1) のパルス出力回路 2 0 __ (4 a - 1) の端子 2 2 は、第 3 の走査線駆動回路用クロック信号 (G C K 3) を供給する配線に接続され、第 4 a のパルス出力回路 2 0 __ 4 a の端子 2 2 は、第 4 の走査線駆動回路用クロック信号 (G C K 4) を供給する配線に接続される。

40

【 0 0 8 8 】

次いで、端子 2 3 について述べる。第 (4 a - 3) のパルス出力回路 2 0 __ (4 a - 3)

50

の端子 2 3 は、第 2 の走査線駆動回路用クロック信号 (G C K 2) を供給する配線に接続され、第 (4 a - 2) のパルス出力回路 2 0 __ (4 a - 2) の端子 2 3 は、第 3 の走査線駆動回路用クロック信号 (G C K 3) を供給する配線に接続され、第 (4 a - 1) のパルス出力回路 2 0 __ (4 a - 1) の端子 2 3 は、第 4 の走査線駆動回路用クロック信号 (G C K 4) を供給する配線に接続され、第 4 a のパルス出力回路 2 0 __ 4 a の端子 2 3 は、第 1 の走査線駆動回路用クロック信号 (G C K 1) を供給する配線に接続される。

【 0 0 8 9 】

次いで、端子 2 4 について述べる。第 (2 b - 1) のパルス出力回路 2 0 __ (2 b - 1) (b は、 $k / 2$ 以下の自然数) の端子 2 4 は、第 1 のパルス幅制御信号 (P W C 1) を供給する配線に接続され、第 2 b のパルス出力回路 2 0 __ 2 b の端子 2 4 は、第 4 のパルス幅制御信号 (P W C 4) を供給する配線に接続され、第 (2 c - 1) のパルス出力回路 2 0 __ (2 c - 1) (c は、 $(k / 2 + 1)$ 以上 k 以下の自然数) の端子 2 4 は、第 2 のパルス幅制御信号 (P W C 2) を供給する配線に接続され、第 2 c のパルス出力回路 2 0 __ 2 c の端子 2 4 は、第 5 のパルス幅制御信号 (P W C 5) を供給する配線に接続され、第 (2 d - 1) のパルス出力回路 2 0 __ (2 d - 1) (d は、 $(k + 1)$ 以上 $m / 2$ 以下の自然数) の端子 2 4 は、第 3 のパルス幅制御信号 (P W C 3) を供給する配線に接続され、第 2 d のパルス出力回路 2 0 __ 2 d の端子 2 4 は、第 6 のパルス幅制御信号 (P W C 6) を供給する配線に接続される。

【 0 0 9 0 】

次いで、端子 2 5 について述べる。第 x のパルス出力回路 2 0 __ x の端子 2 5 は、x 行目に配設された走査線 G L x に接続される。

【 0 0 9 1 】

次いで、端子 2 6 について述べる。第 y のパルス出力回路 2 0 __ y (y は、 $m - 1$ 以下の自然数) の端子 2 6 は、第 (y + 1) のパルス出力回路 2 0 __ (y + 1) の端子 2 7 に接続され、第 m のパルス出力回路 2 0 __ m の端子 2 6 は、第 m のパルス出力回路用ストップ信号 (S T P) を供給する配線に接続される。なお、第 m のパルス出力回路用ストップ信号 (S T P) は、第 (m + 1) のパルス出力回路 2 0 __ (m + 1) が設けられている場合に、当該第 (m + 1) のパルス出力回路 2 0 __ (m + 1) の端子 2 7 から出力される信号に相当する。具体的に、これらの信号は、実際にダミー回路として第 (m + 1) のパルス出力回路 2 0 __ (m + 1) を設けること、又は外部から当該信号を直接入力することなどによって、第 m のパルス出力回路 2 0 __ m に供給することができる。

【 0 0 9 2 】

各パルス出力回路の端子 2 7 の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

【 0 0 9 3 】

< パルス出力回路の構成例 1 >

次いで、図 8 (A) に、図 7 に示す第 x のパルス出力回路 2 0 __ x の、具体的な構成の一例を示す。図 8 (A) に示すパルス出力回路は、トランジスタ 3 1 乃至トランジスタ 3 9 を有する。

【 0 0 9 4 】

トランジスタ 3 1 は、そのゲート電極が端子 2 1 に接続されている。また、トランジスタ 3 1 は、その第 1 端子が高電源電位 (V d d) の与えられているノードに接続され、その第 2 端子がトランジスタ 3 3 のゲート電極及びトランジスタ 3 8 のゲート電極に接続されている。

【 0 0 9 5 】

トランジスタ 3 2 は、そのゲート電極がトランジスタ 3 4 のゲート電極及びトランジスタ 3 9 のゲート電極に接続されている。トランジスタ 3 2 は、その第 1 端子が低電源電位 (V s s) の与えられているノードに接続され、その第 2 端子がトランジスタ 3 3 のゲート電極及びトランジスタ 3 8 のゲート電極に接続されている。

【 0 0 9 6 】

トランジスタ 33 は、その第 1 端子が端子 22 に接続され、その第 2 端子が端子 27 に接続されている。

【0097】

トランジスタ 34 は、その第 1 端子が低電源電位 (Vss) の与えられているノードに接続され、その第 2 端子が端子 27 に接続されている。

【0098】

トランジスタ 35 は、そのゲート電極が端子 21 に接続されている。また、トランジスタ 35 は、その第 1 端子が低電源電位 (Vss) の与えられているノードに接続され、その第 2 端子がトランジスタ 34 のゲート電極及びトランジスタ 39 のゲート電極に接続されている。

10

【0099】

トランジスタ 36 は、そのゲート電極が端子 26 に接続されている。また、トランジスタ 36 は、その第 1 端子が高電源電位 (Vdd) の与えられているノードに接続され、その第 2 端子がトランジスタ 34 のゲート電極及びトランジスタ 39 のゲート電極に接続されている。なお、トランジスタ 36 の第 1 端子が、低電源電位 (Vss) よりも高電位であり且つ高電源電位 (Vdd) よりも低電位である電源電位 (Vcc) の与えられているノードに接続される構成とすることもできる。

【0100】

トランジスタ 37 は、そのゲート電極が端子 23 に接続されている。また、トランジスタ 37 は、その第 1 端子が高電源電位 (Vdd) の与えられているノードに接続され、その第 2 端子がトランジスタ 34 のゲート電極及びトランジスタ 39 のゲート電極に接続されている。なお、トランジスタ 37 の第 1 端子が、電源電位 (Vcc) の与えられているノードに接続される構成とすることもできる。

20

【0101】

トランジスタ 38 は、その第 1 端子が端子 24 に接続され、その第 2 端子が端子 25 に接続されている。

【0102】

トランジスタ 39 は、その第 1 端子が低電源電位 (Vss) の与えられているノードに接続され、その第 2 端子が端子 25 に接続されている。

【0103】

30

次いで、図 8 (B) に、図 8 (A) に示したパルス出力回路のタイミングチャートの一例を示す。なお、図 8 (B) に示す期間 t1 乃至期間 t7 は、同じ長さの期間を示している。そして、上記期間 t1 乃至期間 t7 は、第 1 の走査線駆動回路用クロック信号 (GCK1) 乃至第 4 の走査線駆動回路用クロック信号 (GCK4) のパルス幅の 1/3 にそれぞれ相当し、第 1 のパルス幅制御信号 (PWC1) 乃至第 6 のパルス幅制御信号 (PWC6) のパルス幅の 1/2 にそれぞれ相当する。

【0104】

図 8 (A) に示したパルス出力回路は、期間 t1 及び期間 t2 において、端子 21 に入力される電位がハイレベル、端子 22、端子 23、端子 24 及び端子 26 に入力される電位がローレベルとなるため、端子 25 からローレベルの電位、端子 27 からローレベルの電位が出力される。

40

【0105】

次いで、期間 t3 において、端子 21 及び端子 24 に入力される電位がハイレベル、端子 22、端子 23 及び端子 26 に入力される電位がローレベルとなるため、端子 25 からハイレベルの電位、端子 27 からローレベルの電位が出力される。

【0106】

次いで、期間 t4 において、端子 22 及び端子 24 に入力される電位がハイレベル、端子 21、端子 23 及び端子 26 に入力される電位がローレベルの期間において、端子 25 からハイレベルの電位、端子 27 からハイレベルの電位が出力される。

【0107】

50

次いで、期間 t_5 及び期間 t_6 において、端子 22 に入力される電位がハイレベル、端子 21、端子 23、端子 24 及び端子 26 に入力される電位がローレベルの期間において、端子 25 からローレベルの電位、端子 27 からハイレベルの電位が出力される。

【0108】

次いで、期間 t_7 において、端子 23 及び端子 26 に入力される電位がハイレベル、端子 21、端子 22、及び端子 24 に入力される電位がローレベルの期間において、端子 25 からローレベルの電位、端子 27 からローレベルの電位が出力される。

【0109】

次いで、図 8 (C) に、図 8 (A) に示したパルス出力回路のタイミングチャートの、別の一例を示す。なお、図 8 (C) に示す期間 t_1 乃至期間 t_7 は、同じ長さの期間を示している。そして、上記期間 t_1 乃至期間 t_7 は、第 1 の走査線駆動回路用クロック信号 (GCK1) 乃至第 4 の走査線駆動回路用クロック信号 (GCK4) のパルス幅の $1/3$ にそれぞれ相当し、第 1 のパルス幅制御信号 (PWC1) 乃至第 6 のパルス幅制御信号 (PWC6) のパルス幅の $1/3$ にそれぞれ相当する。

10

【0110】

図 8 (A) に示したパルス出力回路は、期間 t_1 乃至期間 t_3 において、端子 21 に入力される電位がハイレベル、端子 22、端子 23、端子 24 及び端子 26 に入力される電位がローレベルとなるため、端子 25 からローレベルの電位、端子 27 からローレベルの電位が出力される。

【0111】

20

次いで、期間 t_4 乃至期間 t_6 において、端子 22 及び端子 24 に入力される電位がハイレベル、端子 21、端子 23 及び端子 26 に入力される電位がローレベルの期間において、端子 25 からハイレベルの電位、端子 27 からハイレベルの電位が出力される。

【0112】

<フルカラー画像表示期間 301 における走査線駆動回路の動作例>

次いで、図 6、図 7、図 8 (A) を用いて説明した走査線駆動回路 11 を例に挙げて、図 3 において示したフルカラー画像表示期間 301 における、走査線駆動回路 11 の動作について説明する。

【0113】

図 9 に、フルカラー画像表示期間 301 における、走査線駆動回路 11 のタイミングチャートの一例を示す。図 9 では、サブフレーム期間 SF1、サブフレーム期間 SF2、サブフレーム期間 SF3 が、1 フレーム期間に設けられている場合を例示している。そして、サブフレーム期間 SF1 のタイミングチャートを、図 9 に代表例として示している。ただし、図 9 では、 $m = 3k$ の場合を例示している。

30

【0114】

図 9 では、走査線 GL1 乃至走査線 GLk は、領域 101 の画素に接続され、走査線 GLk + 1 乃至走査線 GL2k は、領域 102 の画素に接続され、走査線 GL2k + 1 乃至走査線 GL3k は、領域 103 の画素に接続されている場合のタイミングチャートを例示する。

【0115】

40

第 1 の走査線駆動回路用クロック信号 (GCK1) は、周期的にハイレベルの電位 (高電源電位 (Vdd)) とローレベルの電位 (低電源電位 (Vss)) を繰り返す、デューティ比が $1/4$ の信号である。また、第 2 の走査線駆動回路用クロック信号 (GCK2) は、第 1 の走査線駆動回路用クロック信号 (GCK1) から $1/4$ 周期分位相が遅れた信号であり、第 3 の走査線駆動回路用クロック信号 (GCK3) は、第 1 の走査線駆動回路用クロック信号 (GCK1) から $1/2$ 周期位相が遅れた信号であり、第 4 の走査線駆動回路用クロック信号 (GCK4) は、第 1 の走査線駆動回路用クロック信号 (GCK1) から $3/4$ 周期位相が遅れた信号である。

【0116】

第 1 のパルス幅制御信号 (PWC1) は、周期的にハイレベルの電位 (高電源電位 (Vd

50

<モノカラー静止画表示期間303における走査線駆動回路の動作例>

次いで、図6、図7、図8(A)を用いて説明した走査線駆動回路11を例に挙げて、図3において示したモノカラー静止画表示期間303における、走査線駆動回路11の動作について説明する。

【0124】

図10に、モノカラー静止画表示期間303における、走査線駆動回路11のタイミングチャートの一例を示す。図10では、画像信号の画素への書き込みを行う書き込み期間と、上記画像信号の保持を行う保持期間とが、1フレーム期間に設けられている場合を例示している。

【0125】

第1の走査線駆動回路用クロック信号(GCK1)乃至第4の走査線駆動回路用クロック信号(GCK4)には、図9の場合と同様の信号を用いることができる。

【0126】

第1のパルス幅制御信号(PWC1)、第4のパルス幅制御信号(PWC4)は、書き込み期間における最初の1/3の期間において、周期的にハイレベルの電位(高電源電位(Vdd))とローレベルの電位(低電源電位(Vss))を繰り返す、デューティ比が1/2の信号であり、なおかつ、それ以外の期間はローレベルの電位を有する信号である。そして、第4のパルス幅制御信号(PWC4)は、第1のパルス幅制御信号(PWC1)から1/2周期位相が遅れた信号である。

【0127】

また、第2のパルス幅制御信号(PWC2)、第5のパルス幅制御信号(PWC5)は、書き込み期間における真ん中の1/3の期間において、周期的にハイレベルの電位(高電源電位(Vdd))とローレベルの電位(低電源電位(Vss))を繰り返す、デューティ比が1/2の信号であり、なおかつ、それ以外の期間はローレベルの電位を有する信号である。そして、第5のパルス幅制御信号(PWC5)は、第2のパルス幅制御信号(PWC2)から1/2周期位相が遅れた信号である。

【0128】

また、第3のパルス幅制御信号(PWC3)、第6のパルス幅制御信号(PWC6)は、書き込み期間における最後の1/3の期間において、周期的にハイレベルの電位(高電源電位(Vdd))とローレベルの電位(低電源電位(Vss))を繰り返す、デューティ比が1/2の信号であり、なおかつ、それ以外の期間はローレベルの電位を有する信号である。そして、第6のパルス幅制御信号(PWC6)は、第3のパルス幅制御信号(PWC3)から1/2周期位相が遅れた信号である。

【0129】

そして、図10では、第1の走査線駆動回路用クロック信号(GCK1)乃至第4の走査線駆動回路用クロック信号(GCK4)のパルス幅と第1のパルス幅制御信号(PWC1)乃至第6のパルス幅制御信号(PWC6)のパルス幅の比は、1:1とする。

【0130】

フレーム期間Fは、走査線駆動回路用スタートパルス信号(GSP)のパルスが有する電位の立ち下がりに従って開始する。走査線駆動回路用スタートパルス信号(GSP)のパルス幅は、第1の走査線駆動回路用クロック信号(GCK1)乃至第4の走査線駆動回路用クロック信号(GCK4)と同程度である。そして、走査線駆動回路用スタートパルス信号(GSP)のパルスが有する電位の立ち上がり、第1の走査線駆動回路用クロック信号(GCK1)のパルスが有する電位の立ち上がり、同期している。また、走査線駆動回路用スタートパルス信号(GSP)のパルスが有する電位の立ち下がり、第1のパルス幅制御信号(PWC1)のパルスが有する電位の立ち上がり、同期している。

【0131】

そして、上記信号により、図8(A)に示したパルス出力回路は、図8(C)に示したタイミングチャートに従って動作する。よって、図10に示すように、領域101に対応する走査線GL1乃至走査線GLkには、パルスの順次シフトした選択信号が与えられる。

10

20

30

40

50

なおかつ、走査線 G L 1 乃至走査線 G L k に与えられる選択信号のパルスは、パルス幅に相当する期間、位相が遅れるようにシフトしている。なお、走査線 G L 1 乃至走査線 G L k に与えられる選択信号のパルス幅は、第 1 のパルス幅制御信号 (P W C 1) 乃至第 6 のパルス幅制御信号 (P W C 6) のパルス幅と同程度である。

【 0 1 3 2 】

また、領域 1 0 1 に対応する走査線 G L 1 乃至走査線 G L k の全てにパルスの順次シフトした選択信号が与えられると、次いで、領域 1 0 2 に対応する走査線 G L k + 1 乃至走査線 G L 2 k にも、パルスの順次シフトした選択信号が与えられる。なおかつ、走査線 G L k + 1 乃至走査線 G L 2 k に与えられる選択信号のパルスは、パルス幅に相当する期間、位相が遅れるようにシフトしている。なお、走査線 G L k + 1 乃至走査線 G L 2 k に与えられる選択信号のパルス幅は、第 1 のパルス幅制御信号 (P W C 1) 乃至第 6 のパルス幅制御信号 (P W C 6) のパルス幅と同程度である。

10

【 0 1 3 3 】

また、領域 1 0 2 に対応する走査線 G L k + 1 乃至走査線 G L 2 k の全てにパルスの順次シフトした選択信号が与えられると、次いで、領域 1 0 3 に対応する走査線 G L 2 k + 1 乃至走査線 G L 3 k にも、パルスの順次シフトした選択信号が与えられる。なおかつ、走査線 G L 2 k + 1 乃至走査線 G L 3 k に与えられる選択信号のパルスは、パルス幅に相当する期間、位相が遅れるようにシフトしている。なお、走査線 G L 2 k + 1 乃至走査線 G L 3 k に与えられる選択信号のパルス幅は、第 1 のパルス幅制御信号 (P W C 1) 乃至第 6 のパルス幅制御信号 (P W C 6) のパルス幅と同程度である。

20

【 0 1 3 4 】

次いで、保持期間では、走査線駆動回路 1 1 への駆動信号または電源電位の供給を停止する。具体的には、まず、走査線駆動回路用スタートパルス信号 (G S P) の供給を停止することで、走査線駆動回路 1 1 におけるパルス出力回路からの選択信号の出力を停止し、全ての走査線におけるパルスによる選択を終了させる。その後、走査線駆動回路 1 1 への電源電位 V d d の供給を停止する。なお、入力又は供給の停止とは、例えば信号又は電位が入力されていた配線を浮遊状態にすること、或いは、信号又は電位が入力されていた配線に、ローレベルの電位を与えることを意味する。上記方法により、動作を停止する際に、走査線駆動回路 1 1 が誤動作するのを防ぐことができる。さらに、上記構成に加えて、第 1 の走査線駆動回路用クロック信号 (G C K 1) 乃至第 4 の走査線駆動回路用クロック信号 (G C K 4) 、第 1 のパルス幅制御信号 (P W C 1) 乃至第 6 のパルス幅制御信号 (P W C 6) の走査線駆動回路 1 1 への供給を停止しても良い。

30

【 0 1 3 5 】

走査線駆動回路 1 1 への駆動信号または電源電位の供給を停止することで、走査線 G L 1 乃至走査線 G L k と、走査線 G L k + 1 乃至走査線 G L 2 k と、走査線 G L 2 k + 1 乃至走査線 G L 3 k とには、全てローレベルの電位が与えられる。

【 0 1 3 6 】

なお、モノカラー動画表示期間 3 0 2 については、書き込み期間における走査線駆動回路 1 1 の動作がモノカラー静止画表示期間 3 0 3 と同じである。

【 0 1 3 7 】

40

本発明の一態様では、オフ電流の極めて小さいトランジスタを画素に用いることで、液晶素子に与えられる電圧が保持される期間を長くすることができる。そのため、図 1 0 に示す保持期間を長く確保することができ、図 9 に示した動作を行う場合よりも、走査線駆動回路 1 1 の駆動周波数を低くすることができる。そのため、消費電力を低減することができる液晶表示装置を実現することができる。

【 0 1 3 8 】

< 信号線駆動回路 1 2 の構成例 >

図 1 1 は、図 2 (A) に示す液晶表示装置が有する信号線駆動回路 1 2 の構成例を示す図である。図 1 1 に示す信号線駆動回路 1 2 は、第 1 の出力端子乃至第 n の出力端子を有するシフトレジスタ 1 2 0 と、画像信号 (D A T A) の信号線 S L 1 乃至信号線 S L n への

50

供給を制御するスイッチング素子群 1 2 3 とを有する。

【0139】

具体的に、スイッチング素子群 1 2 3 は、トランジスタ 1 2 1 __ 1 乃至トランジスタ 1 2 1 __ n を有している。トランジスタ 1 2 1 __ 1 乃至トランジスタ 1 2 1 __ n は、その第 1 端子が、画像信号 (DATA) を供給する配線に接続されており、その第 2 端子が信号線 SL 1 乃至信号線 SL n のそれぞれに接続されている。トランジスタ 1 2 1 __ 1 乃至トランジスタ 1 2 1 __ n のゲート電極は、第 1 の出力端子乃至第 n の出力端子にそれぞれ接続されている。

【0140】

なお、シフトレジスタ 1 2 0 は、信号線駆動回路用スタートパルス信号 (SSP) と、信号線駆動回路用クロック信号 (CLK) などの駆動信号に従って動作を行い、パルスが順次シフトした信号を第 1 の出力端子乃至第 n の出力端子から出力する。上記信号がゲート電極に入力されることで、トランジスタ 1 2 1 __ 1 乃至トランジスタ 1 2 1 __ n は、順次オンとなる。

【0141】

図 1 2 (A) は、フルカラー画像表示期間 3 0 1 における、信号線に供給される画像信号 (DATA) のタイミングの一例を示す図である。図 1 1 に示す信号線駆動回路 1 2 では、図 1 2 (A) に示すように、2 つの走査線に入力される選択信号のパルスが重なっている期間において、パルスが先に出現した走査線に対応する画像信号 (DATA) がサンプリングされて、各信号線に入力される。具体的には、走査線 GL 1 に入力される選択信号のパルスと、走査線 GL k + 1 に入力される選択信号のパルスとが、パルス幅の 1 / 2 に相当する期間 t 4 において重なっている。なお、走査線 GL 1 と走査線 GL k + 1 とでは、パルスが先に出現しているのは走査線 GL 1 である。そして、上記パルスが重なっている期間において、画像信号 (DATA) のうち、走査線 GL 1 に対応する画像信号 (data 1) がサンプリングされ、信号線 SL 1 乃至信号線 SL n に入力される。

【0142】

同様に、期間 t 5 において、走査線 GL k + 1 に対応する画像信号 (data k + 1) がサンプリングされ、信号線 SL 1 乃至信号線 SL n に入力される。期間 t 6 において、走査線 GL 2 k + 1 に対応する画像信号 (data 2 k + 1) がサンプリングされ、信号線 SL 1 乃至信号線 SL n に入力される。期間 t 7 において、走査線 GL 2 に対応する画像信号 (data 2) がサンプリングされ、信号線 SL 1 乃至信号線 SL n に入力される。そして、期間 t 8 以降においても、同様の動作が繰り返されることで、画素部に画像信号 (DATA) が書き込まれる。

【0143】

すなわち、信号線 SL 1 乃至信号線 SL n への画像信号の入力は、走査線 GL s (s は、k 未満の自然数) に接続された画素、次いで、走査線 GL k + s に接続された画素、次いで、走査線 GL 2 k + s に接続された画素、次いで、走査線 GL s + 1 に接続された画素、という順序で行われる。

【0144】

図 1 2 (B) は、モノカラー動画表示期間 3 0 2 及びモノカラー静止画表示期間 3 0 3 が有する書き込み期間における、信号線に供給される画像信号 (DATA) のタイミングの一例を示す図である。図 1 1 に示す信号線駆動回路 1 2 では、図 1 2 (B) に示すように、各走査線に入力される選択信号のパルスが出現している期間において、当該走査線に対応する画像信号 (DATA) がサンプリングされて、各信号線に入力される。具体的には、走査線 GL 1 に入力される選択信号のパルスが出現している期間において、画像信号 (DATA) のうち、走査線 GL 1 に対応する画像信号 (data 1) がサンプリングされ、信号線 SL 1 乃至信号線 SL n に入力される。

【0145】

同様に、以下、走査線 GL 1 以降の全ての各走査線においても同様の動作が繰り返されることで、画素部に画像信号 (DATA) が書き込まれる。

【 0 1 4 6 】

なお、モノカラー静止画表示期間 3 0 3 が有する保持期間では、シフトレジスタ 1 2 0 への信号線駆動回路用スタートパルス信号 (S S P) の供給と、画像信号 (D A T A) の、信号線駆動回路 1 2 への供給を停止する。具体的には、まず、信号線駆動回路用スタートパルス信号 (S S P) の供給を停止することで、信号線駆動回路 1 2 における画像信号のサンプリングを停止させる。その後、信号線駆動回路 1 2 への画像信号の供給と、電源電位の供給とを停止する。上記方法により、動作を停止する際に、信号線駆動回路 1 2 が誤動作するのを防ぐことができる。さらに、上記構成に加えて、信号線駆動回路 1 2 への、信号線駆動回路用クロック信号 (S C K) の供給を停止しても良い。

【 0 1 4 7 】

< 液晶表示装置の動作例 >

図 1 3 は、フルカラー画像表示期間 3 0 1 における、上述した液晶表示装置における選択信号の走査のタイミングと、バックライトの点灯のタイミングとを示す図である。なお、図 1 3 において縦軸は画素部における行を表し、横軸は時間を表している。

【 0 1 4 8 】

図 1 3 に示すように、本実施の形態で示した液晶表示装置では、フルカラー画像表示期間 3 0 1 において、走査線 G L 1 に対して選択信号を供給した後に k 行分先の走査線 G L k + 1 に対して選択信号を供給するような駆動方法を用いることが可能である。そのため、同一のサブフレーム期間 S F において、走査線 G L 1 に接続された n 個の画素から走査線 G L k に接続された n 個の画素を順次選択し、且つ、走査線 G L k + 1 に接続された n 個の画素から走査線 G L 2 k に接続された n 個の画素を順次選択し、且つ、走査線 G L 2 k + 1 に接続された n 個の画素から走査線 G L 3 k に接続された n 個の画素を順次選択することで、各画素に画像信号を入力することが可能である。

【 0 1 4 9 】

具体的に、図 1 3 では、第 1 のサブフレーム期間 S F 1 において、走査線 G L 1 から走査線 G L k に接続された画素に赤 (R) に対応する画像信号を書き込んだ後、当該走査線に接続された画素に、赤 (R) の光を供給する。上記構成により、走査線 G L 1 から走査線 G L k に対応する画素部の領域 1 0 1 において、赤 (R) に対応する画像を表示することができる。

【 0 1 5 0 】

また、第 1 のサブフレーム期間 S F 1 において、走査線 G L k + 1 から走査線 G L 2 k に接続された画素に緑 (G) に対応する画像信号を書き込んだ後、当該走査線に接続された画素に、緑 (G) の光を供給する。上記構成により、走査線 G L k + 1 から走査線 G L 2 k に対応する画素部の領域 1 0 2 において、緑 (G) に対応する画像を表示することができる。

【 0 1 5 1 】

また、第 1 のサブフレーム期間 S F 1 において、走査線 G L 2 k + 1 から走査線 G L 3 k に接続された画素に青 (B) に対応する画像信号を書き込んだ後、当該走査線に接続された画素に、青 (B) の光を供給する。上記構成により、走査線 G L 2 k + 1 から走査線 G L 3 k に対応する画素部の領域 1 0 3 において、青 (B) に対応する画像を表示することができる。

【 0 1 5 2 】

次いで、第 2 のサブフレーム期間 S F 2 及び第 3 のサブフレーム期間 S F 3 においても、第 1 のサブフレーム期間 S F 1 と同様の動作を繰り返す。ただし、第 2 のサブフレーム期間 S F 2 では、走査線 G L 1 から走査線 G L k に対応する画素部の領域 1 0 1 において、青 (B) に対応する画像を表示し、走査線 G L k + 1 から走査線 G L 2 k に対応する画素部の領域 1 0 2 において、赤 (R) に対応する画像を表示し、走査線 G L 2 k + 1 から走査線 G L 3 k に対応する画素部の領域 1 0 3 において、緑 (G) に対応する画像を表示する。また、第 3 のサブフレーム期間 S F 3 では、走査線 G L 1 から走査線 G L k に対応する画素部の領域 1 0 1 において、緑 (G) に対応する画像を表示し、走査線 G L k + 1 か

ら走査線 $GL2k$ に対応する画素部の領域 102 において、青 (B) に対応する画像を表示し、走査線 $GL2k+1$ から走査線 $GL3k$ に対応する画素部の領域 103 において、赤 (R) に対応する画像を表示する。

【0153】

そして、全ての走査線 GL において第1のサブフレーム期間 $SF1$ 乃至第3のサブフレーム期間 $SF3$ が終了する、すなわち1フレーム期間が終了することで、フルカラーの画像を画素部に表示することができる。

【0154】

なお、本発明の一態様では、各領域をさらに分割し、その分割された領域において画像信号の書き込みが終了した時点で、バックライトの点灯を順次開始するようにしても良い。例えば、領域 101 のうち、走査線 $GL1$ から走査線 GLh (h は $k/4$ 以下の自然数とする) に接続された画素に赤 (R) に対応する画像信号を書き込んだ後、走査線 $GLh+1$ から走査線 $GL2h$ に接続された画素に赤 (R) に対応する画像信号を書き込むのと並行して、走査線 $GL1$ から走査線 GLh に接続された画素に赤 (R) の光を供給するようにしても良い。

【0155】

また、図14は、モノカラー静止画表示期間 303 における、上述した液晶表示装置における選択信号の走査のタイミングと、バックライトの点灯のタイミングとを示す図である。なお、図14において縦軸は画素部における行を表し、横軸は時間を表している。

【0156】

図14に示すように、本実施の形態で示した液晶表示装置では、モノカラー静止画表示期間 303 において、走査線 $GL1$ 乃至走査線 $GL3k$ に対して順次選択信号を供給する。

【0157】

具体的に、図14では、例えば、領域 101 のうち、走査線 $GL1$ から走査線 GLh に接続された画素に画像信号を書き込んだ後、走査線 $GLh+1$ から走査線 $GL2h$ に接続された画素に画像信号を書き込むのと並行して、走査線 $GL1$ から走査線 GLh に接続された画素に、赤 (R) と緑 (G) と青 (B) の混色により形成される白 (W) の光を供給する。そして、以降の全ての走査線に接続された画素においても、同様の動作を行うことで、モノカラーの画像を画素部に表示することができる。

【0158】

なお、モノカラー動画表示期間 302 の場合は、全ての走査線に接続された画素において上記動作が行われた後、再度同じ動作を繰り返し、モノカラーの画像を連続して画素部に表示すれば良い。

【0159】

なお、本発明の一態様に係る液晶表示装置では、バックライトとして赤 (R)、緑 (G)、青 (B) の3色に対応する光源を用いる構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光源を用いたバックライトを組み合わせる用いることが可能である。例えば、赤 (R)、緑 (G)、青 (B)、白 (W)、若しくは赤 (R)、緑 (G)、青 (B)、黄 (Y) の4色を組み合わせる用いること、又はシアン (C)、マゼンタ (M)、イエロー (Y) の3色を組み合わせる用いることなどが可能である。

【0160】

また、白 (W) の光を混色により形成するのではなく、白 (W) の光を発する光源をさらにバックライトに設けるようにしても良い。白 (W) の光を発する光源は、発光効率が高いため、当該光源を用いてバックライトを構成することで、消費電力を低減することが可能である。また、バックライトが補色の関係にある2色の光を発する光源を有する場合 (例えば、青 (B) と黄 (Y) の2色を有する場合)、当該2色を呈する光を混色することで白 (W) を呈する光を形成することも可能である。さらに、淡色の赤 (R)、緑 (G)、及び青 (B)、並びに濃色の赤 (R)、緑 (G)、及び青 (B) の6色を組み合わせる用いること、又は赤 (R)、緑 (G)、青 (B)、シアン (C)、マゼンタ (M)、イエ

10

20

30

40

50

ロー（Ｙ）の６色を組み合わせる用いることなども可能である。

【０１６１】

なお、例えば、赤（Ｒ）、緑（Ｇ）、及び青（Ｂ）の光源を用いて表現できる色は、色度図上のそれぞれの発光色に対応する３点が描く三角形の内側に示される色に限られる。従って、色度図上の該三角形の外側に発光色が存在する光源を別途加えることで、当該液晶表示装置において表現できる色域を拡大し、色再現性を豊かにすることができる。

【０１６２】

例えば、色度図の中心から、色度図上の青色の光源Ｂに対応する点に向かって概ね外側に位置する点で表される深い青色（Deep Blue：ＤＢ）や、色度図の中心から、赤色の光源Ｒに対応する色度図上の点に向かって概ね外側に位置する点で表されるより深い赤色（Deep Red：ＤＲ）を発する光源を、赤（Ｒ）、緑（Ｇ）、及び青（Ｂ）の光源を有するバックライトに加えて使用することができる。

10

【０１６３】

バックライトの光源としては、冷陰極蛍光ランプよりも消費電力を低減でき、光の強弱を調節できる発光ダイオード（ＬＥＤ）を複数用いることが好ましい。バックライトにＬＥＤを用いることによって部分的に光の強弱を調節し、コントラストが大きく、色の視認性の高い画像表示を行うことができる。

【０１６４】

また、画素部において１枚の画像を形成する期間の前後に、選択信号の走査及びバックライトユニットの点灯が行われない期間（消灯期間）を設ける構成とすることも可能である。

20

【０１６５】

また、バックライトにおける色の点灯順が互いに異なる複数のフレーム期間を設けることで、カラーブレイクの発生をより抑えることができる。

【０１６６】

<パルス出力回路の構成例２>

また、図１９（Ａ）に、パルス出力回路の別の構成例を示す。図１９（Ａ）に示すパルス出力回路は、図８（Ａ）に示したパルス出力回路にトランジスタ５０を付加した構成を有する。トランジスタ５０は、その第１端子が高電源電位の与えられているノードに接続され、その第２端子がトランジスタ３２のゲート電極、トランジスタ３４のゲート電極、及びトランジスタ３９のゲート電極に接続されている。またトランジスタ５０は、そのゲート電極がリセット端子（Reset）に接続されている。

30

【０１６７】

なお、当該リセット端子には、画素部においてバックライトの色相の切り替えが一巡した後の期間において、ハイレベルの電位が入力され、その他の期間においてはローレベルの電位が入力される。なお、トランジスタ５０は、ハイレベルの電位が入力されることでオン状態となるトランジスタである。これにより、バックライトの点灯が行われた後の期間において、各ノードの電位を初期化することができるので、誤動作を防止することが可能となる。

【０１６８】

なお、当該初期化を行う場合には、画素部に１枚の画像が形成される期間どうしの間に初期化期間を設ける必要がある。また、画素部に１画像を形成した後にバックライトを消灯する場合、消灯する期間において当該初期化を行うことが可能である。

40

【０１６９】

また、図１９（Ｂ）に、パルス出力回路の別の構成例を示す。図１９（Ｂ）に示すパルス出力回路は、図８（Ａ）に示したパルス出力回路にトランジスタ５１を付加した構成を有する。トランジスタ５１は、その第１端子がトランジスタ３１の第２端子及びトランジスタ３２の第２端子に接続され、その第２端子がトランジスタ３３のゲート電極及びトランジスタ３８のゲート電極に接続されている。また、トランジスタ５１は、そのゲート電極が高電源電位の与えられているノードに接続されている。

50

【 0 1 7 0 】

なお、トランジスタ 5 1 は、図 8 (B) 及び図 8 (C) に示した期間 t_1 乃至期間 t_6 において、オフとなる。そのため、トランジスタ 5 1 を付加した構成とすることで、期間 t_1 乃至期間 t_6 において、トランジスタ 3 3 のゲート電極及びトランジスタ 3 8 のゲート電極と、トランジスタ 3 1 の第 2 端子及びトランジスタ 3 2 の第 2 端子との接続を遮断することが可能となる。これにより、期間 t_1 乃至期間 t_6 に含まれる期間において、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。

【 0 1 7 1 】

また、図 2 0 (A) に、パルス出力回路の別の構成例を示す。図 2 0 (A) に示すパルス出力回路は、図 1 9 (B) に示したパルス出力回路にトランジスタ 5 2 を付加した構成を有する。トランジスタ 5 2 は、その第 1 端子がトランジスタ 3 3 のゲート電極及びトランジスタ 5 1 の第 2 端子に接続され、その第 2 端子がトランジスタ 3 8 のゲート電極に接続されている。また、トランジスタ 5 2 は、そのゲート電極が、高電源電位の与えられているノードに接続されている。

10

【 0 1 7 2 】

トランジスタ 5 2 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。特に、当該パルス出力回路がトランジスタ 3 3 のソース電極とゲート電極の容量結合のみによって、トランジスタ 3 3 のゲート電極に接続されているノードの電位を上昇させる場合、当該負荷を低減する効果が大きい。

【 0 1 7 3 】

また、図 2 0 (B) に、パルス出力回路の別の構成例を示す。図 2 0 (B) に示すパルス出力回路は、図 2 0 (A) に示したパルス出力回路からトランジスタ 5 1 を削除し、トランジスタ 5 3 を付加した構成を有する。トランジスタ 5 3 は、その第 1 端子がトランジスタ 3 1 の第 2 端子、トランジスタ 3 2 の第 2 端子、及びトランジスタ 5 2 の第 1 端子に接続され、その第 2 端子がトランジスタ 3 3 のゲート電極に接続されている。また、トランジスタ 5 3 は、そのゲート電極が高電源電位の与えられているノードに接続されている。

20

【 0 1 7 4 】

トランジスタ 5 3 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。また、当該パルス出力回路に生じる不正パルスが、トランジスタ 3 3 及びトランジスタ 3 8 のスイッチングに与える影響を軽減することが可能である。

30

【 0 1 7 5 】

本実施の形態で示したように、本発明の一態様に係る液晶表示装置は、画素部を複数の領域に分割し、領域ごとに異なる色相の光を順次供給することで、カラー画像の表示を行う。よって、特定の時刻に着目すると、隣接する領域に供給される光の色相を、互いに異ならせることができる。よって、各色の画像が合成されずに個別に視認されるのを防ぐことができ、動画の表示を行う際に起きやすかったカラーブレイクの発生を防ぐことができる。

【 0 1 7 6 】

なお、異なる色相を有する複数の光源を用いてカラー画像の表示を行う場合、単色の光源とカラーフィルタを組み合わせる場合とは異なり、上記複数の光源を順次切り換えて発光させる必要がある。そして、上記光源の切り換えが行われる周波数は、単色の光源を用いた場合のフレーム周波数よりも高い値に設定する必要がある。例えば、単色の光源を用いた場合のフレーム周波数を 60 Hz とすると、赤、緑、青の各色に対応する光源を用いて FS 駆動を行う場合、光源の切り替えを行う周波数は、約 3 倍の 180 Hz となる。よって、駆動回路も上記光源の周波数に合わせて動作させるので、非常に高い周波数で動作を行うことになる。従って、駆動回路における消費電力が、単色の光源とカラーフィルタを組み合わせる場合に比べて高くなりやすい。

40

【 0 1 7 7 】

しかし、本発明の一態様では、オフ電流の極めて小さいトランジスタを用いることで、液

50

晶素子に与えられる電圧が保持される期間を長くすることができる。そのため、静止画を表示する際の駆動周波数を、動画を表示する際の駆動周波数よりも低くすることができる。そのため、消費電力を低減することができる液晶表示装置を実現することができる。

【0178】

(実施の形態2)

本実施の形態では、実施の形態1とパネルの構成が異なる、本発明の一態様に係る液晶表示装置の一例について説明する。

<パネルの構成例>

本発明の一態様に係るパネルの具体的な構成について、一例を挙げて説明する。

【0179】

図15(A)は、液晶表示装置の構成例を示す図である。図15(A)に示す液晶表示装置は、画素部60と、走査線駆動回路61と、信号線駆動回路62とを有する。本発明の一態様では、画素部60が複数の領域に分割されている。具体的に、図15(A)では、画素部60が、3つの領域(領域601~領域603)に分割されている場合を例示している。そして、各領域は、マトリクス状に配設された複数の画素615を有する。

【0180】

また、画素部60には、走査線駆動回路61によって電位が制御されるm本の走査線GLと、信号線駆動回路62によって電位が制御される $3 \times n$ 本の信号線SLとが設けられている。そして、m本の走査線GLは、画素部60が有する領域の数に合わせて、複数のグループに分割されている。例えば、図15(A)の場合、画素部60が3つの領域に分割されているので、m本の走査線GLも3つのグループに分割されている。そして、各グループに属する走査線GLは、当該グループに対応する領域が有する複数の画素615に、接続されている。具体的に、各走査線GLは、各領域においてマトリクス状に配設された複数の画素615のうち、いずれかの行に配設されたn個の画素615に接続される。

【0181】

また、信号線SLも、画素部60が有する領域の数に合わせて、複数のグループに分割されている。例えば、図15(A)の場合、画素部60が3つの領域に分割されているので、 $3 \times n$ 本の信号線SLも3つのグループに分割されている。そして、各グループに属する信号線SLは、当該グループに対応する領域が有する複数の画素615に、接続されている。

【0182】

具体的に、図15(A)では、 $3 \times n$ 本の信号線SLが、n本の信号線SLaと、n本の信号線SLbと、n本の信号線SLcとで構成されている場合を例示している。そして、図15(A)では、n本の信号線SLaが、領域601においてマトリクス状に配設された複数の画素615のうち、いずれかの列に配設された画素615に接続されている場合を例示している。また、図15(A)では、n本の信号線SLbが、領域602においてマトリクス状に配設された複数の画素615のうち、いずれかの列に配設された画素615に接続されている場合を例示している。また、図15(A)では、n本の信号線SLcが、領域603においてマトリクス状に配設された複数の画素615のうち、いずれかの列に配設された画素615に接続されている場合を例示している。

【0183】

図15(B)、図15(C)、図15(D)は、それぞれ、領域601における画素615、領域602における画素615、領域603における画素615の回路図に相当する。画素615の構成は全ての領域において同じである。具体的には、スイッチング素子として機能するトランジスタ616と、トランジスタ616を介して与えられた画像信号の電位に従って、その透過率が制御される液晶素子618と、液晶素子618が有する画素電極と対向電極間の電圧を保持する容量素子617とを有する。

【0184】

ただし、図15(B)に示すように、領域601では、画素615に隣接するように信号線SLa、信号線SLb、信号線SLcが設けられている。そして、領域601において

10

20

30

40

50

画素 6 1 5 は、トランジスタ 6 1 6 のゲート電極が走査線 G L に接続されている。トランジスタ 6 1 6 は、その第 1 端子が信号線 S L a に接続され、その第 2 端子が液晶素子 6 1 8 の画素電極に接続されている。容量素子 6 1 7 は、一方の電極が液晶素子 6 1 8 の画素電極に接続されており、他方の電極が、特定の電位の与えられているノードに接続されている。

【 0 1 8 5 】

また、図 1 5 (C) に示すように、領域 6 0 2 では、画素 6 1 5 に隣接するように信号線 S L b、信号線 S L c が設けられている。そして、領域 6 0 2 において画素 6 1 5 は、トランジスタ 6 1 6 のゲート電極が走査線 G L に接続されている。トランジスタ 6 1 6 は、その第 1 端子が信号線 S L b に接続され、その第 2 端子が液晶素子 6 1 8 の画素電極に接続されている。容量素子 6 1 7 は、一方の電極が液晶素子 6 1 8 の画素電極に接続されており、他方の電極が、特定の電位の与えられているノードに接続されている。

10

【 0 1 8 6 】

また、図 1 5 (D) に示すように、領域 6 0 3 では、画素 6 1 5 に隣接するように信号線 S L c が設けられている。そして、領域 6 0 3 において画素 6 1 5 は、トランジスタ 6 1 6 のゲート電極が走査線 G L に接続されている。トランジスタ 6 1 6 は、その第 1 端子が信号線 S L c に接続され、その第 2 端子が液晶素子 6 1 8 の画素電極に接続されている。容量素子 6 1 7 は、一方の電極が液晶素子 6 1 8 の画素電極に接続されており、他方の電極が、特定の電位の与えられているノードに接続されている。

20

【 0 1 8 7 】

なお、全ての画素 6 1 5 において、液晶素子 6 1 8 が有する対向電極にも特定の電位が与えられている。そして、対向電極に与えられる電位は、容量素子 6 1 7 が有する他方の電極に与えられる電位と共通であっても良い。

【 0 1 8 8 】

画素 6 1 5 は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタンスなどのその他の回路素子を、さらに有していても良い。

【 0 1 8 9 】

そして、本発明の一態様では、上記スイッチング素子として機能するトランジスタ 6 1 6 のチャネル形成領域に、シリコン半導体よりもバンドギャップが広く、真性キャリア密度がシリコンよりも低い半導体を含んでいても良い。上述したような特性を有する半導体材料をチャネル形成領域に含むことで、オフ電流が極めて低く、なおかつ高耐圧であるトランジスタ 6 1 6 を実現することができる。そして、上記構成を有するトランジスタ 6 1 6 をスイッチング素子として用いることで、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、液晶素子 6 1 8 に蓄積された電荷のリークを防ぐことができる。

30

【 0 1 9 0 】

オフ電流の極めて小さいトランジスタ 6 1 6 を用いることで、液晶素子 6 1 8 に与えられる電圧が保持される期間を長く確保することができる。そのため、静止画のように、連続する幾つかのフレーム期間に渡って、画素部 6 0 に同じ画像情報を有する画像信号が書き込まれる場合などは、駆動周波数を低くする、言い換えると一定期間内における画素部 6 0 への画像信号の書き込み回数を少なくしても、画像の表示を維持することができる。例えば、上述したような、高純度化された酸化物半導体膜を活性層として用いたトランジスタ 6 1 6 を用いることで、画像信号の書き込みの間隔を 1 0 秒以上、好ましくは 3 0 秒以上、さらに好ましくは 1 分以上にすることができる。そして、画像信号が書き込まれる間隔を長くすればするほど、より消費電力を低減することができる。

40

【 0 1 9 1 】

また、画像信号の電位をより長い期間に渡って保持することができるため、画像信号の電位を保持するために、液晶素子 6 1 8 に容量素子 6 1 7 を接続しなくても、表示される画質が低下するのを防ぐことができる。よって、容量素子 6 1 7 を設けずとも、或いは容量素子 6 1 7 のサイズを小さく抑えても、開口率を高めることができるため、液晶表示装置

50

の消費電力を低減させることができる。

【0192】

また、画像信号の電位の極性を、対向電極の電位を基準として反転させる反転駆動を行うことで、焼き付きと呼ばれる液晶の劣化を防ぐことができる。しかし、反転駆動を行うと、画像信号の極性が変化する際に信号線に与えられる電位の変化が大きくなるため、スイッチング素子として機能するトランジスタ616のソース電極とドレイン電極の電位差が大きくなる。よって、トランジスタ616は、閾値電圧がシフトするなどの特性劣化が生じやすい。また、液晶素子618に保持されている電圧を維持するために、ソース電極とドレイン電極の電位差が大きくても、オフ電流が低いことが要求される。本発明の一態様では、トランジスタ616に、シリコンまたはゲルマニウムよりもバンドギャップが大きく、真性キャリア密度が低い酸化物半導体などの半導体を用いているので、トランジスタ616の耐圧性を高め、オフ電流を著しく低くすることができる。よって、通常のシリコンやゲルマニウムなどの半導体材料で形成されたトランジスタを用いた場合に比べて、トランジスタ616の劣化を防ぎ、液晶素子618に保持されている電圧を維持することができる。

10

【0193】

なお、図15(B)乃至画素15(D)では、画素615において、一のトランジスタ616をスイッチング素子として用いている場合について示しているが、本発明はこの構成に限定されない。一のスイッチング素子として機能する複数のトランジスタを用いても良い。複数のトランジスタが一のスイッチング素子として機能する場合、上記複数のトランジスタは並列に接続されていても良いし、直列に接続されていても良いし、直列と並列が組み合わせられて接続されていても良い。

20

【0194】

<走査線駆動回路61の構成例>

図16は、図15に示す液晶表示装置が有する、走査線駆動回路61の構成例を示す図である。図16に示す走査線駆動回路61は、k個の出力端子を有するシフトレジスタ611~613を有する。なお、シフトレジスタ611が有する出力端子のそれぞれは、領域601に配設されたk本の走査線GLのいずれかに接続され、シフトレジスタ612が有する出力端子のそれぞれは、領域602に配設されたk本の走査線GLのいずれかに接続され、シフトレジスタ613が有する出力端子のそれぞれは、領域603に配設されたk本の走査線GLのいずれかに接続される。すなわち、シフトレジスタ611は、領域601において選択信号を走査するシフトレジスタであり、シフトレジスタ612は、領域602において選択信号を走査するシフトレジスタであり、シフトレジスタ613は、領域603において選択信号を走査するシフトレジスタである。

30

【0195】

具体的に、シフトレジスタ611は、走査線駆動回路用スタートパルス信号(GSP)のパルスが入力されると、上記パルスに従って、走査線GL1乃至走査線GLkに、順次パルスが1/2周期毎にシフトする選択信号を供給する。シフトレジスタ612は、走査線駆動回路用スタートパルス信号(GSP)のパルスが入力されると、上記パルスに従って、走査線GLk+1乃至走査線GL2kに、順次パルスが1/2周期毎にシフトする選択信号を供給する。シフトレジスタ613は、走査線駆動回路用スタートパルス信号(GSP)のパルスが入力されると、上記パルスに従って、走査線GL2k+1乃至走査線GL3kに、順次パルスが1/2周期毎にシフトする選択信号を供給する。

40

【0196】

上述した走査線駆動回路61の、フルカラー画像表示期間301と、モノカラー静止画表示期間303の動作例について、図17を参照して説明する。

【0197】

なお、図17では、走査線駆動回路用クロック信号(GCK)、走査線GL1乃至走査線GLkに入力される選択信号、走査線GLk+1乃至走査線GL2kに入力される選択信号、走査線GL2k+1乃至走査線GL3kに入力される選択信号の、タイミングチャー

50

トを示している。

【0198】

まず、フルカラー画像表示期間301における走査線駆動回路61の動作について説明する。フルカラー画像表示期間301では、走査線駆動回路用スタートパルス信号(GSP)のパルスに従って、第1のサブフレーム期間SF1が開始する。第1のサブフレーム期間SF1では、走査線GL1乃至走査線GLkに、順次パルスが1/2周期毎にシフトする選択信号が供給される。また、走査線GLk+1乃至走査線GL2kにも、順次パルスが1/2周期毎にシフトする選択信号が供給される。また、走査線GL2k+1乃至走査線GL3kにも、順次パルスが1/2周期毎にシフトする選択信号が供給される。

【0199】

そして、再び走査線駆動回路用スタートパルス信号(GSP)のパルスが走査線駆動回路61に入力されると、上記パルスに従って、第2のサブフレーム期間SF2が開始する。第2のサブフレーム期間SF2では、第1のサブフレーム期間SF1と同様に、走査線GL1乃至走査線GLk、走査線GLk+1乃至走査線GL2k、走査線GL2k+1乃至走査線GL3kに、順次パルスのシフトした選択信号が入力される。

【0200】

そして、再び走査線駆動回路用スタートパルス信号(GSP)のパルスが走査線駆動回路61に入力されると、上記パルスに従って、第3のサブフレーム期間SF3が開始する。第3のサブフレーム期間SF3では、第1のサブフレーム期間SF1と同様に、走査線GL1乃至走査線GLk、走査線GLk+1乃至走査線GL2k、走査線GL2k+1乃至走査線GL3kに、順次パルスのシフトした選択信号が入力される。

【0201】

第1のサブフレーム期間SF1乃至第3のサブフレーム期間SF3が終了することで1フレーム期間が終了し、画素部に画像が表示される。

【0202】

次いで、モノカラー静止画表示期間303における走査線駆動回路61の動作について説明する。モノカラー静止画表示期間303では、画像信号の書き込み期間において、フルカラー画像表示期間301における各サブフレーム期間と同様の動作が走査線駆動回路61で行われる。

【0203】

次いで、保持期間では、走査線駆動回路61への駆動信号及び電源電位の供給を停止する。具体的には、まず、走査線駆動回路用スタートパルス信号(GSP)の供給を停止することで、走査線駆動回路61からの選択信号の出力を停止し、全ての走査線GLにおけるパルスによる選択を終了させる。その後、走査線駆動回路61への電源電位の供給を停止する。上記方法により、走査線駆動回路61の動作を停止する際に、走査線駆動回路61が誤動作するのを防ぐことができる。さらに、上記構成に加えて、第1の走査線駆動回路用クロック信号(GCK1)乃至第4の走査線駆動回路用クロック信号GCK4の走査線駆動回路61への供給を停止しても良い。

【0204】

走査線駆動回路61への駆動信号または電源電位の供給を停止することで、走査線GL1乃至走査線GLkと、走査線GLk+1乃至走査線GL2kと、走査線GL2k+1乃至走査線GL3kとは、全てローレベルの電位が与えられる。

【0205】

なお、モノカラー動画表示期間302については、書き込み期間における走査線駆動回路61の動作がモノカラー静止画表示期間303と同じである。

【0206】

本発明の一態様では、オフ電流の極めて小さいトランジスタを画素に用いることで、液晶素子に与えられる電圧が保持される期間を長くすることができる。そのため、モノカラー静止画表示期間303では、図17に示す保持期間を長く確保することができ、フルカラー画像表示期間301よりも、走査線駆動回路61の駆動周波数を低くすることができる

10

20

30

40

50

。そのため、消費電力を低減することができる液晶表示装置を実現することができる。

【0207】

< 信号線駆動回路62の構成例 >

図18は、図15(A)に示す信号線駆動回路62の構成例を示す図である。図18に示す信号線駆動回路62は、第1の出力端子乃至第nの出力端子を有するシフトレジスタ620と、領域601に対応する画像信号(DATA1)、領域602に対応する画像信号(DATA2)、領域603に対応する画像信号(DATA3)の、信号線SLa乃至信号線SLcへの供給を制御するスイッチング素子群623とを有する。

【0208】

具体的に、スイッチング素子群623は、トランジスタ65a1乃至トランジスタ65anと、トランジスタ65b1乃至トランジスタ65bnと、トランジスタ65c1乃至トランジスタ65cnとを有している。

10

【0209】

トランジスタ65a1乃至トランジスタ65anは、その第1端子が、画像信号(DATA1)を供給する配線に接続されており、その第2端子が信号線SLa1乃至信号線SLanのそれぞれに接続されている。トランジスタ65a1乃至トランジスタ65anのゲート電極は、シフトレジスタ620の第1の出力端子乃至第nの出力端子にそれぞれ接続されている。

【0210】

トランジスタ65b1乃至トランジスタ65bnは、その第1端子が、画像信号(DATA2)を供給する配線に接続されており、その第2端子が信号線SLb1乃至信号線SLbnのそれぞれに接続されている。トランジスタ65b1乃至トランジスタ65bnのゲート電極は、シフトレジスタ620の第1の出力端子乃至第nの出力端子にそれぞれ接続されている。

20

【0211】

トランジスタ65c1乃至トランジスタ65cnは、その第1端子が、画像信号(DATA3)を供給する配線に接続されており、その第2端子が信号線SLc1乃至信号線SLcnのそれぞれに接続されている。トランジスタ65c1乃至トランジスタ65cnのゲート電極は、シフトレジスタ620の第1の出力端子乃至第nの出力端子にそれぞれ接続されている。

30

【0212】

なお、シフトレジスタ620は、信号線駆動回路用スタートパルス信号(SSP)と、信号線駆動回路用クロック信号(SCK)などの駆動信号に従って動作を行い、パルスが順次シフトした信号を第1の出力端子乃至第nの出力端子から出力する。上記信号がゲート電極に入力されることで、トランジスタ65a1乃至トランジスタ65anと、トランジスタ65b1乃至トランジスタ65bnと、トランジスタ65c1乃至トランジスタ65cnは、順次オンとなる。そして、信号線SLa1乃至信号線SLanに画像信号(DATA1)が入力され、信号線SLb1乃至信号線SLbnに画像信号(DATA2)が入力され、信号線SLc1乃至信号線SLcnに画像信号(DATA3)が入力され、画像が表示される。

40

【0213】

なお、モノカラー静止画表示期間303が有する保持期間では、シフトレジスタ620への信号線駆動回路用スタートパルス信号(SSP)の供給と、画像信号(DATA1)乃至画像信号(DATA3)の、信号線駆動回路62への供給を停止する。具体的には、まず、信号線駆動回路用スタートパルス信号(SSP)の供給を停止することで、信号線駆動回路62における画像信号のサンプリングを停止させる。その後、信号線駆動回路62への画像信号の供給と、電源電位の供給とを停止する。上記方法により、動作を停止する際に、信号線駆動回路62が誤動作するのを防ぐことができる。さらに、上記構成に加えて、信号線駆動回路62への、信号線駆動回路用クロック信号(SCK)の供給を停止しても良い。

50

【 0 2 1 4 】

本実施の形態は、上記実施の形態と適宜組み合わせて実施することが可能である。

【 0 2 1 5 】

(実施の形態 3)

本実施の形態では、酸化物半導体を用いたトランジスタの作製方法について説明する。

【 0 2 1 6 】

まず、図 2 1 (A) に示すように、基板 7 0 0 の絶縁表面上に、絶縁膜 7 0 1 を形成し、絶縁膜 7 0 1 上にゲート電極 7 0 2 を形成する。

【 0 2 1 7 】

基板 7 0 0 として使用することができる基板は透光性を有していれば良く、その他には特に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、基板 7 0 0 には、フュージョン法やフロート法で作製されるガラス基板、石英基板、セラミック基板等を用いることができる。ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 7 3 0 以上のものを用いると良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

10

【 0 2 1 8 】

絶縁膜 7 0 1 は、後の作製工程における加熱処理の温度に耐えうる材料を用いる。具体的に、絶縁膜 7 0 1 として、酸化珪素、窒化珪素、窒化酸化珪素、酸化窒化珪素、窒化アルミニウム、酸化アルミニウムなどを用いるのが望ましい。

20

【 0 2 1 9 】

なお、本明細書において酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多い物質であり、また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い物質を意味する。

【 0 2 2 0 】

ゲート電極 7 0 2 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等の金属材料、これら金属材料を主成分とする合金材料を用いた導電膜、或いはこれら金属の窒化物を、単層で又は積層で用いることができる。なお、後の工程において行われる加熱処理の温度に耐えうるのであれば、上記金属材料としてアルミニウム、銅を用いることもできる。アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム等を用いることができる。

30

【 0 2 2 1 】

例えば、二層の積層構造を有するゲート電極 7 0 2 として、アルミニウム膜上にモリブデン膜が積層された二層の積層構造、銅膜上にモリブデン膜を積層した二層構造、銅膜上に窒化チタン膜若しくは窒化タンタル膜を積層した二層構造、または、窒化チタン膜とモリブデン膜とを積層した二層構造とすることが好ましい。3層の積層構造を有するゲート電極 7 0 2 としては、アルミニウム膜、アルミニウムとシリコンの合金膜、アルミニウムとチタンの合金膜またはアルミニウムとネオジムの合金膜を中間層とし、タングステン膜、窒化タングステン膜、窒化チタン膜またはチタン膜を上下層として積層した構造とすることが好ましい。

40

【 0 2 2 2 】

また、ゲート電極 7 0 2 に酸化インジウム、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、または酸化亜鉛ガリウム等の透光性を有する酸化物導電膜を用いることもできる。

【 0 2 2 3 】

ゲート電極 7 0 2 の膜厚は、1 0 n m ~ 4 0 0 n m、好ましくは 1 0 0 n m ~ 2 0 0 n m とする。本実施の形態では、タングステントargetを用いたスパッタ法により 1 5 0 n

50

mのゲート電極用の導電膜を形成した後、該導電膜をエッチングにより所望の形状に加工（パターンング）することで、ゲート電極702を形成する。なお、形成されたゲート電極の端部がテーパ形状であると、上に積層するゲート絶縁膜の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0224】

次いで、図21(B)に示すように、ゲート電極702上にゲート絶縁膜703を形成した後、ゲート絶縁膜703上においてゲート電極702と重なる位置に、島状の酸化物半導体膜704を形成する。

10

【0225】

ゲート絶縁膜703は、プラズマCVD法又はスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化珪素膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、窒化酸化アルミニウム膜、酸化ハフニウム膜または酸化タンタル膜を単層で又は積層させて形成することができる。ゲート絶縁膜703は、水分や、水素、酸素などの不純物を極力含まないことが望ましい。スパッタリング法により酸化珪素膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いる。

【0226】

不純物を除去し、酸素欠損が低減されることで高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、高純度化された酸化物半導体とゲート絶縁膜703との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁膜(GI)は、高品質化が要求される。

20

【0227】

例えば、μ波（周波数2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁膜とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0228】

もちろん、ゲート絶縁膜703として良質な絶縁膜を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によって膜質や、酸化物半導体との界面特性が改善される絶縁膜であっても良い。いずれにしても、ゲート絶縁膜としての膜質が良好であることは勿論のこと、ゲート絶縁膜と酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

30

【0229】

バリア性の高い材料を用いた絶縁膜と、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜とを積層させた構造を有するゲート絶縁膜703を形成しても良い。この場合、酸化珪素膜、酸化窒化珪素膜などの絶縁膜は、バリア性の高い絶縁膜と酸化物半導体膜の間に形成する。バリア性の高い絶縁膜として、例えば窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などが挙げられる。バリア性の高い絶縁膜を用いることで、水分または水素などの雰囲気中の不純物、或いは基板内に含まれるアルカリ金属、重金属などの不純物が、酸化物半導体膜内、ゲート絶縁膜703内、或いは、酸化物半導体膜と他の絶縁膜の界面とその近傍に入り込むのを防ぐことができる。また、酸化物半導体膜に接するように窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い絶縁膜が直接酸化物半導体膜に接するのを防ぐことができる。

40

【0230】

例えば、第1のゲート絶縁膜としてスパッタリング法により膜厚50nm以上200nm以下の窒化珪素膜(SiN_y ($y > 0$))を形成し、第1のゲート絶縁膜上に第2のゲート絶縁膜を形成する。

50

ト絶縁膜として膜厚 5 nm 以上 300 nm 以下の酸化珪素膜 (SiO_x ($x > 0$)) を積層して、膜厚 100 nm のゲート絶縁膜 703 としても良い。ゲート絶縁膜 703 の膜厚は、トランジスタに要求される特性によって適宜設定すればよく 350 nm 乃至 400 nm 程度でもよい。

【0231】

本実施の形態では、スパッタ法で形成された膜厚 50 nm の窒化珪素膜上に、スパッタ法で形成された膜厚 100 nm の酸化珪素膜を積層させた構造を有する、ゲート絶縁膜 703 を形成する。

【0232】

なお、ゲート絶縁膜 703 は後に形成される酸化物半導体と接する。酸化物半導体は、水素が含有されると特性に悪影響を及ぼすので、ゲート絶縁膜 703 は水素、水酸基および水分が含まれないことが望ましい。ゲート絶縁膜 703 に水素、水酸基及び水分がなるべく含まれないようにするためには、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極 702 が形成された基板 700 を予備加熱し、基板 700 に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100 以上 400 以下、好ましくは 150 以上 300 以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。

【0233】

島状の酸化物半導体膜は、ゲート絶縁膜 703 上に形成した酸化物半導体膜を所望の形状に加工することで、形成することができる。上記酸化物半導体膜の膜厚は、2 nm 以上 200 nm 以下、好ましくは 3 nm 以上 50 nm 以下、さらに好ましくは 3 nm 以上 20 nm 以下とする。酸化物半導体膜は、酸化物半導体をターゲットとして用い、スパッタ法により成膜する。また、酸化物半導体膜は、希ガス（例えばアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（例えばアルゴン）及び酸素混合雰囲気下においてスパッタ法により形成することができる。

【0234】

なお、酸化物半導体膜をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁膜 703 の表面に付着している塵埃を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウムなどを用いてもよい。また、アルゴン雰囲気に酸素、亜酸化窒素などを加えた雰囲気で行ってもよい。また、アルゴン雰囲気に塩素、四フッ化炭素などを加えた雰囲気で行ってもよい。

【0235】

酸化物半導体膜には、上述したように、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物である In-Zn 系酸化物、Sn-Zn 系酸化物、Al-Zn 系酸化物、Zn-Mg 系酸化物、Sn-Mg 系酸化物、In-Mg 系酸化物、In-Ga 系酸化物、三元系金属の酸化物である In-Ga-Zn 系酸化物 (IGZO とも表記する)、In-Al-Zn 系酸化物、In-Sn-Zn 系酸化物、Sn-Ga-Zn 系酸化物、Al-Ga-Zn 系酸化物、Sn-Al-Zn 系酸化物、In-Hf-Zn 系酸化物、In-La-Zn 系酸化物、In-Ce-Zn 系酸化物、In-Pr-Zn 系酸化物、In-Nd-Zn 系酸化物、In-Sm-Zn 系酸化物、In-Eu-Zn 系酸化物、In-Gd-Zn 系酸化物、In-Tb-Zn 系酸化物、In-Dy-Zn 系酸化物、In-Ho-Zn 系酸化物、In-Er-Zn 系酸化物、In-Tm-Zn 系酸化物、In-Yb-Zn 系酸化物、In-Lu-Zn 系酸化物、四元系金属の酸化物である In-Sn-Ga-Zn 系酸化物、In-Hf-Ga-Zn 系酸化物、In-Al-Ga-Zn 系酸化物、In-Sn-Al-Zn 系酸化物、In-Sn-Hf-Zn 系酸化物、In-Hf-Al-Zn 系酸化物を用いることができる。

【0236】

10

20

30

40

50

酸化物半導体は、好ましくはInを含有する酸化物半導体、さらに好ましくは、In、及びGaを含有する酸化物半導体である。酸化物半導体膜をi型（真性）とするため、後に説明する脱水化または脱水素化と、酸化物半導体膜への酸素の供与による酸素欠損の低減は、有効である。

【0237】

本実施の形態では、In（インジウム）、Ga（ガリウム）、及びZn（亜鉛）を含むターゲットを用いたスパッタ法により得られる膜厚30nmのIn-Ga-Zn-O系酸化物半導体の薄膜を、酸化物半導体膜として用いる。上記ターゲットとして、例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$ [mol数比]の組成比を有するターゲットを用いる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ [mol数比]の組成比を有するターゲット、または $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$ [mol数比]を有するターゲットを用いることができる。また、In、Ga、及びZnを含むターゲットの充填率は90%以上100%以下、好ましくは95%以上100%未満である。充填率の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

10

【0238】

なお、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In} : \text{Zn} = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 25 : 1 \sim 1 : 4$ ）、好ましくは $\text{In} : \text{Zn} = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 10 : 1 \sim 2 : 1$ ）、さらに好ましくは $\text{In} : \text{Zn} = 1.5 : 1 \sim 15 : 1$ （モル数比に換算すると $\text{In}_2\text{O}_3 : \text{ZnO} = 3 : 4 \sim 15 : 2$ ）とする。例えば、In-Zn-O系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In} : \text{Zn} : \text{O} = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。Znの比率を上記範囲に収めることで、移動度の向上を実現することができる。

20

【0239】

本実施の形態では、減圧状態に保持された処理室内に基板を保持し、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板700上に酸化物半導体膜を成膜する。成膜時に、基板温度を100℃以上600℃以下、好ましくは200℃以上400℃以下としても良い。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて成膜室を排気すると、例えば、水素原子、水（ H_2O ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

30

【0240】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流（DC）電源0.5kW、酸素（酸素流量比率100%）雰囲気下の条件が適用される。なお、パルス直流（DC）電源を用いると、成膜時に発生する塵埃が軽減でき、膜厚分布も均一となるために好ましい。

40

【0241】

なお、酸化物半導体膜に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート絶縁膜703までが形成された基板700を予備加熱し、基板700に吸着した水分または水素などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度は、100℃以上400℃以下、好ましくは150℃以上300℃以下である。また、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。また、この予備加熱は、後に行われる絶縁膜707の成膜前に、導電膜705、導電膜706まで形成した基板700にも同様に行ってもよい。

50

【0242】

なお、島状の酸化物半導体膜704を形成するためのエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ Cl_2 ）、三塩化硼素（ BCl_3 ）、四塩化珪素（ SiCl_4 ）、四塩化炭素（ CCl_4 ）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ CF_4 ）、六弗化硫黄（ SF_6 ）、三弗化窒素（ NF_3 ）、トリフルオロメタン（ CHF_3 ）など）、臭化水素（ HBr ）、酸素（ O_2 ）、これらのガスにヘリウム（ He ）やアルゴン（ Ar ）などの希ガスを添加したガス、などを用いることができる。

【0243】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0244】

ウェットエッチングに用いるエッチング液として、ITO-07N（関東化学社製）を用いてもよい。

【0245】

島状の酸化物半導体膜704を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0246】

なお、次工程の導電膜を形成する前に逆スパッタを行い、島状の酸化物半導体膜704及びゲート絶縁膜703の表面に付着しているレジスト残渣などを除去することが好ましい。

【0247】

なお、スパッタ等で成膜された酸化物半導体膜中には、不純物としての水分または水素（水酸基を含む）が多量に含まれていることがある。水分または水素はドナー準位を形成しやすいため、酸化物半導体にとっては不純物である。そこで、本発明の一態様では、酸化物半導体膜中の水分または水素などの不純物を低減（脱水化または脱水素化）するために、島状の酸化物半導体膜704に対して、減圧雰囲気下、窒素や希ガスなどの不活性ガス雰囲気下、酸素ガス雰囲気下、または超乾燥エア（CRDS（キャビティリングダウンレーザー分光法）方式の露点計を用いて測定した場合の水分量が20ppm（露点換算で-55）以下、好ましくは1ppm以下、好ましくは10ppb以下の空気）雰囲気下で、島状の酸化物半導体膜704に加熱処理を施す。

【0248】

島状の酸化物半導体膜704に加熱処理を施すことで、島状の酸化物半導体膜704中の水分または水素を脱離させることができる。具体的には、250以上750以下、好ましくは400以上基板の歪み点未満の温度で加熱処理を行えば良い。例えば、500、3分間以上6分間以下程度で行えばよい。加熱処理にRTA法を用いれば、短時間に脱水化または脱水素化が行えるため、ガラス基板の歪点を超える温度でも処理することができる。

【0249】

本実施の形態では、加熱処理装置の一つである電気炉を用いる。

【0250】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal An

10

20

30

40

50

neal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

【0251】

なお、加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水分または水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0252】

以上の工程により、島状の酸化物半導体膜704中の水素の濃度を低減し、高純度化することができる。それにより酸化物半導体膜の安定化を図ることができる。また、ガラス転移温度以下の加熱処理で、水素に起因するキャリア密度が少なく、バンドギャップの広い酸化物半導体膜を形成することができる。このため、大面積基板を用いてトランジスタを作製することができ、量産性を高めることができる。上記加熱処理は、酸化物半導体膜の成膜以降であれば、いつでも行うことができる。

【0253】

20

なお、酸化物半導体膜を加熱する場合、酸化物半導体膜の材料や加熱条件にもよるが、その表面に板状結晶が形成されることがある。板状結晶は、酸化物半導体膜の表面に対して略垂直にc軸配向した単結晶体であることが好ましい。また、単結晶体でなくとも、各結晶が、酸化物半導体膜の表面に対して略垂直にc軸配向した多結晶体であることが好ましい。そして、上記多結晶体は、c軸配向している事に加えて、各結晶のab面が一致するか、a軸、或いは、b軸が一致していることが好ましい。なお、酸化物半導体膜の下地表面に凹凸がある場合、板状結晶は多結晶体となる。したがって、下地表面は可能な限り平坦であることが望まれる。

【0254】

次いで、図21(C)に示すように、ソース電極、ドレイン電極として機能する導電膜705、導電膜706と、上記導電膜705、導電膜706、及び島状の酸化物半導体膜704上に、絶縁膜707を形成する。

30

【0255】

導電膜705、導電膜706は、島状の酸化物半導体膜704を覆うように、スパッタ法や真空蒸着法で導電膜を形成したあと、エッチング等により該導電膜をパターンニングすることで、形成することができる。

【0256】

導電膜705及び導電膜706は、島状の酸化物半導体膜704に接している。導電膜705、導電膜706となる導電膜の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、アルミニウム、銅などの金属膜の下側もしくは上側にクロム、タンタル、チタン、モリブデン、タングステンなどの高融点金属膜を積層させた構成としても良い。また、アルミニウムまたは銅は、耐熱性や腐食性の問題を回避するために、高融点金属材料と組み合わせて用いると良い。高融点金属材料としては、モリブデン、チタン、クロム、タンタル、タングステン、ネオジム、スカンジウム、イットリウム等を用いることができる。

40

【0257】

また、導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、チタン膜と、そのチタン膜上に重ねてアルミニウム膜を積層し、さらにその上にチタン膜を成

50

膜する３層構造などが挙げられる。

【０２５８】

また、導電膜７０５、導電膜７０６となる導電膜としては、導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム、酸化スズ、酸化亜鉛、酸化インジウム酸化スズ混合物、酸化インジウム酸化亜鉛混合物または前記金属酸化物材料にシリコン若しくは酸化シリコンを含ませたものを用いることができる。

【０２５９】

導電膜形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

【０２６０】

なお、導電膜のエッチングの際に、島状の酸化物半導体膜７０４がなるべく除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。エッチング条件によっては、島状の酸化物半導体膜７０４の露出した部分が一部エッチングされることで、溝部（凹部）が形成されることもある。

【０２６１】

本実施の形態では、導電膜にチタン膜を用いる。そのため、アンモニアと過酸化水素水を含む溶液（アンモニア過水）を用いて、選択的に導電膜をウェットエッチングすることができる。具体的には、３１重量％の過酸化水素水と、２８重量％のアンモニア水と、水とを、体積比５：２：２で混合したアンモニア過水を用いる。或いは、塩素（ Cl_2 ）、塩化硼素（ BCl_3 ）などを含むガスを用いて、導電膜をドライエッチングしても良い。

【０２６２】

なお、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光に多段階の強度をもたせる多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

【０２６３】

なお、絶縁膜７０７を形成する前に、 N_2O 、 N_2 、または Ar などのガスを用いたプラズマ処理を島状の酸化物半導体膜７０４に対して行う。このプラズマ処理によって露出している島状の酸化物半導体膜７０４の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【０２６４】

絶縁膜７０７は、水分や、水素などの不純物を極力含まないことが望ましく、単層の絶縁膜であっても良いし、積層された複数の絶縁膜で構成されていても良い。絶縁膜７０７に水素が含まれると、その水素が酸化物半導体膜へ侵入し、又は水素が酸化物半導体膜中の酸素を引き抜き、島状の酸化物半導体膜７０４のバックチャネル部が低抵抗化（ n 型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁膜７０７はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。上記絶縁膜７０７には、バリア性の高い材料を用いるのが望ましい。例えば、バリア性の高い絶縁膜として、窒化珪素膜、窒化酸化珪素膜、窒化アルミニウム膜、または窒化酸化アルミニウム膜などを用いることができる。複数の積層された絶縁膜を用いる場合、窒素の含有比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を、上記バリア性の高い絶縁膜よりも、島状の酸化物半導体膜７０４に近い側に形成する。そして、窒素の含有比率が低い絶縁膜を間に挟んで、導電膜７０５、導電膜７０６及び島状の酸化物半導体膜７０４と重なるように、バリア性の高い絶縁膜を形成する。バリア性の高い絶縁膜を用いることで、島状の酸化物半導体膜７０４内、ゲート絶縁膜７０３内、或いは、島状の酸化物半導体膜７０４と他の絶縁膜の界面とその近傍に、水分または水素などの不純物が入り込むのを防ぐ

10

20

30

40

50

ことができる。また、島状の酸化物半導体膜 704 に接するように窒素の比率が低い酸化珪素膜、酸化窒化珪素膜などの絶縁膜を形成することで、バリア性の高い材料を用いた絶縁膜が直接島状の酸化物半導体膜 704 に接するのを防ぐことができる。

【0265】

本実施の形態では、スパッタ法で形成された膜厚 200 nm の酸化珪素膜上に、スパッタ法で形成された膜厚 100 nm の窒化珪素膜を積層させた構造を有する、絶縁膜 707 を形成する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。

【0266】

なお、絶縁膜 707 を形成した後に、加熱処理を施しても良い。加熱処理は、窒素、超乾燥空気、または希ガス（アルゴン、ヘリウムなど）の雰囲気下において、好ましくは 200 以上 400 以下、例えば 250 以上 350 以下）で行う。上記ガスは、水の含有量が 20 ppm 以下、好ましくは 1 ppm 以下、好ましくは 10 ppb 以下であることが望ましい。本実施の形態では、例えば、窒素雰囲気下で 250 、1 時間の加熱処理を行う。或いは、導電膜 705、導電膜 706 を形成する前に、水分または水素を低減させるための酸化物半導体膜に対して行った先の加熱処理と同様に、高温短時間の RTA 処理を行っても良い。酸素を含む絶縁膜 707 が設けられた後に加熱処理が施されることによって、先の加熱処理により、島状の酸化物半導体膜 704 に酸素欠損が発生していたとしても、絶縁膜 707 から島状の酸化物半導体膜 704 に酸素が供与される。そして、島状の酸化物半導体膜 704 に酸素が供与されることで、島状の酸化物半導体膜 704 において、ドナーとなる酸素欠損を低減し、化学量論的組成比を満たすことが可能である。島状の酸化物半導体膜 704 には、化学量論的組成比を超える量の酸素が含まれていることが好ましい。その結果、島状の酸化物半導体膜 704 を i 型に近づけることができ、酸素欠損によるトランジスタの電気特性のばらつきを軽減し、電気特性の向上を実現することができる。この加熱処理を行うタイミングは、絶縁膜 707 の形成後であれば特に限定されず、他の工程、例えば樹脂膜形成時の加熱処理や、透光性を有する導電膜を低抵抗化させるための加熱処理と兼ねることで、工程数を増やすことなく、島状の酸化物半導体膜 704 を i 型に近づけることができる。

【0267】

また、酸素雰囲気下で島状の酸化物半導体膜 704 に加熱処理を施すことで、酸化物半導体に酸素を添加し、島状の酸化物半導体膜 704 中においてドナーとなる酸素欠損を低減させても良い。加熱処理の温度は、例えば 100 以上 350 未満、好ましくは 150 以上 250 未満で行う。上記酸素雰囲気下の加熱処理に用いられる酸素ガスには、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスの純度を、6 N (99.9999%) 以上、好ましくは 7 N (99.99999%) 以上、(即ち酸素中の不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることが好ましい。

【0268】

或いは、イオン注入法またはイオンドーピング法などを用いて、島状の酸化物半導体膜 704 に酸素を添加することで、ドナーとなる酸素欠損を低減させても良い。例えば、2.45 GHz のマイクロ波でプラズマ化した酸素を島状の酸化物半導体膜 704 に添加すれば良い。

【0269】

なお、絶縁膜 707 上に導電膜を形成した後、該導電膜をパターンニングすることで、島状の酸化物半導体膜 704 と重なる位置にバックゲート電極を形成しても良い。バックゲート電極を形成した場合は、バックゲート電極を覆うように絶縁膜を形成するのが望ましい。バックゲート電極は、ゲート電極 702、或いは導電膜 705、導電膜 706 と同様の材料、構造を用いて形成することが可能である。

【0270】

バックゲート電極の膜厚は、10 nm ~ 400 nm、好ましくは 100 nm ~ 200 nm

とする。例えば、チタン膜、アルミニウム膜、チタン膜が積層された構造を有する導電膜を形成した後、フォトリソグラフィ法などによりレジストマスクを形成し、エッチングにより不要な部分を除去して、該導電膜を所望の形状に加工（パターニング）することで、バックゲート電極を形成すると良い。

【0271】

以上の工程により、トランジスタ708が形成される。

【0272】

トランジスタ708は、ゲート電極702と、ゲート電極702上のゲート絶縁膜703と、ゲート絶縁膜703上においてゲート電極702と重なっている島状の酸化物半導体膜704と、島状の酸化物半導体膜704上に形成された一对の導電膜705または導電膜706とを有する。さらに、トランジスタ708は、絶縁膜707を、その構成要素に含めても良い。図21(C)に示すトランジスタ708は、導電膜705と導電膜706の間において、島状の酸化物半導体膜704の一部がエッチングされたチャネルエッチ構造である。

10

【0273】

なお、トランジスタ708はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、電氣的に接続された複数のゲート電極702を有することで、チャネル形成領域を複数有する、マルチゲート構造のトランジスタも形成することができる。

【0274】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

20

【0275】

(実施の形態4)

本実施の形態では、トランジスタの構成例について説明する。なお、上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、本実施の形態での繰り返しの説明は省略する。なお、同じ箇所の詳細な説明も省略する。

【0276】

図22(A)に示すトランジスタ2450は、基板2400上にゲート電極2401が形成され、ゲート電極2401上にゲート絶縁膜2402が形成され、ゲート絶縁膜2402上に酸化物半導体膜2403が形成され、酸化物半導体膜2403上に、ソース電極2405a、及びドレイン電極2405bが形成されている。また、酸化物半導体膜2403、ソース電極2405a、及びドレイン電極2405b上に絶縁膜2407が形成されている。また、絶縁膜2407上に保護絶縁膜2409を形成してもよい。トランジスタ2450は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

30

【0277】

図22(B)に示すトランジスタ2460は、基板2400上にゲート電極2401が形成され、ゲート絶縁膜2402上に酸化物半導体膜2403が形成され、酸化物半導体膜2403上にチャネル保護層2406が形成され、チャネル保護層2406及び酸化物半導体膜2403上に、ソース電極2405a、及びドレイン電極2405bが形成されている。また、ソース電極2405a、及びドレイン電極2405b上に保護絶縁膜2409を形成してもよい。トランジスタ2460は、チャネル保護型（チャネルストップ型ともいう）と呼ばれるボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。チャネル保護層2406は、他の絶縁膜と同様の材料及び方法を用いて形成することができる。

40

【0278】

図22(C)に示すトランジスタ2470は、基板2400上に下地膜2436が形成され、下地膜2436上に酸化物半導体膜2403が形成され、酸化物半導体膜2403、及び下地膜2436上に、ソース電極2405a、及びドレイン電極2405bが形成され、酸化物半導体膜2403、ソース電極2405a、及びドレイン電極2405b上に

50

ゲート絶縁膜 2402 が形成され、ゲート絶縁膜 2402 上にゲート電極 2401 が形成されている。また、ゲート電極 2401 上に保護絶縁膜 2409 を形成してもよい。トランジスタ 2470 は、トップゲート構造のトランジスタの一つである。

【0279】

図 22 (D) に示すトランジスタ 2480 は、基板 2400 上に、第 1 のゲート電極 2411 が形成され、第 1 のゲート電極 2411 上に第 1 のゲート絶縁膜 2413 が形成され、第 1 のゲート絶縁膜 2413 上に酸化物半導体膜 2403 が形成され、酸化物半導体膜 2403、及び第 1 のゲート絶縁膜 2413 上に、ソース電極 2405a、及びドレイン電極 2405b が形成されている。また、酸化物半導体膜 2403、ソース電極 2405a、及びドレイン電極 2405b 上に第 2 のゲート絶縁膜 2414 が形成され、第 2 のゲート絶縁膜 2414 上に第 2 のゲート電極 2412 が形成されている。また、第 2 のゲート電極 2412 上に保護絶縁膜 2409 を形成してもよい。

10

【0280】

トランジスタ 2480 は、トランジスタ 2450 とトランジスタ 2470 を併せた構造を有している。第 1 のゲート電極 2411 と第 2 のゲート電極 2412 を電氣的に接続して一つのゲート電極として機能させることができる。また、第 1 のゲート電極 2411 と第 2 のゲート電極 2412 のうち、どちらか一方を単にゲート電極と呼び、他方をバックゲート電極と呼ぶことがある。

【0281】

バックゲート電極の電位を変化させることで、トランジスタのしきい値電圧を変化させることができる。バックゲート電極は、酸化物半導体膜 2403 のチャネル形成領域と重なるように形成する。バックゲート電極は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。後者の場合、バックゲート電極には、ゲート電極と同じ高さの電位が与えられていても良いし、グラウンドなどの固定電位が与えられていても良い。バックゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

20

【0282】

また、バックゲート電極により酸化物半導体膜 2403 を覆うことで、バックゲート電極側から酸化物半導体膜 2403 に光が入射するのを防ぐことができる。よって、酸化物半導体膜 2403 の光劣化を防ぎ、トランジスタの閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

30

【0283】

酸化物半導体膜 2403 に接する絶縁膜（本実施の形態においては、ゲート絶縁膜 2402、絶縁膜 2407、チャネル保護層 2406、下地膜 2436、第 1 のゲート絶縁膜 2413、第 2 のゲート絶縁膜 2414 が相当する。）は、第 13 族元素および酸素を含む絶縁材料を用いることが好ましい。酸化物半導体材料には第 13 族元素を含むものが多く、第 13 族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体に接する絶縁膜に用いることで、酸化物半導体との界面の状態を良好に保つことができる。

【0284】

第 13 族元素を含む絶縁材料とは、絶縁材料に一または複数の第 13 族元素を含むことを意味する。第 13 族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子%）よりアルミニウムの含有量（原子%）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子%）がアルミニウムの含有量（原子%）以上のものを示す。

40

【0285】

例えば、ガリウムを含有する酸化物半導体膜に接して絶縁膜を形成する場合に、絶縁膜に酸化ガリウムを含む材料を用いることで酸化物半導体膜と絶縁膜の界面特性を良好に保つことができる。例えば、酸化物半導体膜と酸化ガリウムを含む絶縁膜とを接して設けることにより、酸化物半導体膜と絶縁膜の界面における水素のパイルアップを低減することが

50

できる。なお、絶縁膜に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁膜を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体膜への水の侵入防止という点においても好ましい。

【0286】

また、酸化物半導体膜2403に接する絶縁膜は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、

10

【0287】

例えば、酸化物半導体膜2403に接する絶縁膜として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) とすることができる。

【0288】

また、酸化物半導体膜2403に接する絶縁膜として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) とすることができる。

20

【0289】

また、酸化物半導体膜2403に接する絶縁膜として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_X Al_{2-X} O_{3+\alpha}$ ($0 < X < 2$, $0 < \alpha < 1$) とすることができる。

【0290】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁膜を形成することができる。このような領域を備える絶縁膜と酸化物半導体膜が接することにより、絶縁膜中の過剰な酸素が酸化物半導体膜に供給され、酸化物半導体膜中、または酸化物半導体膜と絶縁膜の界面における酸素欠損を低減し、酸化物半導体膜をI型化またはI型に限りなく近い酸化物半導体とすることができる。

30

【0291】

なお、化学量論的組成比より酸素が多い領域を有する絶縁膜は、酸化物半導体膜2403に接する絶縁膜のうち、上層に位置する絶縁膜または下層に位置する絶縁膜のうち、どちらか一方のみに用いても良いが、両方の絶縁膜に用いる方が好ましい。化学量論的組成比より酸素が多い領域を有する絶縁膜を、酸化物半導体膜2403に接する絶縁膜の、上層及び下層に位置する絶縁膜に用い、酸化物半導体膜2403を挟む構成とすることで、上記効果をより高めることができる。

【0292】

また、酸化物半導体膜2403の上層または下層に用いる絶縁膜は、上層と下層で同じ構成元素を有する絶縁膜としても良いし、異なる構成元素を有する絶縁膜としても良い。例えば、上層と下層とも、組成が Ga_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) の酸化ガリウムとしても良いし、上層と下層の一方を組成が Ga_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) の酸化ガリウムとし、他方を組成が Al_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) の酸化アルミニウムとしても良い。

40

【0293】

また、酸化物半導体膜2403に接する絶縁膜は、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。例えば、酸化物半導体膜2403の上層に組成が Ga_2O_X ($X = 3 + \alpha$, $0 < \alpha < 1$) の酸化ガリウムを形成し、その上に組成が $Ga_X Al_{2-X} O_{3+\alpha}$ ($0 < X < 2$, $0 < \alpha < 1$) の酸化ガリウムアルミニウム（酸化アルミ

50

ニウムガリウム)を形成してもよい。なお、酸化物半導体膜2403の下層を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良いし、酸化物半導体膜2403の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁膜の積層としても良い。

【0294】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0295】

(実施の形態5)

本実施の形態では、本発明の一態様に係る液晶表示装置において用いられる、基板の一形態について、図23と図24を用いて説明する。

10

【0296】

まず、基板6200上に、剥離層6201を介して、被剥離層6116を形成する(図23(A)参照)。

【0297】

基板6200としては、石英基板、サファイア基板、セラミック基板や、ガラス基板、金属基板などを用いることができる。なお、これら基板は、可撓性を明確に表さない程度に厚みのあるものを使用することで、精度良くトランジスタなどの素子を形成することができる。可撓性を明確に表さない程度とは、通常液晶表示装置を作製する際に使用されているガラス基板の弾性率程度、もしくはより弾性率が大きいことを意味する。

【0298】

剥離層6201は、スパッタリング法やプラズマCVD法、塗布法、印刷法等により、タングステン(W)、モリブデン(Mo)、チタン(Ti)、タンタル(Ta)、ニオブ(Nb)、ニッケル(Ni)、コバルト(Co)、ジルコニウム(Zr)、亜鉛(Zn)、ルテニウム(Ru)、ロジウム(Rh)、パラジウム(Pd)、オスミウム(Os)、イリジウム(Ir)、珪素(Si)から選択された元素、又は元素を主成分とする合金材料、又は元素を主成分とする化合物材料からなる層を、単層又は積層して形成する。

20

【0299】

剥離層6201が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。又は、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成する。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

30

【0300】

剥離層6201が積層構造の場合、好ましくは、1層目として金属層を形成し、2層目として金属酸化物層を形成する。代表的には1層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成し、2層目として、タングステン、モリブデン又はタングステンとモリブデンの混合物の酸化物、窒化物、酸化窒化物又は窒化酸化物を形成すると良い。2層目の金属酸化物層の形成は、1層目の金属層上に、酸化物層(例えば酸化シリコンなどの絶縁層として利用できるもの)を形成することで金属層表面に当該金属の酸化物が形成されることを応用しても良い。

40

【0301】

被剥離層6116としては、トランジスタや層間絶縁膜、配線、画素電極及び場合に応じて対向電極や、遮蔽膜、配向膜など、素子基板として必要な要素が含まれる。これらは、剥離層6201上に、通常通り作製することができる。これらの材料、作製方法及び構造などに関しては上記実施の形態において示したものと同様であるため、説明を省略する。このように、トランジスタや電極は公知の材料や方法を用いて精度良く作製することができる。

【0302】

次いで、剥離用接着剤6203を用いて被剥離層6116を仮支持基板6202に接着し

50

た後、被剥離層 6 1 1 6 を基板 6 2 0 0 の剥離層 6 2 0 1 から剥離して転置する（図 2 3（B）参照）。これにより被剥離層 6 1 1 6 は、仮支持基板 6 2 0 2 側に設けられる。なお、本明細書において、基板 6 2 0 0 から仮支持基板 6 2 0 2 に剥離層を転置する工程を転置工程という。

【0303】

仮支持基板 6 2 0 2 は、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板などを用いることができる。また、以降の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。

【0304】

また、ここで用いる剥離用接着剤 6 2 0 3 は、水や溶媒に可溶なものや、紫外線などの照射により可塑化させることが可能であるような、必要時に仮支持基板 6 2 0 2 と被剥離層 6 1 1 6 とを分離することが可能な接着剤を用いる。

10

【0305】

なお、仮支持基板 6 2 0 2 への転置工程は、様々な方法を適宜用いることができる。例えば、剥離層 6 2 0 1 として、被剥離層 6 1 1 6 と接する側に金属酸化膜を含む膜を形成した場合は、当該金属酸化膜を結晶化させることにより脆弱化して、被剥離層 6 1 1 6 を基板 6 2 0 0 から剥離することができる。また、基板 6 2 0 0 と被剥離層 6 1 1 6 の間に、剥離層 6 2 0 1 として水素を含む非晶質珪素膜を形成した場合は、レーザ光の照射またはエッチングにより当該水素を含む非晶質珪素膜を除去して、被剥離層 6 1 1 6 を基板 6 2 0 0 から剥離することができる。また、剥離層 6 2 0 1 として窒素、酸素や水素等を含む膜（例えば、水素を含む非晶質珪素膜、水素含有合金膜、酸素含有合金膜など）を用いた場合には、剥離層 6 2 0 1 にレーザ光を照射して剥離層 6 2 0 1 内に含有する窒素、酸素や水素をガスとして放出させ、被剥離層 6 1 1 6 と基板 6 2 0 0 との分離を促進することができる。他の方法として、剥離層 6 2 0 1 と被剥離層 6 1 1 6 との界面に液体を浸透させて基板 6 2 0 0 から被剥離層 6 1 1 6 を剥離してもよい。剥離層 6 2 0 1 をタングステンで形成し、アンモニア水と過酸化水素水の混合溶液により剥離層 6 2 0 1 をエッチングしながら剥離を行う方法もある。

20

【0306】

また、上記剥離方法を複数組み合わせることにより容易に転置工程を行うことができる。レーザ光の照射、ガスや溶液などによる剥離層へのエッチング、鋭いナイフやメスなどによる機械的な除去を部分的に行い、剥離層と被剥離層とを剥離しやすい状態にしてから、物理的な力（機械等による）によって剥離を行う工程などがこれに当たる。剥離層 6 2 0 1 を金属と金属酸化物との積層構造により形成した場合、レーザ光の照射によって形成される溝や鋭いナイフやメスなどによる傷などをきっかけとして、剥離層から物理的に引き剥がすことも容易となる。

30

【0307】

また、これら剥離を行う際に水などの液体をかけながら行ってもよい。

【0308】

被剥離層 6 1 1 6 を基板 6 2 0 0 から分離する方法としては、他に、被剥離層 6 1 1 6 が形成された基板 6 2 0 0 を、機械的に研磨などを行って除去する方法や、溶液や NF_3 、 BrF_3 、 ClF_3 等のフッ化ハロゲンガスによるエッチングで除去する方法等も用いることができる。この場合は、剥離層 6 2 0 1 を設けなくとも良い。

40

【0309】

続いて、基板 6 2 0 0 から剥離され、露出した剥離層 6 2 0 1、若しくは被剥離層 6 1 1 6 表面に剥離用接着剤 6 2 0 3 とは異なる接着剤による第 1 の接着剤層 6 1 1 1 を用いて転置基板 6 1 1 0 を接着する（図 2 3（C）参照）。

【0310】

第 1 の接着剤層 6 1 1 1 の材料としては、紫外線硬化型接着剤など光硬化型の接着剤、反応硬化型接着剤、熱硬化型接着剤、または嫌気型接着剤など各種硬化型接着剤を用いることができる。

50

【0311】

転置基板 6110 としては、じん性が大きい各種基板を用い、例えば、有機樹脂のフィルムや金属基板などを好適に使用することができる。じん性の大きい基板は耐衝撃性に優れ、破損し難い基板である。有機樹脂のフィルムは軽量であり、また、金属基板も薄いものは軽量であることから、通常のガラス基板を使用する場合と比較して、大幅な軽量化が可能となる。このような基板を用いることによって、軽く、破損しにくい液晶表示装置を作製することができるようになる。

【0312】

透過型もしくは半透過型の液晶表示装置の場合には、転置基板 6110 としては、じん性が大きく且つ可視光に対する透光性を有する基板を用いれば良い。このような基板を構成する材料としては、例えば、ポリエチレンテレフタレート（PET）又はポリエチレンナフタレート（PEN）等のポリエステル樹脂、アクリル樹脂、ポリアクリルニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート樹脂、ポリカーボネート樹脂（PC）、ポリエーテルスルホン樹脂（PES）、ポリアミド樹脂、シクロオレフィン樹脂、ポリスチレン樹脂、ポリアミドイミド樹脂、ポリ塩化ビニル樹脂等などが挙げられる。これら有機樹脂からなる基板は、じん性が大きいことから、耐衝撃性にも優れ、破損しにくい基板である。また、これら有機樹脂のフィルムは軽量であることから、通常のガラス基板と比較して、非常に軽量化された液晶表示装置を作製することが可能となる。また、この場合、転置基板 6110 は、少なくとも各画素の光が透過する領域と重なる部分に開口が設けられた金属板 6206 をさらに備えることが好ましい構成である。この構成とすることによって、寸法変化を抑制しながらじん性が大きく、耐衝撃性が高く破損しにくい転置基板 6110 を構成できる。さらに、金属板 6206 の厚さを薄くすることで、従来のガラス基板よりも軽い転置基板 6110 を構成できる。このような基板を用いることによって、軽く、破損しにくい液晶表示装置を作製することができるようになる。（図 23（D）参照）。

【0313】

図 24（A）は液晶表示装置における上面図の一例である。図 24（A）のように、第 1 の配線層 6210 と第 2 の配線層 6211 とが交差し、第 1 の配線層 6210 と第 2 の配線層 6211 に囲まれた領域が光の透過する領域 6212 である液晶表示装置の場合、図 24（B）のように、第 1 の配線層 6210 及び第 2 の配線層 6211 と重なる部分が残し、碁盤の目状に開口が設けられた金属板 6206 を用いれば良い。図 24（C）に示すように、このような金属板 6206 を貼り合わせて用いることにより、有機樹脂からなる基板を用いたことによる合わせ精度の悪化や基板の伸びによる寸法変化を抑制することができる。なお、偏光板（図示せず）が必要な場合には、転置基板 6110 と金属板 6206 の間に設けても、金属板 6206 のさらに外側に設けても良い。偏光板はあらかじめ金属板 6206 に貼り付けられていても良い。なお、軽量化の観点からは、金属板 6206 として上記寸法安定化の効果を奏する範囲内において薄い基板を採用することが好ましい。

【0314】

その後、被剥離層 6116 から仮支持基板 6202 を分離する。剥離用接着剤 6203 は必要時に仮支持基板 6202 と被剥離層 6116 とを分離することが可能な材料で形成されているので、当該材料に合った方法により仮支持基板 6202 を分離すれば良い。なお、バックライトは図面矢印のように照射される（図 23（E）参照）。

【0315】

以上により、トランジスタから画素電極までが形成された被剥離層 6116（必要に応じて対向電極、遮蔽膜、配向膜などが設けられていても良い）を転置基板 6110 上に作製することができ、軽量かつ耐衝撃性の高い素子基板を作製することができる。

【0316】

<変形例>

上述した構成を有する液晶表示装置は、本発明の一態様であり、当液晶表示装置と異なる

10

20

30

40

50

構成を備える以下の液晶表示装置も、本発明に含まれる。上述の転置工程（図23（B））の後、転置基板6110を貼り付ける前に、露出した剥離層6201、若しくは被剥離層6116表面に、金属板6206を貼り付けても良い（図23（C'）参照）。この場合、金属板6206からの汚染物質が、被剥離層6116におけるトランジスタの特性に悪影響を及ぼすことを防ぐため、バリア層6207を間に設けると良い。バリア層6207を設ける場合は、露出した剥離層6201、若しくは被剥離層6116表面にバリア層6207を設けてから、金属板6206を貼り付ければ良い。バリア層6207は無機材料や有機材料などにより形成すれば良く、代表的には窒化シリコンなどが挙げられるが、トランジスタの汚染を防止することができれば、これらに限られることはない。バリア層は透光性を有する材料で形成するか、もしくは透光性を有する程度に薄い膜とするなど、少なくとも可視光に対する透光性を有するように作製する。なお、金属板6206は、剥離用接着剤6203とは異なる接着剤を用いて第2の接着剤層（図示せず）を形成し、接着すればよい。

10

【0317】

この後、第1の接着剤層6111を金属板6206表面に形成し、転置基板6110を貼り付け（図23（D'））、被剥離層6116から仮支持基板6202を分離する（図23（E'））ことにより、同様に軽量且つ耐衝撃性の高い素子基板を作製することができる。なお、バックライトは図面矢印のように照射される。

【0318】

このように作製した軽量かつ耐衝撃性の高い素子基板と、対向基板とを液晶層を間に挟持させてシール材で固着することによって、軽量かつ耐衝撃性の高い液晶表示装置を作製することができる。対向基板としては、じん性が大きく、可視光に対する透光性を有する基板（転置基板6110に用いることが可能なプラスチック基板と同様のもの）を用いることができる。必要に応じてこれに偏光板、遮蔽膜や対向電極及び配向膜が設けられていても良い。液晶層を形成する方法としては、従来同様ディスペンサ法や注入法などを適用することができる。

20

【0319】

以上のように作製された軽量かつ耐衝撃性の高い液晶表示装置は、トランジスタなどの微細な素子の作製を、寸法安定性が比較的良好なガラス基板上などで行うことができ、また、従来どおりの作製方法の適用が可能であることから、微細な素子であっても精度良く形成することができる。このため、耐衝撃性を有しながらも、高精細で高品質な画像を提供でき、且つ軽量の液晶表示装置を提供することが可能となる。

30

【0320】

さらに、上記のように作製した液晶表示装置は、可撓性を有せしめることも可能である。

【0321】

本実施の形態は、上記実施の形態と適宜組み合わせることで実施することが可能である。

【0322】

（実施の形態6）

次いで、本発明の一態様に係る液晶表示装置について、図26を用いて説明する。図26（A）は、基板4001と対向基板4006とをシール材4005によって接着させたパネルの上面図であり、図26（B）は、図26（A）の破線A-A'における断面図に相当する。

40

【0323】

基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むように、シール材4005が設けられている。また、画素部4002、走査線駆動回路4004の上に対向基板4006が設けられている。よって、画素部4002と走査線駆動回路4004は、基板4001とシール材4005と対向基板4006とによって、液晶4007と共に封止されている。

【0324】

また、基板4001上のシール材4005によって囲まれている領域とは異なる領域に、

50

信号線駆動回路4003が形成された基板4021が、実装されている。図26では、信号線駆動回路4003に含まれるトランジスタ4009を例示している。

【0325】

また、基板4001上に設けられた画素部4002、走査線駆動回路4004は、トランジスタを複数有している。図26(B)では、画素部4002に含まれるトランジスタ4010、トランジスタ4022を例示している。トランジスタ4010、トランジスタ4022は、酸化物半導体をチャネル形成領域に含んでいる。そして、対向基板4006に形成されている遮光膜4040は、トランジスタ4010、トランジスタ4022と重なっている。トランジスタ4010、トランジスタ4022を遮光することで、酸化物半導体の光による劣化を防ぎ、トランジスタ4010、トランジスタ4022の閾値電圧がシフトするなどの特性の劣化を防ぐことができる。

10

【0326】

また、液晶素子4011が有する画素電極4030は、トランジスタ4010と電氣的に接続されている。そして、液晶素子4011の対向電極4031は、対向基板4006に形成されている。画素電極4030と対向電極4031と液晶4007とが重なっている部分が、液晶素子4011に相当する。

【0327】

また、スペーサ4035が、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお、図26(B)では、スペーサ4035が、絶縁膜をパターンニングすることで形成されている場合を例示しているが、球状スペーサを用いても良い。

20

【0328】

また、信号線駆動回路4003、走査線駆動回路4004、画素部4002に与えられる各種信号及び電位は、引き回し配線4014及び4015を介して、接続端子4016から供給されている。接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0329】

なお、基板4001、対向基板4006、基板4021には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP(Fiber glass - Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。また、アルミニウムホイルをPVFフィルムで挟んだ構造のシートを用いることもできる。

30

【0330】

但し、液晶素子4011からの光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0331】

図27は、本発明の一態様に係る液晶表示装置の構造を示す、斜視図の一例である。図27に示す液晶表示装置は、画素部を有するパネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607と、回路基板1608と、信号線駆動回路の形成された基板1611とを有している。

40

【0332】

パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607とは、順に積層されている。バックライトパネル1607は、複数の光源で構成されたバックライト1612を有している。導光板1605内部に拡散されたバックライト1612からの光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、パネル1601に照射される。

【0333】

50

なお、本実施の形態では、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605とパネル1601の間に設けられていれば良い。よって、プリズムシート1603よりもパネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0334】

またプリズムシート1603は、図27に示した断面が鋸歯状の形状に限定されず、導光板1605からの光をパネル1601側に集光できる形状を有していれば良い。

【0335】

回路基板1608には、パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図27では、回路基板1608とパネル1601とが、COFテープ1609を介して接続されている。また、信号線駆動回路の形成された基板1611が、COF(Chip ON Film)法を用いてCOFテープ1609に接続されている。

【0336】

図27では、バックライト1612の駆動を制御する制御系の回路が回路基板1608に設けられており、該制御系の回路とバックライトパネル1607とがFPC1610を介して接続されている例を示している。ただし、上記制御系の回路はパネル1601に形成されていても良く、この場合はパネル1601とバックライトパネル1607とがFPC

【0337】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0338】

(実施の形態7)

図25(A)に、画素の上面図を一例として示す。また、図25(B)に、図25(A)の破線A1—A2における断面図を示す。

【0339】

図25(A)、図25(B)に示す画素は、走査線GLとして機能する導電膜501と、信号線SLとして機能する導電膜502と、配線COMとして機能する導電膜503と、トランジスタ16の第2端子として機能する導電膜504とを有している。導電膜501は、図2(B)に示したトランジスタ16のゲート電極としても機能する。また、導電膜502は、トランジスタ16の第1端子としても機能する。

【0340】

導電膜501、導電膜503は、絶縁表面を有する基板500上に形成された一の導電膜を所望の形状に加工することで形成することができる。導電膜501、導電膜503上にはゲート絶縁膜506が形成されている。さらに、導電膜502、導電膜504は、ゲート絶縁膜506上に形成された一の導電膜を所望の形状に加工することで形成することができる。

【0341】

また、トランジスタ16の活性層507は、導電膜501と重なる位置においてゲート絶縁膜506上に形成されている。そして、図25に示すように、活性層507は、ゲート電極として機能する導電膜501に完全に重なる構成を用いることが望ましい。上記構成を採用することで、基板500側から入射した光により活性層507中の酸化物半導体が劣化するのを防ぎ、よって、トランジスタ16の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0342】

さらに、図25に示す画素は、活性層507、導電膜502、導電膜504を覆うように、絶縁膜512と、絶縁膜513とが順に形成されている。そして、絶縁膜513上には画素電極505が形成されており、絶縁膜512及び絶縁膜513に形成されたコンタク

トホールを介して、導電膜 504 と画素電極 505 とが接続されている。

【0343】

なお、配線 COM として機能する導電膜 503 と、導電膜 504 とが、ゲート絶縁膜 506 を間に挟んで重なり合っている部分が、容量素子 17 として機能する。

【0344】

また、本実施の形態では、導電膜 501 とゲート絶縁膜 506 の間に絶縁膜 508 が形成されている。絶縁膜 508 は、導電膜 501 と導電膜 502 の間に設けられているので、導電膜 501 と導電膜 502 の間に生じる寄生容量を絶縁膜 508 により小さく抑えることができる。

【0345】

また、本実施の形態では、導電膜 503 とゲート絶縁膜 506 の間に絶縁膜 509 が形成されている。そして、絶縁膜 509 と重なる位置において、画素電極 505 上にスペーサ 510 が形成されている。

【0346】

なお、図 25 (A) では、スペーサ 510 までは形成された画素の上面図を示している。図 25 (B) では、スペーサ 510 までは形成されている基板 500 と対峙するように、基板 514 が配置されている様子を示す。

【0347】

基板 514 上には対向電極 515 が形成されており、画素電極 505 と対向電極 515 の間には液晶を含む液晶層 516 が設けられている。画素電極 505 と、対向電極 515 と、液晶層 516 とが重なる部分に液晶素子 18 が形成される。

【0348】

画素電極 505 と対向電極 515 には、例えば、酸化珪素を含む酸化インジウムスズ (ITO)、酸化インジウムスズ (ITO)、酸化亜鉛 (ZnO)、酸化インジウム亜鉛 (IZO)、ガリウムを添加した酸化亜鉛 (GZO) などの透光性を有する導電材料を用いることができる。

【0349】

なお、画素電極 505 と液晶層 516 の間、または対向電極 515 と液晶層 516 の間に、配向膜を適宜設けても良い。配向膜は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に接するように、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜を直接形成することも可能である。

【0350】

また、液晶層 516 を形成するために行われる液晶の注入は、ディスペンサ式 (滴下式) を用いても良いし、ディップ式 (汲み上げ式) を用いても良い。

【0351】

なお、基板 514 上には、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐため、或いは、拡散した光が隣接する複数の画素に入射するのを防ぐために、光を遮蔽することができる遮蔽膜 517 が設けられている。遮蔽膜 517 には、カーボンブラック、二酸化チタンよりも酸化数が小さい低次酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。または、クロムを用いた膜で、遮蔽膜を形成することも可能である。

【0352】

また、遮蔽膜 517 をトランジスタ 16 の活性層 507 と重なるように設けることで、基板 514 側から入射した光により活性層 507 中の酸化物半導体が劣化するのを防ぎ、よって、トランジスタ 16 の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0353】

10

20

30

40

50

なお、図 25 では、画素電極 505 と対向電極 515 の間に液晶層 516 が挟まれている構造を有する液晶素子 18 を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS 型の液晶素子やブルー相を用いた液晶素子のように、一对の電極が共に一の基板に形成されていても良い。

【0354】

なお、駆動回路をパネルが形成される基板上に形成する場合、駆動回路に用いられるトランジスタにも、ゲート電極或いは遮蔽膜による遮光を行うことで、トランジスタの閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0355】

なお、活性層 507 への光の入射をより確実に防ぐために、遮光性を有する導電膜を活性層 507 と重なるように設けても良い。図 25 に示した画素において、活性層 507 と重なるように遮光性を有する導電膜 530 を設けた様子を、図 32 に示す。図 32 (A) は画素の上面図に相当する。また、図 32 (B) に、図 32 (A) の破線 A1—A2 における断面図を示す。

10

【0356】

具体的に、図 32 では、絶縁膜 512 上に絶縁膜 531 を更に有しており、導電膜 530 は絶縁膜 531 上に形成されている。また、導電膜 530 を覆うように、絶縁膜 531 上に絶縁膜 513 が形成されている。

【0357】

そして、活性層 507 は、導電膜 502 及び導電膜 504 と部分的に重なっているため、導電膜 502 及び導電膜 504 により覆われている部分と、導電膜 502 及び導電膜 504 により覆われずに露出している部分とを有する。図 32 では、導電膜 530 を、後者の導電膜 502 及び導電膜 504 により覆われずに露出している部分と重なる位置に設ける。

20

【0358】

導電膜 530 を設けることで、基板 514 側から入射した光により活性層 507 中の酸化物半導体が劣化するのを防ぎ、よって、トランジスタ 16 の閾値電圧がシフトするなどの特性の劣化が引き起こされるのを防ぐことができる。

【0359】

なお、導電膜 530 は、電氣的に絶縁しているフローティングの状態であっても良いし、電位が与えられる状態であっても良い。

30

【0360】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0361】

(実施の形態 8)

本実施の形態では、他の実施の形態に示した作製方法を用いてトランジスタ 951、及びバックゲート電極を有するトランジスタ 952 の 2 種類のトランジスタを作製し、光負バイアス試験前後でのしきい値電圧 (V_{th}) 変化量を評価した結果を示す。

【0362】

まず、図 29 (A) を用いてトランジスタ 951 の積層構成及び作製方法について説明する。基板 900 上に、下地膜 936 として、CVD 法により窒化シリコン膜 (厚さ 200 nm) と酸化窒化シリコン膜 (厚さ 400 nm) の積層膜を形成した。次に、下地膜 936 上に、スパッタ法により窒化タンタル膜 (厚さ 30 nm) と、タングステン膜 (厚さ 100 nm) の積層膜を成膜し、選択的にエッチングしてゲート電極 901 を形成した。

40

【0363】

次に、ゲート電極 901 上に、ゲート絶縁膜 902 として、高密度プラズマ CVD 法により酸化窒化シリコン膜 (厚さ 30 nm) を形成した。

【0364】

次に、ゲート絶縁膜 902 上に、スパッタ法により In-Ga-Zn-O 系酸化物半導体ターゲットを用いて、酸化物半導体膜 (厚さ 30 nm) を形成した。続いて、酸化物半導

50

体膜を選択的にエッチングし、島状の酸化物半導体膜 9 0 3 を形成した。

【 0 3 6 5 】

次に、窒素雰囲気下、4 5 0 で 6 0 分間の第 1 の加熱処理を行った。

【 0 3 6 6 】

次に、酸化物半導体膜 9 0 3 上にチタン膜（厚さ 1 0 0 n m）、アルミニウム膜（厚さ 2 0 0 n m）、及びチタン膜（厚さ 1 0 0 n m）の積層膜をスパッタ法により成膜し、選択的にエッチングしてソース電極 9 0 5 a 及びドレイン電極 9 0 5 b を形成した。

【 0 3 6 7 】

次に、窒素雰囲気下、3 0 0 で 6 0 分間の第 2 の加熱処理を行った。

【 0 3 6 8 】

次に、酸化物半導体膜 9 0 3 の一部に接し、ソース電極 9 0 5 a 及びドレイン電極 9 0 5 b 上に、絶縁膜 9 0 7 としてスパッタ法により酸化シリコン膜を形成し、絶縁膜 9 0 7 上に、絶縁膜 9 0 8 として、ポリイミド樹脂層（厚さ 1 . 5 μ m）を形成した。

【 0 3 6 9 】

次に、窒素雰囲気下、2 5 0 で 6 0 分間の第 3 の加熱処理を行った。

【 0 3 7 0 】

次に、絶縁膜 9 0 8 上に絶縁膜 9 0 9 として、ポリイミド樹脂層（厚さ 2 . 0 μ m）を形成した。

【 0 3 7 1 】

次に、窒素雰囲気下、2 5 0 で 6 0 分間の第 4 の加熱処理を行った。

【 0 3 7 2 】

図 2 9 (B) に示すトランジスタ 9 5 2 は、トランジスタ 9 5 1 と同様に作製することができる。なお、トランジスタ 9 5 1 とは、絶縁膜 9 0 8 と絶縁膜 9 0 9 の間にバックゲート電極 9 1 2 が形成されている点が異なる。バックゲート電極 9 1 2 は、絶縁膜 9 0 8 上に、チタン膜（厚さ 1 0 0 n m）、アルミニウム膜（厚さ 2 0 0 n m）、及びチタン膜（厚さ 1 0 0 n m）の積層膜をスパッタ法により成膜し、選択的にエッチングすることで形成した。バックゲート電極 9 1 2 は、ソース電極 9 0 5 a と電氣的に接続した。

【 0 3 7 3 】

また、トランジスタ 9 5 1 及びトランジスタ 9 5 2 とともに、チャネル長は 3 μ m、チャネル幅は 2 0 μ m とした。

【 0 3 7 4 】

続いて、本実施の形態で作製したトランジスタ 9 5 1 及びトランジスタ 9 5 2 に対して行った光負バイアス試験について説明する。

【 0 3 7 5 】

光負バイアス試験は加速試験の一種であり、光が照射されている環境下におけるトランジスタの特性変化を、短時間で評価することができる。特に、光負バイアス試験におけるトランジスタの V_{th} の変化量は、信頼性を調べるための重要な指標となる。光負バイアス試験において、 V_{th} の変化量が少ないほど、信頼性が高いトランジスタであるといえる。光負バイアス試験の前後における V_{th} の変化量は、1 V 以下が好ましく、0 . 5 V 以下がさらに好ましい。

【 0 3 7 6 】

具体的には、光負バイアス試験は、トランジスタが形成されている基板の温度（基板温度）を一定に維持し、トランジスタのソース電極及びドレイン電極を同電位とし、光を照射しながら、ゲート電極にソース電極及びドレイン電極よりも低い電位を一定時間印加することで行う。

【 0 3 7 7 】

光負バイアス試験のストレス強度は、光照射条件、基板温度、ゲート絶縁膜に加えられる電界強度、電界印加時間により決定することができる。ゲート絶縁膜に加えられる電界強度は、ゲート電極と、ソース電極及びドレイン電極の電位差をゲート絶縁膜の厚さで除して決定される。例えば、厚さが 1 0 0 n m のゲート絶縁膜に印加する電界強度を 2 M V /

10

20

30

40

50

cmとしたい場合は、電位差を20Vとすればよい。

【0378】

なお、光が照射されている環境下において、ソース電極及びドレイン電極の電位よりも高い電位をゲート電極に印加して行う試験を光正バイアス試験というが、光正バイアス試験よりも、光負バイアス試験の方が、トランジスタの特性変動が起きやすいため、本実施の形態では光負バイアス試験にて評価している。

【0379】

本実施の形態における光負バイアス試験は、基板温度を室温(25℃)とし、ゲート絶縁膜902に印加する電界強度を2MV/cmとし、光照射及び電界印加時間を1時間として行った。また、光照射の条件は、朝日分光社キセノン光源「MAX-302」を用いて、ピーク波長400nm(半値幅10nm)、放射照度326μW/cm²とした。

10

【0380】

光負バイアス試験に先立ち、まず、試験対象となるトランジスタの初期特性を測定した。本実施の形態では、基板温度を室温(25℃)とし、ソース電極とドレイン電極間の電圧(以下、ドレイン電圧またはV_dという)を3Vとし、ソース電極とゲート電極間の電圧(以下、ゲート電圧またはV_gという)を-5V~+5Vまで変化させた時の、ソース電極とドレイン電極間に流れる電流(以下、ドレイン電流またはI_dという)の変化特性、すなわちV_g-I_d特性を測定した。

【0381】

次に、絶縁膜909側から光照射を開始し、トランジスタのソース電極及びドレイン電極の電位を0Vとし、トランジスタのゲート絶縁膜902へ印加される電界強度が2MV/cmとなるようにゲート電極901に負の電圧を印加した。ここでは、トランジスタのゲート絶縁膜902の厚さが30nmであるため、ゲート電極901に-6Vを印加し、そのまま1時間保持した。ここでは印加時間を1時間としたが、目的に応じて適宜時間を変更してもよい。

20

【0382】

次に、電圧の印加を終了し、光を照射したまま、初期特性の測定と同じ条件でV_g-I_d特性を測定し、光負バイアス試験後のV_g-I_d特性を得た。

【0383】

ここで、本実施の形態におけるV_thの定義について図30を例示して説明しておく。図30の横軸はゲート電圧をリニアスケールで示しており、縦軸はドレイン電流の平方根(以下、√I_dともいう)をリニアスケールで示している。曲線921は、V_g-I_d特性におけるI_dの値を平方根で表した曲線(以下、√I_d曲線ともいう)である。

30

【0384】

まず、測定したV_g-I_d曲線から√I_d曲線(曲線921)を求める。次に、√I_d曲線上の、√I_d曲線の微分値が最大になる点の接線924を求める。次に、接線924を延伸し、接線924上でI_dが0Aとなる時のV_g、すなわち接線924のゲート電圧軸切片925の値をV_thとして定義する。

【0385】

図31に、光負バイアス試験前後におけるトランジスタ951及びトランジスタ952のV_g-I_d特性を示す。図31(A)及び図31(B)とも、横軸はゲート電圧(V_g)で、縦軸はゲート電圧に対するドレイン電流(I_d)を対数目盛で示している。

40

【0386】

図31(A)は、光負バイアス試験前後におけるトランジスタ951のV_g-I_d特性を示している。初期特性931は、光負バイアス試験前のトランジスタ951のV_g-I_d特性であり、試験後特性932は、光負バイアス試験後のトランジスタ951のV_g-I_d特性である。初期特性931のV_thは、1.01Vであり、試験後特性932のV_thは、0.44Vであった。

【0387】

図31(B)は、光負バイアス試験前後におけるトランジスタ952のV_g-I_d特性を

50

示している。また、図 3 1 (C) は、図 3 1 (B) 中の部位 9 4 5 を拡大した図である。初期特性 9 4 1 は、光負バイアス試験前のトランジスタ 9 5 2 の $V_g - I_d$ 特性であり、試験後特性 9 4 2 は、光負バイアス試験後のトランジスタ 9 5 2 の $V_g - I_d$ 特性である。初期特性 9 4 1 の V_{th} は、1.16 V であり、試験後特性 9 4 2 の V_{th} は、1.10 V であった。なお、トランジスタ 9 5 2 のバックゲート電極 9 1 2 はソース電極 9 0 5 a と電氣的に接続されているため、バックゲート電極 9 1 2 とソース電極 9 0 5 a の電位は同電位となる。

【 0 3 8 8 】

図 3 1 (A) において、試験後特性 9 3 2 は、初期特性 9 3 1 に比べて V_{th} がマイナス方向に 0.57 V 変化しており、図 3 1 (B) において、試験後特性 9 4 2 は、初期特性 9 4 1 に比べて V_{th} がマイナス方向に 0.06 V 変化している。トランジスタ 9 5 1 及びトランジスタ 9 5 2 とともに、 V_{th} の変化量は 1 V 以下であり、信頼性が高いトランジスタであることが確認できる。また、バックゲート電極 9 1 2 を設けたトランジスタ 9 5 2 は、 V_{th} の変化量が 0.1 V 以下であり、トランジスタ 9 5 1 よりもさらに信頼性の高いトランジスタであることが確認できる。

【 実施例 1 】

【 0 3 8 9 】

本発明の一態様に係る液晶表示装置を用いることで、高画質である画像の表示を行うことができる電子機器を提供することが可能である。或いは、本発明の一態様に係る液晶表示装置を用いることで、低消費電力の電子機器を提供することが可能である。特に電力の供給を常時受けることが困難な携帯用の電子機器の場合、本発明の一態様に係る液晶表示装置をその構成要素に追加することにより、連続使用時間が長くなるといったメリットも得られる。

【 0 3 9 0 】

本発明の一態様に係る液晶表示装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的には DVD : Digital Versatile Disc 等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る液晶表示装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ATM）、自動販売機などが挙げられる。これら電子機器の具体例を図 2 8 に示す。

【 0 3 9 1 】

図 2 8 (A) は電子書籍であり、筐体 7 0 0 1、表示部 7 0 0 2 等を有する。本発明の一態様に係る液晶表示装置は、表示部 7 0 0 2 に用いることができる。表示部 7 0 0 2 に本発明の一態様に係る液晶表示装置を用いることで、高画質である画像の表示が可能な電子書籍、或いは、低消費電力の電子書籍を提供することができる。また、可撓性を有する基板でパネルを作製し、なおかつタッチパネルにも可撓性を持たせることで、液晶表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い電子書籍を提供することができる。

【 0 3 9 2 】

図 2 8 (B) は表示装置であり、筐体 7 0 1 1、表示部 7 0 1 2、支持台 7 0 1 3 等を有する。本発明の一態様に係る液晶表示装置は、表示部 7 0 1 2 に用いることができる。表示部 7 0 1 2 に本発明の一態様に係る液晶表示装置を用いることで、高画質である画像の表示が可能な表示装置、或いは、低消費電力の表示装置を提供することができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【 0 3 9 3 】

図 2 8 (C) は現金自動預け入れ払い機であり、筐体 7 0 2 1、表示部 7 0 2 2、硬貨投

10

20

30

40

50

入口 7023、紙幣投入口 7024、カード投入口 7025、通帳投入口 7026等を有する。本発明の一態様に係る液晶表示装置は、表示部 7022に用いることができる。表示部 7022に本発明の一態様に係る液晶表示装置を用いることで、高画質である画像の表示が可能な現金自動預け入れ払い機、或いは、低消費電力の現金自動預け入れ払い機を提供することができる。

【0394】

図 28(D)は携帯型ゲーム機であり、筐体 7031、筐体 7032、表示部 7033、表示部 7034、マイクロホン 7035、スピーカー 7036、操作キー 7037、スタイラス 7038等を有する。本発明の一態様に係る液晶表示装置は、表示部 7033、表示部 7034に用いることができる。表示部 7033、表示部 7034に本発明の一態様に係る液晶表示装置を用いることで、高画質である画像の表示が可能な携帯型ゲーム機、或いは、低消費電力の携帯型ゲーム機を提供することができる。なお、図 28(D)に示した携帯型ゲーム機は、2つの表示部 7033と表示部 7034とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【0395】

図 28(E)は携帯電話であり、筐体 7041、表示部 7042、音声入力部 7043、音声出力部 7044、操作キー 7045、受光部 7046等を有する。受光部 7046において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。本発明の一態様に係る液晶表示装置は、表示部 7042に用いることができる。表示部 7042に本発明の一態様に係る液晶表示装置を用いることで、高画質である画像の表示が可能な携帯電話、或いは、低消費電力の携帯電話を提供することができる。

20

【0396】

図 28(F)は携帯情報端末であり、筐体 7051、表示部 7052、操作キー 7053等を有する。図 28(F)に示す携帯情報端末は、モデムが筐体 7051に内蔵されていても良い。本発明の一態様に係る液晶表示装置は、表示部 7052に用いることができる。表示部 7052に本発明の一態様に係る液晶表示装置を用いることで、高画質である画像の表示が可能な携帯情報端末、或いは、低消費電力の携帯情報端末を提供することができる。

【0397】

本実施例は、上記実施の形態と適宜組み合わせて実施することが可能である。

30

【符号の説明】

【0398】

- 10 画素部
- 11 走査線駆動回路
- 12 信号線駆動回路
- 15 画素
- 16 トランジスタ
- 17 容量素子
- 18 液晶素子
- 20 パルス出力回路
- 21 端子
- 22 端子
- 23 端子
- 24 端子
- 25 端子
- 26 端子
- 27 端子
- 31 トランジスタ
- 32 トランジスタ
- 33 トランジスタ

40

50

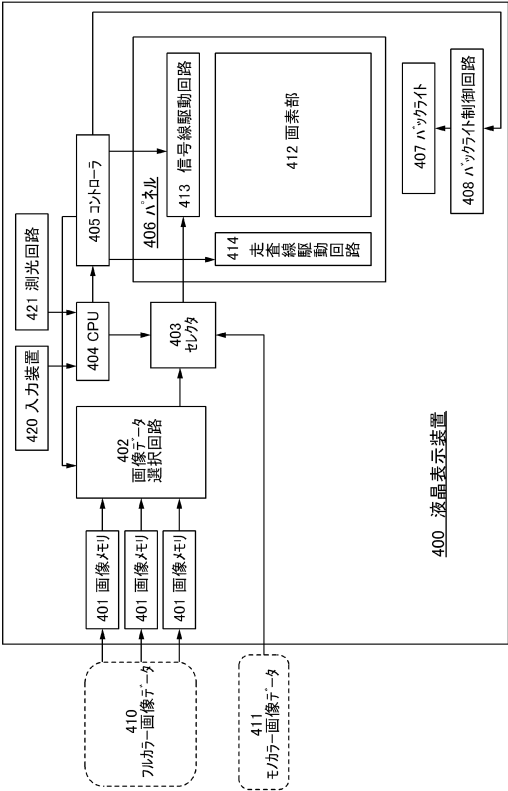
3 4	トランジスタ	
3 5	トランジスタ	
3 6	トランジスタ	
3 7	トランジスタ	
3 8	トランジスタ	
3 9	トランジスタ	
5 0	トランジスタ	
5 1	トランジスタ	
5 2	トランジスタ	
5 3	トランジスタ	10
6 0	画素部	
6 1	走査線駆動回路	
6 2	信号線駆動回路	
6 5 a	トランジスタ	
6 5 b	トランジスタ	
6 5 c	トランジスタ	
1 0 1	領域	
1 0 2	領域	
1 0 3	領域	
1 2 0	シフトレジスタ	20
1 2 1	トランジスタ	
1 2 3	スイッチング素子群	
3 0 1	フルカラー画像表示期間	
3 0 2	モノカラー動画表示期間	
3 0 3	モノカラー静止画表示期間	
4 0 0	液晶表示装置	
4 0 1	画像メモリ	
4 0 2	画像データ選択回路	
4 0 3	セレクタ	
4 0 4	C P U	30
4 0 5	コントローラ	
4 0 6	パネル	
4 0 7	バックライト	
4 0 8	バックライト制御回路	
4 1 0	フルカラー画像データ	
4 1 1	モノカラー画像データ	
4 1 2	画素部	
4 1 3	信号線駆動回路	
4 1 4	走査線駆動回路	
4 2 0	入力装置	40
4 2 1	測光回路	
5 0 0	基板	
5 0 1	導電膜	
5 0 2	導電膜	
5 0 3	導電膜	
5 0 4	導電膜	
5 0 5	画素電極	
5 0 6	ゲート絶縁膜	
5 0 7	活性層	
5 0 8	絶縁膜	50

5 0 9	絶縁膜	
5 1 0	スペーサ	
5 1 2	絶縁膜	
5 1 3	絶縁膜	
5 1 4	基板	
5 1 5	対向電極	
5 1 6	液晶層	
5 1 7	遮蔽膜	
5 3 0	導電膜	
5 3 1	絶縁膜	10
6 0 1	領域	
6 0 2	領域	
6 0 3	領域	
6 1 1	シフトレジスタ	
6 1 2	シフトレジスタ	
6 1 3	シフトレジスタ	
6 1 5	画素	
6 1 6	トランジスタ	
6 1 7	容量素子	
6 1 8	液晶素子	20
6 2 0	シフトレジスタ	
6 2 3	スイッチング素子群	
7 0 0	基板	
7 0 1	絶縁膜	
7 0 2	ゲート電極	
7 0 3	ゲート絶縁膜	
7 0 4	酸化物半導体膜	
7 0 5	導電膜	
7 0 6	導電膜	
7 0 7	絶縁膜	30
7 0 8	トランジスタ	
9 0 0	基板	
9 0 1	ゲート電極	
9 0 2	ゲート絶縁膜	
9 0 3	酸化物半導体膜	
9 0 5 a	ソース電極	
9 0 5 b	ドレイン電極	
9 0 7	絶縁膜	
9 0 8	絶縁膜	
9 0 9	絶縁膜	40
9 1 2	バックゲート電極	
9 2 1	曲線	
9 2 4	接線	
9 2 5	ゲート電圧軸切片	
9 3 1	初期特性	
9 3 2	試験後特性	
9 3 6	下地膜	
9 4 1	初期特性	
9 4 2	試験後特性	
9 4 5	部位	50

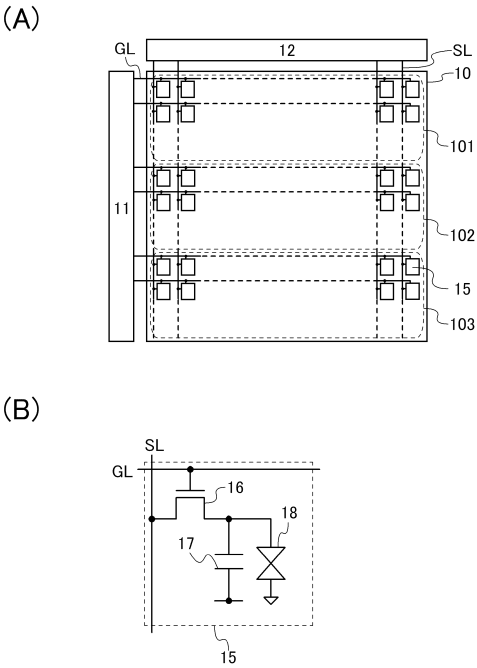
9 5 1	トランジスタ	
9 5 2	トランジスタ	
1 6 0 1	パネル	
1 6 0 2	第 1 の拡散板	
1 6 0 3	プリズムシート	
1 6 0 4	第 2 の拡散板	
1 6 0 5	導光板	
1 6 0 7	バックライトパネル	
1 6 0 8	回路基板	
1 6 0 9	C O F テーブ	10
1 6 1 0	F P C	
1 6 1 1	基板	
1 6 1 2	バックライト	
2 4 0 0	基板	
2 4 0 1	ゲート電極	
2 4 0 2	ゲート絶縁膜	
2 4 0 3	酸化物半導体膜	
2 4 0 5 a	ソース電極	
2 4 0 5 b	ドレイン電極	
2 4 0 6	チャネル保護層	20
2 4 0 7	絶縁膜	
2 4 0 9	保護絶縁膜	
2 4 1 1	第 1 のゲート電極	
2 4 1 2	第 2 のゲート電極	
2 4 1 3	第 1 のゲート絶縁膜	
2 4 1 4	第 2 のゲート絶縁膜	
2 4 3 6	下地膜	
2 4 5 0	トランジスタ	
2 4 6 0	トランジスタ	
2 4 7 0	トランジスタ	30
2 4 8 0	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	対向基板	
4 0 0 7	液晶	
4 0 0 9	トランジスタ	
4 0 1 0	トランジスタ	40
4 0 1 1	液晶素子	
4 0 1 4	引き回し配線	
4 0 1 5	引き回し配線	
4 0 1 6	接続端子	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	基板	
4 0 2 2	トランジスタ	
4 0 3 0	画素電極	
4 0 3 1	対向電極	50

4 0 3 5	スペーサ	
4 0 4 0	遮光膜	
6 1 1 0	転置基板	
6 1 1 1	第 1 の接着剤層	
6 1 1 6	被剥離層	
6 2 0 0	基板	
6 2 0 1	剥離層	
6 2 0 2	仮支持基板	
6 2 0 3	剥離用接着剤	
6 2 0 6	金属板	10
6 2 0 7	バリア層	
6 2 1 0	第 1 の配線層	
6 2 1 1	第 2 の配線層	
6 2 1 2	領域	
7 0 0 1	筐体	
7 0 0 2	表示部	
7 0 1 1	筐体	
7 0 1 2	表示部	
7 0 1 3	支持台	
7 0 2 1	筐体	20
7 0 2 2	表示部	
7 0 2 3	硬貨投入口	
7 0 2 4	紙幣投入口	
7 0 2 5	カード投入口	
7 0 2 6	通帳投入口	
7 0 3 1	筐体	
7 0 3 2	筐体	
7 0 3 3	表示部	
7 0 3 4	表示部	
7 0 3 5	マイクロホン	30
7 0 3 6	スピーカー	
7 0 3 7	操作キー	
7 0 3 8	スタイラス	
7 0 4 1	筐体	
7 0 4 2	表示部	
7 0 4 3	音声入力部	
7 0 4 4	音声出力部	
7 0 4 5	操作キー	
7 0 4 6	受光部	
7 0 5 1	筐体	40
7 0 5 2	表示部	
7 0 5 3	操作キー	

【図 1】



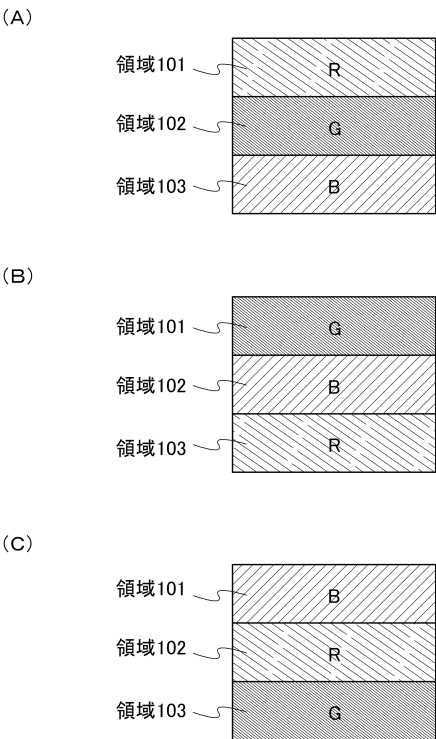
【図 2】



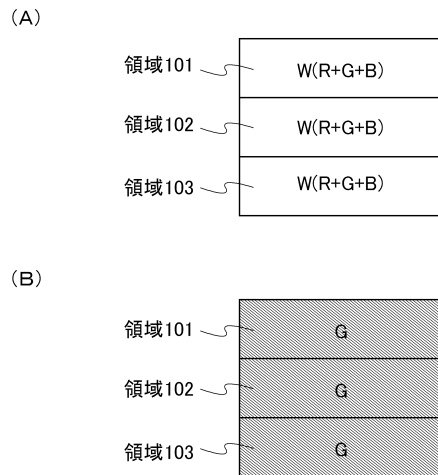
【図 3】

	301 フルカラー画像表示期間	302 モカラー動画表示期間	303 モカラー静止画表示期間
駆動回路	動作	動作	書き込み時以外非動作
バックライト	色相の切り換えあり	色相の切り換えなし	色相の切り換えなし
画像信号の書き込み回数	色相の数	単数	単数

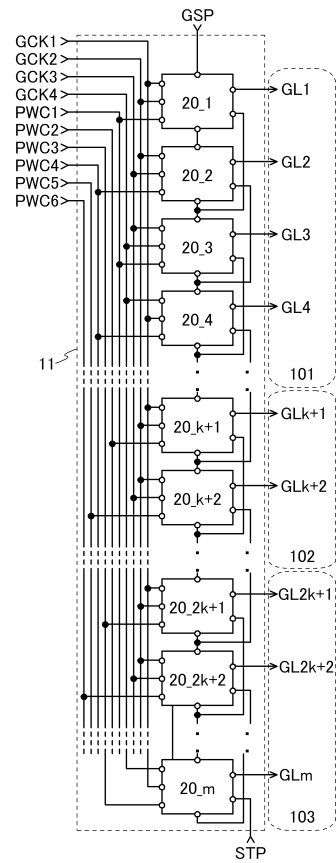
【図 4】



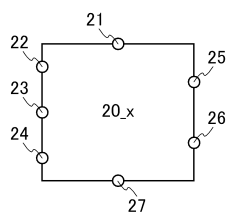
【図 5】



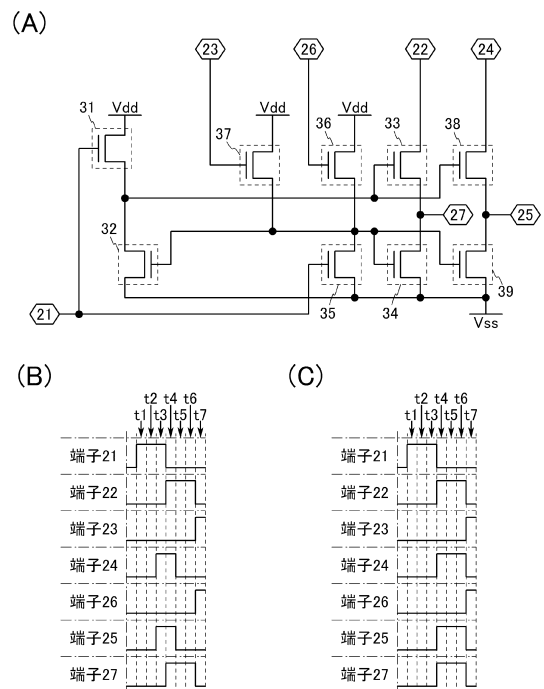
【図 6】



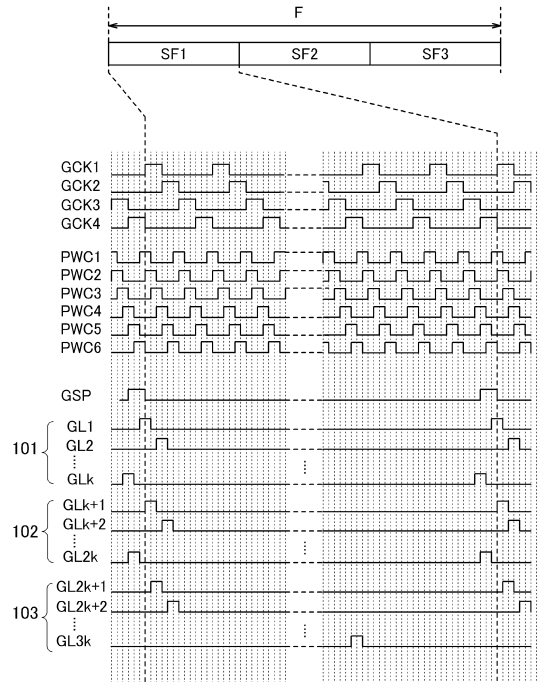
【図 7】



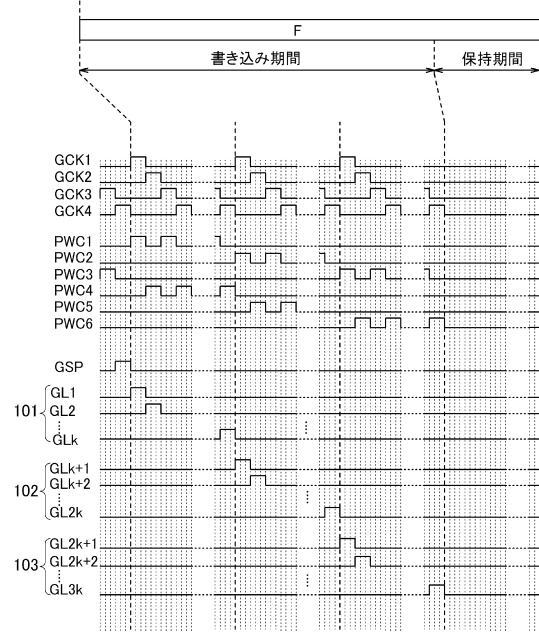
【図 8】



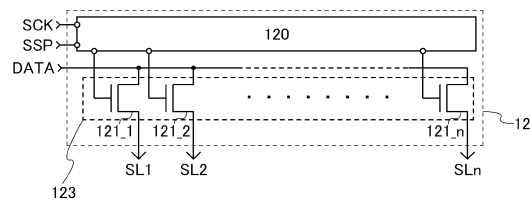
【図 9】



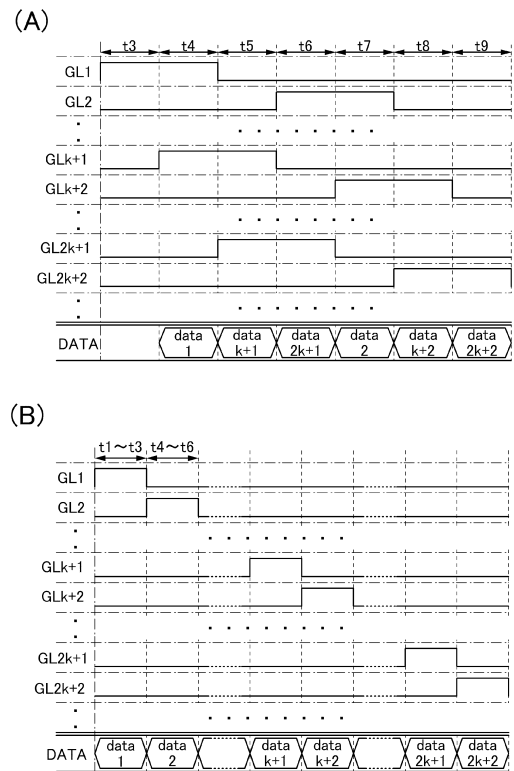
【図 10】



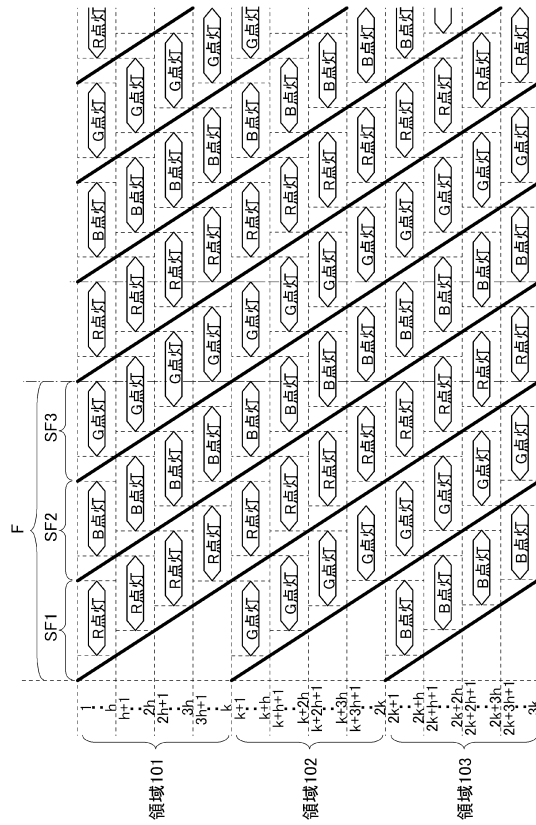
【図 11】



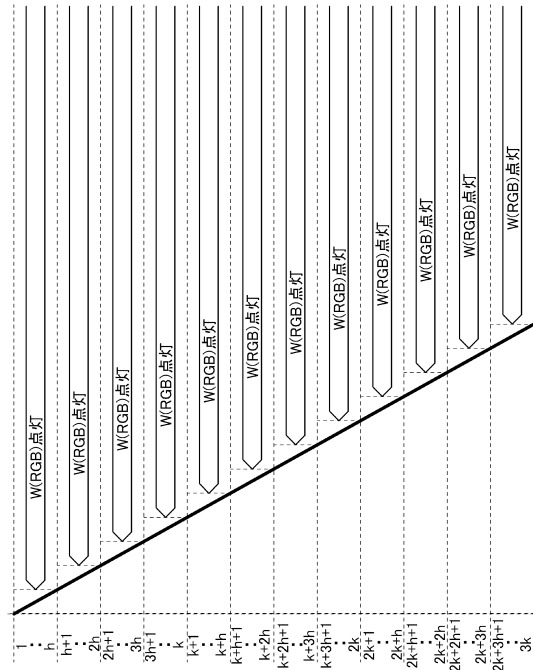
【図 12】



【図 13】

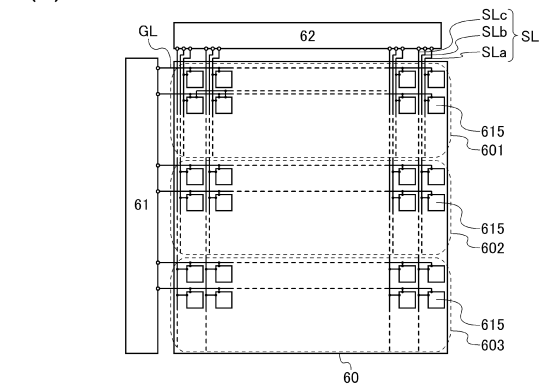


【図 14】

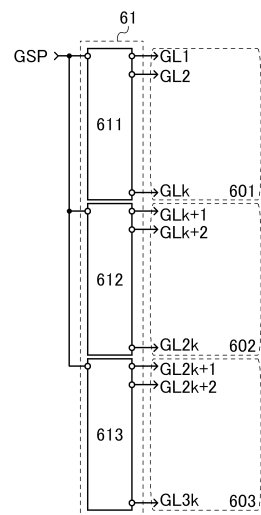


【図 15】

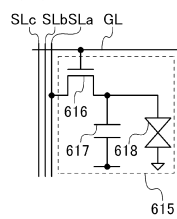
(A)



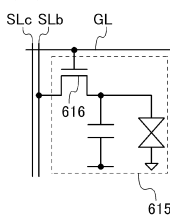
【図 16】



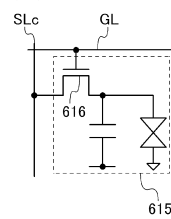
(B)



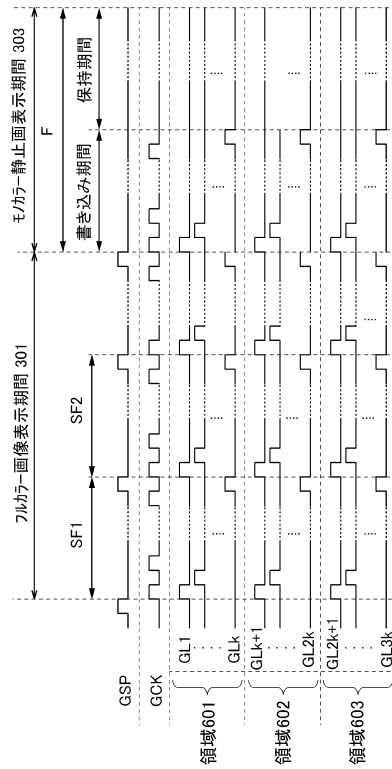
(C)



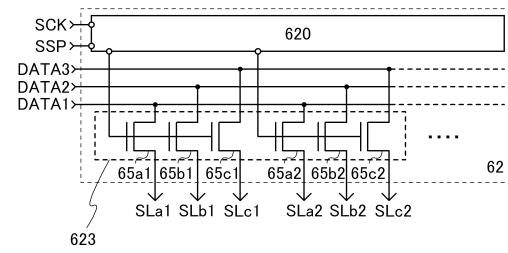
(D)



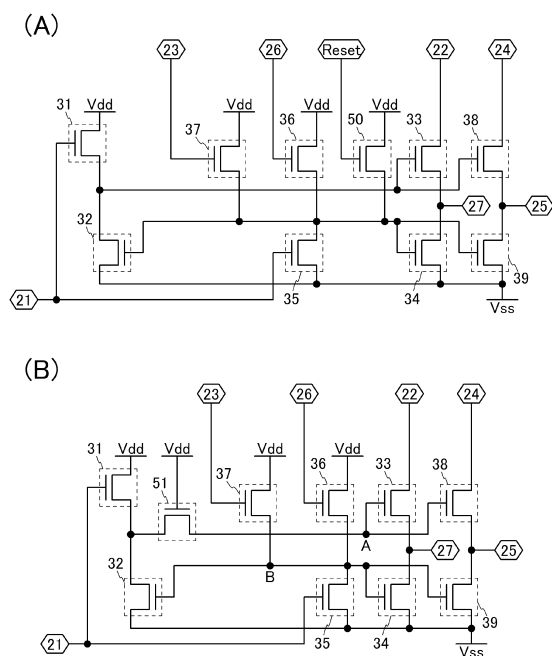
【図 17】



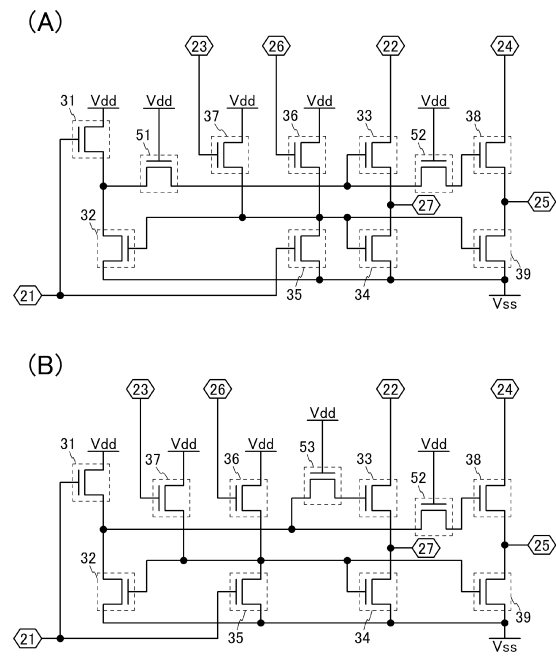
【図 18】



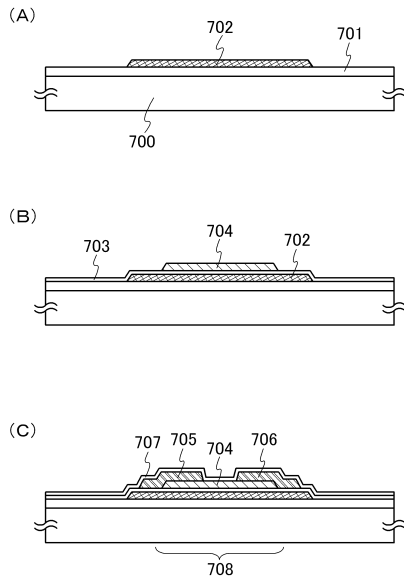
【図 19】



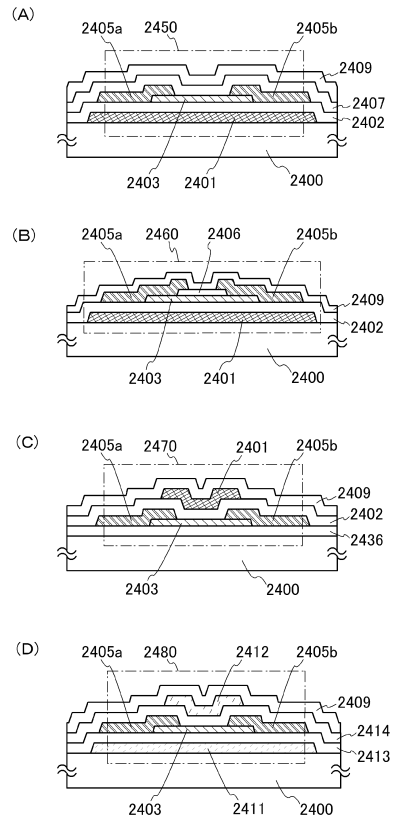
【図 20】



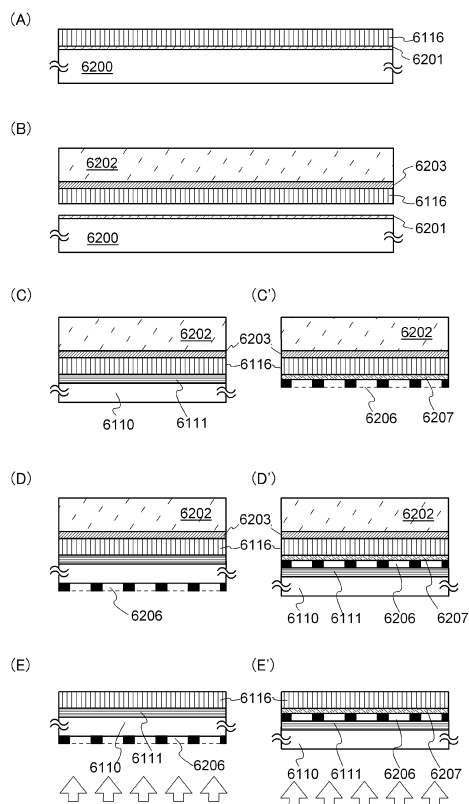
【図 2 1】



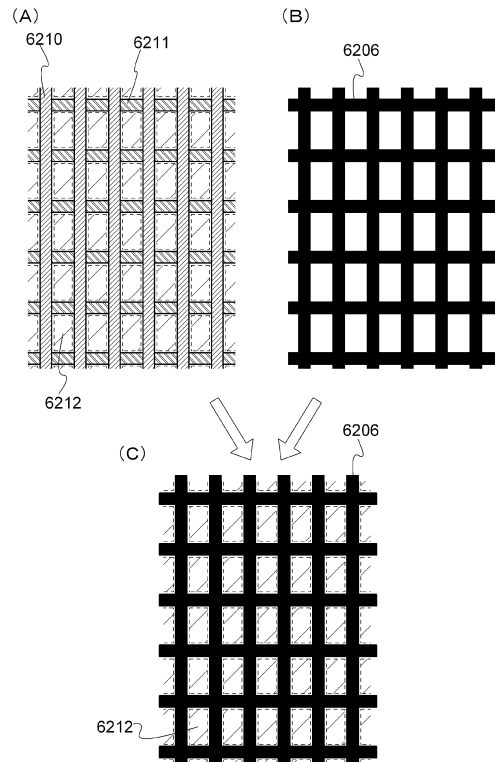
【図 2 2】



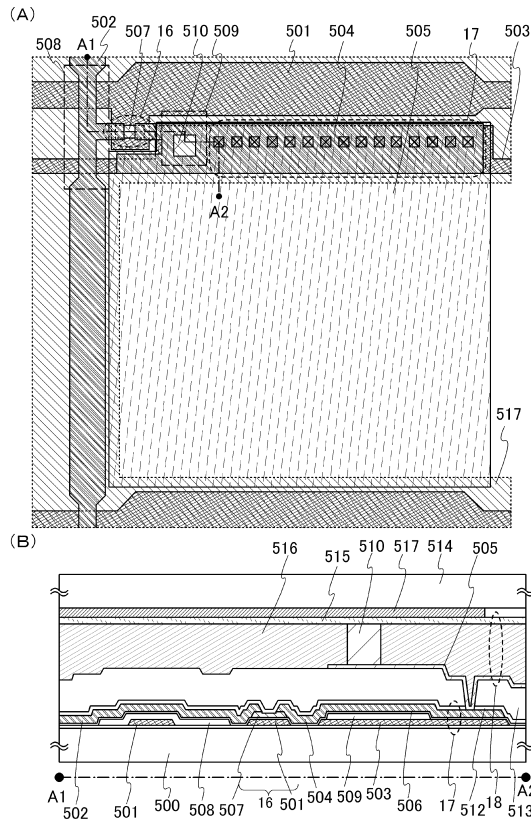
【図 2 3】



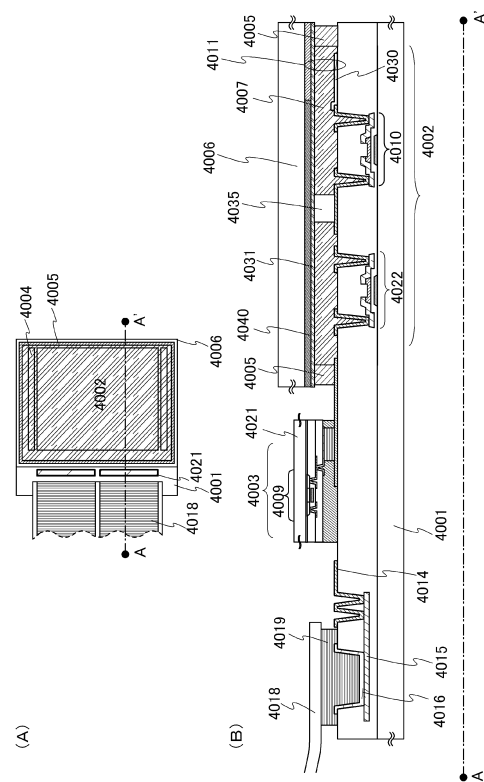
【図 2 4】



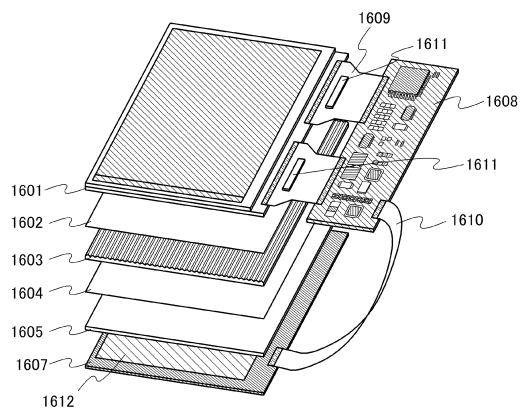
【図 25】



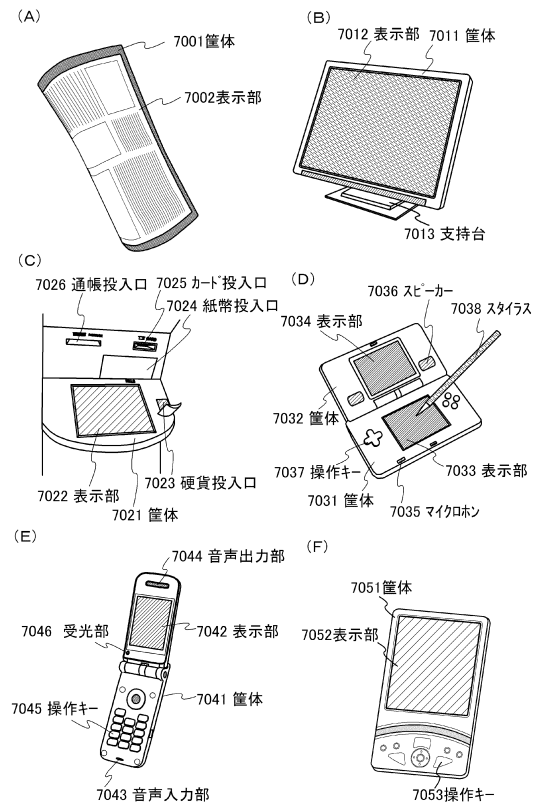
【図 26】



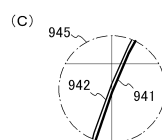
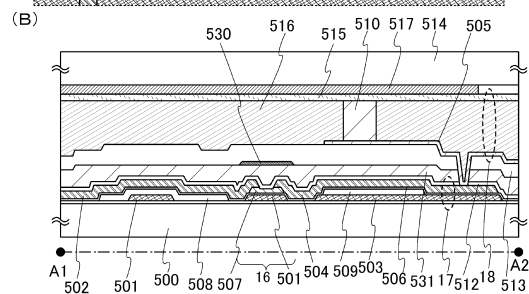
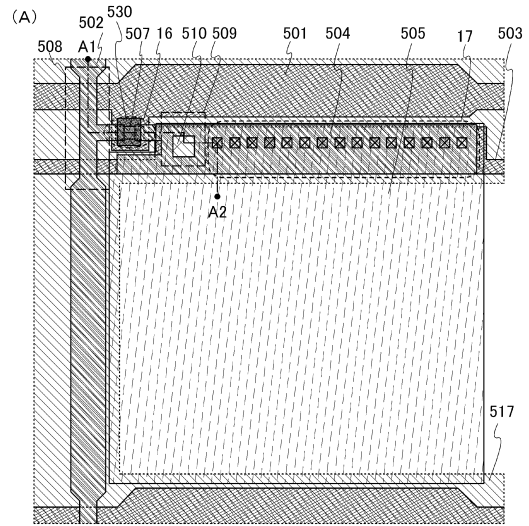
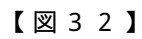
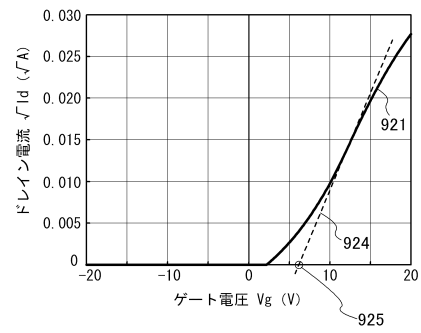
【図 27】



【図 28】



【 図 3 0 】



フロントページの続き

(51)Int.Cl.			F I		
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/36	
G 0 9 G	3/34	(2006.01)	G 0 9 G	3/20	6 4 1 E
			G 0 9 G	3/34	J
			G 0 9 G	3/20	6 1 1 A
			G 0 9 G	3/20	6 4 2 F
			G 0 9 G	3/20	6 6 0 U
			G 0 9 G	3/20	6 1 1 E

審査官 小林 俊久

- (56)参考文献 特開平 1 1 - 3 3 7 9 0 4 (J P , A)
 特開 2 0 0 2 - 2 5 8 8 1 5 (J P , A)
 特開 2 0 0 7 - 1 0 3 9 1 8 (J P , A)
 特開 2 0 0 0 - 1 8 0 8 2 5 (J P , A)
 Seiko Amano他, Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency, S I D 1 0 D i g e s t , 米国, S I D , 2 0 1 0 年 5 月, Volume 41, Issue 1, pages 626--629
 天野聖子他, 可変フレーム周波数を用いた I G Z O T F T 駆動の低消費電力, ディスプレイ技術年鑑, 日本, 日経BP社, 2 0 1 0 年 1 1 月 1 0 日, p 3 8 - 4 2

(58)調査した分野(Int.Cl., D B 名)

G 0 2 F 1 / 1 3 3
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP5851734B2	公开(公告)日	2016-02-03
申请号	JP2011142754	申请日	2011-06-28
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤 三宅博之 豊高耕平		
发明人	山崎 舜平 小山 潤 三宅 博之 豊高 耕平		
IPC分类号	G02F1/133 G02F1/1368 G02F1/1343 G02F1/13357 G09G3/36 G09G3/20 G09G3/34		
CPC分类号	G09G3/3677 G09G3/3413 G09G3/3688 G09G2310/0235		
FI分类号	G02F1/133.535 G02F1/1368 G02F1/133.550 G02F1/1343 G02F1/13357 G09G3/36 G09G3/20.641.E G09G3/34.J G09G3/20.611.A G09G3/20.642.F G09G3/20.660.U G09G3/20.611.E G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA51 2H092/GA59 2H092/JA24 2H092/JA25 2H092/JA34 2H092/JA37 2H092/JA40 2H092/JA41 2H092/JB13 2H092/KA03 2H092/KA08 2H092/KA12 2H092/KA18 2H092/KA19 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/MA27 2H092/NA25 2H092/PA06 2H092/PA13 2H092/QA07 2H191/FA42Z 2H191/FA52Z 2H191/FA71Z 2H191/FA85Z 2H191/GA17 2H191/GA19 2H191/HA06 2H191/HA11 2H191/HA15 2H191/LA19 2H191/LA21 2H191/LA40 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB08 2H192/CB37 2H192/DA12 2H192/EA01 2H192/FB03 2H192/FB05 2H192/GD47 2H192/GD61 2H192/HA90 2H193/ZA04 2H193/ZA05 2H193/ZF12 2H193/ZF21 2H193/ZF23 2H193/ZF31 2H193/ZF32 2H193/ZG03 2H193/ZG14 2H193/ZG27 2H193/ZG34 2H193/ZG44 2H193/ZG53 2H193/ZG56 2H391/AB05 2H391/AB14 2H391/CB08 2H391/CB24 2H391/CB32 2H391/CB52 5B074/AA10 5B074/CA01 5B074/EA01 5C006/AA02 5C006/AA14 5C006/AA22 5C006/AF41 5C006/AF63 5C006/BB16 5C006/BC22 5C006/BC23 5C006/BF02 5C006/BF03 5C006/BF06 5C006/BF11 5C006/BF15 5C006/BF24 5C006/BF34 5C006/BF39 5C006/EA01 5C006/FA04 5C006/FA23 5C006/FA36 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/BB06 5C080/CC03 5C080/DD01 5C080/DD06 5C080/DD26 5C080/FF09 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK29 5C080/KK43 5C080/KK47 5C080/KK50		
优先权	2010152158 2010-07-02 JP		
其他公开文献	JP2012032800A5 JP2012032800A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够防止图像质量劣化的液晶显示装置及其驱动方法，或者提供一种能够降低功耗的液晶显示装置及其驱动方法。解决方案：液晶显示装置包括：像素部分包括至少第一区域和第二区域，以及多个光源。第一区域和第二区域中的每一个

包括液晶元件和晶体管，液晶元件的透射率由图像信号的电压控制，晶体管具有极小的截止电流并且控制电压的保持。以如下方式执行第一驱动：光源根据第一旋转时间表顺序地将具有不同颜色相位的多个光线提供给第一区域，并且根据第二旋转时间表顺序地将具有不同颜色相位的多个光线提供给第二区域。轮换时间表与第一轮时间表不同。或者，以具有单色相位的光连续地提供给第一区域和第二区域之一或两者的方式执行第二驱动。保持电压的时段根据第一驱动和第二驱动而不同。

(21) 出願番号	特願2011-142754 (P2011-142754)	(73) 特許権者	000153878
(22) 出願日	平成23年6月28日 (2011. 6. 28)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2012-32800 (P2012-32800A)		神奈川県厚木市長谷398番地
(43) 公開日	平成24年2月16日 (2012. 2. 16)	(72) 発明者	山崎 舜平
審査請求日	平成26年5月20日 (2014. 5. 20)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-152158 (P2010-152158)		半導体エネルギー研究所内
(32) 優先日	平成22年7月2日 (2010. 7. 2)	(72) 発明者	小山 潤
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	三宅 博之
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	豊高 耕平
			神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く