

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5734951号
(P5734951)

(45) 発行日 平成27年6月17日 (2015. 6. 17)

(24) 登録日 平成27年4月24日 (2015. 4. 24)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 611E

G09G 3/20 66OV

G09G 3/20 611A

G09G 3/20 623B

請求項の数 9 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2012-502967 (P2012-502967)
 (86) (22) 出願日 平成22年12月13日 (2010.12.13)
 (86) 国際出願番号 PCT/JP2010/072383
 (87) 国際公開番号 W02011/108166
 (87) 国際公開日 平成23年9月9日 (2011.9.9)
 審査請求日 平成24年8月15日 (2012.8.15)
 (31) 優先権主張番号 特願2010-46789 (P2010-46789)
 (32) 優先日 平成22年3月3日 (2010.3.3)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
 (72) 発明者 柳 俊洋
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内
 (72) 発明者 齊藤 浩二
 日本国大阪府大阪市阿倍野区長池町22番
 22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置およびその駆動方法、ならびに液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

定常電流が流れる回路が設けられた信号線駆動回路を備えている表示装置であって、

1 水平期間において、データ信号線に対して表示に必要な電圧の印加が終了した後の任意の開始時点から、当該 1 水平期間内の任意の終了時点までの間、前記定常電流が流れる回路の能力を低下させる能力制御手段をさらに備え、

前記定常電流が流れる回路は、複数の前記データ信号線に対して設けられる複数のアナログアンプであり、

前記能力制御手段は、前記開始時点から前記終了時点の間、前記複数のアナログアンプのうち少なくともいずれかの能力を低下させ、

前記複数のアナログアンプは、それぞれが複数のアナログアンプからなる複数のアナログアンプ群に分かれており、

前記能力制御手段は、前記アナログアンプ群ごとに異なるタイミングにおいて、当該アナログアンプに含まれる前記複数のアナログアンプを能力が低下した状態から通常状態に復帰させ、

各前記アナログアンプは、前記データ信号線ごとに設けられており、

前記能力制御手段は、画素電極に接続されたスイッチング素子のゲートをオフにする信号が出力された時点以降に、前記複数のアナログアンプのうち少なくともいずれかの能力を低下させることを特徴とする表示装置。

【請求項 2】

前記能力制御手段は、前記開始時点から前記終了時点の間、前記定常電流が流れる回路を休止させることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記能力制御手段は、全ての前記アナログアンプの能力を低下させることを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記開始時点において、画素電極に接続されたスイッチング素子のゲートをオフにする信号を出力する走査線駆動回路をさらに備えていることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の表示装置。

【請求項 5】

前記開始時点は、前記表示に必要な電圧の印加が終了した直後であることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の表示装置。

【請求項 6】

前記能力制御手段は、前記終了時点において、前記定常電流が流れる回路を通常状態に復帰させ、

前記終了時点よりも後において、画素電極に接続されたスイッチング素子のゲートをオンにする信号を出力する走査線駆動回路をさらに備えていることを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記能力制御手段は、前記開始時点から前記終了時点の間、前記データ信号線の接続先を前記定常電流が流れる回路から任意の電圧源に変更することを特徴とする請求項 1 ~ 5 のいずれか 1 項に記載の表示装置。

【請求項 8】

液晶表示装置であることを特徴とする請求項 1 ~ 7 のいずれか 1 項に記載の表示装置。

【請求項 9】

定常電流が流れる回路が設けられた信号線駆動回路を備えている表示装置の駆動方法であって、

1 水平期間において、データ信号線に対して表示に必要な電圧の印加が終了した後の任意の開始時点から、当該 1 水平期間内の任意の終了時点までの間、前記定常電流が流れる回路の能力を低下させる能力制御工程をさらに備え、

前記定常電流が流れる回路は、複数の前記データ信号線に対して設けられる複数のアナログアンプであり、

前記能力制御工程において、前記開始時点から前記終了時点の間、前記複数のアナログアンプのうち少なくともいずれかの能力を低下させ、

前記複数のアナログアンプは、それぞれが複数のアナログアンプからなる複数のアナログアンプ群に分かれており、

前記能力制御工程において、前記アナログアンプ群ごとに異なるタイミングにおいて、当該アナログアンプに含まれる前記複数のアナログアンプを能力が低下した状態から通常状態に復帰させ、

各前記アナログアンプは、前記データ信号線ごとに設けられており、

前記能力制御工程において、画素電極に接続されたスイッチング素子のゲートをオフにする信号が出力された時点以降に、前記複数のアナログアンプのうち少なくともいずれかの能力を低下させることを特徴とする表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、消費電力を低減できる表示装置およびその駆動方法、ならびに液晶表示装置に関する。

【背景技術】

【 0 0 0 2 】

近年、液晶表示装置に代表される薄型、軽量、および低消費電力の表示装置が盛んに活用されている。こうした表示装置は、例えば携帯電話、スマートフォン、またはラップトップ型パーソナルコンピュータへの搭載が顕著である。また、今後はより薄型の表示装置である電子ペーパーの開発および普及も急速に進むことが期待されている。このような状況の中、現在、各種の表示装置において消費電力を低下させることが共通の課題となっている。

【 0 0 0 3 】

特許文献 1 には、画面を 1 回走査する走査期間よりも長い非走査期間であって、全走査信号線を非走査状態とする休止期間を設けることによって、低消費電力を実現する表示装置の駆動方法が開示されている。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 日本国公開特許公報「特開 2 0 0 1 - 3 1 2 2 5 3 号公報（公開日：2 0 0 1 年 1 1 月 9 日）」

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、特許文献 1 に記載の技術においては、以下のような問題がある。特許文献 1 の技術においては、走査期間よりも長い非走査期間すなわち休止期間を設けることによって、低消費電力を実現する。すなわち、1 垂直期間において、走査期間よりも長い非走査期間を設ける必要があるため、単位時間あたりに画面を書き換える回数が少なくなる。したがって、各画素のリフレッシュレートが低くなる。リフレッシュレートが低くなると、表示パネルの特性によっては、画面上におけるフリッカ（ちらつき）を生じ易くなる。また、リフレッシュレートが低くなることは、1 秒間に表示できる画像枚数が減ることと同義であるため、動画を滑らかに表示することができない。例えば、通常はリフレッシュレート = 6 0 H z に設定して、1 秒間に 6 0 枚の画像を書き換えている。ここで特許文献 1 に記載の技術を使用して、走査期間を 1 フレーム、休止期間を 2 フレームとすると、リフレッシュレートは上記通常の場合の 3 分の 1 の 2 0 H z となる。つまり 1 秒間に 2 0 枚の画像しか書き換えられないため、コマ落ちした動画表示となってしまう。このため、特許文献 1 に記載の技術においては、特に動画を表示することは困難である。

20

30

【 0 0 0 6 】

本発明は、前記の問題に鑑みてなされたものであり、その目的は、フリッカを発生させることなく動画を表示でき、なおかつ消費電力を低減できる表示装置その駆動方法、ならびに液晶表示装置を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 7 】

本発明に係る表示装置は、前記の課題を解決するために、

定常電流が流れる回路が設けられた信号線駆動回路を備えている表示装置であって、

40

1 水平期間において、データ信号線に対して表示に必要な電圧の印加が終了した後の任意の開始時点から、当該 1 水平期間内の任意の終了時点までの間、前記定常電流が流れる回路の能力を低下させる能力制御手段をさらに備えていることを特徴としている。

【 0 0 0 8 】

前記の構成によれば、1 水平期間における前記開始時点から前記終了時点までの間（以下、非走査期間と称する）、前記定常電流が流れる回路が低能力状態になり、その結果、前記定常電流が流れる回路に流れる定常電流をカットできる。結果、信号線駆動回路の平均消費電流が、従来の信号線駆動回路に比べて小さくなる。したがって表示装置では、従来の表示装置に比べて消費電力を低減できる。

【 0 0 0 9 】

50

表示装置では、定常電流が流れる回路の能力を低下せる期間は、1 水平期間内において完結する。具体的には、1 水平期間ごとに必ず定常電流が流れる回路を通常状態（動作状態）にして、データ信号線に対して表示に必要な電圧を出力する。これにより、各画素のリフレッシュ期間は1 フレーム期間に等しくなり、言い換えると、全てのフレーム期間において画像が表示される。

【0010】

したがって本発明の表示装置は、フリッカを発生させることなく動画を表示でき、なおかつ消費電力を低減できる効果を奏する。

【0011】

本発明に係る表示装置の駆動方法は、前記の課題を解決するために、

10

定常電流が流れる回路が設けられた信号線駆動回路を備えている表示装置の駆動方法であって、

1 水平期間において、データ信号線に対して表示に必要な電圧の印加が終了した後の任意の開始時点から、当該1 水平期間内の任意の終了時点までの間、前記定常電流が流れる回路の能力を低下させる能力制御工程をさらに備えていることを特徴としている。

【0012】

前記の構成によれば、本発明に係る表示装置と同様の作用効果を奏する。

【0013】

前記能力制御手段は、前記開始時点から前記終了時点の間、前記定常電流が流れる回路を休止させることが好ましい。

20

【0014】

上記の構成によれば、消費電力をより一層低減できる。

【0015】

本発明の他の目的、特徴、および優れた点は、以下に示す記載によって十分分かるであろう。また、本発明の利点は、添付図面を参照した次の説明で明白になるであろう。

【発明の効果】

【0016】

本発明に係る表示装置は、フリッカを発生させることなく動画を表示でき、なおかつ消費電力を低減できるという効果を奏する。

【図面の簡単な説明】

30

【0017】

【図1】本発明の一実施形態に係る表示装置の表示パネルを駆動する際の各種信号波形を示す図である。

【図2】表示装置の全体構成を示す図である。

【図3】(a)は、信号線駆動回路の内部構成、特に出力部分を示す図であり、(b)は、AMP__Enable 信号の波形を示す図である。

【図4】表示パネルの回路構造を簡略的に示す図である。

【図5】階調数のアナログアンプを備えた表示装置の構成を部分的に示す図である。

【図6】(a)は、非走査期間においてデータ信号線が電氣的に浮いている状態を示す図であり、(b)は、非走査期間においてデータ信号線が共通の電圧源に接続されている状態を示す図である。

40

【図7】非走査期間においてデータ信号線が共通の電圧源に接続されている場合における、各種信号波形を示す図である。

【図8】(a)は、アナログアンプを非動作状態から動作状態に復帰させるタイミングと、TFTのゲートをオンにするタイミングとが同一である場合における、各種信号波形を示す図である。(b)は、アナログアンプを非動作状態から動作状態に復帰させるタイミングよりも、TFTのゲートをオンにするタイミングの方が遅い場合における、各種信号波形を示す図である。

【図9】(a)は、複数のアナログアンプからなる第1のアナログアンプ群と、複数のアナログアンプからなる第2のアナログアンプ群とを備えた信号線駆動回路の構成を示す図

50

である。(b)は、複数のアナログアンプからなる第1のアナログアンプ群を備えた第1の信号線駆動回路の構成と、複数のアナログアンプからなる第2のアナログアンプ群を備えた第2の信号線駆動回路の構成とを示す図である。

【図10】(a)は、全アナログアンプに同時に非動作状態から動作状態に切り替える場合における、各種信号波形を示す図である。(b)は、全アナログアンプのうち一部を非動作状態から動作状態に切り替えるタイミングと、残りの一部を非動作状態から動作状態に切り替えるタイミングとを異ならせる場合における、各種信号波形を示す図である。

【図11】従来の表示装置が表示パネルを駆動する際の信号波形を示す図である。

【発明を実施するための形態】

【0018】

10

本発明に係る一実施形態について、図1～図11を参照して以下に説明する。

【0019】

(表示装置1の構成)

まず、本実施形態に係る表示装置(液晶表示装置)1の構成について、図2を参照して説明する。図2は、表示装置1の全体構成を示す図である。この図に示すように、表示装置1は、表示パネル2、走査線駆動回路(ゲートドライバ)4、信号線駆動回路(ソースドライバ)6、共通電極駆動回路8、タイミングコントローラ10、および電源生成回路13を備えている。タイミングコントローラ10はさらに制御信号出力部(能力制御手段)12を備えている。

【0020】

20

表示パネル2は、マトリクス状に配置された複数の画素からなる画面と、前記画面を線順次に選択して走査するためのN本(Nは任意の整数)の走査信号線G(ゲートライン)と、選択されたラインに含まれる一行分の画素にデータ信号を供給するM本(Mは任意の整数)のデータ信号線S(ソースライン)とを備えている。走査信号線Gとデータ信号線Sとは互いに直交している。

【0021】

図1に示すG(n)はn本目(nは任意の整数)の走査信号線Gを表す。たとえばG(1)、G(2)およびG(3)は、それぞれ1本目、2本目および3本目の走査信号線Gを表す。一方、S(i)はi本目(iは任意の整数)のデータ信号線Sを表す。たとえば、S(1)、S(2)およびS(3)は、それぞれ1本目、2本目および3本目のデータ信号線Sを表す。

30

【0022】

走査線駆動回路4は、各走査信号線Gを画面の上から下に向かって線順次走査する。その際、各走査信号線Gに対して、画素に備えられ画素電極に接続されるスイッチング素子(TFT)をオン状態にさせるための矩形波を出力する。これにより、画面内の1行分の画素を選択状態にする。

【0023】

信号線駆動回路6には、入力された映像信号(矢印A)から、選択された1行分の各画素に出力すべき電圧の値を算出し、その値の電圧を各データ信号線Sに出力する。結果、選択された走査信号線G上にある各画素に対して画像データを供給する。

40

【0024】

表示装置1は、画面内の各画素に対して設けられる共通電極(不図示)を備えている。共通電極駆動回路8は、タイミングコントローラ10から入力される信号(矢印B)に基づき、共通電極を駆動するための所定の共通電圧を共通電極に出力する。

【0025】

タイミングコントローラ10は、入力された水平同期信号Hsync(矢印D)に基づき、各回路が同期して動作するための基準となる信号を各回路に対して出力する。具体的には、走査線駆動回路4にはゲートスタートパルス信号およびゲートクロック信号を出力する(矢印E)。信号線駆動回路6にはソーススタートパルス信号、ソースラッチストロブ信号、およびソースクロック信号を出力する(矢印F)。

50

【 0 0 2 6 】

走査線駆動回路 4 は、タイミングコントローラ 1 0 から受け取ったゲートスタートパルス信号を合図に表示パネル 2 の走査を開始し、ゲートクロック信号に従って各走査信号線 G に順次選択電圧を印加していく。信号線駆動回路 6 は、タイミングコントローラ 1 0 から受け取ったソーススタートパルス信号を基に、入力された各画素の画像データをソースクロック信号に従ってレジスタに蓄え、次のソースラッチストロブ信号に従って表示パネル 2 の各データ信号線 S に画像データを書き込む。

【 0 0 2 7 】

電源生成回路 1 3 は、表示装置 1 内の各回路が動作するために必要な電圧である V_{dd} 、 V_{dd2} 、 V_{cc} 、 V_{gh} 、および V_{gl} を生成する。そして、 V_{cc} 、 V_{gh} 、 V_{gl} を走査線駆動回路 4 に出力し、 V_{dd} および V_{cc} を信号線駆動回路 6 に出力し、 V_{cc} をタイミングコントローラ 1 0 に出力し、 V_{dd2} を共通電極駆動回路 8 に出力する。

【 0 0 2 8 】

(従来の表示装置における消費電力)

従来の表示装置における消費電力の問題について説明する。一般的な解像度 $WSVGA$ ($1024RGB \times 600$) を有する表示装置を例に挙げる。このような表示装置は、信号線駆動回路に 1024×3 (RGB) = 3072 個のアナログアンプを必要とする。各アナログアンプは、データ信号線にデータ信号を出力する素子である。個々のアナログアンプには、出力能力を確保するために、 $0.01mA$ 程度の常時定常電流が流れている。

【 0 0 2 9 】

したがって、 3072 個のアナログアンプでは常時定常電流の総計は約 $30.7mA$ となる。信号線駆動回路に供給される電圧源 (V_{dd}) は通常 $10V$ 程度であるため、 $10V \times 30.7mA = 307mW$ の電力を信号線駆動回路が消費する。この値は表示装置全体の消費電力に対して相当量を占めており、表示装置の低消費電力化を妨げる 1 つの大きな原因となっている。

【 0 0 3 0 】

(表示装置 1 における消費電力)

本実施形態の表示装置 1 は、前記した従来の表示装置に比べてより少ない電力で動作する。この点について、図 3 を参照して説明する。

【 0 0 3 1 】

図 3 中の (a) は、信号線駆動回路 6 の内部構成、特に出力部分を示す図である。図 3 に示すように、信号線駆動回路 6 は複数のアナログアンプ 1 4 を備えている。各アナログアンプ 1 4 は、データ信号線 S ごとに設けられる。したがって、本実施形態に係る信号線駆動回路 6 は M 個のアナログアンプ 1 4 を備えている。すなわちアナログアンプ 1 4 の数とデータ信号線 S の数とは互いに等しい。

【 0 0 3 2 】

信号線駆動回路 6 は、各アナログアンプ 1 4 に AMP_Enable 信号を入力するための AMP_Enable 信号線をさらに備えている。この信号線は、タイミングコントローラ 1 0 の制御信号出力部 1 2 に接続されている。また、信号線駆動回路 6 の内部においては、各アナログアンプ 1 4 に並列に接続されている。

【 0 0 3 3 】

上述したように、 V_{dd} は表示装置 1 内の電源生成回路 1 3 から供給される電圧源であり、信号線駆動回路 6 を含め表示装置 1 内の各回路を動作させるために用いられる。各アナログアンプ 1 4 も V_{dd} の供給を受けて動作する。

【 0 0 3 4 】

タイミングコントローラ 1 0 の制御信号出力部 1 2 は、各アナログアンプ 1 4 の動作状態を規定する制御信号である AMP_Enable 信号を、予め定められたタイミングで信号線駆動回路 6 の各アナログアンプ 1 4 に出力する。具体的には、図 3 中の (b) に示すように、制御信号出力部 1 2 は、ある水平同期信号 $Hsync$ が出力されるタイミングに合わせて、 AMP_Enable 信号の電圧を H 値 (高値) にし、その後、次の水平同

10

20

30

40

50

期信号 H_{sync} が H になるまでの間に、当該 AMP_Enable 信号の電圧を L 値（低い値）にする。アナログアンプ 14 は、 AMP_Enable 信号が H 値のときには動作し、L 値のときには休止する。

【0035】

（走査期間と非走査期間）

表示装置 1 は、1 秒間に 60 フレームの画像を表示パネル 2 に表示する。したがって、1 フレーム期間は約 16.7 ms である。表示装置 1 の解像度は 1024×600 画素であるため、1 フレーム期間中に 600 本の走査信号線 G を走査する。また、垂直帰線期間を 5 水平期間分とすると、1 水平期間は約 27.5 μs である。

【0036】

表示装置 1 は、表示パネル 2 を駆動する際、1 水平期間を走査期間と非走査期間とに分割する。そして、走査期間においては AMP_Enable 信号を H 値にしてアナログアンプ 14 を動作させる。さらに、走査信号を V_{gh} にして TFT のゲートをオンにする。走査期間は、表示に必要な電圧が画素電極に書き込まれるのに必要な時間に等しい。本実施形態では、走査期間は 1 水平期間の約 3 分の 1 を占める。

【0037】

表示装置 1 は、非走査期間においては、 AMP_Enable 信号を L 値にしてアナログアンプ 14 を休止させる。さらに、走査信号を V_{gl} にして TFT のゲートをオフにする。非走査期間は 1 水平期間における走査期間以外の期間であるため、本実施形態では 1 水平期間の約 3 分の 2 を占める。

【0038】

（信号波形）

表示パネル 2 を駆動する際の各種信号の波形について、その詳細を説明する。説明の簡便のため、図 4 に示す等価回路を対象にした駆動を例にする。図 4 は、表示パネル 2 の回路構造を簡略的に示す図である。この図に示すように、表示パネル 2 内の各画素には TFT が設けられており、TFT のドレインは図示しない画素電極に接続されている。また表示パネル 2 には、画素電極に対向して液晶層を挟む形で共通電極（COM）が設けられている。

【0039】

図 1 は、本発明の一実施形態に係る表示装置 1 の表示パネル 2 を駆動する際の各種信号波形を示す図である。表示装置 1 では、 H_{sync} が 1 水平期間ごとに入力される。この H_{sync} に同期させて、まず、 AMP_Enable 信号の電圧を H 値から L 値に変化させる。これにより、信号線駆動回路 6 が備えるアナログアンプ 14 が、非動作状態から動作状態（通常状態）へと切り替わる。 AMP_Enable 信号は、表示に必要な電圧がデータ信号線 $S(i)$ に印加され続ける間、H 値を維持する。

【0040】

次に、 H_{sync} に同期させて、1 本目の走査信号線 G に印加される電圧を、 V_{gl} （L 値）から V_{gh} （H 値）に変化させる。これにより、走査信号線 G（1）に接続された画素の TFT のゲートがオン状態になる。

【0041】

次に、 H_{sync} に同期させて、データ信号線 S ごとに、当該データ信号線 $S(i)$ に接続されたアナログアンプ 14 からデータ信号を出力する。これにより、表示に必要な電圧が各データ信号線 S に供給され、TFT を通じて画素電極に書き込まれる。

【0042】

表示に必要な電圧の印加が完了した後、1 水平期間内において、 AMP_Enable 信号を H 値から L 値に変化させる。この結果、アナログアンプ 14 が非動作状態になる。このときアナログアンプ 14 の出力とデータ信号線 $S(i)$ との接続が切られる。詳しくは後述するが、データ信号線 $S(i)$ は電氣的に浮いた状態にしてもよく、 V_{dd} 等に接続させた状態にしてもよい。その際の状態に応じてデータ信号線 $S(i)$ の電圧波形が決まるので、図 1 では確定した波形を示す実線ではなく、確定しない波形を示す点線で示す

10

20

30

40

50

。表示に必要な電圧はすでに画素電極に印加された後であるので、表示に大きな影響は生じない。

【 0 0 4 3 】

表示に必要な電圧の印加が完了するまで要する時間は、主には T F T の特性に応じて決まる。したがって、T F T の設計値等に基づき当該時間を算出し、表示装置 1 内に記憶させて利用すればよい。本実施形態では、当該時間は 1 水平期間の 3 分の 1 である。

【 0 0 4 4 】

A M P _ E n a b l e 信号を H 値から L 値に変化させるタイミングにおいて、ゲート電圧を V g h から V g l に変化させる。これにより、T F T のゲートはオン状態からオフ状態に戻る。

10

【 0 0 4 5 】

最初の 1 水平期間が経過したら、次の H s y n c が入力される。2 本目以降の走査信号線 G に接続された 1 行分の画素は、1 本目の走査信号線 G に接続された 1 行分の画素と同様の手順によって駆動される。ただし、表示装置 1 は表示パネル 2 を極性反転駆動するので、走査対象の走査信号線 G が変化するたびに、データ信号線 S (i) に印加される電圧の極性は反転する。たとえば、図 1 では 1 本目の走査信号線 G (1) を走査したときには、負極から正極に変化するデータ信号をデータ信号線 S (i) に印加し、2 本目の走査信号線 G (2) を走査したときには、正極から負極に変化するデータ信号をデータ信号線 S (i) に印加する。

【 0 0 4 6 】

20

(作用効果)

以上のように、表示装置 1 は、定常電流が流れる回路 (アナログアンプ 1 4) が設けられた信号線駆動回路 6 を備えている表示装置であって、1 水平期間において、データ信号線 S (i) に対して表示に必要な電圧の印加が終了した後の任意の開始時点から、当該 1 水平期間内の任意の終了時点までの間、アナログアンプ 1 4 の動作を休止させる制御信号出力部 1 2 をさらに備えている。

【 0 0 4 7 】

前記の構成によれば、非走査期間における前記開始時点から前記終了時点までの間 (すなわち非走査期間である)、アナログアンプ 1 4 の定常電流がカットされている。結果、平均消費電流は図 1 の矢印 P に示す値となり、この値は従来の表示装置における平均消費電流 (図 1 1 の矢印 P ') に比べて著しく小さい。したがって表示装置 1 では、従来の表示装置に比べて消費電力を低減する効果を奏する。

30

【 0 0 4 8 】

表示装置 1 では、アナログアンプ 1 4 を停止させる期間は、1 水平期間内において完結する。具体的には、1 水平期間ごとに必ずアナログアンプ 1 4 を動作状態にして、各データ信号線 S (i) に対して表示に必要な電圧を出力する。これにより、各画素のリフレッシュ期間は 1 フレーム期間に等しくなり、言い換えると、全てのフレーム期間において画像がリフレッシュされる。結果、画像のリフレッシュ周波数を低くすることが無いため、滑らかな動画を表示できる。

【 0 0 4 9 】

40

比較のため、従来の信号線駆動回路における平均消費電流について説明する。図 1 1 は、従来の表示装置が表示パネルを駆動する際の信号波形を示す図である。この図に示すように、従来の表示装置では各アナログアンプは 1 水平期間中、動作状態を維持する。また、ゲート電圧は 1 水平期間中、H 値を維持する (ゲートオン状態を維持)。

【 0 0 5 0 】

従来の表示装置では、アナログアンプには 1 水平期間において常時定常電流が流れている。すなわち 1 水平期間内の特定期間において定常電流をカットする制御を行っていない。結果、平均消費電流は図 1 1 の矢印 P ' に示す値となり、この値は本発明の表示装置 1 における平均消費電流 (図 1 の矢印 P) に比べて著しく大きい。このように従来の表示装置では、本発明の表示装置 1 とは異なり消費電力を低減する効果を奏しない。

50

【 0 0 5 1 】

(階調アンプを備える場合)

本発明では、アナログアンプ 1 4 の数と、データ信号線 S の数とは必ずしも同一である必要はない。たとえばアナログアンプ 1 4 を階調毎に構成する方式にすると、その数をデータ信号線 S の数よりも少なくできる。本例について、図 5 を参照して以下に説明する。

【 0 0 5 2 】

図 5 は、階調数のアナログアンプ 1 4 を備えた表示装置 1 a の構成を部分的に示す図である。本例では、表示装置 1 a の信号線駆動回路 6 は、2 5 6 個のアナログアンプ (階調) 1 4 を備えている。各アナログアンプ 1 4 は、0 ~ 2 5 5 のいずれかの階調を表示するための電圧である $V_0 \sim V_{255}$ を、データ信号線 S (i) に出力する。出力する電圧はアナログアンプ 1 4 ごとに予め定まっており、同じ電圧を出力するアナログアンプ 1 4 は 1 つしかない。

10

【 0 0 5 3 】

各アナログアンプ 1 4 の出力は、表示パネル 2 内の全てのデータ信号線 S に接続される。したがって、1 つのアナログアンプ 1 4 から、任意の数のデータ信号線 S に同じ電圧を出力することができる。表示パネル 2 の駆動時には、選択された走査信号線 G 上の画素に接続されたデータ信号線 S (i) を、当該画素が表示する階調に応じた電圧を出力するアナログアンプ 1 4 に接続させる。

【 0 0 5 4 】

各アナログアンプ 1 4 には、上述した AMP__Enable 信号が入力可能になっている。したがって、図 1 を参照して説明した駆動方法を、図 5 に示す表示装置 1 も実行できる。すなわち、1 水平期間内の非走査期間において、2 5 6 個のアナログアンプ 1 4 がいずれも非動作状態になるので、非走査期間における定常電流を削減でき、結果、消費電力を低減できる。

20

【 0 0 5 5 】

(非走査期間におけるデータ信号線の接続先)

非走査期間において、データ信号線 S (i) の接続先は不定であってもよく、または任意の電源であってもよい。これらの点について、図 6 を参照して説明する。

【 0 0 5 6 】

図 6 中の (a) は、非走査期間においてデータ信号線 S (i) が電氣的に浮いている状態を示す図である。この図の例では、非走査期間 (AMP__Enable 信号が L 値になっている期間) において、アナログアンプ 1 4 とデータ信号線 S (i) との接続は切れており、データ信号線 S (i) の接続先は不定である。すなわち、データ信号線 S (i) は電氣的に浮いている。

30

【 0 0 5 7 】

図 6 中の (b) は、非走査期間においてデータ信号線 S (i) が共通の V d d に接続されている状態を示す図である。図 7 は、非走査期間においてデータ信号線 S (i) が共通の圧力電源に接続されている場合における、各種信号波形を示す図である。これらの図の例では、非走査期間において、アナログアンプ 1 4 とデータ信号線 S (i) との接続は切れており、かつ、いずれのデータ信号線 S (i) も、共通の電圧力源 (V d d) に接続されている。これにより、データ信号線 S (i) に出力された電圧は、走査期間の終了後、すなわち AMP__Enable 信号が H 値から L 値に変化した後、ピークの値から一定値だけ減少し、その値を安定して保つ (図 7 の矢印 Q)。結果、非走査期間において、データ信号線 S に出力された電圧が安定するので、安定した表示を維持することができる。

40

【 0 0 5 8 】

なお、非走査期間におけるデータ信号線 S (i) の接続先は、任意の電圧源 (V d d) に限らず、グラウンド (G N D) または共通のノードであってもよい。いずれの場合も、非走査期間における、データ信号線 S に出力された電圧を安定化できる効果が得られる。

【 0 0 5 9 】

(タイミングをずらす例)

50

図 8 中の (a) は、アナログアンプ 1 4 を非動作状態から動作状態に復帰させるタイミングと、T F T のゲートをオンにするタイミングとが同一である場合における、各種信号波形を示す図である。図 8 中の (b) は、アナログアンプ 1 4 を非動作状態から動作状態に復帰させるタイミングよりも、T F T のゲートをオンにするタイミングの方が遅い場合における、各種信号波形を示す図である。

【 0 0 6 0 】

表示装置 1 では、アナログアンプ 1 4 を非動作状態から動作状態に復帰させた場合、アナログアンプ 1 4 の正常な動作が可能となるまでに、ある程度の時間が必要になる。そのため、アナログアンプ 1 4 を復帰させるタイミングと、T F T のゲートをオンにするタイミングとを同じにした場合、図 8 中の (a) の期間 K において、アナログアンプ 1 4 からデータ信号線 S に出力する信号の状態が、図 8 中の (a) の 3 0 に示すように安定しなくなってしまう。これにより、本来は意図しない電圧を画素に印加してしまう可能性が生じる。

10

【 0 0 6 1 】

そこで、表示装置 1 では、アナログアンプ 1 4 を非動作状態から動作状態に復帰させるタイミングよりも、T F T のゲートをオンにする（すなわち走査信号を V g l から V g h に変化させる）タイミングの方を遅らせることが好ましい。具体的には、図 8 中の (b) の期間 T 0、すなわち A M P _ E n a b l e 信号を L 値から H 値に変化させる時点から、走査信号を V g l から V g h に変化させる時点までの間の時間を、0 u s よりも大きい値に設定する。これにより、アナログアンプ 1 4 が非動作状態から復帰して安定するまでの時間が経過した後に、T F T のゲートがオンされる。結果、正常な電圧を画素に印加できる。

20

【 0 0 6 2 】

（全アナログアンプ 1 4 の分割）

本発明では、全てのアナログアンプ 1 4 を複数のアナログアンプ群に分割し、当該アナログアンプ群ごとに異なるタイミングで非動作状態から動作状態に切り換えてもよい。この例について、図 9 および図 1 0 を参照して説明する。

【 0 0 6 3 】

図 9 中の (a) は、複数のアナログアンプ 1 4 からなるアナログアンプ群 2 0 と、複数のアナログアンプ 1 4 からなるアナログアンプ群 2 1 とを備えた信号線駆動回路 6 a の構成を示す図である。図 9 中の (b) は、複数のアナログアンプ 1 4 からなるアナログアンプ群 2 0 を備えた信号線駆動回路 6 b の構成と、複数のアナログアンプ 1 4 からなるアナログアンプ群 2 1 を備えた信号線駆動回路 6 c の構成とを示す図である。

30

【 0 0 6 4 】

図 9 中の (a) の例では、表示装置 1 は 1 つの信号線駆動回路 6 a を備える。信号線駆動回路 6 a の内部において、全てのアナログアンプ 1 4 は 2 つのアナログアンプ群 2 0 , 2 1 に分かれている。図 9 中の (b) の例では、表示装置 1 は 2 つの信号線駆動回路 6 b , 6 c を備える。信号線駆動回路 6 b の内部において、複数のアナログアンプ 1 4 は 1 つのアナログアンプ群 2 0 を形成する。一方、信号線駆動回路 6 c の内部において、複数のアナログアンプ 1 4 は 1 つのアナログアンプ群 2 1 を形成する。

40

【 0 0 6 5 】

図 9 中の (a) および図 9 中の (b) のいずれの構成においても、アナログアンプ群 2 0 は A M P _ E n a b l e 1 信号によって制御を受け、アナログアンプ群 2 1 は A M P _ E n a b l e 2 信号によって制御を受ける。

【 0 0 6 6 】

図 1 0 中の (a) は、全アナログアンプ 1 4 に同時に非動作状態から動作状態に切り替える場合における、各種信号波形を示す図である。図 1 0 中の (b) は、全アナログアンプ 1 4 のうち一部を非動作状態から動作状態に切り替えるタイミングと、残りの一部を非動作状態から動作状態に切り替えるタイミングとを異ならせる場合における、各種信号波形を示す図である。

50

【 0 0 6 7 】

表示装置 1 では、アナログアンプ 1 4 を非動作状態から動作状態に切り替えると、アナログアンプ 1 4 の電源ラインには突入電流が流れる。全アナログアンプ 1 4 を同時に動作状態に切り替えると、当該突入電流がアナログアンプ 1 4 の数だけ倍増されるので、図 1 0 中の (a) に示すように、電源ラインに対して大きな突入電流が流れてしまい、その結果として電源がドロップする可能性がある。

【 0 0 6 8 】

一方、図 9 中の (a) および図 9 中の (b) に示す構成では、図 1 0 中の (b) に示す制御が可能になる。図 1 0 中の (b) の例では、AMP__Enable 1 信号を L 値から H 値に切り替えた後、期間 T 1 が経過してから、AMP__Enable 2 信号を L 値から H 値に切り替える。その後、期間 T 2 が経過してから、走査信号を V g l から V g h に切り替える。これにより、アナログアンプ群 2 0 に突入電流が流れるタイミングは、アナログアンプ群 2 1 に突入電流が流れるタイミングよりも早くなる。したがって、電源ラインに流れる突入電流のピーク値を、図 1 0 中の (a) の場合よりも小さくすることができる。

10

【 0 0 6 9 】

(付記事項)

本発明は上述した実施形態に限定されるものではなく、請求項に示した範囲で種々の変更が可能である。すなわち、請求項に示した範囲で適宜変更した技術的手段を組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。

20

【 0 0 7 0 】

非走査期間においては、信号線駆動回路 6 内の全てのアナログアンプ 1 4 のうち、少なくとも 1 つを休止させれば、動画表示を可能にしつつ、消費電力を削減できる効果が得られる。全てのアナログアンプ 1 4 を動作させれば、消費電力を最も多く削減できるので望ましい。

【 0 0 7 1 】

非走査期間の開始時点は、表示に必要な電圧の印加が終了した直後に限らず、終了時点の少しあとでもよい。一方、非走査期間の終了時点は、1 水平期間が終了する時点に限らず、その少し前でも限らない。すなわち、走査期間が終了した時点から 1 水平同期期間が終了する時点までの間における任意の長さの期間が、非走査期間となりうる。

30

【 0 0 7 2 】

非走査期間においては動作休止の対象とするのは、アナログアンプ 1 4 に限られない。すなわち、アナログアンプ 1 4 を含む、定常電流が流れる何らかの回路群 (素子群) の能力を低下させてもよい。このような回路群の例として、たとえば階調毎の電圧を決定する D A C (Digital-Analogue-Converter) 回路部、および V d d 生成回路部がある。

【 0 0 7 3 】

表示装置 1 では、上述のように非走査期間にアナログアンプ 1 4 の能力 (駆動能力) を低下させることによって低消費電力化を図ることができる。しかし、アナログアンプ 1 4 は完全に休止 (O f f) させることによって、低消費電力化の効果を最も高くすることが可能である。従って表示装置 1 では、非走査期間において「アナログアンプ 1 4 の駆動能力を低下させる」代わりに「アナログアンプ 1 4 を休止させる」ことによって、本発明の効果を奏することができる。なお、アナログアンプ 1 4 の能力を最も低下させた状態が、アナログアンプ 1 4 を休止させた状態に相当する。

40

【 0 0 7 4 】

(本発明の総括)

前記定常電流が流れる回路は、前記データ信号線にデータ信号電圧を出力する複数のアナログアンプであり、

前記能力制御手段は、前記開始時点から前記終了時点の間、前記複数のアナログアンプのうち少なくともいずれかの能力を低下させることが好ましい。

【 0 0 7 5 】

50

前記の構成によれば、アナログアンプを流れる常時定常電流を、非走査期間において低減できる。

【 0 0 7 6 】

前記能力制御手段は、前記開始時点から前記終了時点の間、全ての前記アナログアンプの能力を低下させることが好ましい。

【 0 0 7 7 】

前記の構成によれば、非走査期間において、全てのアナログアンプを低能力状態にするので、消費電力を最大限低減できる。

【 0 0 7 8 】

表示装置は、前記開始時点において、画素電極に接続されたスイッチング素子のゲートをオフにする信号を出力する走査線駆動回路をさらに備えていることが好ましい。

10

【 0 0 7 9 】

前記の構成によれば、非走査期間において、データ信号線に出力された電圧の変動を防止できる。したがって、表示を安定化させられる。

【 0 0 8 0 】

前記複数のアナログアンプは、それぞれが複数のアナログアンプからなる複数のアナログアンプ群に分かれており、

前記能力制御手段は、前記アナログアンプ群ごとに異なるタイミングにおいて、当該アナログアンプに含まれる前記複数のアナログアンプを能力が低下した状態から通常状態に復帰させることが好ましい。

20

【 0 0 8 1 】

前記の構成によれば、アナログアンプが通常状態に復帰するときに生じる突入電流のピーク値を低減させることができる。

【 0 0 8 2 】

前記開始時点は、前記表示に必要な電圧の印加が終了した直後であることが好ましい。

【 0 0 8 3 】

前記の構成によれば、消費電力をより多く削減できる。

【 0 0 8 4 】

前記終了時点は、前記 1 水平期間が終了する時点であることが好ましい。

【 0 0 8 5 】

30

前記の構成によれば、消費電力をより多く削減できる。

【 0 0 8 6 】

前記能力制御手段は、前記終了時点において、前記定常電流が流れる回路を通常状態に復帰させ、

前記終了時点よりも後において、画素電極に接続されたスイッチング素子のゲートをオンにする信号を出力する走査線駆動回路をさらに備えていることが好ましい。

【 0 0 8 7 】

前記の構成によれば、前記定常電流が流れる回路が低能力状態から復帰して安定するまでの時間が経過した後に、スイッチング素子のゲートがオンされる。結果、正常な電圧を画素に印加できる。

40

【 0 0 8 8 】

前記能力制御手段は、前記開始時点から前記終了時点の間、前記データ信号線の接続先を前記アナログアンプから任意の電圧源に変更することが好ましい。

【 0 0 8 9 】

前記の構成によれば、非走査期間において、データ信号線に出力された電圧が安定するので、安定した表示を維持することができる。

【 0 0 9 0 】

前記表示装置は、液晶表示装置であることを特徴としている。

【 0 0 9 1 】

前記の構成によれば、フリッカを発生させることなく動画を表示でき、なおかつ消費電

50

力を低減できる液晶表示装置が実現される。

【 0 0 9 2 】

発明の詳細な説明の項においてなされた具体的な実施形態または実施例は、あくまでも、本発明の技術内容を明らかにするものであって、そのような具体例にのみ限定して狭義に解釈されるべきものではなく、本発明の精神と次に記載する請求の範囲内で、いろいろと変更して実施することができるものである。

【産業上の利用可能性】

【 0 0 9 3 】

本発明に係る表示装置は、液晶表示装置、有機EL表示装置、および電子ペーパーなどの各種の表示装置として広く利用できる。

【符号の説明】

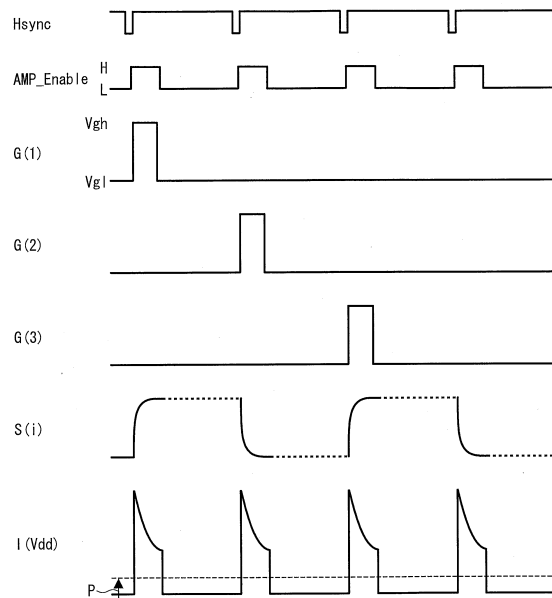
【 0 0 9 4 】

- 1 表示装置
- 1 a 表示装置
- 2 表示パネル
- 4 走査線駆動回路
- 6 信号線駆動回路
- 8 共通電極駆動回路
- 1 0 タイミングコントローラ
- 1 2 制御信号出力部（能力制御手段）
- 1 4 アナログアンプ（定常電流が流れる回路）
- S データ信号線
- G 走査信号線

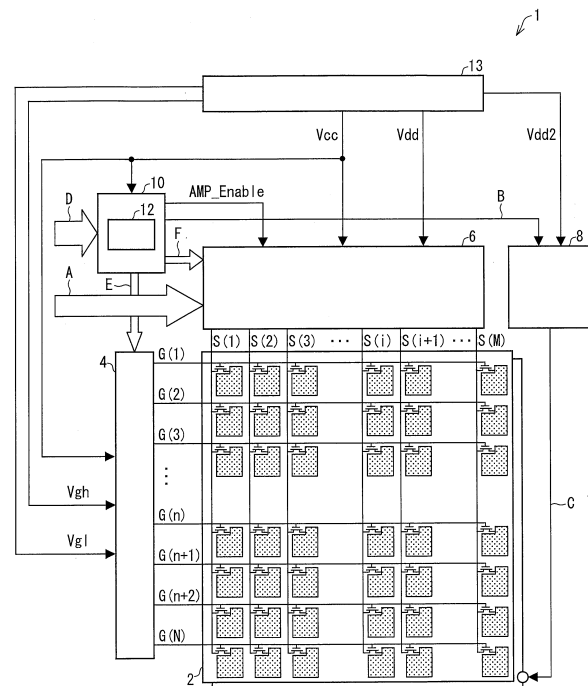
10

20

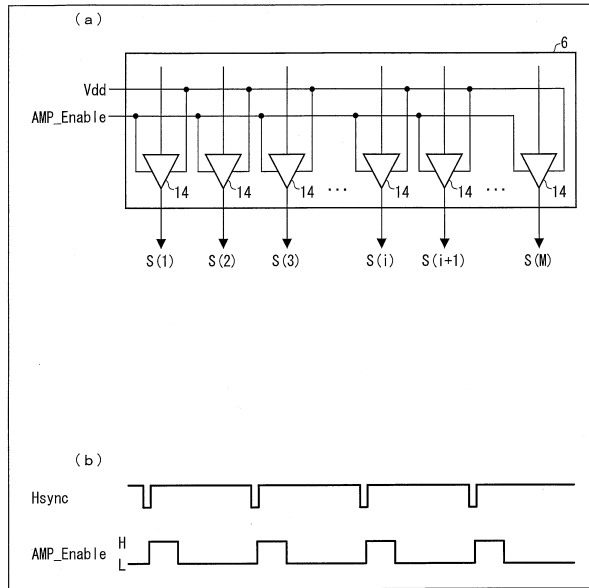
【図 1】



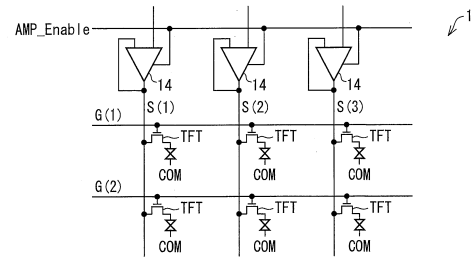
【図 2】



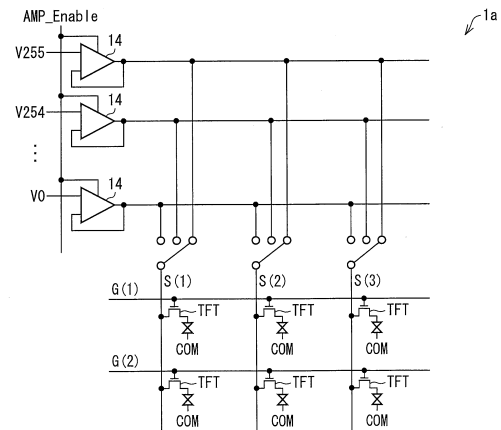
【図 3】



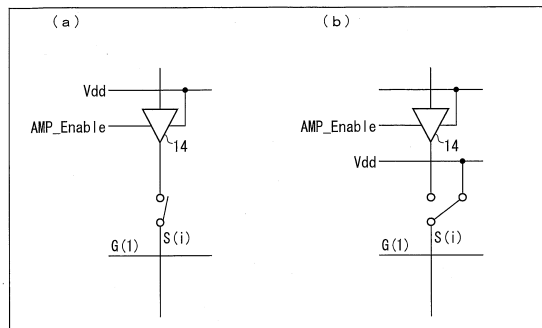
【図 4】



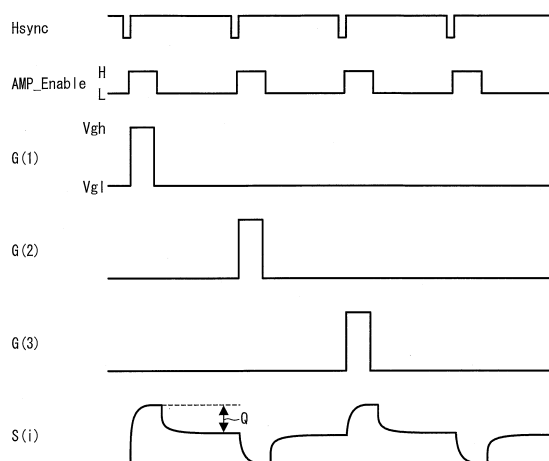
【図 5】



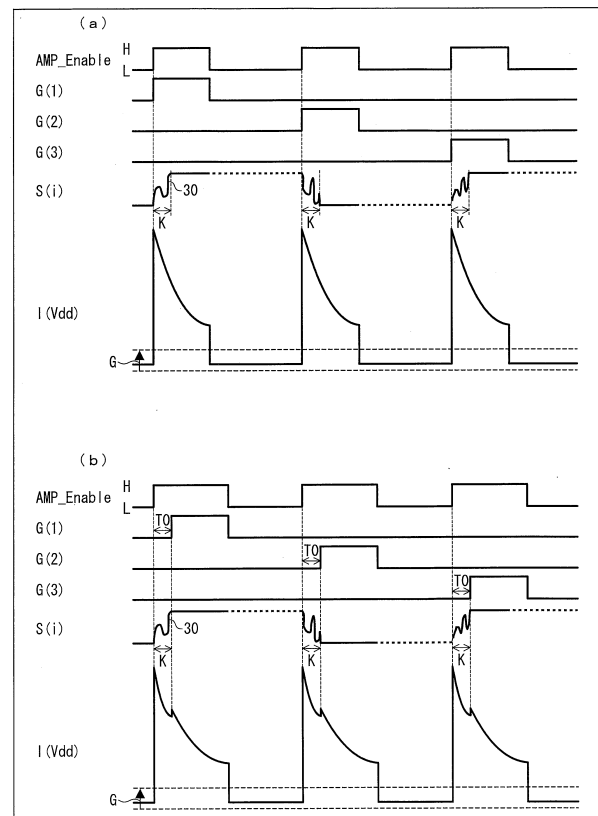
【図 6】



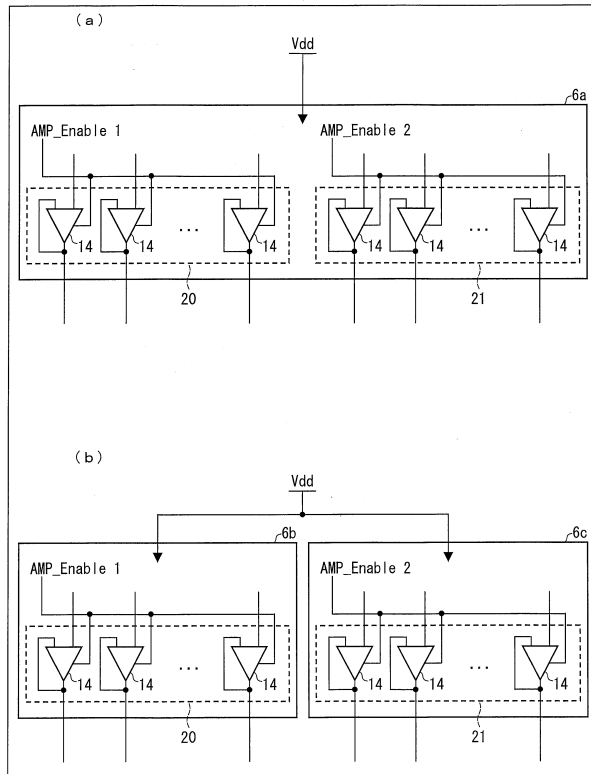
【図 7】



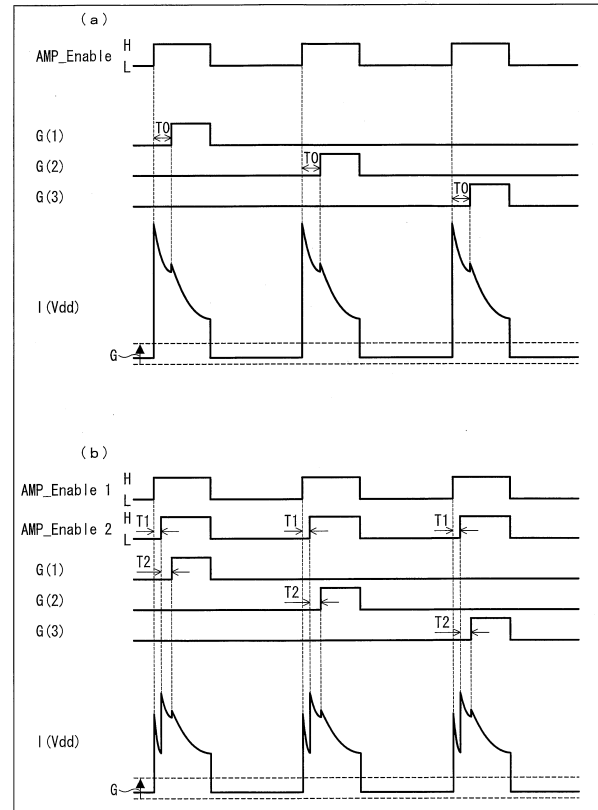
【図 8】



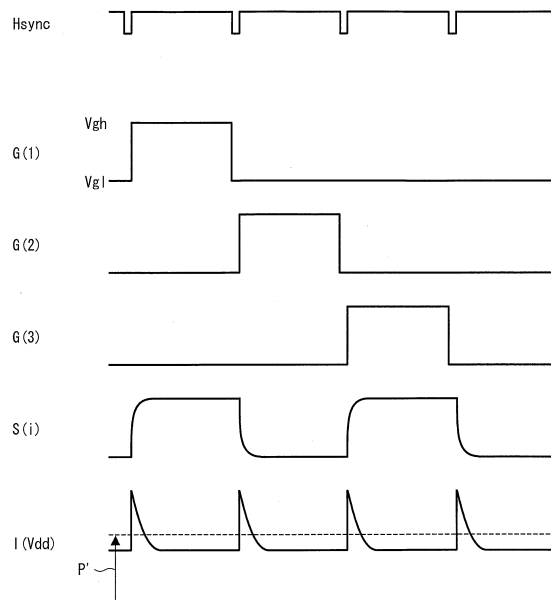
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 3 X
	G 0 9 G	3/20	6 1 2 T
	G 0 2 F	1/133	5 5 0

(72)発明者 尾崎 正実
日本国大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 橋本 直明

(56)参考文献 特開 2 0 0 3 - 3 3 0 4 2 9 (J P , A)
特開 2 0 0 4 - 2 0 5 5 8 0 (J P , A)
特開 2 0 0 2 - 3 1 4 4 2 1 (J P , A)
特開 2 0 0 9 - 2 1 6 8 5 3 (J P , A)
特開 2 0 0 3 - 2 2 8 3 4 8 (J P , A)
特開 2 0 0 3 - 3 0 2 9 5 1 (J P , A)
特開 2 0 1 1 - 1 5 0 2 5 6 (J P , A)
特開 2 0 0 5 - 0 1 7 7 7 1 (J P , A)
特開 2 0 0 8 - 1 7 6 1 5 9 (J P , A)
特開 2 0 0 9 - 1 0 9 8 8 4 (J P , A)
特開 2 0 0 3 - 3 0 2 9 4 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 3 6
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0

专利名称(译)	显示装置及其驱动方法和液晶显示器		
公开(公告)号	JP5734951B2	公开(公告)日	2015-06-17
申请号	JP2012502967	申请日	2010-12-13
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	柳俊洋 齊藤浩二 尾崎正実		
发明人	柳 俊洋 齊藤 浩二 尾崎 正実		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/0281 G09G2310/0291 G09G2310/08 G09G2320/0247 G09G2320/0261 G09G2330/021 G09G2330/022 G09G2330/025		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.660.V G09G3/20.611.A G09G3/20.623.B G09G3/20.623.X G09G3/20.612.T G02F1/133.550		
审查员(译)	Naoaki桥本		
优先权	2010046789 2010-03-03 JP		
其他公开文献	JPWO2011108166A1		
外部链接	Espacenet		

摘要(译)

本发明的显示装置包括信号线驱动电路，该信号线驱动电路设有模拟放大器，固定电流流过该模拟放大器。该显示装置还包括控制信号输出部分，该控制信号输出部分在从应用之后的开始时间到完成显示所需电压的数据信号线S(i)的时段(非扫描时段)期间暂停模拟放大器的操作。水平周期到水平周期结束时间。控制信号输出部分维持AMP_Enable信号，通过该信号，模拟放大器在非扫描周期中被控制在L值(低值)。结果，在非扫描周期中切断流过模拟放大器的静止电流。据此，显示装置允许减少电力消耗，同时能够显示运动图像而不会引起闪烁。

【图2】

