

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5720221号
(P5720221)

(45) 発行日 平成27年5月20日 (2015. 5. 20)

(24) 登録日 平成27年4月3日 (2015. 4. 3)

(51) Int. Cl.	F I
G09G 3/36 (2006.01)	G09G 3/36
G09G 3/20 (2006.01)	G09G 3/20 641P
G02F 1/133 (2006.01)	G09G 3/20 612U
	G09G 3/20 642E
	G09G 3/20 660V
請求項の数 10 (全 40 頁) 最終頁に続く	

(21) 出願番号	特願2010-276676 (P2010-276676)	(73) 特許権者	000002369
(22) 出願日	平成22年12月13日 (2010.12.13)		セイコーエプソン株式会社
(65) 公開番号	特開2012-127991 (P2012-127991A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成24年7月5日 (2012.7.5)	(74) 代理人	100095728
審査請求日	平成25年12月13日 (2013.12.13)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(72) 発明者	保坂 宏行
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	北川 拓
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	小野 健二
			最終頁に続く

(54) 【発明の名称】 映像処理方法、映像処理回路、液晶表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

前記液晶素子への印加電圧の範囲内の電圧である第1電圧と前記第1電圧よりも大きい第2電圧とを閾値として、入力された映像信号において前記印加電圧が前記第1電圧を下回る第1画素と、前記印加電圧が前記第2電圧以上である第2画素との境界のうち、現フレームより1つ前のフレームから現フレームにかけて変化する境界を検出する第1境界検出ステップと、

入力された映像信号で指定される前記第1画素と前記第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を、フレームごと

10

に検出する第2境界検出ステップと、
前記第1境界検出ステップで検出された境界のうち、前記第2境界検出ステップで現フレームの映像信号から検出されたリスク境界に接する前記第1および第2画素の少なくとも一方の画素について、現フレームから後続するkフレーム(kは自然数)までの複数フレームのうち、前記一方の画素が前記第2境界検出ステップで検出されたリスク境界に接するフレームにおいて、当該画素に対応する液晶素子への印加電圧を指定する映像信号を、前記第1および第2画素で生じる横電界を低減させるように補正する補正ステップとを有することを特徴とする映像処理方法。

【請求項 2】

20

前記液晶の応答時間を T とし、当該液晶素子を有する液晶パネルの表示を更新する時間間隔を S とした場合、

$T \leq S \times k$ の関係を満たす

ことを特徴とする請求項 1 に記載の映像処理方法。

【請求項 3】

前記補正ステップにおいて、

前記第 1 画素が前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 1 画素に対応する液晶素子への印加電圧が、前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該印加電圧を前記第 3 電圧以上とするよう補正する

ことを特徴とする請求項 1 または 2 に記載の映像処理方法。

10

【請求項 4】

前記補正ステップにおいて、

前記第 1 画素が前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 1 画素から、当該リスク境界側とは反対側へ連続する 2 以上の予め定められた数の前記第 1 画素のうち、前記印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回るものを、前記第 3 電圧以上とするよう補正する

ことを特徴とする請求項 1 から 3 のいずれかに記載の映像処理方法。

【請求項 5】

前記補正ステップにおいて、

前記第 2 画素が前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 2 画素に対応する液晶素子への印加電圧を、前記第 1 電圧を上回り前記第 2 電圧を下回る第 4 電圧とするよう補正する

ことを特徴とする請求項 1 から 4 のいずれかに記載の映像処理方法。

20

【請求項 6】

前記補正ステップにおいて、

前記第 2 画素が前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 2 画素から、当該リスク境界側とは反対側へ連続する 2 以上の予め定められた数の前記第 2 画素に対応する液晶素子への印加電圧を、前記第 1 電圧を上回り前記第 2 電圧を下回る第 4 電圧とするよう補正する

ことを特徴とする請求項 1 から 5 のいずれかに記載の映像処理方法。

30

【請求項 7】

前記補正ステップにおいて、

前記第 1 境界検出ステップで検出された境界のうち、前記 1 つ前のフレームから現フレームにかけて 1 画素分だけ移動したリスク境界に接する画素を、前記横電界を低減させるための補正対象とする

ことを特徴とする請求項 1 から 6 のいずれかに記載の映像処理方法。

【請求項 8】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

前記液晶素子への印加電圧の範囲内の電圧である第 1 電圧と前記第 1 電圧よりも大きい第 2 電圧とを閾値として、入力された映像信号において前記印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 2 電圧以上である第 2 画素との境界のうち、現フレームよりも 1 つ前のフレームから現フレームにかけて変化する境界を検出する第 1 境界検出部と、

40

入力された映像信号で指定される前記第 1 画素と前記第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を、フレームごとに検出する第 2 境界検出部と、

前記第 1 境界検出部により検出された境界のうち、前記第 2 境界検出部により現フレームの映像信号から検出されたリスク境界に接する前記第 1 および第 2 画素の少なくとも一方の画素について、現フレームから後続する k フレーム (k は自然数) までの複数フレ

50

ムのうち、前記一方の画素が前記第2境界検出部により検出されたりスク境界に接するフレームにおいて、当該画素に対応する液晶素子への印加電圧を指定する映像信号を、前記第1および第2画素で生じる横電界を低減させるように補正する補正部と
を備えることを特徴とする映像処理回路。

【請求項9】

第1基板に複数の画素の各々に対応して設けられた画素電極と第2基板に設けられたコモン電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路と

を備え、

前記映像処理回路は、

前記液晶素子への印加電圧の範囲内の電圧である第1電圧と前記第1電圧よりも大きい第2電圧とを閾値として、入力された映像信号において前記印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第2電圧以上である第2画素との境界のうち、現フレームよりも1つ前のフレームから現フレームにかけて変化する境界を検出する第1境界検出部と、

入力された映像信号で指定される前記第1画素と前記第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を、フレームごとに検出する第2境界検出部と、

前記第1境界検出部により検出された境界のうち、前記第2境界検出部により現フレームの映像信号から検出されたりスク境界に接する前記第1および第2画素の少なくとも一方の画素について、現フレームから後続するkフレーム（kは自然数）までの複数フレームのうち、前記一方の画素が前記第2境界検出部により検出されたりスク境界に接するフレームにおいて、当該画素に対応する液晶素子への印加電圧を指定する映像信号を、前記第1および第2画素で生じる横電界を低減させるように補正する補正部と

を備えることを特徴とする液晶表示装置。

【請求項10】

請求項9に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一定の間隙に保たれた一対の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが表示制御に寄与する、ということが出来る。

【0003】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えばVA（Vertical Alignment）方式や、TN（Twisted Nematic）方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（つまり、リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

10

20

30

40

50

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献１参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献２参照）などが提案されている。

【先行技術文献】

【特許文献】

【０００４】

【特許文献１】特開平６－３４９６５号公報（図１）

【特許文献２】特開２００９－６９６０８号公報（図２）

10

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用することができない、という欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示する画像の明るさが設定値に制限されてしまう、という欠点もある。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

20

【０００６】

上記目的を達成するために、本発明に係る映像処理回路にあっては、画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、入力された映像信号において前記印加電圧が第１電圧を下回る第１画素と、前記印加電圧が前記第１電圧よりも大きい第２電圧以上である第２画素との境界のうち、現フレームより１つ前のフレームから現フレームにかけて変化する境界を検出する第１境界検出ステップと、入力された映像信号で指定される前記第１画素と前記第２画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を、現フレームから後続する k フレーム（ k は自然数）までの複数フレームについてそれぞれ検出する第２境界検出ステップと、前記第１境界検出ステップで検出された境界のうち、前記第２境界検出ステップで現フレームの映像信号から検出されたリスク境界に接する前記第１及び第２画素の少なくとも一方の画素について、前記複数フレームのうち、前記第２境界検出ステップで検出されたリスク境界に接するフレームの当該画素に対応する液晶素子への印加電圧を指定する映像信号を、前記第１及び第２画素で生じる横電界を低減させるように補正する補正ステップとを有することを特徴とする。本発明によれば、液晶パネルの構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。さらに、一つ前のフレームから現フレームにかけて変化のあったリスク境界に接する画素のうち、第１画素および第２画素の少なくとも一方の画素に対応する液晶素子への印加電圧を、映像信号で指定される階調レベルに対応する値から横電界を低減させる電圧に補正するので、表示する画像の明るさが設定値に制限されてしまうこともない。さらに、本発明では、現フレームから後続する k フレームまでの複数フレームの映像信号においてリスク境界に接する画素について、横電界を低減させるように印加電圧を補正するから、２倍速、４倍速、...というように、液晶パネルの駆動がより高速化になるなどして、液晶の応答時間に対して液晶パネルの表示を更新する非時間間隔が短くなった場合であっても、リバースチルトドメインを低減する効果を奏する。

30

40

【０００７】

本発明において、前記液晶の応答時間を T とし、当該液晶素子を有する液晶パネルの表示を更新する時間間隔を S とした場合、 $T \leq S \times k$ の関係を満たすことが好ましい。本発明によれば、リバースチルトドメインを低減する効果を奏するとともに、入力された映像

50

信号の変化を抑えることができる。

【 0 0 0 8 】

また、本発明において、前記補正ステップにおいて、前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 1 画素に対応する液晶素子への印加電圧が、前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該印加電圧を前記第 3 電圧以上とするよう補正するようにしてもよい。本発明によれば、リスク境界に接する画素のうち、第 1 画素に対応する液晶素子への印加電圧を、映像信号で指定される階調レベルに対応するものから、第 3 電圧以上に補正するので、表示される画像の明るさが設定値に制限されてしまうことがない。

【 0 0 0 9 】

10

また、本発明において、前記補正ステップにおいて、前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 1 画素から、当該リスク境界の反対側へ連続する 2 以上の予め定められた数の前記第 1 画素のうち、前記印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回るものを、前記第 3 電圧以上とするよう補正するようにしてもよい。本発明によれば、映像信号の補正による印加電圧の変化を目立たなくすることができる。また、液晶分子が不安定な状態が次の更新（書換）でも継続してしまうことを抑えることが可能となる。

【 0 0 1 0 】

本発明において、前記補正ステップにおいて、前記補正ステップにおいて、前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 2 画素に対応する液晶素子への印加電圧を、前記第 1 電圧を上回り前記第 2 電圧を下回る第 4 電圧とするよう補正するようにしてもよい。本発明によれば、境界に接する画素のうち、第 2 画素に対応する液晶素子への印加電圧を、映像信号で指定される階調レベルに対応する値から、第 2 電圧を下回るように補正するので、表示される画像の明るさが設定値に制限されてしまうこともない。

20

【 0 0 1 1 】

また、本発明において、前記補正ステップにおいて、前記リスク境界に接するフレームの映像信号から検出された当該リスク境界に接する前記第 2 画素から、当該リスク境界の反対側へ連続する 2 以上の予め定められた数の前記第 2 画素に対応する液晶素子への印加電圧を、前記第 1 電圧を上回り前記第 2 電圧を下回る第 4 電圧とするよう補正するようにしてもよい。本発明によれば、映像信号の補正による印加電圧の変化を目立たなくすることができる。

30

【 0 0 1 2 】

本発明において、前記補正ステップにおいて、前記第 1 境界検出ステップで検出された境界のうち、1 画素分だけ移動したリスク境界に接する画素を、前記横電界を低減させるための補正の対象とすることが好ましい。本発明によれば、リバースチルトドメインの影響を受けやすく、尾引き現象が目立つ箇所に絞って補正するから、入力された映像信号の変化を抑えることができる。

【 0 0 1 3 】

なお、本発明は、映像処理方法のほか、映像処理回路、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

40

【図面の簡単な説明】

【 0 0 1 4 】

【図 1】本発明の実施形態に係る映像処理回路を適用した液晶表示装置を示す図。

【図 2】同液晶表示装置における液晶素子の等価回路を示す図。

【図 3】同映像処理回路の構成を示す図。

【図 4】同映像処理回路の動き検出部および補正部の構成を示す図。

【図 5】同液晶表示装置を構成する液晶パネルの V - T 特性を示す図。

【図 6】同液晶パネルにおける表示動作を示す図。

【図 7】同液晶パネルにおいて V A 方式としたときの初期配向の説明図。

50

- 【図 8】同液晶パネルにおける画像の動きを説明するための図。
- 【図 9】同液晶パネルにおいて発生するリバースチルトの説明図。
- 【図 10】同液晶パネルにおける画像の動きを説明するための図。
- 【図 11】同液晶パネルにおいて発生するリバースチルトの説明図。
- 【図 12】同映像処理回路における動き検出の手順を示す図。
- 【図 13】同映像処理回路におけるリスク境界の検出手順を示す図。
- 【図 14】同映像処理回路における補正処理を示す図。
- 【図 15】同映像処理回路における補正処理を示す図。
- 【図 16】同映像処理回路における補正処理を示す図。
- 【図 17】同液晶パネルにおいて他のチルト方位角としたときの図。 10
- 【図 18】同液晶パネルにおいて他のチルト方位角としたときの図。
- 【図 19】本発明の第 2 実施形態に係る映像処理回路における補正処理を示す図。
- 【図 20】同映像処理回路における補正処理を示す図。
- 【図 21】本発明の第 3 実施形態に係る映像処理回路の構成を示す図。
- 【図 22】同映像処理回路における補正処理を示す図。
- 【図 23】本発明の第 4 実施形態に係る映像処理回路における補正処理を示す図。
- 【図 24】同映像処理回路における補正処理を示す図。
- 【図 25】本発明の第 5 実施形態に係る映像処理回路の構成を示す図。
- 【図 26】同映像処理回路における補正処理を示す図。
- 【図 27】同映像処理回路における補正処理を示す図。 20
- 【図 28】本発明の第 6 実施形態に係る映像処理回路における補正処理を示す図。
- 【図 29】同映像処理回路における補正処理を示す図。
- 【図 30】本発明の第 7 実施形態に係る映像処理回路の構成を示す図。
- 【図 31】同映像処理回路の補正部の構成を示す図。
- 【図 32】同液晶パネルにおいて TN 方式としたときの初期配向の説明図。
- 【図 33】同液晶パネルにおいて発生するリバースチルトの説明図。
- 【図 34】同液晶パネルにおいて発生するリバースチルトの説明図。
- 【図 35】液晶表示装置を適用したプロジェクターを示す図。
- 【図 36】横電界の影響による表示上の不具合等を示す図。
- 【発明を実施するための形態】 30

【 0 0 1 5 】

< 第 1 実施形態 >

以下、本発明の実施の形態について図面を参照しつつ説明する。

まず、本発明の第 1 実施形態について説明する。

図 1 は、本実施形態に係る映像処理回路を適用した液晶表示装置 1 の全体構成を示すブロック図である。

図 1 に示すように、液晶表示装置 1 は、制御回路 10 と、液晶パネル 100 と、走査線駆動回路 130 と、データ線駆動回路 140 とを備える。制御回路 10 には、映像信号 Vid-in が上位装置から同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）に従った走査の順番で供給される。本実施形態では、映像信号 Vid-in が供給される周波数が 60 Hz であり、その逆数である周期 16.67 ミリ秒で 1 コマの画像を示す映像信号 Vid-in が供給される。

なお、映像信号 Vid-in は階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといって差し支えない。

【 0 0 1 6 】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とを備える。走査制御回路 20 は、各種の制御信号を生成して、同期信号 Sync に同期して各部を制御する。映像処理回 50

路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力する。

【0017】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成である。素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、且つ各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、この実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、...、(m - 1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、...、(n - 1)、n 列目という呼び方をする場合がある。

【0018】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャンネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって電圧 LCcom が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるのでそれぞれ実線で示す。

【0019】

図 2 は、液晶パネル 100 における等価回路を示す図である。

図 2 に示すように、液晶パネル 100 は、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成である。図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示すように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

ここで、走査線 112 が H レベルになると、その走査線にゲート電極が接続された TFT 116 がオンとなり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に階調に応じた電圧のデータ信号を供給すると、そのデータ信号は、オンした TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフするが、画素電極 118 に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 およびコモン電極 108 によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。

なお、本実施形態においては、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0020】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Yctr にしたがって、1、2、3、...、m 行目の走査線 112 に、走査信号 Y1、Y2、Y3、...、Ym を供給する。詳細には、走査線駆動回路 130 は、図 6 (a) に示すように、走査線 112 をフレームにわたって 1、2、3、...、(m - 1)、m 行目という順番で選択するとともに、選択

10

20

30

40

50

した走査線への走査信号を選択電圧 V_H （Hレベル）とし、それ以外の走査線への走査信号を非選択電圧 V_L （Lレベル）とする。

なお、フレームとは、液晶パネル100を駆動することによって、画像の1コマ分を液晶パネル100に表示させるのに要する期間をいう。本実施形態では、同期信号Syncにより制御される垂直走査信号の周波数が120Hzであり、1フレーム期間はその逆数である8.33ミリ秒である。より具体的には、本実施形態では、上位装置から60Hzの供給速度で供給される映像信号Vid-inに基づいて、液晶表示装置1が120Hzの駆動速度で液晶パネル100を駆動して、映像信号Vid-inが示す1コマの画像を2回繰り返し表示することにより、いわゆる倍速駆動を実現する。かかる倍速駆動により、例えば画像の残像感を減らすことができる、という効果を奏する。

10

【0021】

データ線駆動回路140は、映像処理回路30から供給されるデータ信号Vxを、走査制御回路20による制御信号Xctrにしたがって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングする。

なお、本説明において電圧については、液晶素子120の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子120の印加電圧は、コモン電極108の電圧LCcomと画素電極118との電位差であり、他の電圧と区別するためである。

【0022】

さて、液晶素子120の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、例えば図5(a)に示すようなV-T特性で表される。このため、液晶素子120を、映像信号Vid-inで指定された階調レベルに応じた透過率とさせるには、その階調レベルに応じた電圧を液晶素子120に印加すればよいはずである。しかしながら、液晶素子120の印加電圧を、映像信号Vid-inで指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生する場合がある。

20

【0023】

リバースチルトドメインに起因する表示上の不具合の例について説明する。例えば図36に示すように、映像信号Vid-inで示す画像が、白画素を背景として黒画素が連続する黒パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その黒パターンの左端縁部（動きの後縁部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、という一種の尾引き現象として顕在化する。

30

なお、液晶パネル100が、白画素を背景とした黒画素の領域がフレーム毎に2画素以上ずつ移動するとき、液晶105の応答時間が表示画面が更新される時間間隔（1フレーム期間）より短ければ、このような尾引き現象は顕在化しない（または、視認されにくい）。この理由は、次のように考えられる。すなわち、あるフレームにおいて、白画素と黒画素とが隣接したときに、その白画素でリバースチルトドメインが発生するかもしれないが、画像の動きを考えると、リバースチルトドメインが発生する画素が離散的となるので、視覚的に目立たない、と考えられるからである。

なお、図36において見方を変えたと、黒画素を背景として白画素が連続する白パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その白パターンの右端縁部（動きの先端部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、ということもできる。

40

また、図36においては、説明の便宜上、画像のうち、1ラインの境界付近を抜き出している。

【0024】

リバースチルトドメインに起因する表示上のこの不具合は、液晶素子120において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなるのが原因のひとつとして考えられている。

ここで、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大き

50

くなる場合であり、これは、表示しようとする画像において黒レベルの（または黒レベルに近い）暗画素と、白レベルの（または白レベルに近い）明画素とが隣接する場合である。

このうち、暗画素については、印加電圧がノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} （第 1 電圧）を下回る電圧範囲 A にある液晶素子 120 の画素をいうことにする。また、便宜的に、液晶素子の印加電圧が電圧範囲 A にある液晶素子の透過率範囲（階調範囲）を「a」とする。

次に、明画素については、印加電圧が閾値 V_{th2} （第 2 電圧）以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲 B にある液晶素子 120 とする。便宜的に、液晶素子の印加電圧が電圧範囲 B にある液晶素子の透過率範囲（階調範囲）を「b」とする。

10

【0025】

液晶分子が不安定な状態であるときとは、液晶素子の印加電圧が電圧範囲 A において V_{c1} を下回るときである。液晶素子の印加電圧が V_{c1} を下回るときは、その印加電圧による縦電界の規制力が配向膜による規制力と比較して弱いので、液晶分子の配向状態は、わずかな外的要因によって乱れやすい。また、その後、印加電圧が V_{c1} 以上になったときに、その印加電圧に応じて液晶分子が傾斜しようとしても、応答に時間がかかりやすいためである。逆にいえば、印加電圧が V_{c1} 以上であれば、液晶分子が印加電圧に応じて傾斜し始める（透過率が変化し始める）ので、液晶分子の配向状態は安定状態にある、ということが出来る。このため、電圧 V_{c1} は、透過率で規定した閾値 V_{th1} よりも低い関係にある。

20

【0026】

このように考えた場合、変化前において液晶分子が不安定な状態にあった画素は、画像の動きによって暗画素と明画素とが隣接することになったときの横電界の影響によって、リバースチルトドメインが発生しやすい状況にあるということが出来る。ただし、液晶分子の初期配向状態を考慮して検討すると、暗画素と明画素との位置関係によってリバースチルトドメインが発生する場合と発生しない場合とがある。

そこで次に、これらの場合をそれぞれ検討する。

【0027】

図 7 (a) は、液晶パネル 100 において互いに縦方向および横方向に隣接する 2×2 の画素を示す図であり、図 7 (b) は、液晶パネル 100 を、図 7 (a) における p - q 線を含む垂直面で破断したときの簡易断面図である。

30

図 7 に示すように、VA 方式の液晶分子は、画素電極 118 とコモン電極 108 との電位差（液晶素子の印加電圧）がゼロである状態において、チルト角が θ_a で、チルト方位角が θ_b （= 45 度）で、初期配向しているものとする。ここで、リバースチルトドメインは、上述したように画素電極 118 同士の横電界に起因して発生することから、画素電極 118 が設けられた素子基板 100a の側における液晶分子の振る舞いが問題となる。このため、液晶分子のチルト方位角およびチルト角については、画素電極 118（素子基板 100a）の側を基準にして規定する。

【0028】

詳細には、チルト角 θ_a とは、図 7 (b) に示すように、基板法線 S_v を基準にして、液晶分子の長軸 S_a のうち、画素電極 118 側の一端を固定点としてコモン電極 108 側の他端が傾斜したときに、液晶分子の長軸 S_a がなす角度とする。

40

一方、チルト方位角 θ_b とは、データ線 114 の配列方向である Y 方向に沿った基板垂直面を基準にして、液晶分子の長軸 S_a および基板法線 S_v を含む基板垂直面（p - q 線を含む垂直面）がなす角度とする。なお、チルト方位角 θ_b については、画素電極 118 の側からコモン電極 108 に向けて平面視したときに、画面上方向（Y 方向の反対方向）から、液晶分子の長軸の一端を始点として他端に向かう方向（図 7 (a) では右上方向）までを、時計回りで規定した角度とする。

また、同様に画素電極 118 の側から平面視したときに、液晶分子における画素電極側の一端から他端に向かう方向を便宜的にチルト方位の下流側と呼び、反対に他端から一端

50

に向かう方向（図 7（a）では左下方向）を便宜的にチルト方位の上流側と呼ぶことにする。

【0029】

このような初期配向となる液晶 105 を用いた液晶パネル 100 において、例えば図 8（a）に示すように、破線で囲まれた 2×2 の 4 画素に着目する。図 8（a）では、白レベルの画素（白画素）からなる領域を背景として黒レベルの画素（黒画素）からなるパターンが右上方向にフレーム毎に 1 画素ずつ移動する場合を示している。なお、以下の説明において、 n フレームから t フレーム（ t は自然数）前のフレームを「 $n - t$ フレーム」と表し、 n フレームから t フレーム後のフレームを「 $n + t$ フレーム」と表す。

図 9（a）に示すように、（ $n - 1$ ）フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、 n フレームにおいて、左下の 1 画素だけが白画素に変化するときを想定する。上述したようにノーマリーブラックモードにおいて、画素電極 118 とコモン電極 108 との電位差である印加電圧は、黒画素よりも白画素で大きい。このため、黒から白に変化する左下の画素では、図 9（b）のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向とは垂直方向（基板面の水平方向）に傾斜しようとする。

【0030】

しかしながら、白画素の画素電極 118（Wt）と黒画素の画素電極 118（Bk）との間隙で生じる電位差は、白画素の画素電極 118（Wt）とコモン電極 108 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 118 とコモン電極 108 との間隙よりも狭い。従って、電界の強度で比較すると、画素電極 118（Wt）と画素電極 118（Bk）との間隙で生じる横電界は、画素電極 118（Wt）とコモン電極 108 との間隙で生じる縦電界よりも強い。

左下の画素は、（ $n - 1$ ）フレームにおいて液晶分子が不安定な状態の黒画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、白レベルの電圧が画素電極 118（Wt）に印加されたことによる縦電界よりも、隣接する画素電極 118（Bk）からの横電界の方が強い。従って、白になろうとしている画素では、図 9（b）に示すように、黒画素に隣接する側の液晶分子 Rv が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 Rv は、縦電界に応じて破線のように基板水平方向に傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、白に変化すべき画素においてリバースチルトが発生する領域は、図 9（c）に示すように、白に変化すべき画素と黒画素との間隙にとどまらず、その間隙から白に変化すべき画素を浸食する形で広範囲に広がる。

このように、図 9 から、白に変化しようとする着目画素の周辺が黒画素であった場合、その着目画素に対して黒画素が右上側、右側および上側で隣接するとき、その着目画素では、リバースチルトが右辺および上辺に沿った内周領域にて発生する、ということができる。

なお、図 9（a）に示されるパターンの変化は、図 8（a）に示した例のみならず、黒画素からなるパターンが、図 8（b）に示すように右方向にフレーム毎に 1 画素ずつ移動する場合や、図 8（c）に示すように上方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 36 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に右上方向、右方向または上方向に、1 画素ずつ移動する場合にも発生する。

【0031】

次に、液晶パネル 100 において、図 10（a）に示すように、白画素からなる領域を背景として黒画素からなるパターンが左下方向にフレーム毎に 1 画素ずつ移動する場合に、破線で囲まれた 2×2 の 4 画素に着目する。

すなわち、図 11（a）に示すように、（ $n - 1$ ）フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、 n フレームにおいて、右上の 1 画素だけが白画素に変化するときを想定する。

この変化後においても、黒画素の画素電極 1 1 8 (Bk) と白画素の画素電極 1 1 8 (Wt) との間隙では、画素電極 1 1 8 (Wt) とコモン電極 1 0 8 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 1 1 (b) に示すように、黒画素において白画素に隣接する側の液晶分子 Rv は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となる。しかし、黒画素では縦電界が (n - 1) フレームから変化しないので、他の液晶分子に影響をほとんど与えない。このため、黒画素から変化しない画素においてリバースチルトが発生する領域は、図 1 1 (c) に示すように、図 9 (c) の例と比較して無視できる程度に狭い。

一方、2 × 2 の 4 画素のうち、右上において黒から白に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、右上画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の水平方向に図 1 1 (b) において破線で示すように正しく傾斜する結果、目的である白画素に変化するので、表示品位の劣化が発生しないことになる。

なお、図 1 1 (a) に示されるパターンの変化は、図 1 0 (a) に示した例のみならず、黒画素からなるパターンが、図 1 0 (b) に示すように左方向にフレーム毎に 1 画素ずつ移動する場合や、図 1 0 (c) に示すように下方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 3 6 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に左下方向、左方向または下方向に、1 画素ずつ移動する場合にも発生する。

【 0 0 3 2 】

図 7 から図 1 1 までの説明から、想定している V A 方式 (ノーマリーブラックモード) の液晶において、ある n フレームに着目したとき、次のような要件を満たす場合に、n フレームにおいて次の画素でリバースチルトドメインの影響を受ける、ということができる。すなわち、

(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる場合であって、かつ、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左下側、左側または下側に位置する場合に、

(3) n フレームにおいて当該明画素に変化する画素が、1 フレーム前の (n - 1) フレームでは、液晶分子が不安定な状態にあったとき、

n フレームにおいて当該明画素でリバースチルトが発生する、ということになる。

既に理由を説明したが、(2) において、暗画素と明画素とが隣接する部分を示す境界が、前フレームから 1 画素分だけ移動しているときには、より一層リバースチルトドメインの影響を受けやすくなると考えられる。

【 0 0 3 3 】

ところで、図 8 では、2 × 2 の 4 画素が (n - 1) フレームで黒画素であって、次の n フレームで左下だけが白画素となったときを例示した。しかし、一般的には、(n - 1) フレームおよび n フレームのみならず、これらフレームを含む前後の複数フレームにわたって同様な動きを伴うのが通例である。このため、図 8 (a) ~ (c) に示すように、(n - 1) フレームで液晶分子が不安定な状態であった暗画素 (白丸点が付された画素) では、画像パターンの動きから、その左下側、左側または下側に明画素が隣接している場合が多いと考えられる。

【 0 0 3 4 】

このため、事前に (n - 1) フレームにおいて、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接し、且つ、その暗画素が、その明画素に対して右上側、右側または上側に位置する場合、その暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加する。そうすれば、画像パターンの動きにより n フレーム

ムにおいて要件(1)および要件(2)を満たすことになっても、要件(3)を満たすことはないので、 n フレームにおいてリバースチルトドメインは発生しない、ということになる。

これを前提として、 n フレームから $(n+1)$ フレームにかけて考察する。 n フレームにおいて、映像信号Vid-inで示される画像において暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して右上側、右側または上側に位置する場合は、その暗画素に相当する液晶素子の液晶分子が不安定な状態にならないような措置を施してやる。そうすれば、画像パターンが1画素分移動した結果、 $(n+1)$ フレームにおいて要件(1)および要件(2)を満たすことになっても、要件(3)を満たすことはない。このため、 n フレームからみて、将来となる $(n+1)$ フレームにおいてリバースチルトドメインの発生を未然に抑えることができる、ということになる。

10

【0035】

次に、 n フレームにおいて、映像信号Vid-inで示される画像において暗画素と明画素とが隣接する場合であって、当該暗画素が当該明画素に対して上記位置関係にある場合に、当該暗画素において液晶分子が不安定な状態にならないようにするには、どうすればよいのか、という点について検討する。上述したように、液晶分子が不安定な状態にあるときは、液晶素子の印加電圧が V_{c1} (第3電圧)を下回るときである。このため、上記位置関係を満たす暗画素につき、映像信号Vid-inで指定される液晶素子の印加電圧が V_{c1} を下回るのであれば、これを強制的に、 V_{c1} 以上の電圧に補正して印加すればよいことになる。

20

では、補正する電圧としては、どのような値が好ましいのか、という点を検討する。映像信号Vid-inで指定される印加電圧が V_{c1} を下回る場合に、 V_{c1} 以上の電圧に補正して液晶素子に印加したとき、液晶分子をより安定な状態にさせる、または、リバースチルトドメインの発生をより確実に抑える、という点を優先すれば、高い電圧である方が好ましい。しかしながら、ノーマリーブラックモードでは、液晶素子の印加電圧を高くするにつれて、透過率が高くなる。もともとの映像信号Vid-inで指定される階調レベルは、暗画素すなわち低い方の透過率であるため、補正電圧を高くすることは、映像信号Vid-inに基づかない画像が表示されることにつながる。

一方、 V_{c1} 以上に補正した電圧を液晶素子に印加したときに、その補正による透過率の変化が知覚されないようにする、という点を優先すれば、下限である電圧 V_{c1} が好ましい、ということになる。このように補正電圧として、どのような値とすべきかについては、何を優先させるのかによって決定すべきである。本実施形態では、補正電圧として V_{c1} を採用するが、それよりも高い電圧であっても構わない。

30

なお、VA方式における液晶分子は、液晶素子の印加電圧がゼロのときに基板面に対して垂直方向に最も近い状態になるが、電圧 V_{c1} は、液晶分子に初期傾斜角を与える程度の電圧であり、この電圧の印加から液晶分子が傾斜し始める。液晶分子が安定状態となる電圧 V_{c1} は、一般的には、液晶パネルにおける様々なパラメータが絡んで一概には決まらない。ただし、本実施形態のように、画素電極118とコモン電極108との間隙(セルギャップ)よりも、画素電極118同士の間隙が狭い、という液晶パネルにあっては、おおよそ1.5ボルトとなる。したがって、補正電圧としては、1.5ボルトが下限となるので、この電圧以上であればよい、ということになる。逆にいえば、液晶素子の印加電圧が1.5ボルトを下回るのであれば、液晶分子が不安定な状態となる。

40

【0036】

ところで、動きを伴う画像である場合、映像信号Vid-inで示される現フレームの画像において、リスク境界に接する画素であっても、現フレームよりも1つ前のフレーム(以下、「前フレーム」という。)を含めた動きを考えると、映像信号を補正する必要があるときと、補正する必要がないときとがある。本発明は、現フレームの映像信号の補正に際し、前フレームの状態を考慮してリバースチルトドメインの発生を抑制するものである。

このような考えに基づいて映像信号Vid-inを処理して、液晶パネル100でリバースチルトドメインの発生を未然に防ぐための回路が、図3に示す構成の映像処理回路30で

50

ある。映像処理回路 30 は、入力映像信号を補正し、補正した映像信号に基づいて液晶素子 120 の印加電圧をそれぞれ規定するためのものである。なお、以下では、 n フレームが現フレームであり、 $(n - 1)$ フレームが前フレームであると想定して説明する。

【0037】

次に、映像処理回路 30 の詳細について図 3 を参照して説明する。

図 3 に示すように、映像処理回路 30 は、遅延回路 302、リスク境界検出部 304、遅延回路 306、動き検出部 308、遅延回路 310、OR 回路 312、補正部 314、および D (Digital) / A (Analog) 変換器 316 を備える。

なお、遅延回路 302、306、310 の遅延タイミング、リスク境界検出部 304 や動き検出部 308 における映像信号 Vid-in の蓄積等は、走査制御回路 20 によって制御される。

10

【0038】

遅延回路 302 は、FIFO (Fast In Fast Out : 先入れ先出し) メモリーや多段のラッチ回路などにより構成され、上位装置から供給される入力映像信号である映像信号 Vid-in を蓄積して、所定時間経過後に読み出して映像信号 Vid-d として補正部 314 に出力するものである。

【0039】

リスク境界検出部 304 は、入力された n フレームの映像信号 Vid-in で指定される暗画素と明画素との境界の一部であって、液晶 105 のチルト方位で定まるリスク境界を検出する。具体的には、リスク境界検出部 304 は、1 コマの画像を示す映像信号 Vid-in で示される画像を解析して、階調範囲 a にある暗画素と階調範囲 b にある明画素とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、リスク境界検出部 304 は、暗画素と明画素との境界の一部分であって、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、これをリスク境界として検出する。以上のリスク境界検出部 304 は、リスク境界の位置を示す境界情報 rsk_edge をフレーム毎に出力する (第 2 境界検出ステップ)。すなわち、リスク境界検出部 304 は第 2 境界検出部として機能する。

20

【0040】

遅延回路 306 は、FIFO メモリーや多段のラッチ回路などにより構成され、上位装置から供給される映像信号 Vid-in を蓄積して、1 フレーム期間だけ遅延させて映像信号を動き検出部 308 に出力するものである。

30

【0041】

動き検出部 308 は、 n フレームおよび $(n - 1)$ フレームの映像信号 Vid-in を取得し、階調範囲 a にある暗画素と階調範囲 b にある明画素とが隣接する境界のうち、 $(n - 1)$ フレームから n フレームにかけて変化した境界 (以下、「適用境界」という。) があるか否かを判別する。適用境界は、各画素間において、 $(n - 1)$ フレームでは存在せず、かつ、 n フレームにおいて存在する境界と換言される。動き検出部 308 は、適用境界があると判別したときに、その適用境界を検出してその位置を示す境界情報を出力する (第 1 境界検出ステップ)。すなわち、動き検出部 308 は第 1 境界検出部として機能する。

40

なお、動き検出部 308 は、ある程度 (少なくとも 3 行以上) の映像信号を蓄積してからでないと、表示すべき画像における垂直または水平方向にわたって境界を検出することができない。このため、映像信号 Vid-d の供給タイミングを調整する意味で、映像信号 Vid-in を遅延させる遅延回路 302 が設けられている。

【0042】

動き検出部 308 のより詳細な構成について図 4 (a) を参照して説明する。

動き検出部 308 は、本実施形態においては、現フレーム検出部 3082、前フレーム検出部 3084 および適用境界決定部 3086 を備える。

現フレーム検出部 3082 は、現フレーム (n フレーム) の映像信号 Vid-in で示される画像を解析して、階調範囲 a にある暗画素と階調範囲 b にある明画素とが隣接する部分

50

があるか否かを判別する。そして、現フレーム検出部 3082 は、隣接する部分があると判別したときに、その隣接部分を境界として検出して、境界情報を出力する。

なお、ここでいう境界とは、あくまでも階調範囲 a にある暗画素と階調範囲 b にある明画素とが隣接する部分、すなわち、強い横電界が発生する部分をいう。このため、例えば階調範囲 a にある画素と、階調範囲 a でもなく階調範囲 b でもない別の階調範囲 d (図 5 (a) 参照) にある画素とが隣接する部分や、階調範囲 b にある画素と階調範囲 d にある画素とが隣接する部分については、境界として扱わない。

前フレーム検出部 3084 は、遅延回路 306 から供給される前フレーム ((n - 1) フレーム) の映像信号 Vid-in で示される画像を解析して、階調範囲 a にある画素と階調範囲 b にある画素とが隣接する部分を境界として検出する。ここで、前フレーム検出部 3084 が検出する境界についての定義は、現フレーム検出部 3082 についてのそれと同じである。

適用境界決定部 3086 は、現フレーム検出部 3082 によって検出された現フレーム画像の境界のうち、前フレーム検出部 3084 によって検出された前フレーム画像の境界と同じ部分を除外したものを、適用境界として決定するものである。適用境界決定部 3086 は、適用境界の位置を示す境界情報を出力する。

【0043】

遅延回路 310 は、FIFO メモリーや多段のラッチ回路などにより構成され、上位装置から供給される映像信号 Vid-in を蓄積して所定時間経過後に読み出して映像信号を OR 回路 312 に出力するものである。ここでは、遅延回路 310 は、1 フレーム期間だけ遅延させて境界情報を出力する。このような遅延回路 310 は、所定時間前に映像信号 Vid-in で示される画像に動きがあったことを示す情報を履歴として記憶する履歴記憶部として機能する。遅延回路 310 は、遅延させた境界情報を、(n - 1) フレームから n フレームにかけて変化した境界があったことを示す履歴情報として出力する。

【0044】

OR 回路 312 は、動き検出部 308 から供給される n フレームの境界情報と、遅延回路 310 から供給される (n - 1) フレームとの境界情報とを加算して、境界情報 mov_edge として補正部 314 に出力する。すなわち、OR 回路 312 は、n フレームおよび (n - 1) フレームの少なくとも一方で適用境界であった位置を示す境界情報 mov_edge を出力するものである。

【0045】

補正部 314 は、遅延回路 302 から出力された n フレームの映像信号 Vid-d において、動き検出部 308 により検出された適用境界のうち、リスク境界検出部 304 により検出されたリスク境界に接する暗画素および明画素の少なくとも一方の画素の映像信号 Vid-d を、当該暗画素および明画素の間で生じる横電界を低減させるように補正する (補正ステップ)。より具体的には、補正部 314 は、n フレームの映像信号 Vid-d で適用境界に該当するリスク境界に接する暗画素について、その暗画素に指定される階調レベルが c1 よりも暗いレベルである場合に、映像信号 Vid-d を階調レベル c1 の映像信号に補正して、映像信号 Vid-out として出力する。更に、補正部 314 は、n フレームで補正条件を満たす暗画素について、n フレームに後続する k フレーム (k は自然数) までの複数フレーム (つまり、n フレームから (n + k) フレーム) のうち、リスク境界検出部 304 で検出されたリスク境界に接するフレームの当該暗画素の映像信号 Vid-d を、階調レベル c1 の映像信号に補正する。一方で、補正部 314 は、それ以外の画素については映像信号 Vid-d を補正することなく、映像信号 Vid-d をそのまま映像信号 Vid-out として出力する。

なお、本実施形態では、k = 1 であり、補正部 314 は、OR 回路 312 の出力結果に基づき、n フレームで補正条件を満たす画素を、(n + 1) フレームでも補正することがある。k = 1 とする根拠については後述する。

【0046】

次に、補正部 314 のより詳細な構成について図 4 (b) を参照して説明する。

補正部 314 は、本実施形態においては、判別部 3142 および置換部 3144 を備え

10

20

30

40

50

る。

判別部 3142 は、遅延回路 302 から出力される n フレーム映像信号 Vid-d で示される画素が補正条件を満たしているか否かを判別する。判別部 3142 は、その判別結果が「Yes」である場合に出力信号のフラグ Q を例えば「1」とし、その判別結果が「No」であれば「0」として出力する。具体的には、判別部 3142 は、 n フレームの映像信号 Vid-d について、(I) 映像信号 Vid-d で示される画素が暗画素であり、(II) OR 回路 312 から出力される境界情報 mov_edge が適用境界であることを示すとともに、(III) リスク境界検出部 304 から出力される境界情報 rsk_edge がリスク境界であることを示した場合に、着目した画素が補正条件を満たすと判別する。ところで、上述した映像処理回路 30 に関する説明において、「 n フレーム」を「 $(n+1)$ フレーム」に置き換え、
10 「 $(n-1)$ フレーム」を「 n フレーム」に置き換えると分かるように、(II) に関する条件は、 n フレームで補正条件を満たす画素が、 $(n+1)$ フレームで (I), (III) に関する条件を満たす場合には、判別部 3142 が $(n+1)$ フレームでも当該画素が補正条件を満たすと判別することを意味するものである。

【0047】

置換部 3144 は、判別部 3142 から供給されるフラグ Q が「1」である場合に、映像信号 Vid-d で示される暗画素に指定される階調レベルが $c1$ よりも暗いレベルであるときには、その階調レベルを $c1$ に置換した上で、映像信号 Vid-out として出力する。

一方、置換部 3144 は、映像信号 Vid-d で示される画素がリスク境界に接する暗画素でない場合には、フラグ Q が「0」となるので、階調レベルを $c1$ に置換しないし、フラ
20 グ Q が「1」の場合でも、階調レベルが $c1$ 以上の明るいレベルを指定している場合には、階調レベルを $c1$ に置換せずに、映像信号 Vid-d を映像信号 Vid-out として出力する。

【0048】

D/A 変換器 316 は、デジタルデータである映像信号 Vid-out を、アナログのデータ信号 Vx に変換する。なお、本実施形態では、データ信号 Vx の極性は、液晶パネル 100 で 1 コマ分の書き替えられる毎に (フレーム単位で) 切り替えられる。

【0049】

次に、液晶表示装置 1 の表示動作について説明すると、上位装置からは映像信号 Vid-in が、フレームにわたって 1 行 1 列 ~ 1 行 n 列、2 行 1 列 ~ 2 行 n 列、3 行 1 列 ~ 3 行 n 列、...、 m 行 1 列 ~ m 行 n 列の画素の順番で、供給される。映像処理回路 30 は、映像信
30 号 Vid-in を遅延・補正等の処理をして映像信号 Vid-out として出力する。

ここで、1 行 1 列 ~ 1 行 n 列の映像信号 Vid-out が出力される水平有効走査期間 (Ha) でみたときに、処理された映像信号 Vid-out は、D/A 変換器 316 によって、図 6 (b) で示すように正極性または負極性のデータ信号 Vx に変換される。ここでは例えば正極性のデータ信号に変換される。このデータ信号 Vx は、データ線駆動回路 140 によって 1 ~ n 列目のデータ線 114 にデータ信号 X1 ~ Xn としてサンプリングされる。

一方、1 行 1 列 ~ 1 行 n 列の映像信号 Vid-out が出力される水平走査期間では、走査制御回路 20 が走査線駆動回路 130 に対し走査信号 Y1 だけを H レベルとなるように制御する。走査信号 Y1 が H レベルであれば、1 行目の TFT 116 がオン状態になるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある TFT 116 を介して画素電極 118 に印加される。これにより、1 行 1 列 ~ 1 行 n 列の液晶素子には、それ
40 ぞれ映像信号 Vid-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

【0050】

続いて、2 行 1 列 ~ 2 行 n 列の映像信号 Vid-in は、同様に映像処理回路 30 によって処理されて、映像信号 Vid-out として出力されるとともに、D/A 変換器 316 によって正極性のデータ信号に変換された上で、データ線駆動回路 140 によって 1 ~ n 列目のデータ線 114 にサンプリングされる。

2 行 1 列 ~ 2 行 n 列の映像信号 Vid-out が出力される水平走査期間では、走査線駆動回路 130 によって走査信号 Y2 だけが H レベルとなるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある 2 行目の TFT 116 を介して画素電極 118 に
50

印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が3、4、...、m行目に対して実行され、これにより、各液晶素子に、映像信号Vid-outで指定された階調レベルに応じた電圧が書き込まれて、映像信号Vid-inで規定される透過像が作成されることとなる。

次のフレームでは、データ信号の極性反転によって映像信号Vid-outが負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0051】

図6(b)は、映像処理回路30から、水平走査期間(H)にわたって1行1列～1行n列の映像信号Vid-outが出力されたときのデータ信号Vxの一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号Vxは、正極性であれば、基準電圧Vcntに対し、映像処理回路30によって処理された階調レベルに応じた分だけ高位側の電圧(図において↑で示す)になり、負極性であれば、基準電圧Vcntに対し、階調レベルに応じた分だけ低位側の電圧(図において↓で示す)になる。

詳細には、データ信号Vxの電圧は、正極性であれば、白に相当する電圧Vw(+)から黒に相当する電圧Vb(+)までの範囲で、一方、負極性であれば、白に相当する電圧Vw(-)から黒に相当する電圧Vb(-)までの範囲で、それぞれ基準電圧Vcntから階調に応じた分だけ偏位させた電圧となる。

電圧Vw(+)および電圧Vw(-)は、電圧Vcntを中心に互いに対称の関係にある。電圧Vb(+)およびVb(-)についても電圧Vcntを中心に互いに対称の関係にある。

なお、図6(b)は、データ信号Vxの電圧波形を示すものであって、液晶素子120に印加される電圧(画素電極118とコモン電極108との電位差)とは異なる。また、図6(b)におけるデータ信号の電圧の縦スケールは、図6(a)における走査信号等の電圧波形と比較して拡大してある。

【0052】

映像処理回路30による補正処理の具体例について説明する。

(n-1)フレームの映像信号Vid-inで示される画像が例えば図12(1)に示されるとおりであって、nフレームの映像信号Vid-inで示される画像が例えば図12(2)に示されるとおりである場合、すなわち、階調範囲aの暗画素からなるパターンが、階調範囲bにある明画素を背景に右方向に移動(ここでは、低速のスクロール移動を想定する。)する場合、前フレーム検出部3084により検出される前フレーム((n-1)フレーム)の画像の境界と、現フレーム検出部3082により検出された現(nフレーム)の画像の境界とは、それぞれ図12(3)に示されるとおりである。

したがって、動き検出部308によって決定される適用境界は、図13(4)で示されるとおりである。一方で、リスク境界検出部304によりnフレームの映像信号Vid-inから検出されるリスク境界は、図13(5)で示されるとおりである。よって、図13(6)で示されるように、動き検出部308で検出された適用境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とであるリスク境界に相当する部分に隣接する暗画素が、nフレームの映像信号Vid-dで本実施形態の補正条件を満たす画素である。

【0053】

補正部314は、補正条件を満たす暗画素に対して、図14(a)に示すように、nフレームの映像信号Vid-dを階調レベルc1の映像信号Vid-outに補正する。このため、映像信号Vid-inで示される画像が、黒画素からなる領域が右上方向、右方向または上方向のいずれかに移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル100では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、階調レベルc1に相当する電圧Vc1の印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化する。

なお、図14(a)において、1で示される暗画素は、左下の一角において縦横に連続するリスク境界が位置しているため、リスク境界に接しているということになり、補正

10

20

30

40

50

部 3 1 4 において階調レベル $c1$ よりも暗いレベルが指定されているか否かの判断対象となる。これは、1 で示される暗画素に対し、左下に位置する明画素に相当するパターンが右斜め上方向に 1 画素移動したときに対処するためである。これに対して、2 で示される暗画素は、その一角において横のみ（縦のみの場合も同様）に断裂したリスク境界が位置し、縦横で連続したリスク境界が位置していないので、補正部 3 1 4 において階調レベルの判断対象とはならない。なお、この考え方は、チルト方位角 θb に関係なく採用することができる。よって、以下ではその説明を省略する。

【 0 0 5 4 】

ところで、補正部 3 1 4 は、 $(n - 1)$ フレームから n フレームにかけての映像信号 V_{id-in} で画像の動きを検出した場合に、 n フレームで補正条件を満たす暗画素について、
それに後続する k 個のフレームの映像信号 V_{id-in} でもリスク境界に接するときには、当該フレームでも当該暗画素を補正対象とする。よって、補正部 3 1 4 は、 n フレームから $(n + 1)$ フレームにかけて画像が変化せず、上述した階調範囲 a の暗画素からなるパターンが静止しているときであっても、図 1 5 (1) に示すように、 $(n + 1)$ フレームの映像信号 V_{id-d} について、図 1 4 (a) と同様にして補正条件を満たす暗画素を階調レベル $c1$ の映像信号 V_{id-out} に補正する。一方で、 $(n + 1)$ フレームから $(n + 2)$ フレーム、また、 $(n + 2)$ フレームから $(n + 3)$ フレームにかけて画像が変化せず、上述した階調範囲 a の暗画素からなるパターンが静止している場合には、図 1 5 (2) , (3) に示すように、補正部 3 1 4 は、 $(n + 2)$ フレームおよび $(n + 3)$ フレームの映像信号 V_{id-d} を補正しないで、そのまま映像信号 V_{id-out} として出力する。このように、本実施形態では、画像の動きがあったときから連続する 2 フレームにわたって、補正部 3 1 4 はリバースチルトドメインを抑制するための補正を行う。

このような構成とするのは以下の理由に基づく。

【 0 0 5 5 】

リバースチルト状態を緩和することは、チルト角方向が異なる液晶分子の垂直配向を本来の垂直配向に戻すことを意味するから、液晶 1 0 5 の応答時間とこの緩和に要する時間（緩和時間）には相関があると考えられる。リバースチルトの形成強度により、チルト角方向の異なり具合は様々に変わりうるものであるが、少なくとも黒への応答が最も遅くなる、白から黒に遷移するときの液晶 1 0 5 の応答時間を満足するだけ、横電界を低減させるための補正をすれば、リバースチルトは確実に緩和される、と発明者らは考えた。よって、液晶パネル 1 0 0 の液晶 1 0 5 の水平配向から垂直配向の応答時間を満たすように、横電界を低減させるための補正をするよう、補正部 3 1 4 は複数フレームにわたって映像信号 V_{id-d} を補正する。液晶 1 0 5 の応答時間を T （ここでは、水平配向から垂直配向の応答時間を想定する。）とした場合、 T 以上の期間だけ横電界を抑えるための補正を行うことが好ましいわけであるが、液晶素子 1 2 0 を有する液晶パネル 1 0 0 の表示を更新する時間間隔（1 フレーム期間）を S とした場合に、 $S < T$ であるときには、この応答時間分だけ補正が行われなことになる、液晶 1 0 5 が緩和する前に隣接画素との間でリバースチルトが生じてしまうおそれがある。これに対し、本実施形態では、液晶 1 0 5 の応答時間 T が 16 . 6 ミリ秒であり、液晶パネル 1 0 0 の表示を更新する時間間隔 S が 8 . 33 ミリ秒である構成で、画像の動きがあったときから 2 フレームにわたって、横電界を低減させるための補正を行う。この場合、 $S \times k = 8 . 33 \text{ ミリ秒} \times 2 = 16 . 66 \text{ ミリ秒}$ となり、 $T = S \times k$ の関係を満たしているといえる。すなわち、 $T = S \times k$ の関係を満たすように、 $(k + 1)$ フレームにわたって補正部 3 1 4 が横電界を低減させるための補正をすれば、液晶 1 0 5 の応答時間分だけ補正が行われることになる、リバースチルトドメインを抑制する効果を十分に奏することができるわけである。

【 0 0 5 6 】

例えば、横電界が強く発生するパターン（上述した階調範囲 a の暗画素からなるパターン）が上述のように、映像信号 V_{id-in} が示す画像が 2 コマに 1 回スクロールする低速スクロールする場合、動いた直後の 8 . 3 m s (120 H z) も、補正がかからないと液晶 1 0 5 の応答時間が 16 . 6 m s に対して不足し、この場合、リバースチルト状態を緩和

するための効果が十分に得られない。よって、フレーム期間(8.3ms)を遅延回路310によって動きがあったことを示す履歴として持たせることで、計2フレームにわたって補正を加えることができ、その結果、リバースチルトドメインを抑制する効果を十分に奏することができる。

【0057】

以上の理由から、補正部314は、図15(1)に示すように、 n フレームで補正対象の画素を($n+1$)フレームにおいても補正の対象としている。反対に、液晶105の応答時間分だけ補正が施されれば十分であるという考えから、図15(2)、(3)に示すように、補正部314は、($n+2$)および($n+3$)フレームについては映像信号Vid-dを補正しない。これにより、リバースチルトドメインの抑制に係る映像の変化を抑えることができる。更に、図16(4)に示すように、($n+4$)フレームで再びパターンが移動すると、補正部314は、($n+4$)フレームおよびその次の($n+5$)フレームの映像信号Vid-dを補正する。反対に、液晶105の応答時間分だけ補正が施されれば十分であるから、図16(6)に示すように、補正部314は、($n+6$)フレームの映像信号Vid-dを補正しない。以降のフレームについても同様に考えることができる。

【0058】

以上のように、映像処理回路30は、画像に変化のあった現フレームから、後続する k フレームまでの複数フレームの映像信号でリスク境界に接する画素について、横電界を低減させるように映像信号を補正する。そのため、液晶パネル100の駆動がより高速化になるなどして、液晶105の応答時間に対して液晶パネル100の表示を更新する時間間隔が短くなった場合であっても、リバースチルトドメインを低減する効果を奏する。

また、本実施形態では、映像信号が示す1コマの画像全体ではなく、画素同士における境界およびリスク境界を検出するための処理だけで済むので、2コマ分以上の画像を解析して動きを検出する構成と比較して、映像処理回路の大規模化や複雑化を抑えることが可能である。さらには、リバースチルトドメインが発生しやすい状態の領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。

また、本実施形態では、映像信号Vid-dで規定される画像のうち、映像信号が補正される画素は、明画素に隣接する暗画素であって、階調レベル $c1$ よりも暗い階調レベルが指定された暗画素のうち、当該暗画素に対してチルト方位の下流側に位置する画素のみである。このため、映像信号Vid-dに基づかない表示が発生する部分は、チルト方位角を考慮しないで、明画素に隣接する暗画素であって、階調レベル $c1$ よりも暗い階調レベルが指定された暗画素のすべてを一律に補正する構成と比較して、少なく抑えることができる。

さらに、本実施形態では、設定値以上の映像信号を一律にクリップしもないので、使用しない電圧範囲を設けることによってコントラスト比に悪影響を与えることもない。また、液晶パネル100の構造に変更等を加える必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0059】

<チルト方位角の他の例>

上述した実施形態では、VA方式においてチルト方位角 θb が45度である場合を例にとって説明した。次に、チルト方位角 θb が45度以外の例について説明する。

まず、図17(a)に示すようにチルト方位角 θb が22.5度である例について説明する。この例では、自画素および周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図17(b)に示すように、左辺および下辺に沿った内周領域で発生する。なお、この例では、図7に示したチルト方位角 θb が45度である場合の例を180度回転させたときと等価である。

チルト方位角 θb が22.5度である場合には、チルト方位角 θb が45度である場合にリバースチルトドメインが発生する要件(1)~(3)のうち、要件(2)を次のように修正する。すなわち、

(2) n フレームにおいて、当該明画素(印加電圧高)が、隣接する暗画素(印加電圧低

10

20

30

40

50

）に対して、液晶分子におけるチルト方位の上流側に相当する右上側、右側または上側に位置する場合に、

と修正する。なお、要件（１）および要件（３）についての変更はない。

したがって、チルト方位角 θb が 22.5 度であれば、 n フレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に左下側、左側または下側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやればよい。

このためには、映像処理回路３０における補正部３１４が、動き検出部３０８によって検出された適用境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分のリスク境界に基づいて映像信号を補正するとよい。

10

チルト方位角 θb が 22.5 度である場合、図１２（２）で示される画像が、補正条件を満たすときには、図１４（ｃ）に示されるリスク境界に接している黒画素の階調レベルが階調レベル $c1$ に補正される。

この構成によれば、チルト方位角 θb が 22.5 度である場合、映像信号 V_{id-in} で規定される画像において黒画素からなる領域が左下方向、左方向または下方向のいずれかに１画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル１００では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、階調レベル $c1$ に相当する電圧 V_{c1} の印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化するので、リバースチルトドメインの発生を抑えることが可能となる。

20

【００６０】

次に、図１８（ａ）に示すようにチルト方位角 θb が 90 度である例について説明する。この例では、自画素および周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図１８（ｂ）に示すように、右辺に沿った領域で集中的に発生する。このため、当該自己画素においてリバースチルトドメインは、右辺で発生した幅の分だけ、上辺の右辺寄りおよび下辺の右辺寄りにおいても発生する、という見方もできる。

このため、チルト方位角 θb が 90 度である場合には、チルト方位角 θb が 45 度である場合にリバースチルトドメインが発生する要件（１）～（３）のうち、として、要件（２）を次のように修正する。すなわち、

30

（２） n フレームにおいて、当該明画素（印加電圧高）が、隣接する暗画素（印加電圧低）に対して、液晶分子におけるチルト方位の上流側に相当する左側のみならず、その左側で発生する領域の影響を受ける上側または下側に位置する場合に、

と修正する。なお、要件（１）および要件（３）についての変更はない。

したがって、チルト方位角 θb が 90 度であれば、 n フレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に右側、下側または上側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやればよい。

このためには、映像処理回路３０における補正部３１４が、動き検出部３０８によって検出された適用境界のうち、暗画素が右側に位置し明画素が左側に位置する部分と、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が下側に位置し明画素が上側に位置する部分のリスク境界に基づいて映像信号を補正するとよい。

40

チルト方位角 θb が 90 度である場合、図１２（２）で示される画像は、補正条件を満たす場合、図１４（ｂ）に示されるリスク境界に接している黒画素の階調レベルが階調レベル $c1$ に補正される。

この構成によれば、チルト方位角 θb が 90 度である場合、映像信号 V_{id-in} で規定される画像において黒画素からなる領域が上方向、右上方向、右方向、右下方向または下方向のいずれかに１画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル１００では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、階調レベル $c1$ に相当する電圧 V_{c1} の印加によって強制的に液晶分子が安定し

50

た状態を経た後に、白画素に変化するので、リバースチルトドメインの発生を抑えることが可能となる。

【0061】

<第2実施形態>

次に、本発明の第2実施形態について説明する。この実施形態でも、ノーマリーブラックモードであることを前提として説明する。このことは、特に断りのない限り、以降の各実施形態でも同じである。また、以下の説明において、第1実施形態と同じ構成については同一の符号を付して表し、その詳細な説明については適宜省略する。上述した第1実施形態では、映像処理回路30は、補正条件を満たす暗画素のみについて階調レベルc1に補正していたが、リスク境界に接する暗画素から、このリスク境界の反対側へ連続する2

10

以上の暗画素も階調レベルc1に補正する対象とする。

このように、本実施形態の映像処理回路30が第1実施形態の構成と相違する部分は、補正部314において補正対象とする暗画素の数が変更された点にある。

【0062】

補正部314の判別部3142は、上述した第1実施形態と同様、nフレームの映像信号Vid-dについて、(I)映像信号Vid-dで示される画素が暗画素であり、(II)OR回路312から出力される境界情報mov_edgeが適用境界であることを示すとともに、(III)リスク境界検出部304から出力される境界情報rsk_edgeがリスク境界であることを示し場合に、着目した画素が補正条件を満たすと判別する。これら(I)~(III)に関する条件は、上述した第1実施形態と同じである。

20

判別部3142は、これらの判別結果がいずれも「Yes」である場合に、出力信号のフラグQを「1」として出力し、その判別結果がいずれか1つでも「No」であれば「0」として出力する。さらに、この実施形態の判別部3142は、「Yes」と判別した場合、(IV)適用境界に該当するリスク境界の反対方向へ連続する暗画素であって映像信号Vid-dで示される画素の階調レベルが階調範囲aに属し、そのリスク境界から当該画素までの距離が(L+1)画素以内である暗画素を、補正条件を満たすものとして扱う。そして、判別部3142は、補正条件を満たす暗画素について、フラグQの値を「1」として出力する。本実施形態では、L=1とする。また、判別部3142は、nフレームで(IV)の補正条件を満たすと判別した暗画素について、nフレームから後続するkフレームまでの複数フレームで(IV)に関する条件を満たす暗画素も、補正条件を満たしていると判別する。

30

【0063】

置換部3144は、フラグQが「1」である場合に、暗画素に対して階調レベルc1よりも暗いレベルが指定されていたときには、この暗画素について階調レベルc1に置換する。

【0064】

映像処理回路30による処理の具体例について説明する。

(n-1)フレームの映像信号Vid-inで示される画像が例えば図12(1)に示されるとおりであって、nフレームの映像信号Vid-inで示される画像が例えば図12(2)に示されるとおりである場合に、 $\theta b = 45$ 度であるとき、補正条件を満たす画素は図1

40

9(a)に示されるとおりである。

補正部314は、nフレームおよび(n-1)フレームの少なくとも一方で動きが検出された場合に、nフレームの映像信号Vid-dでリスク境界に接する暗画素から、当該リスク境界の反対側へ連続する(L+1)個の暗画素を補正対象とする。つまり、補正部314は、nフレームから(n+1)フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止する場合であっても、図20(1)に示すように、(n+1)フレームの映像信号Vid-dを、図19(a)に示す内容と同様にして、階調レベルc1の映像信号Vid-outに補正する。その一方で、(n+1)フレームから(n+2)フレーム、(n+2)フレームから(n+3)フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止している場合は、図20(2)、(3)に示

50

すように、補正部 314 は、映像信号 Vid-d を補正しないで、そのまま映像信号 Vid-out として出力する。(n+4) フレーム以降の考え方は、上述した第 1 実施形態と同じである。

【0065】

また、第 1 実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図 12 (2) で示される画像で補正条件を満たす画素は図 19 (b) に示されるとおりである。 $\theta b = 225$ 度である場合、図 12 (2) で示される画像で補正条件を満たす画素は図 19 (c) に示されるとおりである。

本実施形態によれば、映像信号の補正による印加電圧の変化を目立たなくすることができる。また、この実施形態の構成によれば、上記以外にも第 1 実施形態と同等の効果を奏する。

10

【0066】

< 第 3 実施形態 >

次に、本発明の第 3 実施形態について説明する。

この実施形態では、第 1 実施形態の構成において、補正条件を満たす暗画素に代えて、補正条件を満たす明画素の映像信号を補正する。この実施形態では、暗画素についての補正は行わない。よって、この実施形態では、上述した「(3) n フレームにおいて当該明画素に変化する画素が、1 フレーム前の (n-1) フレームでは、液晶分子が不安定な状態」を抑制するために暗画素の階調レベルを上げる代わりに、「(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる」という要件に着目して、横電界を抑制する。すなわち、映像処理回路 30 は、リスク境界に接する明画素に対応する液晶素子 120 への印加電圧を低くするよう補正することにより、リスク境界を挟んで隣接する明画素および暗画素間に生じる横電界を抑制する。

20

【0067】

判別部 3142 は、n フレームの映像信号 Vid-d について、(I) 映像信号 Vid-d で示される画素が明画素であり、(II) OR 回路 312 から出力される境界情報 mov_edge が適用境界であることを示すとともに、(III) リスク境界検出部 304 から出力される境界情報 rsk_edge がリスク境界であることを示した場合に、着目した画素が補正条件を満たすと判別する。なお、「n フレーム」を「(n+1) フレーム」に置き換え、「(n-1) フレーム」を「n フレーム」に置き換えると分かるように、(II) に関する条件は、n フレームで補正条件を満たす画素が、(n+1) フレームで (I)、(III) に関する条件を満たす場合には、判別部 3142 が (n+1) フレームでも当該画素が補正条件を満たすと判別することを意味するものである。この考え方は、上述した第 1 実施形態と同じである。判別部 3142 は、これらの判別結果がいずれも「Yes」である場合に、出力信号のフラグ Q を例えば「1」として出力し、その判別結果がいずれか 1 つでも「No」であれば「0」として出力する。

30

置換部 3144 は、判別部 3142 から供給されるフラグ Q が「1」である場合に、フラグ Q が「1」であるときの明画素に対して、映像信号 Vid-d で指定される明画素の階調レベル c2 の映像信号に置換して、映像信号 Vid-out として出力するものである。階調レベル c2 は、液晶素子 120 への印加電圧 Vc2 (第 4 電圧) に対応し、閾値 Vth2 を下回り、且つ閾値 Vth1 以上を上回るいずれかの印加電圧により得られる。ただし、この印加電圧 Vc2 は、補正を施さない場合の明度から 10% 以内の変化で収まることが好ましい。

40

なお、置換部 3144 は、判別部 3142 から供給されるフラグ Q が「0」であるときや、フラグ Q が「1」であるときの明画素に対して階調レベル c2 よりも暗いレベルが指定されていたときには、階調レベルを置換することなく、映像信号 Vid-d をそのまま映像信号 Vid-out として出力する。

【0068】

映像処理回路 30 による処理の具体例について説明する。

(n-1) フレームの映像信号 Vid-in で示される画像が例えば図 12 (1) に示され

50

るとおりであって、 n フレームの映像信号Vid-inで示される画像が例えば図12(2)に示されるとおりである場合に、 $\theta b = 45$ 度であるとき、補正条件を満たす画素は図21(a)に示されるとおりである。

補正部314は、 n フレームおよび $(n-1)$ フレームの少なくとも一方で動きが検出された場合に、 n フレームの映像信号Vid-dにおいて明画素がリスク境界に接していれば、これを補正対象とする。つまり、補正部314は、 n フレームから $(n+1)$ フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止している場合でも、図22(1)に示すように、 $(n+1)$ フレームの映像信号Vid-dを、図21(a)に示す内容と同様にして、階調レベルc2の映像信号Vid-outに補正する。その一方で、 $(n+1)$ フレームから $(n+2)$ フレーム、 $(n+2)$ フレームから $(n+3)$ フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止している場合、図22(2)、(3)に示すように、補正部314は映像信号Vid-dを補正しないで、そのまま映像信号Vid-outとして出力する。 $(n+4)$ フレーム以降の考え方は、上述した第1実施形態と同じである。

【0069】

また、第1実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図21(b)に示されるとおりである。 $\theta b = 22.5$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図21(c)に示されるとおりである。

これにより、リスク境界を挟んで隣接する明画素と暗画素との電位差が小さく抑制されて横電界が低減されるので、横電界を原因とするリバースチルトドメインの発生が抑制されるし、それ以外にも、上述した第1実施形態の構成と同等の効果を奏する。

【0070】

<第4実施形態>

次に、本発明の第4実施形態について説明する。

上述した第3実施形態では、映像処理回路30は、補正条件を満たす明画素のみについて階調レベルc2に補正していたが、リスク境界に接する明画素からこのリスク境界の反対側へ連続する2以上の明画素も階調レベルc2に補正する対象とする。

このように、本実施形態の映像処理回路30が第3実施形態の構成と相違する部分は、補正部314において補正対象とする明画素の数が変更された点にある。

なお、この実施形態においても暗画素についての補正は行わないものとする。

【0071】

補正部314において、判別部3142は、 n フレームの映像信号Vid-dについて、(I)映像信号Vid-dで示される画素が明画素であり、(II)OR回路312から出力される境界情報mov_edgeが適用境界であることを示すとともに、(III)リスク境界検出部304から出力される境界情報rsk_edgeがリスク境界であることを示した場合に、着目した画素が補正条件を満たすと判別する。これら(I)~(III)に関する条件は、上述した第3実施形態と同じである。

判別部3142は、これらの判別結果がいずれも「Yes」である場合に、出力信号のフラグQを「1」として出力し、その判別結果がいずれか1つでも「No」であれば「0」として出力する。さらに、判別部3142は、「Yes」と判別した場合、(IV)適用境界に該当するリスク境界の反対方向へ連続する明画素であって映像信号Vid-dで示される画素の階調レベルが階調範囲bに属し、そのリスク境界から当該画素までの距離が $(L+1)$ 画素以内である明画素について、フラグQの値を「1」として出力する。本実施形態では、 $L = 1$ とする。また、判別部3142は、 n フレームで(IV)の補正条件を満たすと判別した明画素について、 n フレームから後続する k フレームまでの複数フレームで(IV)に関する条件を満たす明画素も、補正条件を満たしていると判別する。

置換部3144は、フラグQが「1」である場合に、明画素について階調レベルc2に置換する。

【0072】

10

20

30

40

50

映像処理回路30による処理の具体例について説明する。

($n-1$)の映像信号Vid-inで示される画像が例えば図12(1)に示されるとおりであって、 n フレームの映像信号Vid-inで示される画像が例えば図12(2)に示されるとおりである場合、 $\theta b = 45$ 度であるとき、補正条件を満たす画素は図23(a)に示されるように表される。

補正部314は、 n フレームおよび($n-1$)フレームの少なくとも一方で動きが検出された場合に、 n フレームの映像信号Vid-dでリスク境界に接する明画素から、当該リスク境界の反対側へ連続する($L+1$)個の明画素を補正対象とする。つまり、補正部314は、 n フレームから($n+1$)フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止している場合であっても、図24(1)に示すように、($n+1$)フレームの映像信号Vid-dについても、図23(a)に示す内容と同様にして、映像信号Vid-dを階調レベルc2の映像信号Vid-outに補正する。その一方で、($n+1$)フレームから($n+2$)フレーム、($n+2$)フレームから($n+3$)フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止している場合、図24(2)、(3)に示すように、補正部314は、映像信号Vid-dを補正しないでそのまま映像信号Vid-outとして出力する。($n+4$)フレーム以降の考え方は、上述した第1実施形態と同じである。

【0073】

また、第1実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図23(b)に示されるとおりである。 $\theta b = 225$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図23(c)に示されるとおりである。

このように、液晶素子120のチルト方位によって定まる明画素を補正対象としているので、本来の画像からの変化を抑制しつつ、リバースチルトドメインの発生を抑制し得る。また、映像信号の補正による印加電圧の変化を目立たなくすることができる点では、上述の第2実施形態の構成と同等の効果を奏する。

【0074】

<第5実施形態>

次に、本発明の第5実施形態について説明する。

以下の説明において、第1実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。この実施形態では、第1実施形態で説明した暗画素の補正と、第3実施形態で説明した明画素の補正との両方を行う。つまり、この実施形態の映像処理回路30は、上記(1)および(3)の条件を満たさないようにするために映像信号を補正する。

【0075】

図25は、この実施形態に係る映像処理回路30の構成を示すブロック図である。映像処理回路30が上述の第1実施形態の映像処理回路30と相違する部分は、算出部318が追加された点と、判別部3142の判別内容が変更された点とにある。

詳細には、ノーマリーブラックモードを例にとると、算出部318は、映像信号Vid-dで示される画素がリスク境界に接している場合に、第1に、その画素が暗画素であれば、その暗画素について階調レベルc1を算出して出力し、第2に、その画素が明画素であれば、その明画素について階調レベルc2を算出して出力する。

補正部314において、判別部3142は、 n フレームの映像信号Vid-dについて、(I)映像信号Vid-dで示される画素が暗画素または明画素であり、(II)OR回路312から出力される境界情報mov_edgeが適用境界であることを示すとともに、(III)リスク境界検出部304から出力される境界情報rsk_edgeがリスク境界であることを示した場合に、着目した画素が補正条件を満たすと判別する。なお、「 n フレーム」を「($n+1$)フレーム」に置き換え、「($n-1$)フレーム」を「 n フレーム」に置き換えると分かるように、(II)に関する条件は、 n フレームで補正条件を満たす画素が、($n+1$)フレームで(I)、(III)に関する条件を満たす場合には、判別部3142が($n+1$)フ

フレームでも当該画素が補正条件を満たすと判別することを意味するものである。この考え方は、上述した第1実施形態と同じである。判別部3142は、これらの判別結果がいずれも「Yes」である場合に、出力信号のフラグQを「1」として出力し、その判別結果がいずれか1つでも「No」であれば「0」として出力する。

【0076】

置換部3144は、判別部3142から出力されるフラグQが「1」あれば、映像信号Vid-dの暗画素または明画素を算出部318から出力される階調レベルに置換し、これを映像信号Vid-outとして出力する。すなわち、置換部3144は、フラグQが「1」であるときの暗画素の階調レベルがc1を下回る場合、映像信号Vid-dを算出部318から出力される階調レベルc1に補正し、これを映像信号Vid-outとして出力する。また、置換部3144は、フラグQが「1」であるときの明画素の映像信号Vid-dを算出部318から出力される階調レベルc2に補正し、これを映像信号Vid-outとして出力する。

【0077】

映像処理回路30による処理の具体例について説明する。

(n-1)の映像信号Vid-inで示される画像が例えば図12(1)に示されるとおりであって、nフレームの映像信号Vid-inで示される画像が例えば図12(2)に示されるとおりである場合、 $\theta b = 45$ 度であるとき、補正条件を満たす画素は図26(a)に示されるように表される。

補正部314は、nフレームおよび(n-1)フレームの少なくとも一方で動きが検出された場合に、nフレームの映像信号Vid-dでリスク境界に接する暗画素または明画素を補正対象とする。つまり、補正部314は、nフレームから(n+1)フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止している場合であっても、図27(1)に示すように、(n+1)フレームの映像信号を、図26(a)に示す内容と同様にして、階調レベルc1またはc2の映像信号Vid-outに補正する。その一方で、(n+1)フレームから(n+2)フレーム、(n+2)フレームから(n+3)フレームにかけて画像が変化せず、上述した階調範囲aの暗画素からなるパターンが静止している場合、図27(2)、(3)に示すように、補正部314は、映像信号Vid-dを補正しないで、そのまま映像信号Vid-outとして出力する。(n+4)フレーム以降の考え方は、上述した第1実施形態と同じである。

【0078】

また、第1実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図26(b)に示されるとおりである。 $\theta b = 225$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図26(c)に示されるとおりである。

この実施形態によれば、上述の第1および3実施形態の両方と同等の効果を奏するとともに、リスク境界を挟んで隣接する明画素および暗画素間に生じる横電界をさらに抑制して、リバースチルトドメインの発生をより一層抑制することができる。

【0079】

<第6実施形態>

次に、本発明の第6実施形態について説明する。

上述した第5実施形態では、映像処理回路30は、補正条件を満たす暗画素および明画素のみについて階調レベルc1、c2に補正していたが、リスク境界に接する暗画素/明画素からこのリスク境界の反対側へ連続する2以上の予め定められた数の暗画素/明画素も映像信号を補正する対象とする。

以下の説明において、第5実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。この実施形態の映像処理回路30が、上述の第5実施形態の映像処理回路30と相違する部分は、算出部318の算出内容、および判別部3142の判別内容が変更された点にある。

【0080】

補正部314において、判別部3142は、nフレームの映像信号Vid-dについて、(

I) 映像信号 Vid-d で示される画素が暗画素 / 明画素であり、(II) OR 回路 312 から出力される境界情報 mov_edge が適用境界であることを示すとともに、(III) リスク境界検出部 304 から出力される境界情報 rsk_edge がリスク境界であることを示した場合に、着目した画素が補正条件を満たすと判別する。これら (I) ~ (III) に関する条件は、上述した第 5 実施形態と同じである。

判別部 3142 は、これらの判別結果がいずれも「Yes」である場合に、出力信号のフラグ Q を「1」として出力し、その判別結果がいずれか 1 つでも「No」であれば「0」として出力する。さらに、判別部 3142 は、「Yes」と判別した場合、(IV) 適用境界に該当するリスク境界の反対方向へ連続する暗画素 / 明画素であって映像信号 Vid-d で示される画素の階調レベルが階調範囲 a / b に属し、そのリスク境界から当該画素までの距離が $(L + 1)$ 画素以内である暗画素 / 明画素を、補正条件を満たすものとして扱う。そして、判別部 3142 は、補正条件を満たす暗画素 / 明画素について、フラグ Q の値を「1」として出力する。本実施形態では、 $L = 1$ とする。また、判別部 3142 は、n フレームで (IV) の補正条件を満たすと判別した暗画素 / 明画素について、n フレームから後続する k フレームまでの複数フレームで (IV) に関する条件を満たす暗画素 / 明画素も、補正条件を満たしていると判別する。

【0081】

置換部 3144 は、フラグ Q が「1」とあるときの暗画素の階調レベルが c1 を下回る場合、映像信号 Vid-d を算出部 318 から出力される階調レベル c1 に補正し、これを映像信号 Vid-out として出力する。また、置換部 3144 は、フラグ Q が「1」とあるときの明画素の映像信号 Vid-d を算出部 318 から出力される階調レベル c2 に補正し、これを映像信号 Vid-out として出力する。

【0082】

映像処理回路 30 による処理の具体例について説明する。

(n - 1) の映像信号 Vid-in で示される画像が例えば図 12 (1) に示されるとおりであって、n フレームの映像信号 Vid-in で示される画像が例えば図 12 (2) に示されるとおりである場合、 $\theta b = 45$ 度であるとき、補正条件を満たす画素は図 28 (a) に示されるように表される。

補正部 314 は、n フレームおよび (n - 1) フレームの少なくとも一方で動きが検出された場合に、n フレームの映像信号 Vid-d でリスク境界に接する暗画素 / 明画素から、当該リスク境界の反対側へ連続する $(L + 1)$ 個の暗画素 / 明画素を補正対象とする。つまり、補正部 314 は、n フレームから (n + 1) フレームにかけて画像が変化せず、上述した階調範囲 a の暗画素からなるパターンが静止している場合であっても、図 29 (1) に示すように、(n + 1) フレームの映像信号 Vid-d を、図 28 (a) と同様にして階調レベル c1 または c2 の映像信号 Vid-out に補正する。その一方で、(n + 1) フレームから (n + 2) フレーム、(n + 2) フレームから (n + 3) フレームにかけて画像が変化せず、上述した階調範囲 a の暗画素からなるパターンが静止している場合、図 29 (2), (3) に示すように、補正部 314 は、映像信号 Vid-d をそのまま映像信号 Vid-out として出力する。(n + 4) フレーム以降の考え方は、上述した第 5 実施形態と同じである。

【0083】

また、第 1 実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図 12 (2) で示される画像で補正条件を満たす画素は図 28 (b) に示されるとおりである。 $\theta b = 225$ 度である場合、図 12 (2) で示される画像で補正条件を満たす画素は図 28 (c) に示されるとおりである。このように、液晶素子 120 のチルト方位によって定まる画素を補正対象としているので、本来の画像からの変化を抑制しつつ、リバースチルトドメインの発生を抑制し得る。

この実施形態の構成によれば、第 5 実施形態と同等の効果を奏するとともに、第 2 および第 4 実施形態と同じ理由により、映像信号の補正による印加電圧の変化を目立たなくすることができる。

【 0 0 8 4 】

< 第 7 実施形態 >

次に、本発明の第 7 実施形態について説明する。

以下の説明において、第 6 実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

上述した第 6 実施形態では、リスク境界を挟んで互いに隣接する複数の明画素および複数の暗画素について映像信号を補正していた。これに対し、この実施形態では、映像処理回路 30 は、現フレームにおいて暗画素と明画素とが隣接する境界を検出し、該検出した境界のうち、前フレーム ($(n-1)$ フレーム) から現フレーム (n フレーム) にかけて 1 画素分だけ移動したリスク境界に接する画素を補正対象とする。図 36 を用いて既に説明したように、明画素を背景とした暗画素の領域がフレーム毎に 2 画素以上ずつ移動するときに、このような尾引き現象は顕在化しない (または、視認されにくい)。そこで、映像処理回路 30 がこのような 1 画素分だけ移動したリスク境界の隣接画素を補正対象とする。

10

【 0 0 8 5 】

図 30 は、この実施形態に係る映像処理回路 30 の構成を示すブロック図である。この実施形態の映像処理回路 30 が、上述の第 6 実施形態の映像処理回路 30 と相違する部分は、リスク境界検出部 304a、304b および動き検出部 308a が設けられた点にある。なお、図 30 に示す「(補正電圧)」は、上述した第 6 実施形態に係る算出部 318 により出力される補正電圧を簡略化したものである。

20

リスク境界検出部 304a、304b は、それぞれ第 6 実施形態と同等の構成を有している。ただし、リスク境界検出部 304a は、 n フレームの映像信号 Vid-in に基づいてリスク境界を検出して、リスク境界の位置を示す境界情報 rsk_edge(n) を出力する。リスク境界検出部 304b は、遅延回路 306 から読み出される ($n-1$) フレームの映像信号 Vid-in に基づいてリスク境界を検出して境界情報 rsk_edge($n-1$) を出力する。

【 0 0 8 6 】

動き検出部 308a は、リスク境界検出部 304a、304b により n フレームおよび ($n-1$) フレームのそれぞれの映像信号 Vid-in で示される画像から検出されたリスク境界に基づいて、画像の動きを検出する。動き検出部 308a は、リスク境界検出部 304a、304b からの境界情報 rsk_edge(n) および rsk_edge($n-1$) がリスク境界に動きがあったことを示す場合には、動きのあったリスク境界の位置を示す境界情報を出力する。

30

【 0 0 8 7 】

補正部 314 のより詳細な構成について図 31 を参照して説明する。

補正部 314 は、判別部 3142 および置換部 3144 を備える。

判別部 3142 は、遅延回路 302 から出力される映像信号 Vid-d で示される画素が補正条件を満たしているか否かを判別する。判別部 3142 は、その判別結果が「Yes」である場合に出力信号のフラグ Q を例えば「1」とし、その判別結果が「No」であれば「0」として出力する。具体的には、判別部 3142 は、 n フレームの映像信号 Vid-d について、(I) 映像信号 Vid-d で示される画素が暗画素 / 明画素であり、(II) OR 回路 312 から出力される境界情報 mov_edge が移動したリスク境界であることを示すとともに、(III) 境界情報 rsk_edge(n) および rsk_edge($n-1$) の結果が 1 画素分移動したリスク境界であることを示した場合に、着目した画素が補正条件を満たすと判別する。(III) に関して、判別部 3142 は、前フレームから移動していないリスク境界、および、2 画素以上移動したリスク境界を検出しない。

40

【 0 0 8 8 】

判別部 3142 は、これらの判別結果がいずれも「Yes」である場合に、出力信号のフラグ Q を「1」として出力し、その判別結果がいずれか 1 つでも「No」であれば「0」として出力する。さらに、判別部 3142 は、「Yes」と判別した場合、上述した第 6 実施形態と同様にして、(IV) に関する条件に基づいて、各フレームについて補正条件を満たす画素を判別する。つまり、図 36 に示すように、画像が移動する場合に、補正部

50

314は、リバースチルトドメインを抑制するための補正を行う。

【0089】

以上のように補正条件が変更する以外は、上述した第6実施形態と同じである。これにより、補正部314は、リバースチルトドメインがより発生しやすい箇所に絞り込んで補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

なお、この実施形態の構成においても、上述した第6実施形態と同等の効果を奏する。また、1画素分だけ移動したリスク境界に基づいて補正対象の画素を決定する構成は、上述した第1～第5実施形態の構成にも適用可能である。この場合、「(補正電圧)」と図示した部分の構成が、各実施形態に応じたものとなり、補正部314の補正処理が各実施形態に対応したものとなる。

【0090】

<変形例>

(変形例1)TN方式

上述した実施形態では、液晶105にVA方式を用いた例について説明した。そこで次に、液晶105にTN方式とした例について説明する。

図32(a)は、液晶パネル100における 2×2 の画素を示す図であり、図32(b)は、図32(a)におけるp-q線を含む垂直面で破断したときの簡易断面図である。

これらの図に示すように、TN方式の液晶分子は、画素電極118とコモン電極108との電位差がゼロである状態において、チルト角が θa であって、チルト方位角が θb (=45度)で、初期配向しているものとする。TN方式は、VA方式とは反対に、基板水平方向に傾斜するので、TN方式のチルト角 θa は、VA方式の値よりも大きい。

【0091】

液晶105にTN方式を用いた例では、高コントラスト比などが得られる等の理由により、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードが用いられる場合が多い。

このため、液晶105にTN方式を用いるとともに、ノーマリーホワイトモードとしたとき、液晶素子120の印加電圧と透過率との関係は、図5(b)に示されるようなV-T特性で表され、印加電圧が高くなるにつれて透過率が減少する。ただし、液晶素子120の印加電圧が電圧 V_{c1} を下回るときに、液晶分子が不安定状態となる点においては、ノーマリーブラックモードと変わりはない。

【0092】

このようなTN方式のノーマリーホワイトモードにおいて、図33(a)に示すように、(n-1)フレームにおいて 2×2 の4画素がすべて液晶分子の不安定な白画素の状態から、nフレームにおいて、右上の1画素だけが黒画素に変化するときを想定する。上述したようにノーマリーホワイトモードにおいて、画素電極118とコモン電極108との電位差は、ノーマリーブラックモードとは反対に白画素よりも黒画素で大きい。このため、白から黒に変化する右上の画素では、図33(b)のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向に沿った方向(基板面の垂直方向)に起立しようとする。

しかしながら、白画素の画素電極118(Wt)と黒画素の画素電極118(Bk)との間隙で生じる電位差は、黒画素の画素電極118(Bk)とコモン電極108との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極118とコモン電極108との間隙よりも狭い。よって、電界の強度で比較すると、画素電極118(Wt)と画素電極118(Bk)との間隙で生じる横電界は、画素電極118(Bk)とコモン電極108との間隙で生じる縦電界よりも強い。

右上の画素は、(n-1)フレームにおいて液晶分子が不安定な状態の白画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、黒レベルの電圧が画素電極118(Bk)に印加されたことによる縦電界よりも、隣接する画素電極118(Wt)からの横電界の方が強いので、黒になろうとしている画素では、図31(

10

20

30

40

50

b) に示すように、白画素に隣接する側の液晶分子 R_v が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 R_v は、縦電界にしたがって破線のように基板水平方向に起立しようとする他の液晶分子の動きに悪影響を与える。このため、黒に変化すべき画素においてリバースチルトが発生する領域は、図 3 3 (c) に示すように、黒に変化すべき画素と白画素との間隙にとどまらず、その間隙から黒に変化すべき画素を浸食する形で広範囲に拡がる。

したがって、図 3 3 に示した内容から、黒に変化しようとする着目画素の周辺が白画素であった場合、当該着目画素に対して白画素が左下側、左側および下側で隣接するとき、当該着目画素では、リバースチルトが左辺および下辺に沿った内周領域にて発生することになる。

10

【0093】

一方、図 3 4 (a) に示すように、 $(n-1)$ フレームにおいて 2×2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、 n フレームにおいて、左下の 1 画素だけが黒画素に変化するときを想定する。この変化においても、黒画素の画素電極 118 (Bk) と白画素の画素電極 118 (Wt) との間隙では、画素電極 118 (Bk) とコモン電極 108 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 3 4 (b) に示すように、白画素において黒画素に隣接する側の液晶分子 R_v は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となるが、白画素では縦電界の強度が $(n-1)$ フレームから変わらないので、他の液晶分子に影響をほとんど与えない。このため、白画素から変化しない画素においてリバースチルトが発生する領域は、図 3 4 (c) に示すように、図 3 3 (c) の例と比較して無視できる程度に狭い。

20

一方、 2×2 の 4 画素のうち、左下において白から黒に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、左下画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の垂直方向に図 3 2 (b) において破線で示すように正しく起立する結果、目的である黒画素に変化するので、表示品位の劣化が発生しないことになる。

【0094】

30

このため、TN方式においてチルト方位角 θ_b が 45 度であるノーマリーホワイトモードの場合、要件 (1) をそのままに、

(2) n フレームにおいて、当該暗画素 (印加電圧高) が、隣接する明画素 (印加電圧低) に対して右上側、右側または上側に位置する場合に、

(3) n フレームにおいて当該暗画素に変化する画素は、1 フレーム前の $(n-1)$ フレームでは、液晶分子が不安定な状態にあったとき

n フレームにおいて当該暗画素でリバースチルトが発生する、ということになる。

したがって、この発生状態を、 $(n+1)$ フレームを基準として考え直した場合、画像の動きによって、 $(n+1)$ フレームにおいて暗画素が上記位置関係を満たすことになっても、変化前の n フレームにおいて、当該画素の液晶分子が不安定な状態にならないような措置を施してやればよい、ということになる。

40

ノーマリーホワイトモードでは、ノーマリーブラックモードとは反対に、階調レベルが高い (明るい) ほど、液晶素子の印加電圧が低くなる点を考慮すれば、映像処理回路 30 の構成を、次のように変更すればよいことになる。

すなわち、 n フレームにおいて、映像処理回路 30 におけるリスク境界検出部 304 が、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分と、を抽出して、リスク境界として検出する構成であればよい。補正部 314 がこのリスク境界に基づいて映像信号を補正する画素については、上述の第 1 ~ 第 7 実施形態で説明したとおりである。

なお、この例では、TN方式においてチルト方位角 θ_b を 45 度とした例を説明したが

50

、リバースチルトドメインの発生方向がV A方式と逆になる点を考慮すれば、チルト方位角 θb が45度以外の角度である場合の措置、そのための構成についても、いままでの説明から容易に類推できるはずである。

【0095】

このように画像パターンの動き方向として水平方向のみを想定すれば、垂直方向や斜め方向についても想定する構成と比較して、構成の簡易化を図ることが可能となる。

なお、ここではV A方式であってチルト方位角 θb を45度とした場合を例にとって説明したが、V A方式であってチルト方位角 θb を22.5度とした場合についても同様である。

【0096】

(変形例2) 補正対象のフレーム数

上述した各実施形態では、 $k = 1$ として、映像処理回路30は n フレームおよび $(n + 1)$ フレームの映像信号を補正していたが、 k を「2」以上の値にして、後続する更に多くのフレームについて映像信号を補正してもよい。要するに、液晶105の応答時間を T とし、液晶素子120で構成される液晶パネル100の表示を更新する時間間隔を S とした場合に、 $T \leq S \times k$ の関係を満たしていれば、液晶105の応答時間分だけ補正が施されることになり、リバースチルトドメインを抑制する効果を十分に奏することができると考えられる。よって、倍速駆動であれば少なくとも2フレーム補正すればよく、4倍速駆動であれば、フレーム周波数が240Hz(4.15ms)となるから、少なくとも $k = 3$ として4フレームにわたって映像信号を補正すればよい。このように k が「2」以上になる場合であっても、上述した遅延回路310の構成を、複数フレーム分の動きの履歴を記憶する履歴記憶部として機能させるように変形すればよい。

なお、映像処理回路30は、液晶パネル100が映像信号Vid-inの供給速度と等倍速で駆動される場合に、複数フレームにわたって映像信号Vid-dを補正してもよい。また、本発明において、 $T > S \times k$ の関係を満たす場合であっても、リバースチルトドメインを抑制する点において効果があるのであれば、この構成とすることを妨げない。

【0097】

(変形例3) 倍速駆動のパリエーション

近年では、2倍速、4倍速、...というように、液晶パネル100の駆動がより高速化する傾向がある。このような高速駆動であっても、上位装置からは供給される映像信号Vid-inは、等速駆動と同様にフレーム毎に1コマ分であることがある。このときに、 n フレームと $(n + 1)$ フレームの間では、動画表示視認特性を向上させる等のために、補間技術等によって両フレームの中間的な画像が生成されて、液晶パネル100に表示させる場合がある。例えば2倍速駆動の場合に、第1フレームでは、例えば1コマの画像を表示させる更新がなされ、それに続く第2フレームでは、当該コマの画像と後のコマの画像とに相当する補間画像を表示させる更新がなされることがある。この場合、上述した実施形態とは異なり、 n フレームと $(n + 1)$ フレームの画像が異なることがある。この場合であっても、上記各実施形態で説明した条件を満たす画素を $(n + 1)$ フレームで補正対象とすればよい。このとき、補間画像の内容にもよるが、現フレームよりも次フレームの補正対象の画素は減ることが多い。

【0098】

(変形例4) 他の変形例

上述した各実施形態において、映像信号Vid-inは、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしてもよい。映像信号Vid-inが液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすればよい。

上述した第2、第4、第6および第7実施形態のそれぞれにおいて、補正対象となる明画素や暗画素の各画素の階調レベルはそれぞれ同じでなくてもよい。また、上述した第6、7実施形態において、補正対象となる明画素の数と暗画素との数(L の値)が相違していてもよい。

また、各実施形態において、液晶素子 120 は、透過型に限られず、反射型であってもよい。

【0099】

(変形例 5) 電子機器

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル 100 をライトバルブとして用いた投射型表示装置（プロジェクター）について説明する。図 35 は、このプロジェクターの構成を示す平面図である。

この図に示すように、プロジェクター 2100 の内部には、ハロゲンランプ等の白色光源からなるランプユニット 2102 が設けられている。このランプユニット 2102 から射出された投射光は、内部に配置された 3 枚のミラー 2106 および 2 枚のダイクロイックミラー 2108 によって R（赤）色、G（緑）色、B（青）色の 3 原色に分離されて、各原色に対応するライトバルブ 100R、100G および 100B にそれぞれ導かれる。なお、B 色の光は、他の R 色や G 色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ 2122、リレーレンズ 2123 および出射レンズ 2124 からなるリレーレンズ系 2121 を介して導かれる。

【0100】

このプロジェクター 2100 では、液晶パネル 100 を含む液晶表示装置が、R 色、G 色、B 色のそれぞれに対応して 3 組設けられる。ライトバルブ 100R、100G および 100B の構成は、上述した液晶パネル 100 と同様である。R 色、G 色、B 色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ 100R、100G および 100B がそれぞれ駆動される構成となっている。

ライトバルブ 100R、100G、100B によってそれぞれ変調された光は、ダイクロイックプリズム 2112 に 3 方向から入射する。そして、このダイクロイックプリズム 2112 において、R 色および B 色の光は 90 度に屈折する一方、G 色の光は直進する。したがって、各原色の画像が合成された後、スクリーン 2120 には、投射レンズ 2114 によってカラー画像が投射されることとなる。

【0101】

なお、ライトバルブ 100R、100G および 100B には、ダイクロイックミラー 2108 によって、R 色、G 色、B 色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ 100R、100B の透過像は、ダイクロイックプリズム 2112 により反射した後に投射されるのに対し、ライトバルブ 100G の透過像はそのまま投射されるので、ライトバルブ 100R、100B による水平走査方向は、ライトバルブ 100G による水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

【0102】

電子機器としては、図 35 を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニター直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

【符号の説明】

【0103】

1 ... 液晶表示装置、30 ... 映像処理回路、100 ... 液晶パネル、100a ... 素子基板、100b ... 対向基板、105 ... 液晶、108 ... コモン電極、118 ... 画素電極、120 ... 液晶素子、302, 306, 310 ... 遅延回路、304, 304a, 304b ... リスク境界検出部、308, 308a ... 動き検出部、3082 ... 現フレーム検出部、3084 ... 前フレーム検出部、3088 ... 適用境界決定部、312 ... OR 回路、314 ... 補正部、3142 ... 判別部、3144 ... 置換部、316 ... D/A 変換器、318 ... 算出部、2100 ... プ

10

20

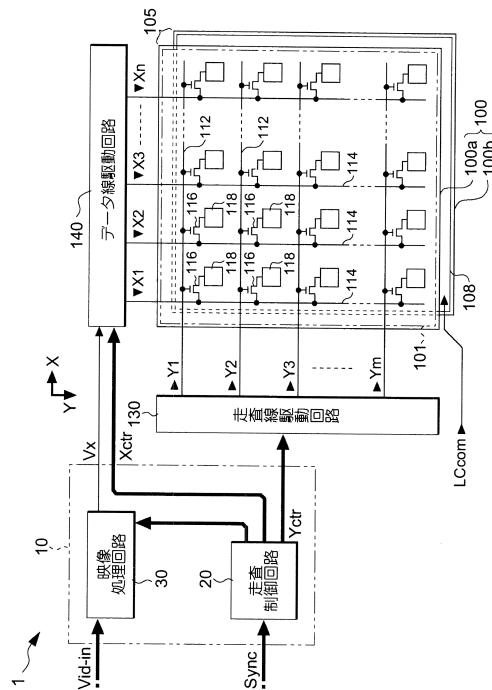
30

40

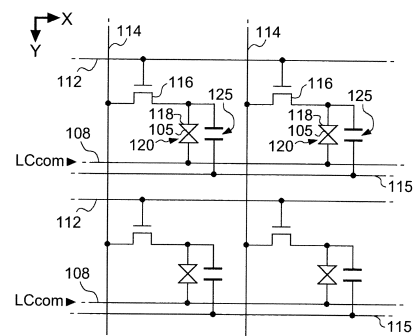
50

ロジェクター。

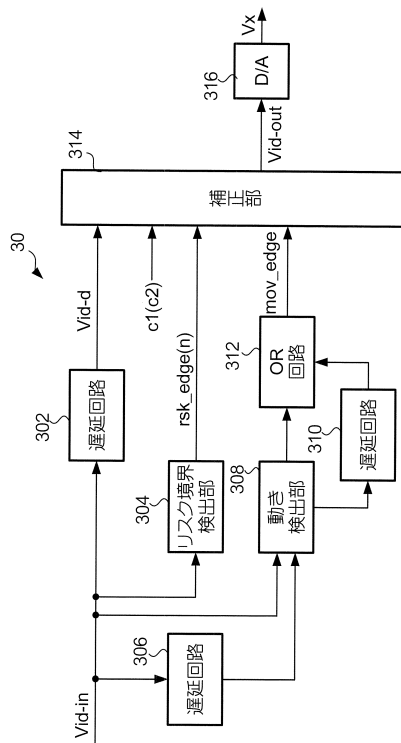
【図 1】



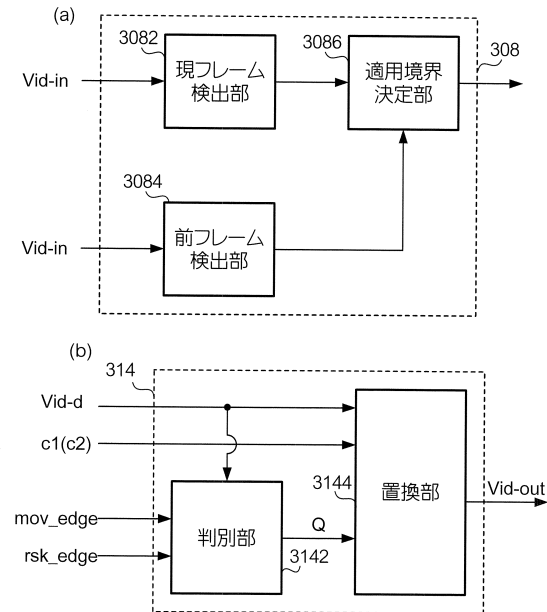
【図 2】



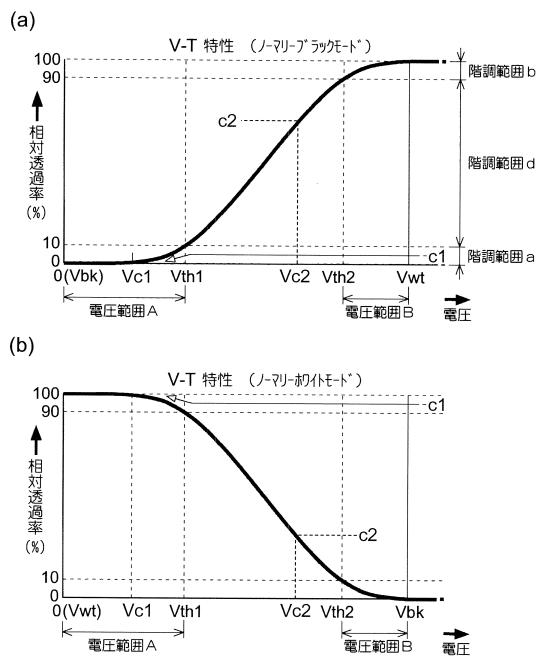
【図 3】



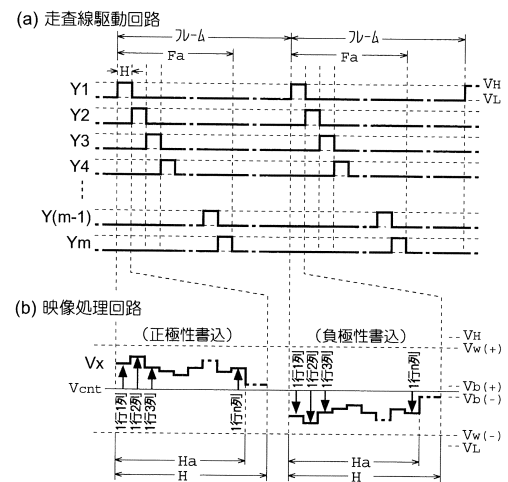
【図 4】



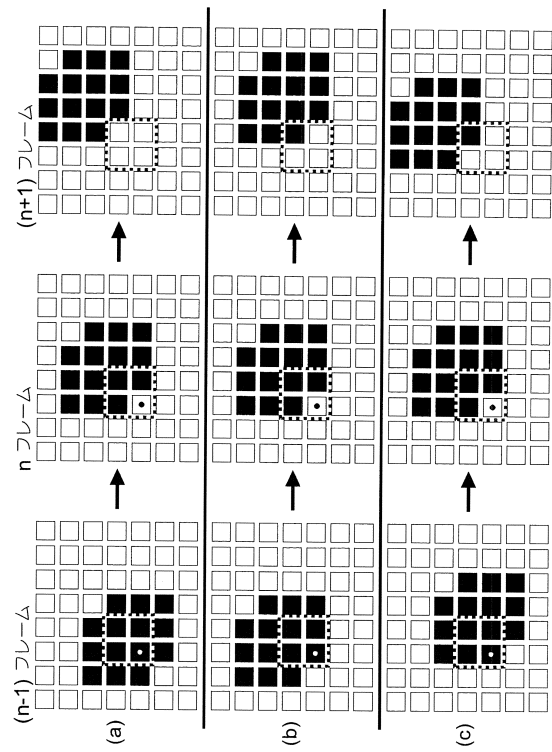
【図 5】



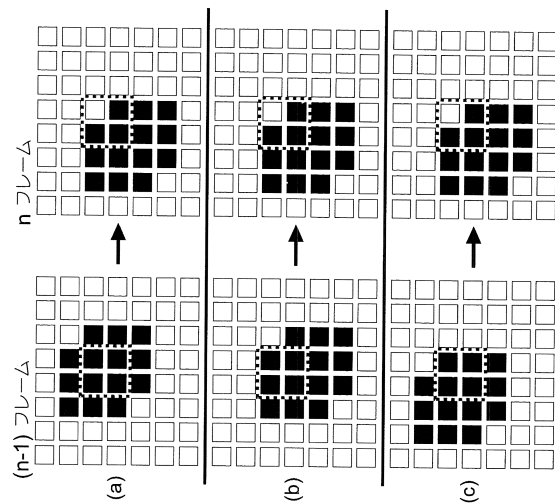
【図 6】



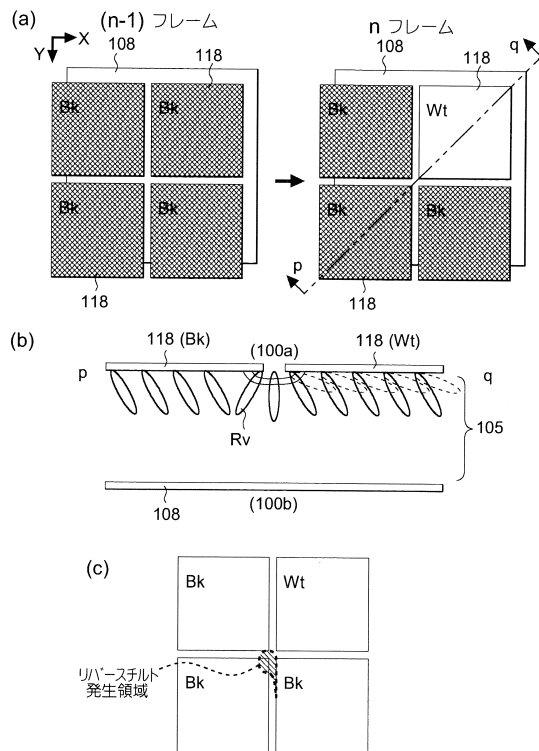
【 図 8 】



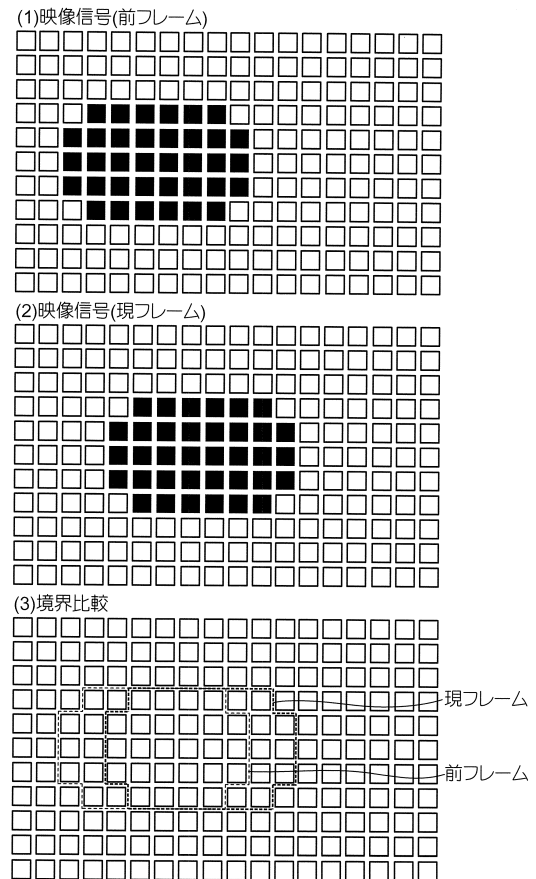
【 図 1 0 】



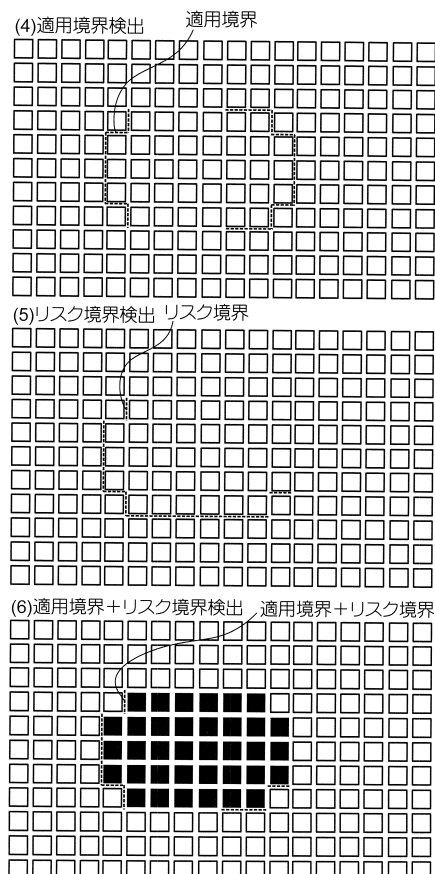
【図 1 1】



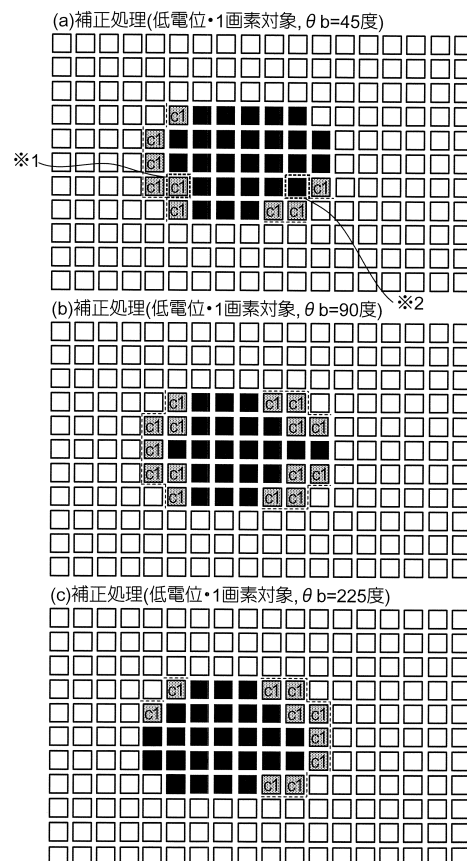
【図 1 2】



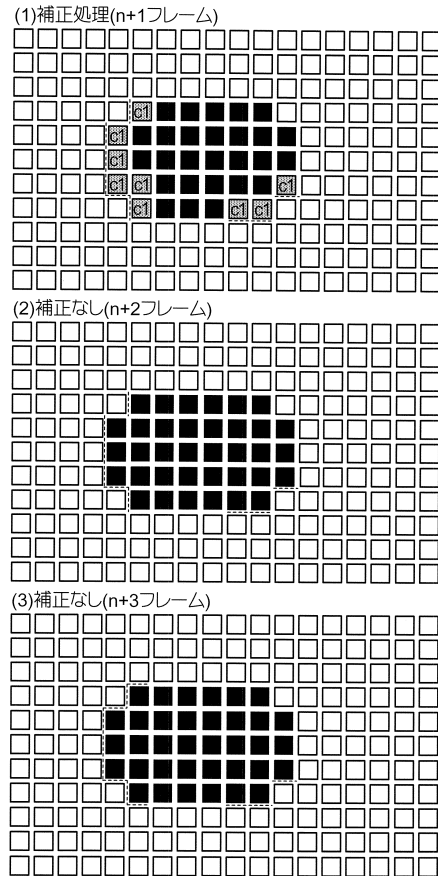
【図 1 3】



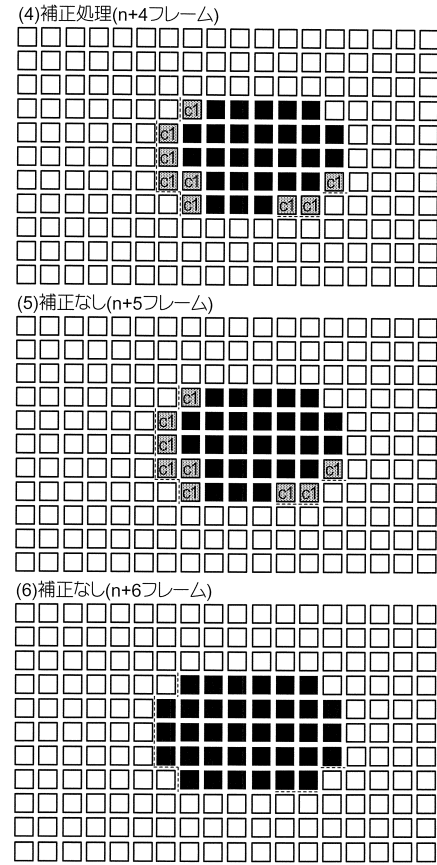
【図 1 4】



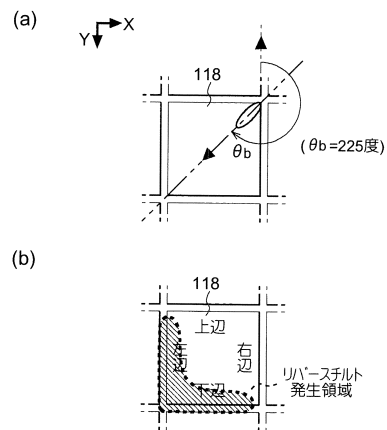
【図 15】



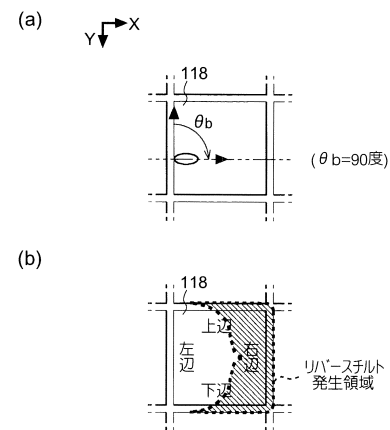
【図 16】



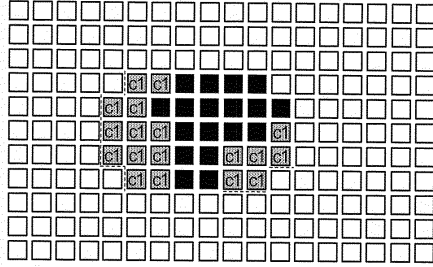
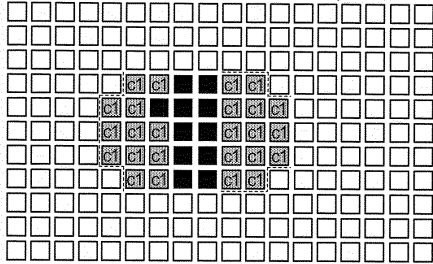
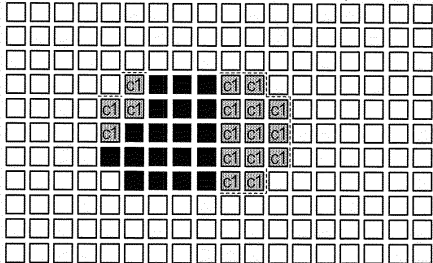
【図 17】



【図 18】

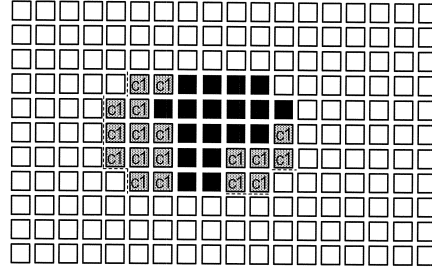


【図 19】

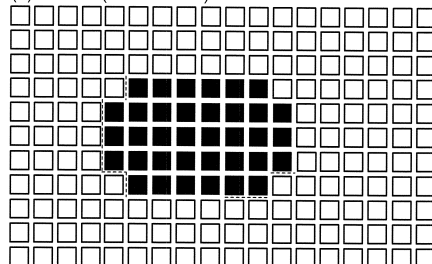
(a)補正処理(低電位・2画素対象, $\theta b=45^\circ$)(b)補正処理(低電位・2画素対象, $\theta b=90^\circ$)(c)補正処理(低電位・2画素対象, $\theta b=225^\circ$)

【図 20】

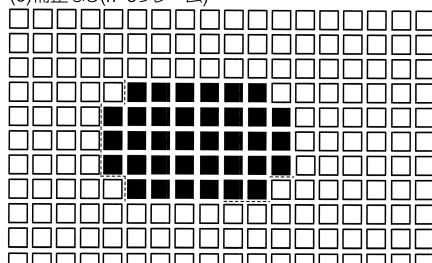
(1)補正処理(n+1フレーム)



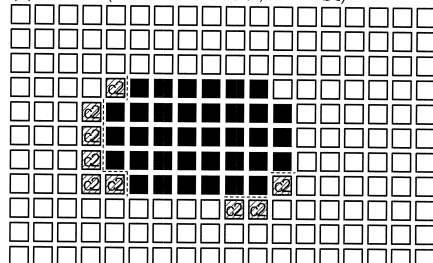
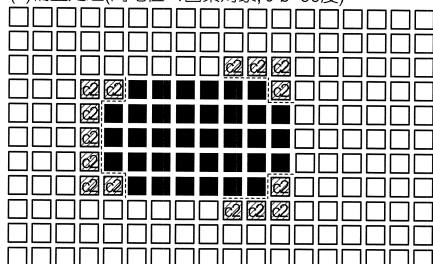
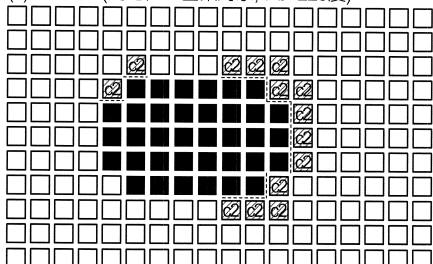
(2)補正なし(n+2フレーム)



(3)補正なし(n+3フレーム)

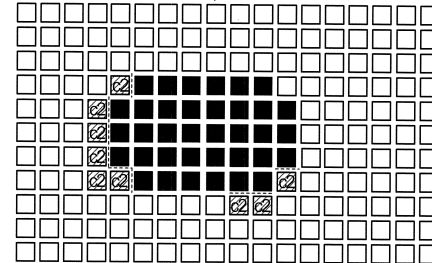


【図 21】

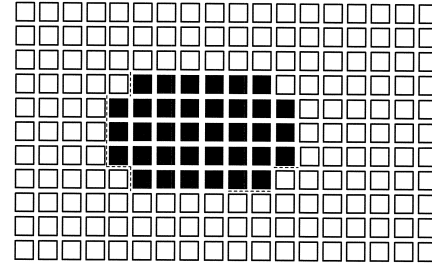
(a)補正処理(高電位・1画素対象, $\theta b=45^\circ$)(b)補正処理(高電位・1画素対象, $\theta b=90^\circ$)(c)補正処理(高電位・1画素対象, $\theta b=225^\circ$)

【図 22】

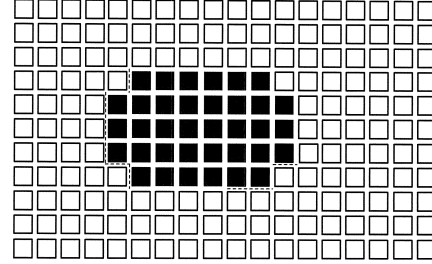
(1)補正処理(n+1フレーム)



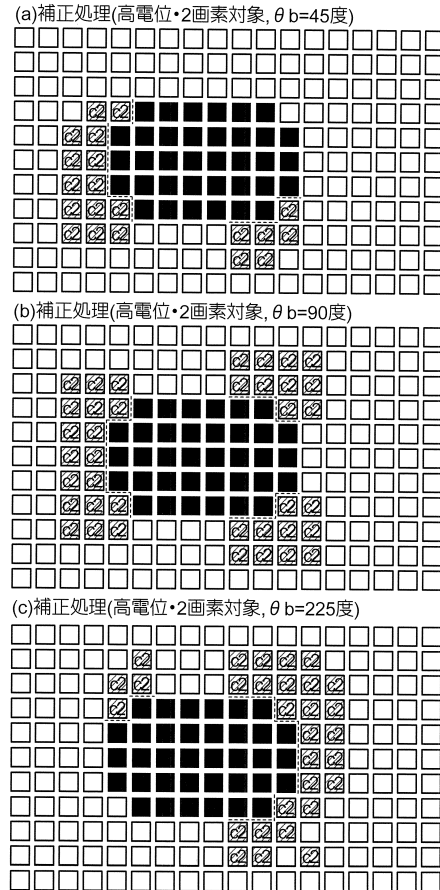
(2)補正なし(n+2フレーム)



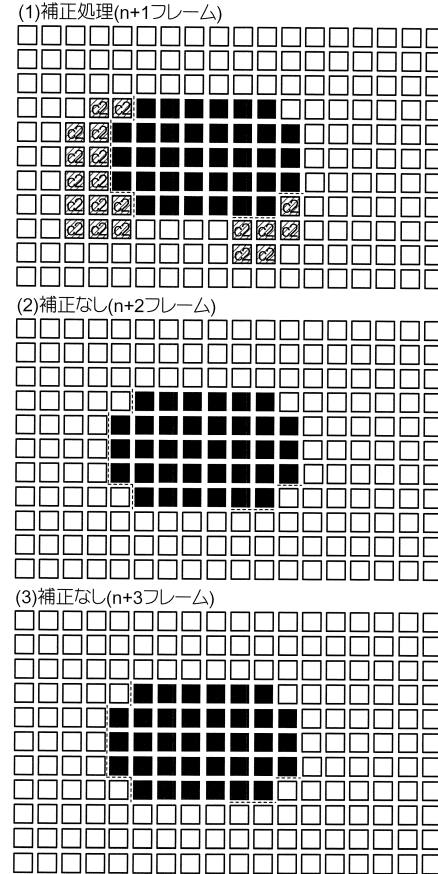
(3)補正なし(n+3フレーム)



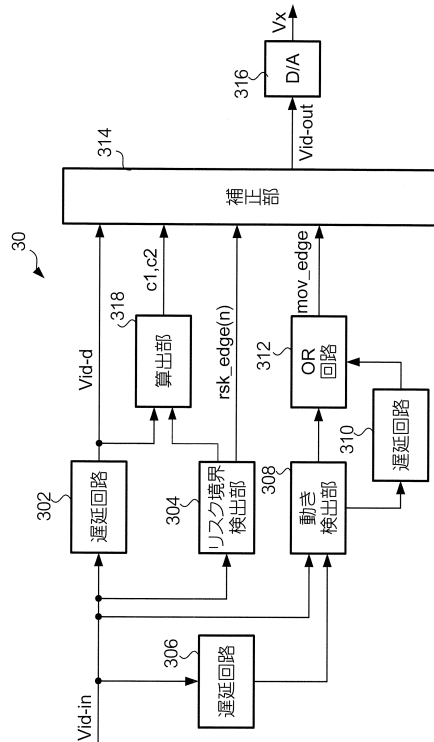
【 図 2 3 】



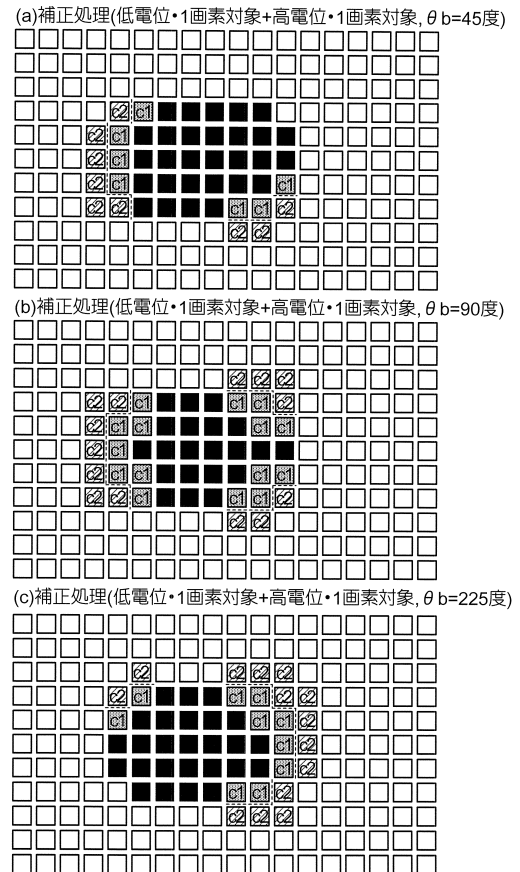
【 図 2 4 】



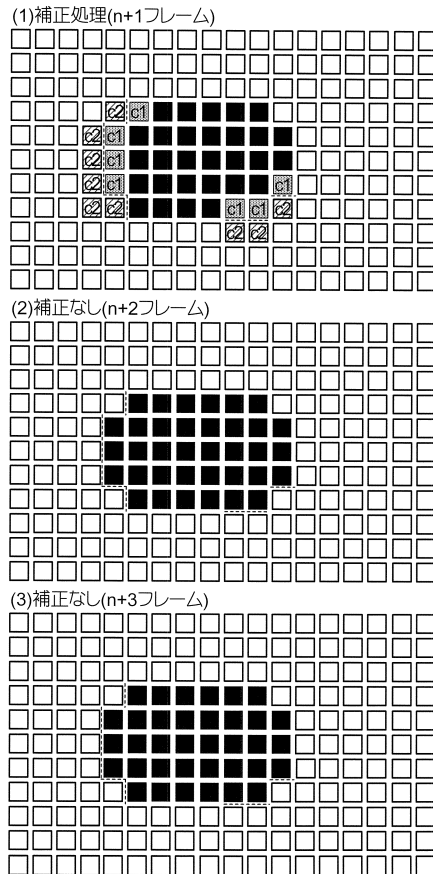
【 図 2 5 】



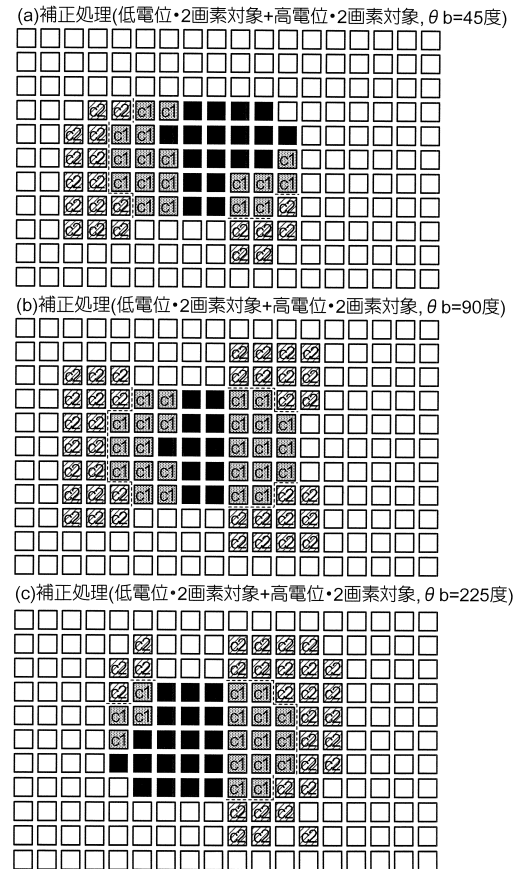
【 図 2 6 】



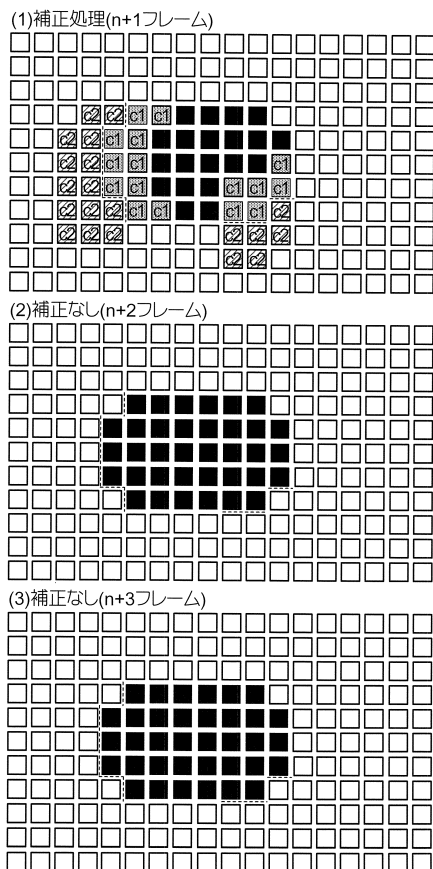
【図 27】



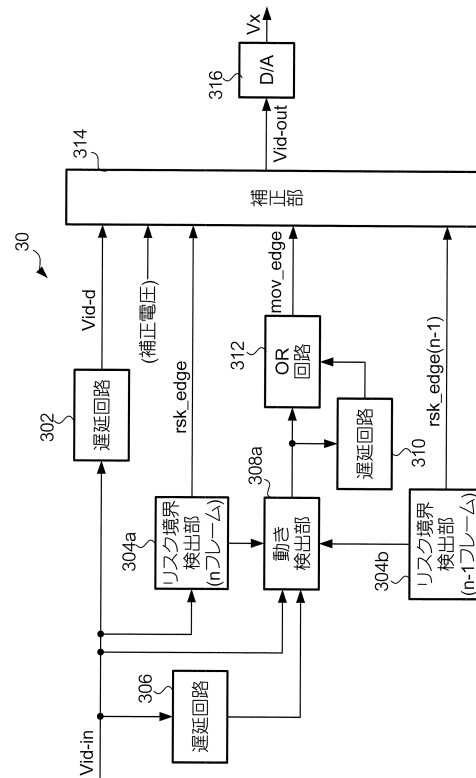
【図 28】



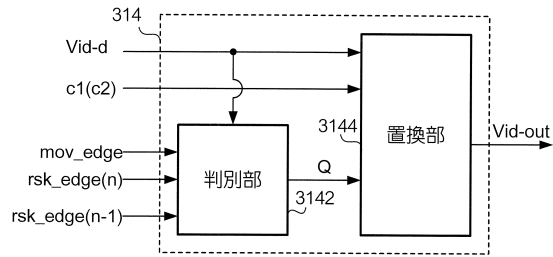
【図 29】



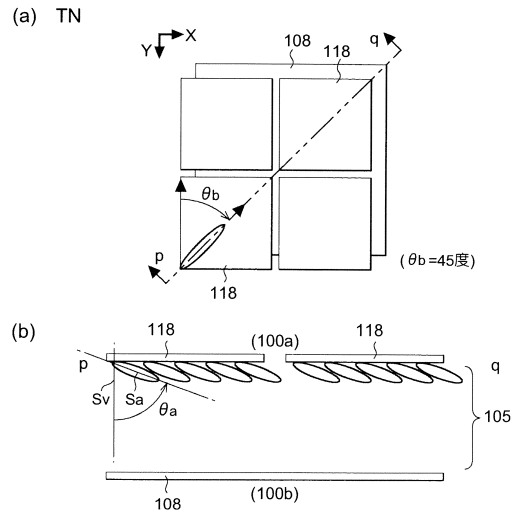
【図 30】



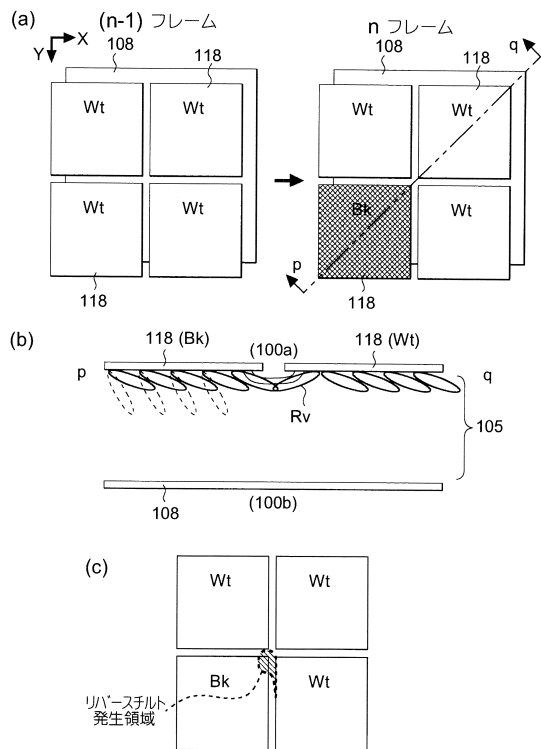
【図 3 1】



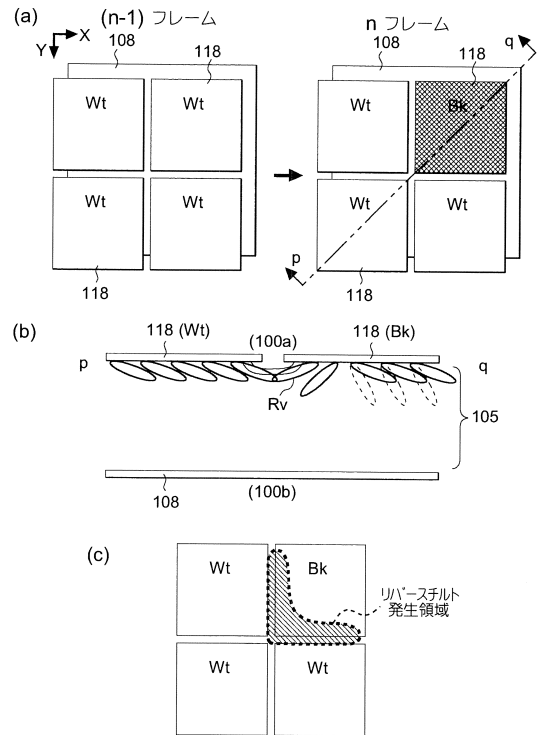
【図 3 2】



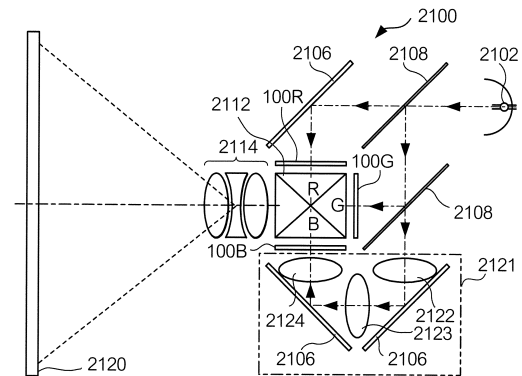
【図 3 4】



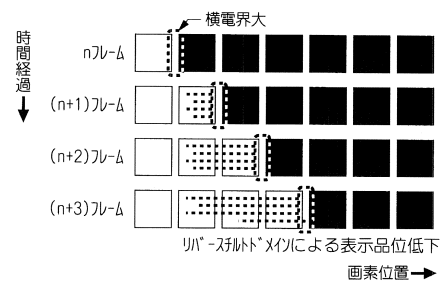
【図 3 3】



【図 3 5】



【図 3 6】



フロントページの続き

(51) Int.Cl.	F I		
	G 0 2 F	1/133	5 7 5
	G 0 2 F	1/133	5 0 5

(56)参考文献 特開 2 0 0 8 - 0 4 6 6 1 3 (J P , A)
特開 2 0 0 9 - 1 0 4 0 5 5 (J P , A)
特開 2 0 1 1 - 1 7 5 1 3 7 (J P , A)
特開 2 0 0 9 - 2 3 7 3 3 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 9 G 3 / 0 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3

专利名称(译)	图像处理方法，图像处理电路，液晶显示装置和电子设备		
公开(公告)号	JP5720221B2	公开(公告)日	2015-05-20
申请号	JP2010276676	申请日	2010-12-13
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	保坂宏行 北川拓		
发明人	保坂 宏行 北川 拓		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G2320/0209 G09G2320/10 G09G2340/16		
FI分类号	G09G3/36 G09G3/20.641.P G09G3/20.612.U G09G3/20.642.E G09G3/20.660.V G02F1/133.575 G02F1/133.505 G09G3/20.631.B G09G3/20.641.C G09G3/20.642.D		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB06 2H193/ZB13 2H193/ZC25 2H193/ZD02 2H193/ZE04 2H193/ ZF12 2H193/ZF16 2H193/ZF18 2H193/ZQ11 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC24 5C006/AC28 5C006/AF03 5C006/AF04 5C006/AF19 5C006/AF44 5C006/AF45 5C006/AF46 5C006/ AF51 5C006/AF53 5C006/AF57 5C006/AF82 5C006/BA19 5C006/BB16 5C006/BC13 5C006/BF02 5C006/BF04 5C006/BF07 5C006/BF09 5C006/BF11 5C006/BF14 5C006/BF26 5C006/EC11 5C006/ FA12 5C006/FA14 5C006/FA24 5C006/FA29 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD02 5C080/DD03 5C080/DD08 5C080/EE19 5C080/EE29 5C080/FF11 5C080/GG11 5C080/ GG13 5C080/GG15 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK04 5C080/KK07 5C080/KK20 5C080/KK23 5C080/KK43		
代理人(译)	须泽 修		
审查员(译)	小野贤二		
其他公开文献	JP2012127991A		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于横向电场的影响而导致的显示质量下降。处于常黑模式的视频处理电路（30）产生视频信号Vid-i 暗像素，其对应于由n指定的灰度等级的液晶元件的施加电压低于第一电压，与亮像素的边界的一部分等于或高于第二电压并且由液晶分子的倾斜取向确定 从从前一帧到当前帧改变的边界检测边界，以及检测到的风险 对于与边界相邻的暗像素和亮像素中的至少一个，在多达k帧（k是自然数）的多个帧中，触摸风险边界的帧 指定要施加到与感兴趣像素对应的液晶元件的电压的视频信号，从而减少像素之间产生的横向电场。点域1

