

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5707973号
(P5707973)

(45) 発行日 平成27年4月30日 (2015. 4. 30)

(24) 登録日 平成27年3月13日 (2015. 3. 13)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

G09G 3/36

G09G 3/20 612U

G09G 3/20 641P

G09G 3/20 641C

G09G 3/20 642A

請求項の数 14 (全 38 頁) 最終頁に続く

(21) 出願番号 特願2011-15578 (P2011-15578)
 (22) 出願日 平成23年1月27日 (2011. 1. 27)
 (65) 公開番号 特開2012-155212 (P2012-155212A)
 (43) 公開日 平成24年8月16日 (2012. 8. 16)
 審査請求日 平成26年1月17日 (2014. 1. 17)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿 2 丁目 4 番 1 号
 (74) 代理人 110000752
 特許業務法人朝日特許事務所
 (72) 発明者 保坂 宏行
 長野県諏訪市大和 3 丁目 3 番 5 号 セイコ
 ーエプソン株式会社内
 (72) 発明者 北川 拓
 長野県諏訪市大和 3 丁目 3 番 5 号 セイコ
 ーエプソン株式会社内

審査官 中村 直行

最終頁に続く

(54) 【発明の名称】 映像処理方法、映像処理回路、液晶表示装置および電子機器

(57) 【特許請求の範囲】

【請求項 1】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出ステップと、

前記リスク境界検出ステップで検出されたリスク境界に接する前記第 1 画素に対応する液晶素子への印加電圧を指定する映像信号を、1 フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで異なる電圧となるように補正する補正ステップと

を有することを特徴とする映像処理方法。

【請求項 2】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出ステップと、

前記リスク境界検出ステップで検出されたリスク境界に接する前記第 2 画素に対応する液晶素子への印加電圧を指定する映像信号を、1 フレームで当該リスク境界が存在する期

10

20

間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで互いに異なる電圧に補正する補正ステップと

を有することを特徴とする映像処理方法。

【請求項 3】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出ステップと、

前記リスク境界検出ステップで検出されたリスク境界に接する前記第 2 画素に対応する液晶素子への印加電圧を指定する映像信号を、1 フレームで当該リスク境界が存在する期間を短くするように、当該フレームを構成する複数のフィールドのうち、先頭のフィールドを除く少なくとも一部のフィールドにおいて補正する補正ステップと

を有することを特徴とする映像処理方法。

【請求項 4】

前記補正ステップにおいて、

補正対象の前記第 1 画素に対応する映像信号を、最大階調の映像信号に補正することを特徴とする請求項 1 に記載の映像処理方法。

【請求項 5】

前記補正ステップにおいて、

補正対象の前記第 2 画素に対応する映像信号を、最小階調の映像信号に補正することを特徴とする請求項 2 又は 3 に記載の映像処理方法。

【請求項 6】

前記補正ステップにおいて、

前記フレームの複数のフィールドのいずれかのフィールドで、補正対象の画素に対応する前記映像信号を補正しない

ことを特徴とする請求項 1 から 5 のいずれか 1 項に記載の映像処理方法。

【請求項 7】

前記補正ステップにおいて、

前記フレームの複数のフィールドのそれぞれについて補正対象の画素に対応する前記映像信号を補正する

ことを特徴とする請求項 1 又は 2 に記載の映像処理方法。

【請求項 8】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界検出部で検出されたリスク境界に接する前記第 1 画素に対応する液晶素子への印加電圧を指定する映像信号を、1 フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで異なる電圧となるように補正する補正部と

を備えることを特徴とする映像処理回路。

【請求項 9】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界検出部で検出されたリスク境界に接する前記第 2 画素に対応する液晶素

子への印加電圧を指定する映像信号を、1フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで互いに異なる電圧に補正する補正部と

を備えることを特徴とする映像処理回路。

【請求項10】

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界検出部で検出されたリスク境界に接する前記第2画素に対応する液晶素子への印加電圧を指定する映像信号を、1フレームで当該リスク境界が存在する期間を短くするように、当該フレームを構成する複数のフィールドのうち、先頭のフィールドを除く少なくとも一部のフィールドにおいて補正する補正部と

を備えることを特徴とする映像処理回路。

【請求項11】

第1基板に複数の画素の各々に対応して設けられた画素電極と第2基板に設けられた共通電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを備え、

前記映像処理回路は、

入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界検出部で検出されたリスク境界に接する前記第1画素に対応する液晶素子への印加電圧を指定する映像信号を、1フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで互いに異なる電圧となるように補正する補正部と

を有することを特徴とする液晶表示装置。

【請求項12】

第1基板に複数の画素の各々に対応して設けられた画素電極と第2基板に設けられた共通電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを備え、

前記映像処理回路は、

入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界検出部で検出されたリスク境界に接する前記第2画素に対応する液晶素子への印加電圧を指定する映像信号を、1フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとのそれぞれで異なる電圧に補正する補正部と

を有することを特徴とする液晶表示装置。

【請求項13】

第1基板に複数の画素の各々に対応して設けられた画素電極と第2基板に設けられた共通電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを備え、

前記映像処理回路は、

入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前

10

20

30

40

50

記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出部と、

前記リスク境界検出部で検出されたリスク境界に接する前記第 2 画素に対応する液晶素子への印加電圧を指定する映像信号を、1 フレームで当該リスク境界が存在する期間を短くするように、当該フレームを構成する複数のフィールドのうち、先頭のフィールドを除く少なくとも一部のフィールドにおいて補正する補正部と

を有することを特徴とする液晶表示装置。

【請求項 1 4】

請求項 1 1 から 1 3 のいずれか 1 項に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0 0 0 2】

液晶パネルは、一定の間隙に保たれた一对の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが表示制御に寄与する、ということができる。

【0 0 0 3】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えば V A（Vertical Alignment）方式や、T N（Twisted Nematic）方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（つまり、リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献 1 参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献 2 参照）、マトリクス駆動方式の表示装置における横電界に起因した画質不良に対し、現象発生画素にのみ補正電圧を印加して画質不良を改善する技術（例えば特許文献 3 参照）などが提案されている。

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開平 6 - 3 4 9 6 5 号公報（図 1）

【特許文献 2】特開 2 0 0 9 - 6 9 6 0 8 号公報（図 2）

【特許文献 3】特開 2 0 0 9 - 2 3 7 3 6 6 号公報（図 1 4）

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

しかしながら、特許文献 1 に開示されているような液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで

10

20

30

40

50

既に製作された液晶パネルに適用することができない、という欠点がある。特許文献2に開示されているような設定値以上の映像信号をクリップする技術では、表示する画像の明るさが設定値に制限されてしまう、という欠点もある。特許文献3に開示されている技術では、同一フレーム期間において隣接する2画素に入力される映像信号の電位差を検出し、隣接する2画素に対する入力映像信号に電位差がある場合に、2画素間の電位差、走査方向さらには配向膜の蒸着方向に基づいて補正の対象となる画素を選択して、2画素間の電位差及び補正対象画素に対応する入力映像信号の電位に基づいた補正量で駆動電圧を補正する、という手順の処理を要する。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る映像処理方法にあつては、画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であつて、入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であつて、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出ステップと、前記リスク境界検出ステップで検出されたリスク境界に接する前記第1画素に対応する液晶素子への印加電圧を指定する映像信号を、1フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで異なる電圧となるように補正する補正ステップとを有することを特徴とする。

また、本発明に係る映像処理方法にあつては、画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であつて、入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であつて、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出ステップと、前記リスク境界検出ステップで検出されたリスク境界に接する前記第2画素に対応する液晶素子への印加電圧を指定する映像信号を、1フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで互いに異なる電圧に補正する補正ステップとを有することを特徴とする。

また、本発明に係る映像処理方法にあつては、画素毎に液晶素子の印加電圧を指定する入力映像信号を補正し、前記補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であつて、入力映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧を上回る第2画素との境界の一部であつて、前記液晶のチルト方位で定まるリスク境界を検出するリスク境界検出ステップと、前記リスク境界検出ステップで検出されたリスク境界に接する前記第2画素に対応する液晶素子への印加電圧を指定する映像信号を、1フレームで当該リスク境界が存在する期間を短くし、且つ当該フレームを構成する一のフィールドと、他のフィールドとで異なる電圧に補正する補正ステップとを有することを特徴とする。

本発明によれば、1フレーム期間においてリスク境界が同一位置に存在する期間が短くなり、液晶分子の配向不良状態が安定することを抑えられるので、リバースチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。また、液晶素子で構成される液晶パネルの構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。さらに、リスク境界の隣接画素であるという条件に基づいて補正対象の画素が定まるので補正対象の画素の特定が容易であるとともに、採りうる映像信号の補正值においても幅広い範囲から選択可能である。

【0008】

また、本発明に係る映像処理方法にあつては、前記補正ステップにおいて、補正対象の

前記第 1 画素に対応する映像信号を、最大階調の映像信号に補正するようにしてもよい。

本発明によれば、入力映像信号に従って表示される画像の変化をユーザーに知覚されにくくすることができる。

【 0 0 1 0 】

また、本発明に係る映像処理方法にあつては、前記補正ステップにおいて、補正対象の前記第 2 画素に対応する映像信号を、最小階調の映像信号に補正するようにしてもよい。

本発明によれば、入力映像信号に従って表示される画像の変化をユーザーに知覚されにくくすることができる。

【 0 0 1 4 】

本発明において、前記補正ステップにおいて、前記フレームの複数のフィールドのいずれかのフィールドで、補正対象の画素に対応する前記映像信号を補正しないようにしてもよい。

10

本発明によれば、映像信号の補正によって生じる画像の変化を抑えることができる。

【 0 0 1 5 】

本発明において、前記補正ステップにおいて、前記フレームの複数のフィールドのそれぞれについて補正対象の画素に対応する前記映像信号を補正するようにしてもよい。

本発明によれば、1 フレームを構成するすべてのフィールドで映像信号を補正した場合でも、リバースチルトドメインを抑制することができる。

【 0 0 1 6 】

なお、本発明は、映像処理方法のほか、映像処理回路、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

20

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】本発明の第 1 実施形態に係る映像処理回路を適用した液晶表示装置を示す図。

【図 2】同液晶表示装置における液晶素子の等価回路を示す図。

【図 3】同映像処理回路の構成を示す図。

【図 4】同液晶表示装置を構成する液晶パネルの V - T 特性を示す図。

【図 5】同液晶パネルにおける表示動作を示す図。

【図 6】同液晶パネルにおいて V A 方式としたときの初期配向の説明図。

【図 7】同液晶パネルにおける画像の動きを説明するための図。

30

【図 8】同液晶パネルにおいて発生するリバースチルトの説明図。

【図 9】同液晶パネルにおける画像の動きを説明するための図。

【図 10】同液晶パネルにおいて発生するリバースチルトの説明図。

【図 11】同映像処理回路の補正処理の概要の説明図。

【図 12】同映像処理回路におけるリスク境界の検出手順の説明図。

【図 13】同映像処理回路における補正処理を示す図。

【図 14】同液晶パネルにおいて他のチルト方位角としたときの図。

【図 15】同液晶パネルにおいて他のチルト方位角としたときの図。

【図 16】本発明の第 2 実施形態に係る映像処理回路の補正処理の概要の説明図。

【図 17】本発明の第 3 実施形態に係る映像処理回路の補正処理の概要の説明図。

40

【図 18】同映像処理回路における補正処理を示す図。

【図 19】本発明の第 4 実施形態に係る映像処理回路の補正処理の概要の説明図。

【図 20】同映像処理回路における補正処理を示す図。

【図 21】本発明の第 5 実施形態に係る映像処理回路の構成を示す図。

【図 22】同映像処理回路における補正処理を示す図。

【図 23】本発明の第 6 実施形態に係る映像処理回路の補正処理の概要の説明図。

【図 24】同映像処理回路における補正処理を示す図。

【図 25】本発明の第 7 実施形態に係る映像処理回路の構成を示す図。

【図 26】同映像処理回路におけるリスク境界の検出手順の説明図。

【図 27】同映像処理回路における補正処理を示す図。

50

【図 28】本発明の変形例に係る映像処理回路における補正処理を示す図。

【図 29】同変形例に係る映像処理回路における補正処理を示す図。

【図 30】同変形例に係る映像処理回路における補正処理を示す図。

【図 31】同液晶パネルにおいて T N 方式としたときの初期配向の説明図。

【図 32】同液晶パネルにおいて発生するリバースチルトの説明図。

【図 33】同液晶パネルにおいて発生するリバースチルトの説明図。

【図 34】液晶表示装置を適用したプロジェクターを示す図。

【図 35】横電界の影響による表示上の不具合等を示す図。

【図 36】通常の 4 倍速駆動での入出力の映像信号の関係の説明図。

【発明を実施するための形態】

10

【0018】

< 第 1 実施形態 >

以下、本発明の実施の形態について図面を参照しつつ説明する。

まず、本発明の第 1 実施形態について説明する。

図 1 は、本実施形態に係る映像処理回路を適用した液晶表示装置 1 の全体構成を示すブロック図である。

図 1 に示すように、液晶表示装置 1 は、制御回路 10 と、液晶パネル 100 と、走査線駆動回路 130 と、データ線駆動回路 140 とを備える。制御回路 10 には、映像信号 Vid-in が上位装置から同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）に従った走査の順番で供給される。本実施形態では、映像信号 Vid-in が供給される周波数が 60 Hz であり、その逆数である周期 16.67 ミリ秒で 1 フレーム（1 コマ）の画像を表示するための映像信号 Vid-in が供給される。

20

なお、映像信号 Vid-in は階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといって差し支えない。

【0019】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とを備える。走査制御回路 20 は、各種の制御信号を生成して、同期信号 Sync に同期して各部を制御する。映像処理回路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力する。

30

【0020】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成である。素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、且つ各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、この実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、...、(m-1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、...、(n-1)、n 列目という呼び方をする場合がある。

40

【0021】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって

50

電圧 $V_{LC\ com}$ が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるのでそれぞれ実線で示す。

【0022】

図 2 は、液晶パネル 100 における等価回路を示す図である。

図 2 に示すように、液晶パネル 100 は、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成である。図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示すように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

ここで、走査線 112 が H レベルになると、その走査線にゲート電極が接続された TFT 116 がオンとなり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に階調に応じた電圧のデータ信号を供給すると、そのデータ信号は、オンした TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフするが、画素電極 118 に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 およびコモン電極 108 によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル 100 では、液晶素子 120 毎に透過率が変化するのので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。

なお、本実施形態においては、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0023】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Y_{ctr} にしたがって、1、2、3、...、 m 行目の走査線 112 に、走査信号 Y_1 、 Y_2 、 Y_3 、...、 Y_m を供給する。詳細には、走査線駆動回路 130 は、図 6 (a) に示すように、走査線 112 をフレームにわたって 1、2、3、...、 $(m-1)$ 、 m 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧 V_H (H レベル) とし、それ以外の走査線への走査信号を非選択電圧 V_L (L レベル) とする。

なお、フレームとは、液晶パネル 100 を駆動することによって、画像の 1 コマ分を液晶パネル 100 に表示させるのに要する期間をいう。本実施形態では、同期信号 S_{ync} により制御される垂直走査信号の周波数が 240 Hz である。図 5 にも示すように、本実施形態の液晶表示装置 1 では、1 フレームをそれぞれ第 1 フィールド～第 4 フィールドまでの 4 つのフィールドに分けるとともに、各フィールドで、1～ m 行目の走査線を走査する、いわゆる 4 倍速駆動を実現する。すなわち、上位装置から 60 Hz の供給速度で供給される映像信号 V_{id-in} に基づいて、液晶表示装置 1 が 240 Hz の駆動速度で液晶パネル 100 を駆動することで、映像信号 V_{id-in} に基づいて 1 コマの画像を表示することとなる。1 フィールドの期間は、1/4 フレーム期間に相当し、ここではおよそ 4.16 ミリ秒である。また、液晶表示装置 1 では、第 1、3 フィールドにおいて正極性書込を指定し、第 2、4 フィールドにおいて負極性書込を指定し、フィールド毎に書込極性を反転して、画素へのデータの書き込みを行う。このような倍速駆動を採用することにより、等倍速駆動とする場合に比べて、画像の残像感を減らすことができる、という効果を奏する。

【0024】

データ線駆動回路 140 は、映像処理回路 30 から供給されるデータ信号 V_x を、走査制御回路 20 による制御信号 X_{ctr} にしたがって 1～ n 列目のデータ線 114 にデータ信号 X_1 ～ X_n としてサンプリングする。

なお、本説明において電圧については、液晶素子 120 の印加電圧を除き、特に明記し

10

20

30

40

50

ない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子 120 の印加電圧は、コモン電極 108 の電圧 $V_{LC\ com}$ と画素電極 118 との電位差であり、他の電圧と区別するためである。

【0025】

さて、液晶素子 120 の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、例えば図 4 (a) に示すような $V-T$ 特性で表される。このため、液晶素子 120 を、映像信号 V_{id-in} で指定された階調レベルに応じた透過率とさせるには、その階調レベルに応じた電圧を液晶素子 120 に印加すればよいはずである。しかしながら、液晶素子 120 の印加電圧を、映像信号 V_{id-in} で指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生する場合がある。

10

【0026】

リバースチルトドメインに起因する表示上の不具合の例について説明する。例えば図 35 に示すように、映像信号 V_{id-in} で示す画像が、白画素を背景として黒画素が連続する黒パターンがフレーム毎に 1 画素ずつ右方向に移動する場合に、その黒パターンの左端縁部（動きの後縁部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、という一種の尾引き現象として顕在化する。

なお、液晶パネル 100 が、白画素を背景とした黒画素の領域がフレーム毎に 2 画素以上ずつ移動するとき、液晶素子の応答時間が表示画面が更新される時間間隔（1 フレーム期間）より短ければ、このような尾引き現象は顕在化しない（または、視認されにくい）。この理由は、次のように考えられる。すなわち、あるフレームにおいて、白画素と黒画素とが隣接したときに、その白画素でリバースチルトドメインが発生するかもしれないが、画像の動きを考えると、リバースチルトドメインが発生する画素が離散的となるので、視覚的に目立たない、と考えられるからである。

20

なお、図 35 において見方を変えたと、黒画素を背景として白画素が連続する白パターンがフレーム毎に 1 画素ずつ右方向に移動する場合に、その白パターンの右端縁部（動きの先端部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、ということもできる。

また、図 35 においては、説明の便宜上、画像のうち、1 ラインの境界付近を抜き出している。

【0027】

30

リバースチルトドメインに起因する表示上のこの不具合は、液晶素子 120 において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなるのが原因のひとつとして考えられている。

ここで、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルの（または黒レベルに近い）暗画素と、白レベルの（または白レベルに近い）明画素とが隣接する場合である。

このうち、暗画素については、印加電圧がノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} （第 1 電圧）を下回る電圧範囲 A にある液晶素子 120 の画素をいうことにする。また、便宜的に、液晶素子の印加電圧が電圧範囲 A にある液晶素子の透過率範囲（階調範囲）を「a」とする。

40

次に、明画素については、印加電圧が閾値 V_{th2} （第 2 電圧）以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲 B にある液晶素子 120 とする。便宜的に、液晶素子の印加電圧が電圧範囲 B にある液晶素子の透過率範囲（階調範囲）を「b」とする。

【0028】

液晶分子が不安定な状態であるときとは、液晶素子の印加電圧が電圧範囲 A において V_{c1} （第 3 電圧）を下回るときである。液晶素子の印加電圧が V_{c1} を下回るときは、その印加電圧による縦電界の規制力が配向膜による規制力と比較して弱いので、液晶分子の配向

50

状態は、わずかな外的要因によって乱れやすい。また、その後、印加電圧が V_{c1} 以上になったときに、その印加電圧に応じて液晶分子が傾斜しようとしても、応答に時間がかかりやすいためである。逆にいえば、印加電圧が V_{c1} 以上であれば、液晶分子が印加電圧に応じて傾斜し始める（透過率が変化し始める）ので、液晶分子の配向状態は安定状態にある、ということができる。このため、電圧 V_{c1} は、透過率で規定した閾値 V_{th1} よりも低い関係にある。

【0029】

このように考えた場合、変化前において液晶分子が不安定な状態にあった画素は、画像の動きによって暗画素と明画素とが隣接することになったときの横電界の影響によって、リバースチルトドメインが発生しやすい状況にあるということができる。ただし、液晶分子の初期配向状態を考慮して検討すると、暗画素と明画素との位置関係によってリバースチルトドメインが発生する場合と発生しない場合とがある。

そこで次に、これらの場合をそれぞれ検討する。

【0030】

図6(a)は、液晶パネル100において互いに縦方向および横方向に隣接する 2×2 の画素を示す図であり、図6(b)は、液晶パネル100を、図6(a)における $p-q$ 線を含む垂直面で破断したときの簡易断面図である。

図6に示すように、VA方式の液晶分子は、画素電極118とコモン電極108との電位差（液晶素子の印加電圧）がゼロである状態において、チルト角が θ_a で、チルト方位角が $\theta_b (= 45^\circ)$ で、初期配向しているものとする。ここで、リバースチルトドメインは、上述したように画素電極118同士の横電界に起因して発生することから、画素電極118が設けられた素子基板100aの側における液晶分子の振る舞いが問題となる。このため、液晶分子のチルト方位角およびチルト角については、画素電極118（素子基板100a）の側を基準にして規定する。

【0031】

詳細には、チルト角 θ_a とは、図6(b)に示すように、基板法線 S_v を基準にして、液晶分子の長軸 S_a のうち、画素電極118側の一端を固定点としてコモン電極108側の他端が傾斜したときに、液晶分子の長軸 S_a がなす角度とする。

一方、チルト方位角 θ_b とは、データ線114の配列方向であるY方向に沿った基板垂直面を基準にして、液晶分子の長軸 S_a および基板法線 S_v を含む基板垂直面（ $p-q$ 線を含む垂直面）がなす角度とする。なお、チルト方位角 θ_b については、画素電極118の側からコモン電極108に向けて平面視したときに、画面上方向（Y方向の反対方向）から、液晶分子の長軸の一端を始点として他端に向かう方向（図6(a)では右上方向）までを、時計回りで規定した角度とする。

また、同様に画素電極118の側から平面視したときに、液晶分子における画素電極側の一端から他端に向かう方向を便宜的にチルト方位の下流側と呼び、反対に他端から一端に向かう方向（図6(a)では左下方向）を便宜的にチルト方位の上流側と呼ぶことにする。

【0032】

このような初期配向となる液晶105を用いた液晶パネル100において、例えば図7(a)に示すように、破線で囲まれた 2×2 の4画素に着目する。図7(a)では、白レベルの画素（白画素）からなる領域を背景として黒レベルの画素（黒画素）からなるパターンが右上方向にフレーム毎に1画素ずつ移動する場合を示している。なお、以下の説明において、 n フレームから t フレーム（ t は自然数）前のフレームを「 $n-t$ フレーム」と表し、 n フレームから t フレーム後のフレームを「 $n+t$ フレーム」と表す。

図8(a)に示すように、 $(n-1)$ フレームにおいて 2×2 の4画素がすべて黒画素の状態から、 n フレームにおいて、左下の1画素だけが白画素に変化するときを想定する。上述したようにノーマリーブラックモードにおいて、画素電極118とコモン電極108との電位差である印加電圧は、黒画素よりも白画素で大きい。このため、黒から白に変化する左下の画素では、図8(b)のように、液晶分子が実線で示される状態から破線で

示される状態に、電界方向とは垂直方向（基板面の水平方向）に傾斜しようとする。

【0033】

しかしながら、白画素の画素電極118(Wt)と黒画素の画素電極118(Bk)との間隙で生じる電位差は、白画素の画素電極118(Wt)とコモン電極108との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極118とコモン電極108との間隙よりも狭い。従って、電界の強度で比較すると、画素電極118(Wt)と画素電極118(Bk)との間隙で生じる横電界は、画素電極118(Wt)とコモン電極108との間隙で生じる縦電界よりも強い。

左下の画素は、(n-1)フレームにおいて液晶分子が不安定な状態の黒画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、白レベルの電圧が画素電極118(Wt)に印加されたことによる縦電界よりも、隣接する画素電極118(Bk)からの横電界の方が強い。従って、白になろうとしている画素では、図8(b)に示すように、黒画素に隣接する側の液晶分子Rvが、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子Rvは、縦電界に応じて破線のように基板水平方向に傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、白に変化すべき画素においてリバースチルトが発生する領域は、図8(c)に示すように、白に変化すべき画素と黒画素との間隙にとどまらず、その間隙から白に変化すべき画素を浸食する形で広範囲に広がる。

このように、図8から、白に変化しようとする着目画素の周辺が黒画素であった場合、その着目画素に対して黒画素が右上側、右側および上側で隣接するとき、その着目画素では、リバースチルトが右辺および上辺に沿った内周領域にて発生する、ということができる。

なお、図8(a)に示されるパターンの変化は、図7(a)に示した例のみならず、黒画素からなるパターンが、図7(b)に示すように右方向にフレーム毎に1画素ずつ移動する場合や、図7(c)に示すように上方向にフレーム毎に1画素ずつ移動する場合などでも発生する。また、図35の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に右上方向、右方向または上方向に、1画素ずつ移動する場合にも発生する。

【0034】

次に、液晶パネル100において、図9(a)に示すように、白画素からなる領域を背景として黒画素からなるパターンが左下方向にフレーム毎に1画素ずつ移動する場合に、破線で囲まれた2×2の4画素に着目する。

すなわち、図10(a)に示すように、(n-1)フレームにおいて2×2の4画素がすべて黒画素の状態から、nフレームにおいて、右上の1画素だけが白画素に変化するときを想定する。

この変化後においても、黒画素の画素電極118(Bk)と白画素の画素電極118(Wt)との間隙では、画素電極118(Wt)とコモン電極108との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図10(b)に示すように、黒画素において白画素に隣接する側の液晶分子Rvは、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となる。しかし、黒画素では縦電界が(n-1)フレームから変化しないので、他の液晶分子に影響をほとんど与えない。このため、黒画素から変化しない画素においてリバースチルトが発生する領域は、図10(c)に示すように、図8(c)の例と比較して無視できる程度に狭い。

一方、2×2の4画素のうち、右上において黒から白に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、右上画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の水平方向に図10(b)において破線で示すように正しく傾斜する結果、目的である白画素に変化するので、表示品位の劣化が発生しないことになる。

なお、図 10 (a) に示されるパターンの変化は、図 9 (a) に示した例のみならず、黒画素からなるパターンが、図 9 (b) に示すように左方向にフレーム毎に 1 画素ずつ移動する場合や、図 9 (c) に示すように下方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 35 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に左下方向、左方向または下方向に、1 画素ずつ移動する場合にも発生する。

【 0 0 3 5 】

図 6 から図 10 までの説明から、想定している V A 方式 (ノーマリーブラックモード) の液晶において、ある n フレームに着目したとき、次のような要件を満たす場合に、n フレームにおいて次の画素でリバースチルトドメインの影響を受ける、ということができる

10

(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる場合であって、かつ、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左下側、左側または下側に位置する場合に、

(3) n フレームにおいて当該明画素に変化する画素が、1 フレーム前の (n - 1) フレームでは、液晶分子が不安定な状態にあったとき、

n フレームにおいて当該明画素でリバースチルトが発生する、ということになる。

20

既に理由を説明したが、(2) において、暗画素と明画素とが隣接する部分を示す境界が、前フレームから 1 画素分だけ移動しているときには、より一層リバースチルトドメインの影響を受けやすくなると考えられる。

【 0 0 3 6 】

ところで、図 7 では、 2×2 の 4 画素が (n - 1) フレームで黒画素であって、次の n フレームで左下だけが白画素となったときを例示した。しかし、一般的には、(n - 1) フレームおよび n フレームのみならず、これらフレームを含む前後の複数フレームにわたって同様な動きを伴うのが通例である。このため、図 7 (a) ~ (c) に示すように、(n - 1) フレームで液晶分子が不安定な状態であった暗画素 (白丸点が付された画素) では、画像パターンの動きから、その左下側、左側または下側に明画素が隣接している場合

30

【 0 0 3 7 】

このため、事前に (n - 1) フレームにおいて、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接し、且つ、その暗画素が、その明画素に対して右上側、右側または上側に位置する場合、n フレームでその暗画素に相当する液晶素子に対し、明画素に隣接する期間が 1 フレーム期間よりも短くなるように電圧を印加する。そうすれば、n フレームにおいて要件 (1) ~ 要件 (3) を満たす期間が短縮されて液晶分子の配向不良状態が発生しにくくなり、n フレームにおいてリバースチルトドメインは発生しない、ということになる。具体的には、映像信号 Vid-in で指定される印加電圧が V_{th1} を下回る場合に、 V_{th1} 以上の電圧に補正して液晶素子に印加したとき、その暗画素は暗画素でなく

40

になるので、リスク境界が 1 フレーム期間全体で同一位置に存在することはない。本実施形態では、隣接する明画素との間で生じる横電界をより弱くできるように、補正対象である暗画素について階調レベルが最大階調 C_{max} の映像信号に補正するものとする。最大階調 C_{max} の映像信号は、ここでは、コモン電極 108 の電圧 $L C_{com}$ との電位差が 5 . 0 V となるような液晶素子 120 への印加電圧を指定するものであり、液晶表示装置 1 において階調表現に用いられる電圧の最大値である。

【 0 0 3 8 】

50

次に、映像処理回路 30 の詳細について図 3 を参照して説明する。図 3 に示すように、映像処理回路 30 は、遅延回路 302、境界検出部 304、補正部 306 および D/A 変換器 308 を備える。

遅延回路 302 は、FIFO (Fast In Fast Out : 先入れ先出し) メモリーや多段のラッチ回路などにより構成され、上位装置から供給される映像信号 Vid-in を蓄積して、所定時間経過後に読み出して映像信号 Vid-d として出力するものである。なお、遅延回路 302 における蓄積および読出は、走査制御回路 20 によって制御される。

【0039】

境界検出部 304 は、第 1 検出部 3041 と、第 2 検出部 3042 と、判別部 3043 とを備える。

10

第 1 検出部 3041 は、映像信号 Vid-in で示す画像を解析して、階調範囲 a にある暗画素 (第 1 画素) と階調範囲 b にある明画素 (第 2 画素) とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、第 1 検出部 3041 は、隣接する部分があると判別したときに、その隣接部分を境界として検出して、境界の位置情報を出力する。

なお、ここでいう境界とは、あくまでも階調範囲 a にある暗画素と階調範囲 b にある明画素とが隣接する部分、すなわち、強い横電界が発生する部分をいう。このため、例えば階調範囲 a にある画素と、階調範囲 a でもなく階調範囲 b でもない別の階調範囲 d (図 4 (a) 参照) にある画素とが隣接する部分や、階調範囲 b にある画素と階調範囲 d にある画素とが隣接する部分については、境界として扱わない。

【0040】

20

第 2 検出部 3042 は、第 1 検出部 3041 により検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、リスク境界として検出し、リスク境界の位置情報を出力するものである。

判別部 3043 は、遅延して出力された映像信号 Vid-d で示す画素が、第 2 検出部 3042 で抽出されたリスク境界に接している暗画素であるか否かを判別する。そして、判別部 3043 は、その判別結果が「Yes」である場合には、この暗画素について、1 フレームの一部である第 1、第 2 フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力する。一方で、判別部 3043 は、判別結果が「No」である場合、また、判別結果が「Yes」である場合の第 3、第 4 フィールドに対応する期間においては、出力信号のフラグ Q を「0」として出力する。

30

なお、ここでいう「リスク境界に接している」とは、画素の一辺に沿ってリスク境界に接している場合と、画素の一角において縦横に連続するリスク境界が位置している場合とを含む。また、第 1 検出部 3041 は、ある程度 (少なくとも 3 行以上) の映像信号を蓄積してからでないと、表示すべき画像における垂直または水平方向にわたって境界を検出することができない。第 2 検出部 3042 についても同様である。このため、上位装置からの映像信号 Vid-in の供給タイミングを調整する意味で、遅延回路 302 が設けられている。

上位装置から供給される映像信号 Vid-in のタイミングと、遅延回路 302 から供給される映像信号 Vid-d のタイミングとは異なるので、厳密に言えば、両者の水平走査期間等

40

については一致しないことになるが、以降については特に区別しないで説明する。

また、第 1 検出部 3041 および第 2 検出部 3042 における映像信号 Vid-in の蓄積等は、走査制御回路 20 によって制御される。

【0041】

補正部 306 は、判別部 3043 から供給されるフラグ Q が「1」であるとき、その暗画素の映像信号 Vid-d を最大階調 Cmax の映像信号に補正し、これを映像信号 Vid-out として出力する。これにより、補正部 306 により補正された映像信号 Vid-out にあっては、1 フレーム期間においてこの暗画素に接するリスク境界が存在する期間が、映像信号 V

50

id-inよりも短くなる。換言すると、1フレーム期間においてリスク境界に接する画素が存在する期間が不連続となる。このような補正部306による補正処理によって、1フレーム期間において同一位置にリスク境界が連続して存在しないことになる。一方、補正部306は、フラグQが“0”であるときには、映像信号を補正することなく、映像信号Vid-dをそのまま映像信号Vid-outとして出力する（補正ステップ）。

D/A変換器308は、デジタルデータである映像信号Vid-outを、アナログのデータ信号Vxに変換する。本実施形態では、面反転方式としているので、データ信号Vxの極性は、液晶パネル100で1コマ分の書き替え毎に切り替えられる。

【0042】

次に、液晶表示装置1の表示動作について説明すると、上位装置からは映像信号Vid-inが、フレームにわたって1行1列～1行n列、2行1列～2行n列、3行1列～3行n列、...、m行1列～m行n列の画素の順番で、供給される。映像処理回路30は、映像信号Vid-inを遅延・補正等の処理をして映像信号Vid-outとして出力する。

ここで、1行1列～1行n列の映像信号Vid-outが出力される水平有効走査期間（Ha）でみたときに、処理された映像信号Vid-outは、奇数フィールドか偶数フィールドかに応じてフィールド毎に書込極性が入れ替わるように、D/A変換器308によって、図5（b）で示すように正極性または負極性のデータ信号Vxに変換される。第1フィールドでは正極性のデータ信号に変換される。このデータ信号Vxは、データ線駆動回路140によって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングされる。

一方、1行1列～1行n列の映像信号Vid-outが出力される水平走査期間では、走査制御回路20が走査線駆動回路130に対し走査信号Y1だけをHレベルとなるように制御する。走査信号Y1がHレベルであれば、1行目のTF T116がオン状態になるので、データ線114にサンプリングされたデータ信号は、オン状態にあるTF T116を介して画素電極118に印加される。これにより、1行1列～1行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

【0043】

続いて、2行1列～2行n列の映像信号Vid-inは、同様に映像処理回路30によって処理されて、映像信号Vid-outとして出力されるとともに、D/A変換器308によって正極性のデータ信号に変換された上で、データ線駆動回路140によって1～n列目のデータ線114にサンプリングされる。

2行1列～2行n列の映像信号Vid-outが出力される水平走査期間では、走査線駆動回路130によって走査信号Y2だけがHレベルとなるので、データ線114にサンプリングされたデータ信号は、オン状態にある2行目のTF T116を介して画素電極118に印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が3、4、...、m行目に対して実行され、これにより、各液晶素子に、映像信号Vid-outで指定された階調レベルに応じた電圧が書き込まれて、映像信号Vid-inで規定される透過像が作成されることとなる。

次のフィールドでは、データ信号の極性反転によって映像信号Vid-outが負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0044】

図5（b）は、映像処理回路30から、水平走査期間（H）にわたって1行1列～1行n列の映像信号Vid-outが出力されたときの第1、第2フィールドのデータ信号Vxの一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号Vxは、正極性であれば、基準電圧Vcntに対し、映像処理回路30によって処理された階調レベルに応じた分だけ高位側の電圧（図において↑で示す）になり、負極性であれば、基準電圧Vcntに対し、階調レベルに応じた分だけ低位側の電圧（図において↓で示す）になる。

詳細には、データ信号Vxの電圧は、正極性であれば、白に相当する電圧Vw(+)から黒に相当する電圧Vb(+)までの範囲で、一方、負極性であれば、白に相当する電圧Vw(-)か

10

20

30

40

50

ら黒に相当する電圧 $V_b(-)$ までの範囲で、それぞれ基準電圧 V_{cnt} から階調に応じた分だけ偏位させた電圧となる。

電圧 $V_w(+)$ および電圧 $V_w(-)$ は、電圧 V_{cnt} を中心に互いに対称の関係にある。電圧 $V_b(+)$ および $V_b(-)$ についても電圧 V_{cnt} を中心に互いに対称の関係にある。

なお、図 5 (b) は、データ信号 V_x の電圧波形を示すものであって、液晶素子 1 2 0 に印加される電圧 (画素電極 1 1 8 とコモン電極 1 0 8 との電位差) とは異なる。また、図 5 (b) におけるデータ信号の電圧の縦スケールは、図 5 (a) における走査信号等の電圧波形と比較して拡大してある。

【 0 0 4 5 】

映像処理回路 3 0 による補正処理の具体例について説明する。

10

まず、映像信号 V_{id-in} (図 3 6 (a)) と、映像信号 V_{id-out} (図 3 6 (b)) との通常の 4 倍速駆動での関係について説明する。図 3 6 (a) , (b) には、一列に並んだ複数画素からなる画素群を示しており、各矩形が 1 画素に対応している。図 3 6 や他の図面において、黒色で塗り潰して表す画素は階調レベルが暗画素であり、白色で塗り潰して表す画素は明画素である。また、図 3 6 (b) において、各フレームの映像信号 V_{id-in} に対応する映像信号 V_{id-out} にあつては、図中上から順に、第 1 , 第 2 , 第 3 , 第 4 フィールドに対応する映像信号 V_{id-out} をそれぞれ表している。

図 3 6 (a) に示すように、映像信号 V_{id-in} が 6 0 H z の供給速度で供給され、この映像信号 V_{id-in} により、第 1 フレーム、第 2 フレーム、第 3 フレームと進むにつれて、画像が図中左から右に向かって 1 画素ずつスクロール移動する画像の表示が指定される。この場合、映像信号 V_{id-out} が出力されたときには、図 3 6 (b) に示すように、第 1 ~ 第 4 フィールドにより構成される 1 フレーム期間の全体で (つまり、1 6 . 6 7 ミリ秒にわたって)、同一箇所にリスク境界が固定的に存在する。同一位置にリスク境界が長期間にわたって存在すると、上述したように液晶分子の配向不良状態が安定しやすくなり、その隣接画素においてはリバースチルトドメインが発生しやすい状態になる。

20

【 0 0 4 6 】

図 1 1 は、この実施形態の映像処理回路 3 0 における補正部 3 0 6 の補正処理の概要を説明する図である。本実施形態では、上記画像を規定する映像信号 V_{id-in} が供給された場合 (図 1 1 (a)) に、図 1 1 (b) に示される映像信号 V_{id-out} に補正される。図 1 1 (b) に示すように、本実施形態では、1 フレーム期間の前半に対応する第 1 , 2 フィールドでは、リスク境界に接する暗画素が最大階調 C_{max} の明画素に置換される。これにより、図中矢印で示すように、事実上、2 フィールドにわたってリスク境界が 1 画素分だけ、元のリスク境界から図中右側に移動することになる。一方で、第 3 , 4 フィールドでは、このような補正処理は施されていないから、このようなリスク境界の変化はない。この場合、同一位置にリスク境界が存在する期間は、補正部 3 0 6 の補正が行わない場合に比べて半分のおよそ 8 . 3 3 ミリ秒となり、液晶分子の配向不良状態が安定しにくくなって、リバースチルトドメインの発生が抑えられる。このように、補正部 3 0 6 から出力される映像信号 V_{id-out} に従う画像が表示されるフレームでは、同一位置にリスク境界が存在する期間が、1 フレーム期間の半分程度に抑えられる。

30

【 0 0 4 7 】

40

ここで、映像信号 V_{id-in} で示す画像が例えば図 1 2 (1) に示すように、階調範囲 b の白 (明) 画素を背景として、液晶分子が不安定状態にある黒 (暗) 画素からなる領域が表示される画像である場合、第 1 検出部 3 0 4 1 によって検出される境界は、図 1 2 (2) に示すとおりとなる。

次に、図 1 2 (3) に示すように、第 2 検出部 3 0 4 2 は、第 1 検出部 3 0 4 1 によって検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、これをリスク境界とする。

この場合、補正部 3 0 6 は、図 1 3 (a) にドットのハッチングで示すように、抽出されたリスク境界により定まる補正範囲に含まれる暗画素について、1 フレームの一部 (ここでは、2 フィールド) で最大階調 C_{max} の映像信号に補正する。なお、以下の説明にお

50

いても、ドットのハッチングで示した画素は、補正対象の暗画素であることを意味する。

また、黒画素の或る一角において縦横に連続するリスク境界が位置している黒画素は、「リスク境界に接している」と扱う。これは、斜め方向に1画素分画像が移動したときに対処するためである。これに対して、黒画素の或る一角において縦または横のみに断裂したリスク境界が位置する黒画素については、縦横で連続したリスク境界が位置していないので、リスク境界に接しているとは見做さない。この内容は、明画素の場合でも共通する考え方であり、チルト方位角などに関係なく共通する内容であるから、以下ではその説明を適宜省略する。

【0048】

以上説明した第1実施形態によれば、リスク境界が同一位置に存在する期間を1フレーム期間よりも短くすることで、或る画素においてリバースチルト状態になるように液晶分子が配向する前に、その画素がリスク境界に接しなくなる。これにより、液晶分子の配向不良状態が安定することを抑えられるので、上述したリバースチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。また、リスク境界の隣接画素であるという条件に基づいて補正対象の暗画素が定まるので、補正対象の画素の特定が容易である。また、映像処理回路30は、液晶パネル100を4倍速駆動する構成の下、フィールド単位で映像信号の補正の有無を判別しているので、1フレーム期間の一部で映像信号を補正するための複雑な構成を備える必要がない。

【0049】

また、本実施形態では、映像信号が示す1コマの画像全体ではなく、画素同士における境界およびリスク境界を検出するための処理だけで済むので、2コマ分以上の画像を解析して動きを検出する構成と比較して、映像処理回路の大規模化や複雑化を抑えることが可能である。さらには、リバースチルトドメインが発生しやすい状態の領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。

また、本実施形態では、映像信号Vid-dで規定される画像のうち、映像信号が補正される画素は、明画素に隣接する暗画素のうち、当該暗画素に対してチルト方位の下流側に位置する画素のみである。このため、映像信号Vid-dに基づかない表示が発生する部分は、チルト方位角を考慮しないで、明画素に隣接する暗画素のすべてを一律に補正する構成と比較して、少なく抑えることができる。

さらに、本実施形態では、設定値以上の映像信号を一律にクリップしもないので、使用しない電圧範囲を設けることによってコントラスト比に悪影響を与えることもない。また、液晶パネル100の構造に変更等を加える必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0050】

<チルト方位角の他の例>

上述した実施形態では、VA方式においてチルト方位角 θ_b が45度である場合を例にとって説明した。次に、チルト方位角 θ_b が45度以外の例について説明する。

まず、図14(a)に示すようにチルト方位角 θ_b が22.5度である例について説明する。この例では、自画素および周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図14(b)に示すように、左辺および下辺に沿った内周領域で発生する。なお、この例では、図6に示したチルト方位角 θ_b が45度である場合の例を180度回転させたときと等価である。

チルト方位角 θ_b が22.5度である場合には、チルト方位角 θ_b が45度である場合にリバースチルトドメインが発生する要件(1)~(3)のうち、要件(2)を次のように修正する。すなわち、

(2) nフレームにおいて、当該明画素(印加電圧高)が、隣接する暗画素(印加電圧低)に対して、液晶分子におけるチルト方位の上流側に相当する右上側、右側または上側に位置する場合に、

と修正する。なお、要件(1)および要件(3)についての変更はない。

したがって、チルト方位角 θb が 22.5 度であれば、 n フレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に左下側、左側または下側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやればよい。

このためには、映像処理回路 30 における補正部 306 が、第 1 検出部 3041 で検出された境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分のリスク境界に基づいて映像信号を補正するとよい。

チルト方位角 θb が 22.5 度である場合、図 12 (1) で示される画像は、図 13 (c) に示されるリスク境界に接している黒画素の階調レベルが階調レベル C_{max} に補正される。

10

この構成によれば、チルト方位角 θb が 22.5 度である場合、映像信号 V_{id-in} で規定される画像において黒画素からなる領域が左下方向、左方向または下方向のいずれかに 1 画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、リスク境界に接する期間を 1 フレーム期間のうちの一部に短くすることができるから、リバースチルトドメインの発生を抑えることが可能となる。

【0051】

次に、図 15 (a) に示すようにチルト方位角 θb が 90 度である例について説明する。この例では、自画素および周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図 15 (b) に示すように、右辺に沿った領域で集中的に発生する。このため、当該自己画素においてリバースチルトドメインは、右辺で発生した幅の分だけ、上辺の右辺寄りおよび下辺の右辺寄りにおいても発生する、という見方もできる。

20

このため、チルト方位角 θb が 90 度である場合には、チルト方位角 θb が 45 度である場合にリバースチルトドメインが発生する要件 (1) ~ (3) のうち、要件 (2) を次のように修正する。すなわち、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左側のみならず、その左側で発生する領域の影響を受ける上側または下側に位置する場合に、

と修正する。なお、要件 (1) および要件 (3) については変更はない。

30

したがって、チルト方位角 θb が 90 度であれば、 n フレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に右側、下側または上側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやればよい。

このためには、映像処理回路 30 における補正部 306 が、第 1 検出部 3041 で検出された境界のうち、暗画素が右側に位置し明画素が左側に位置する部分と、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が下側に位置し明画素が上側に位置する部分のリスク境界に基づいて映像信号を補正するとよい。

チルト方位角 θb が 90 度である場合、図 12 (1) で示される画像は、図 13 (b) に示されるリスク境界に接している黒画素の階調レベルが階調レベル C_{max} に補正される

40

この構成によれば、チルト方位角 θb が 90 度である場合、映像信号 V_{id-in} で規定される画像において黒画素からなる領域が上方向、右上方向、右方向、右下方向または下方向のいずれかに 1 画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、リスク境界に接する期間を 1 フレーム期間のうちの一部に短くすることができるから、リバースチルトドメインの発生を抑えることが可能となる。

【0052】

< 第 2 実施形態 >

次に、本発明の第 2 実施形態について説明する。

この実施形態では、補正部 306 がリスク境界に接する暗画素の映像信号を補正する際

50

、最大階調 C_{max} の映像信号に補正するのではなく、中間階調 C_{mid} の映像信号に補正する。この中間階調 C_{mid} の映像信号は、液晶素子 120 への印加電圧として、ここでは、最大階調に対応する印加電圧と最小階調に対応する印加電圧との中間電圧である、2.5V とすることを指定するものである。補正対象となる暗画素など、補正電圧以外の構成は上述した第 1 実施形態と同じである。

【0053】

本実施形態では、液晶パネル 100 の表示画像を規定する映像信号 V_{id-in} が供給された場合（図 16 (a)）に、図 16 (b) に示されるように映像信号 V_{id-out} が補正される。図 16 や他の図面において、斜格子のハッチングで示す画素は階調レベルが中間階調 C_{mid} の画素である。また、中間階調 C_{mid} に隣接する境界部分に示した破線は、ここでは

10

リスク境界に該当しないものであることを示すが、リスク境界に該当するものであってもよい。このことは以下の説明でも同じである。
図 16 (b) に示すように、本実施形態では、各フレームの前半である第 1, 2 フィールドでは、補正部 306 は、リスク境界に接する暗画素を中間階調 C_{mid} の画素に置換する。これにより、2 フィールドにわたって暗画素と明画素とが隣接するリスク境界が生じなくなる。よって、この場合でも、同一位置にリスク境界が存在する期間は、補正部 306 の補正が行わない場合に比べて半分のおよそ 8.33 ミリ秒となり、上述した第 1 実施形態と同様の理由により、リバースチルトドメインは発生しにくくなる。また、補正対象である画素は最大階調と最小階調との間の中間である中間階調の映像信号に補正されるから、元の映像信号 V_{id-in} に対して行われる補正部 306 の補正による画像の変化を小さく

20

【0054】

< 第 3 実施形態 >

次に、本発明の第 3 実施形態について説明する。この実施形態でも、ノーマリーブラックモードであることを前提として説明する。このことは、特に断りのない限り、以降の各実施形態でも同じである。また、以下の説明において、第 1, 2 実施形態と同じ構成については同一の符号を付して表し、その詳細な説明については適宜省略する。上述した第 1, 2 実施形態では、映像処理回路 30 は、リスク境界に接する暗画素のみについて映像信号を補正していたが、リスク境界に接する暗画素から、このリスク境界の反対側へ連続する 2 以上の暗画素の映像信号を補正する。以下では、上述した第 2 実施形態のように、暗画素の映像信号を中間階調 C_{mid} の映像信号に補正する場合を説明するが、第 1 実施形態のように最大階調 C_{max} の映像信号に補正する場合も、補正電圧を変えれば、同様に実施可能である。

30

本実施形態の映像処理回路 30 が第 1 実施形態の構成と相違する部分は、判別部 3043 の判別内容と、補正部 306 において補正対象とする暗画素の数に変更された点にある。

【0055】

判別部 3043 は、映像信号 V_{id-d} で示す画素が、第 2 検出部 3042 で抽出されたりリスク境界に接している暗画素であるか否かを判別する。そして、判別部 3043 は、その判別結果が「Yes」である場合には、この暗画素からリスク境界の反対方向へ連続する r 個（本実施形態では、 $r = 2$ である。）の暗画素について、1 フレームのうち第 1, 第 2 フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力する。一方で、判別部 3043 は、判別結果が「No」である場合、また、判別結果が「Yes」である場合の第 3, 第 4 フィールドに対応する期間においては、出力信号のフラグ Q を「0」として出力する。

40

【0056】

補正部 306 は、判別部 3043 から供給されるフラグ Q が「1」であるとき、その暗画素の映像信号 V_{id-d} を中間階調 C_{mid} の映像信号に補正し、これを映像信号 V_{id-out} として出力する。これにより、補正部 306 により補正された映像信号 V_{id-out} にあっては、1 フレーム期間においてこの暗画素に接するリスク境界が存在する期間が、映像信号 V

50

id-inよりも短くなる。一方、補正部306は、フラグQが“0”であるときには、映像信号を補正することなく、映像信号Vid-dをそのまま映像信号Vid-outとして出力する。

【0057】

映像処理回路30による補正処理の具体例について説明する。

本実施形態では、図17(a)で示される映像信号Vid-inが供給された場合に、図17(b)に示される映像信号Vid-outに補正される。図17(b)に示すように、本実施形態では、各フレームの前半である第1, 2フィールドでは、リスク境界に接する暗画素からリスク境界の反対側に連続する2つの暗画素が中間階調Cmidの画素に置換される。これにより、2フィールドにわたって暗画素と明画素とが隣接して生じるリスク境界が生じなくなり、1フレーム期間でリスク境界が時間的に連続し存在することがない。よって、この場合でも、リバースチルトドメインは発生しにくくなる。

10

ここで、映像信号Vid-inで示す画像が図12(1)に示すとおりであり、図12(3)に示すように第2検出部3042がリスク境界を検出した場合、補正部306は、図18(a)にドットのハッチングで示す暗画素について、1フレームの一部(ここでは、2フィールド)で中間階調Cmidの映像信号に補正する。

【0058】

また、第1実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図12(1)で示される画像で補正条件を満たす画素は図18(b)に示されるとおりである。 $\theta b = 22.5$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図18(c)に示されるとおりである。

20

本実施形態によれば、リスク境界に接する複数画素の映像信号の補正によって印加電圧の変化を目立たなくすることができる。また、この実施形態の構成によれば、上記以外にも第2実施形態と同等の効果を奏する。

【0059】

<第4実施形態>

次に、本発明の第4実施形態について説明する。

この実施形態では、第1実施形態の構成において、リスク境界に接する暗画素に代えて、リスク境界により定まる補正範囲内の明画素の映像信号を補正する。この実施形態では、補正部306は、暗画素の映像信号を補正しない。この場合でも、補正対象である明画素は補正後において明画素でなくなるので、リスク境界が1フレーム期間全体で同一位置に存在することはない。本実施形態では、隣接する暗画素との間で生じる横電界をより小さくできるように、補正対象である明画素について階調レベルが最小階調Cminの映像信号に補正するものとする。最小階調Cminの映像信号は、ここでは、コモン電極108の電圧LCcomとの電位差が0V(等電位)となるような液晶素子120への印加電圧を指定するものであり、液晶表示装置1において階調表現に用いられる電圧の最小値である。以下の説明において、第1実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

30

【0060】

判別部3043は、遅延して出力された映像信号Vid-dで示す画素が、第2検出部3042で抽出されたリスク境界に接している明画素であるか否かを判別する。そして、判別部3043は、その判別結果が「Yes」である場合には、第1, 第2フィールドに対応する期間だけ、出力信号のフラグQを「1」として出力する。一方で、判別部3043は、判別結果が「No」である場合、また、判別結果が「Yes」である場合の第3, 第4フィールドに対応する期間においては、出力信号のフラグQを「0」として出力する。

40

【0061】

補正部306は、判別部3043から供給されるフラグQが“1”であるとき、その明画素の映像信号Vid-dを最小階調Cminの映像信号に補正し、これを映像信号Vid-outとして出力する。これにより、補正部306により補正された映像信号Vid-outにあっては、図中矢印で示すように、事実上、2フィールドにわたってリスク境界が1画素分だけ、元のリスク境界から図中左側に移動することになる。一方で、第3, 4フィールドでは、

50

このような補正処理は施されていないから、このようなリスク境界の変化はない。よって、映像信号 Vid-out において、1 フレームにおいてこの明画素に接するリスク境界が存在する期間が、映像信号 Vid-in よりも短くなる。一方、補正部 306 は、フラグ Q が “ 0 ” であるときには、映像信号を補正することなく、映像信号 Vid-d をそのまま映像信号 Vid-out として出力する。

【 0062 】

映像処理回路 30 による補正処理の具体例について説明する。

本実施形態では、図 19 (a) に示す内容の画像を規定する映像信号 Vid-in が供給された場合に、図 19 (b) に示される映像信号 Vid-out に補正される。図 19 (b) に示すように、本実施形態では、各フレームの前半である第 3 , 4 フィールドでは、リスク境界に接する明画素が最小階調 Cmin の暗画素に置換される。これにより、2 フィールドにわたって暗画素と明画素とが隣接するリスク境界が生じなくなる。よって、この場合でも、同一位置にリスク境界が存在する期間は、補正部 306 の補正が行わない場合に比べて半分のおよそ 8 . 33 ミリ秒となり、リバースチルトドメインは発生しにくくなる。

10

ここで、映像信号 Vid-in で示す画像が図 12 (1) に示すとおりであり、図 12 (3) に示すように第 2 検出部 3042 がリスク境界を検出した場合、補正部 306 は、図 20 (a) に斜線のハッチングで示す明画素について、1 フレームの一部 (ここでは、2 フィールド) で最小階調 Cmin の映像信号に補正する。よって、この場合も、リバースチルトドメインは発生しにくくなる。

また、第 1 実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図 12 (1) で示される画像で補正条件を満たす画素は図 20 (b) に示されるとおりである。 $\theta b = 22.5$ 度である場合、図 12 (2) で示される画像で補正条件を満たす画素は図 20 (c) に示されるとおりである。

20

【 0063 】

以上説明した第 4 実施形態によれば、リスク境界が同一位置に存在する期間を 1 フレーム期間よりも短くすることで、或る画素においてリバースチルト状態になるように液晶分子が配向する前に、その画素がリスク境界に接しなくなる。これにより、液晶分子の配向不良状態が安定することを抑えられるので、上述したリバースチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。

これ以外にも、上述した第 1 実施形態と同等の効果を奏する。

30

【 0064 】

< 第 5 実施形態 >

次に、本発明の第 5 実施形態について説明する。上述した第 4 実施形態では、映像処理回路 30 は、リスク境界に接する明画素のみについて映像信号を補正していたが、リスク境界に接する明画素から、このリスク境界の反対側へ連続する 2 以上の明画素の映像信号を補正する。以下では、上述した第 2 実施形態のように明画素の映像信号を中間階調 Cmid の映像信号に補正する場合を説明するが、第 3 実施形態のように最小階調 Cmin の映像信号に補正する場合も、補正電圧を変えれば、同様に実施可能である。

このように、本実施形態の映像処理回路 30 が第 4 実施形態の構成と相違する部分は、補正部 306 において補正対象とする明画素の数と補正電圧が変更された点にある。

40

【 0065 】

判別部 3043 は、映像信号 Vid-d で示す画素が、第 2 検出部 3042 で抽出されたりリスク境界に接している明画素であるか否かを判別する。そして、判別部 3043 は、その判別結果が「 Yes 」である場合には、この明画素からリスク境界の反対方向へ連続する s 個 (本実施形態では、 $s = 2$ である。) の明画素について、第 1 , 第 2 フィールドに対応する期間だけ、出力信号のフラグ Q を「 1 」として出力する。一方で、判別部 3043 は、判別結果が「 No 」である場合、また、判別結果が「 Yes 」である場合の第 3 , 第 4 フィールドに対応する期間においては、出力信号のフラグ Q を「 0 」として出力する。

【 0066 】

補正部 306 は、判別部 3043 から供給されるフラグ Q が “ 1 ” であるとき、その明

50

画素の映像信号 Vid-d を中間階調 Cmid の映像信号に補正し、これを映像信号 Vid-out として出力する。これにより、補正部 306 により補正された映像信号 Vid-out にあつては、1 フレーム期間においてこの明画素に接するリスク境界が存在する期間が、映像信号 Vid-in よりも短くなる。一方、補正部 306 は、フラグ Q が “ 0 ” であるときには、映像信号を補正することなく、映像信号 Vid-d をそのまま映像信号 Vid-out として出力する。

【 0067 】

映像処理回路 30 による補正処理の具体例について説明する。

本実施形態では、図 21 (a) に示す内容の画像を規定する映像信号 Vid-in が供給された場合に、図 21 (b) に示される映像信号 Vid-out に補正される。図 21 (b) に示すように、本実施形態では、各フレームの前半である第 1 , 2 フィールドでは、リスク境界に接する明画素からリスク境界の反対側に連続する 2 つの明画素が中間階調 Cmid の画素に置換される。これにより、2 フィールドにわたって暗画素と明画素とが隣接する境界が生じなくなる。よって、この場合でも、リバースチルトドメインは発生しにくくなる。

ここで、映像信号 Vid-in で示す画像が図 12 (1) に示すとおりであり、図 12 (3) に示すように第 2 検出部 3042 がリスク境界を検出した場合、補正部 306 は、図 22 (a) に斜線のハッチングで示す明画素について、1 フレームの一部 (ここでは、2 フィールド) で中間階調 Cmid の映像信号に補正する。

【 0068 】

また、第 1 実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図 12 (1) で示される画像で補正条件を満たす画素は図 22 (b) に示されるとおりである。 $\theta b = 22.5$ 度である場合、図 12 (2) で示される画像で補正条件を満たす画素は図 22 (c) に示されるとおりである。

本実施形態によれば、リスク境界に接する複数画素の映像信号の補正による印加電圧の変化を目立たなくすることができる。また、この実施形態の構成によれば、上記以外にも第 4 実施形態と同等の効果を奏する。

【 0069 】

< 第 6 実施形態 >

次に、本発明の第 6 実施形態について説明する。

以下の説明において、第 1 実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。この実施形態では、第 1 ~ 3 実施形態で説明した暗画素の補正と、第 4 , 5 実施形態で説明した明画素の補正との両方を行う。以下では、第 3 実施形態のように暗画素を補正し、第 5 実施形態のように明画素を補正する態様について説明する。

【 0070 】

この実施形態の映像処理回路 30 が上述の第 1 実施形態の映像処理回路 30 と相違する部分は、判別部 3043 の判別内容が変更された点と、補正部 306 による補正対象となる画素が変更された点とにある。

判別部 3043 は、上述した第 3 及び第 5 実施形態で説明した双方の判別を行う。すなわち、判別部 3043 は、第 2 検出部 3042 で抽出されたリスク境界に接している暗画素から、リスク境界の反対方向へ連続する r 個 (本実施形態では、 $r = 2$ である。) の暗画素について、第 1 , 第 2 フィールドに対応する期間だけ、出力信号のフラグ Q を「 1 」として出力するとともに、このリスク境界に接している明画素から、リスク境界の反対方向へ連続する s 個 (本実施形態では、 $s = 2$ である。) の明画素について、第 1 , 第 2 フィールドに対応する期間だけ、出力信号のフラグ Q を「 1 」として出力する。一方で、判別部 3043 は、それ以外の画素については、出力信号のフラグ Q を「 0 」として出力する。

【 0071 】

補正部 306 は、判別部 3043 から供給されるフラグ Q が “ 1 ” である場合、フラグ Q が “ 1 ” であるときの明画素を階調レベル Cmid に補正し、これを映像信号 Vid-out として出力する。これにより、補正部 306 により補正された映像信号 Vid-out にあつては

、1フレーム期間においてこの暗画素および明画素に接するリスク境界が存在する期間が、映像信号Vid-inよりも短くなる。一方、補正部306は、フラグQが“0”であるときには、映像信号を補正することなく、映像信号Vid-dをそのまま映像信号Vid-outとして出力する。

【0072】

映像処理回路30による補正処理の具体例について説明する。

本実施形態では、図23(a)に示す画像を規定する映像信号Vid-inが供給された場合に、図23(b)に示される映像信号Vid-outに補正される。図23(b)に示すように、本実施形態では、各フレームの前半である第1,2フィールドでは、リスク境界に接する明画素からリスク境界の反対側に連続する2つの明画素が中間階調Cmidの画素に置換され、かつ、リスク境界に接する暗画素からリスク境界の反対側に連続する2つの暗画素が中間階調Cmidの画素に置換される。これにより、2フィールドにわたって暗画素と明画素とが隣接する境界が生じなくなる。よって、この場合でも、同一位置にリスク境界が存在する期間は、補正部306の補正が行わない場合に比べて半分のおよそ8.33ミリ秒となり、リバースチルトドメインは発生しにくくなる。

ここで、映像信号Vid-inで示す画像が図12(1)に示すとおりであり、図12(3)に示すように第2検出部3042がリスク境界を検出した場合、補正部306は、図24(a)にドットのハッチングで示す暗画素、及び斜線のハッチングで示す明画素について、1フレームの一部(ここでは、2フィールド)で中間階調Cmidの映像信号に補正する。

【0073】

また、第1実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図12(1)で示される画像で補正条件を満たす画素は図24(b)に示されるとおりである。 $\theta b = 22.5$ 度である場合、図12(2)で示される画像で補正条件を満たす画素は図24(c)に示されるとおりである。

本実施形態によれば、第3,5実施形態と同等の効果を奏するとともに、明画素または暗画素の一方が補正対象である場合に比べて、リバースチルトドメインを抑制する効果が大きくなる。また、第1,2に実施形態のように暗画素の映像信号を補正する構成と、第4実施形態のように明画素の映像信号を補正する構成とを適宜組み合わせ、暗画素及び明画素の双方の映像信号を補正してもよい。

【0074】

<第7実施形態>

次に、本発明の第7実施形態について説明する。

動きを伴う画像である場合、映像信号Vid-inで示される現フレームの画像において、リスク境界に接する画素であっても、現フレームの1つ前である前フレームを含めた動きを考えると、映像信号を補正する必要があるときと、補正する必要がないときとがある。この実施形態では、上記第6実施形態のように暗画素及び明画素の映像信号を補正する構成で、前フレームから現フレームにかけての画像の動きを考慮して、補正対象の画素を定めている。以下の説明において、第6実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

【0075】

次に、映像処理回路30の詳細について図25を参照して説明する。図25に示すように、映像処理回路30は、遅延回路302、境界検出部312、補正部306およびD/A変換器308を備える。

境界検出部312は、本実施形態においては、現フレーム検出部3121、遅延回路3122、前フレーム検出部3123および判別部3124を備える。

現フレーム検出部3121は、現フレームの映像信号Vid-inで示される画像を解析して、階調範囲aにある暗画素(第1画素)と階調範囲bにある明画素(第2画素)とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、現フレーム検出部3121は、隣接する部分があると判別したときに、その隣接部分をリスク境界として検出

して、そのリスク境界の位置情報Risk_edge(n)を出力する。

遅延回路 3 1 2 2 は、遅延回路 3 0 2 と同等の構成を有し、供給された映像信号 Vid-in を 1 フレーム期間だけ遅延させて出力するものである。

前フレーム検出部 3 1 2 3 は、遅延回路 3 1 2 2 から出力された前フレームの映像信号 Vid-in で示される画像を解析して、暗画素と明画素とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、前フレーム検出部 3 1 2 3 は、隣接する部分があると判別したときに、その隣接部分をリスク境界として検出して、そのリスク境界の位置情報Risk_edge(n-1)を出力する。

【 0 0 7 6 】

判別部 3 1 2 4 は、現フレーム検出部 3 1 2 1 および前フレーム検出部 3 1 2 3 が出力した位置情報Risk_edge(n), Risk_edge(n-1)に基づいて、映像信号 Vid-d で示す画素が、前フレーム検出部 3 1 2 3 で抽出されたリスク境界に接する明画素または暗画素であり、かつ、その画素が前フレームから現フレームにかけて変化したリスク境界に接するか否かを判別する。すなわち、判別部 3 1 2 4 は、前フレームから現フレームにかけて変化したリスク境界により画像の動きを検出する動き検出ステップを実行する、動き検出部として機能している。

判別部 3 1 2 4 は、その判別結果が「 Y e s 」である場合には、この暗画素からリスク境界の反対方向へ連続する r 個（本実施形態では、 $r = 2$ である。）の暗画素について、第 1 , 第 2 フィールドに対応する期間だけ、出力信号のフラグ Q を「 1 」として出力するとともに、このリスク境界に接している明画素から、リスク境界の反対方向へ連続する s 個（本実施形態では、 $s = 2$ である。）の明画素について、第 1 , 第 2 フィールドに対応する期間だけ、出力信号のフラグ Q を「 1 」として出力する。一方で、判別部 3 1 4 3 は、それ以外の画素については、出力信号のフラグ Q を「 0 」として出力する。

【 0 0 7 7 】

補正部 3 0 6 は、判別部 3 1 2 4 から供給されるフラグ Q が「 1 」であるとき、その画素の映像信号 Vid-d を中間階調 Cmid の映像信号に補正し、これを映像信号 Vid-out として出力する。これにより、補正部 3 0 6 により補正された映像信号 Vid-out にあっては、1 フレーム期間においてこの暗画素および明画素に接するリスク境界が存在する期間が、映像信号 Vid-in よりも短くなる。一方、補正部 3 0 6 は、フラグ Q が「 0 」であるときには、映像信号を補正することなく、映像信号 Vid-d をそのまま映像信号 Vid-out として出力する。

【 0 0 7 8 】

映像処理回路 3 0 による補正処理の具体例について説明する。

本実施形態の映像処理回路 3 0 では、検出するリスク境界が第 1 実施形態で説明した方法と異なるだけであり、リスク境界に基づいてどのように画素の映像信号を補正するかは、上述した第 6 実施形態と同じである。

前フレームの映像信号 Vid-in で示される画像が例えば図 2 6 (1) に示されるとおりであって、現フレームの映像信号 Vid-in で示される画像が例えば図 2 6 (2) に示されるとおりである場合、すなわち、階調範囲 a の暗画素からなるパターンが、階調範囲 b にある明画素を背景に左方向にスクロール移動する場合、前フレーム検出部 3 1 2 3 により検出される境界は図 2 6 (1) に示されるとおりであり、現フレーム検出部 3 1 2 1 により検出される境界は図 2 6 (2) に示されるとおりである。そして、現フレーム検出部 3 1 2 1 により検出される境界のうち、前フレーム検出部 3 1 2 3 により検出される境界と重複しないものが、前フレームから現フレームにかけて変化した境界となる。よって、この実施形態のリスク境界は、図 2 6 (3) で示されるとおりである。判別部 3 1 2 4 では、この変化した境界の中から、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とであるリスク境界に相当する部分に隣接する画素が補正対象となる。

【 0 0 7 9 】

ここで、映像信号 Vid-in で示す画像が図 2 6 (1) から (2) のように変化した場合

の、映像信号 Vid-out を図 27 (a) に示す。補正部 306 は、図 27 (a) にドットのハッチングで示す暗画素、及び斜線のハッチングで示す明画素について、1 フレームの一部 (ここでは、2 フィールド) で中間階調 Cmid の映像信号に補正する。

【0080】

また、第 1 実施形態と同じ考え方により、 $\theta b = 90$ 度である場合、図 12 (1) で示される画像で補正条件を満たす画素は図 27 (b) に示されるとおりである。 $\theta b = 22.5$ 度である場合、図 24 (2) で示される画像で補正条件を満たす画素は図 27 (c) に示されるとおりである。

以上説明した第 7 実施形態によれば、上述した第 6 実施形態と共通の作用効果を奏するとともに、リバースチルトドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

10

また、この実施形態において、前フレームから現フレームにかけて変化した境界の中からリスク境界を検出していたが、この構成は上述の第 1 ~ 6 実施形態の構成にも適用可能である。

【0081】

< 第 8 実施形態 >

次に、本発明の第 8 実施形態について説明する。

以下の説明において、第 7 実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

20

上述した第 7 実施形態では、画像の動きを考慮して、リスク境界を挟んで互いに隣接する明画素および暗画素に基づいて画素の映像信号を補正していた。これに対し、この実施形態では、映像処理回路 30 は、現フレームにおいて暗画素と明画素とが隣接する境界を検出し、該検出した境界のうち、前フレームから現フレームにかけて 1 画素分 (縦、横、斜めのいずれかの方向) だけ移動したリスク境界に接する画素を補正対象とする。図 35 を用いて既に説明したように、明画素を背景とした暗画素の領域がフレーム毎に 2 画素以上ずつ移動するときに、このような尾引き現象は顕在化しない (または、視認されにくい)。そこで、映像処理回路 30 がこのような 1 画素分だけ移動したリスク境界の隣接画素を補正対象とし、それ以外の画素を補正対象としない。

【0082】

30

この実施形態では、判別部 3124 が、現フレーム検出部 3121 および前フレーム検出部 3123 による境界の検出結果から、1 画素分だけ移動したリスク境界に接する画素のみについて「Yes」と判別し、前フレームから移動していないリスク境界、および、2 画素以上移動したリスク境界に接する画素については、「No」と判別する。映像処理回路 30 のその他の各部が実現する機能は、上述した第 7 実施形態と同じである。この構成により、図 35 に示すように 1 フレームにつき 1 画素分だけ画像が移動する場合に、補正部 306 は、リバースチルトドメインを抑制するための補正を行い、それ以外の場合はその補正を行わない。

【0083】

これにより、補正部 306 は、リバースチルトドメインがより発生しやすい箇所に更に絞り込んで補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

40

なお、この実施形態の構成においても、上述した第 7 実施形態と同等の効果を奏する。また、1 画素分だけ移動したリスク境界に基づいて補正対象の画素を決定する構成は、上述した第 1 ~ 第 6 実施形態の構成にも適用可能である。

【0084】

< 変形例 >

(変形例 1)

上述した各実施形態の映像処理回路 30 では、1 フレームを構成する 4 つのフィールドのうち、第 1 及び第 2 フィールド (または第 3 及び第 4 フィールド) で映像信号を補正し

50

ていたが、それ以外のフィールドで映像信号を補正してもよい。例えば、図 28 に示す例では、映像処理回路 30 は、第 1 及び第 3 フィールドで映像信号を補正している。このようにすれば、同一位置にリスク境界が連続するのは最大でも 1 フィールド（およそ 4.16 ミリ秒）であるから、上述した各実施形態と同様、リバースチルトドメインの抑制の効果を奏する。

【0085】

また、上述した各実施形態の映像処理回路 30 では、1 フレームを構成する 4 つのフィールドのうち、2 つのフィールドで映像信号を補正していたが、それ以外のフィールド数で映像信号を補正してもよい。例えば、図 29 に示す例では、映像処理回路 30 は、第 1 フィールドのみで映像信号を補正しているが、第 2 ～ 第 4 フィールドでは映像信号を補正していない。このようにすれば、映像信号の変化をより抑えることができ、画素の透過率の変化がユーザーに知覚されるのをより抑えることができる。また、第 2 ～ 第 4 フィールドのうちの 1 フィールドで映像信号を補正してもよい。

10

【0086】

また、映像処理回路 30 は、4 つのフィールドのすべてで映像信号を補正してもよい。例えば、図 30 に示す例では、映像処理回路 30 は、第 1, 2 フィールドでは第 1 実施形態のように映像信号を補正し、第 3 実施形態では、第 3, 4 フィールドでは第 6 実施形態のように映像信号を補正している。また、第 1 ～ 7 実施形態の補正処理を適宜組み合わせてもよく、要するに、映像処理回路 30 は、1 フレーム期間においてリスク境界が同一位置に継続して存在しないように映像信号を補正し、1 フレームの全体で同一位置にリスク境界が存在しないようにすればよい。

20

【0087】

（変形例 2）

上述した実施形態では、液晶 105 に VA 方式を用いた例について説明した。そこで次に、液晶 105 に TN 方式とした例について説明する。

図 31 (a) は、液晶パネル 100 における 2×2 の画素を示す図であり、図 31 (b) は、図 31 (a) における p - q 線を含む垂直面で破断したときの簡易断面図である。

これらの図に示すように、TN 方式の液晶分子は、画素電極 118 とコモン電極 108 との電位差がゼロである状態において、チルト角が θ_a であって、チルト方位角が θ_b ($= 45$ 度) で、初期配向しているものとする。TN 方式は、VA 方式とは反対に、基板水平方向に傾斜するので、TN 方式のチルト角 θ_a は、VA 方式の値よりも大きい。

30

【0088】

液晶 105 に TN 方式を用いた例では、高コントラスト比などが得られる等の理由により、電圧無印加時において液晶素子 120 が白状態となるノーマリーホワイトモードが用いられる場合が多い。

このため、液晶 105 に TN 方式を用いるとともに、ノーマリーホワイトモードとしたとき、液晶素子 120 の印加電圧と透過率との関係は、図 4 (b) に示されるような V - T 特性で表され、印加電圧が高くなるにつれて透過率が減少する。ただし、階調範囲 a に属する画素と階調範囲 b に属する画素とが隣接した場合にリスク境界が発生して、リバースチルトドメインが発生するという点においては、ノーマリーブラックモードと変わりはない。

40

【0089】

このような TN 方式のノーマリーホワイトモードにおいて、図 32 (a) に示すように、 $(n - 1)$ フレームにおいて 2×2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、n フレームにおいて、右上の 1 画素だけが黒画素に変化するときを想定する。上述したようにノーマリーホワイトモードにおいて、画素電極 118 とコモン電極 108 との電位差は、ノーマリーブラックモードとは反対に白画素よりも黒画素で大きい。このため、白から黒に変化する右上の画素では、図 32 (b) のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向に沿った方向（基板面の垂直方向）に起立しようとする。

50

しかしながら、白画素の画素電極 1 1 8 (Wt) と黒画素の画素電極 1 1 8 (Bk) との間隙で生じる電位差は、黒画素の画素電極 1 1 8 (Bk) とコモン電極 1 0 8 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 1 1 8 とコモン電極 1 0 8 との間隙よりも狭い。よって、電界の強度で比較すると、画素電極 1 1 8 (Wt) と画素電極 1 1 8 (Bk) との間隙で生じる横電界は、画素電極 1 1 8 (Bk) とコモン電極 1 0 8 との間隙で生じる縦電界よりも強い。

右上の画素は、(n - 1) フレームにおいて液晶分子が不安定な状態の白画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、黒レベルの電圧が画素電極 1 1 8 (Bk) に印加されたことによる縦電界よりも、隣接する画素電極 1 1 8 (Wt) からの横電界の方が強いので、黒になろうとしている画素では、図 3 1 (b) に示すように、白画素に隣接する側の液晶分子 Rv が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

10

先にリバースチルト状態となった液晶分子 Rv は、縦電界にしたがって破線のように基板水平方向に起立しようとする他の液晶分子の動きに悪影響を与える。このため、黒に変化すべき画素においてリバースチルトが発生する領域は、図 3 2 (c) に示すように、黒に変化すべき画素と白画素との間隙にとどまらず、その間隙から黒に変化すべき画素を浸食する形で広範囲に広がる。

したがって、図 3 2 に示した内容から、黒に変化しようとする着目画素の周辺が白画素であった場合、当該着目画素に対して白画素が左下側、左側および下側で隣接するとき、当該着目画素では、リバースチルトが左辺および下辺に沿った内周領域にて発生することになる。

20

【0090】

一方、図 3 3 (a) に示すように、(n - 1) フレームにおいて 2 × 2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、n フレームにおいて、左下の 1 画素だけが黒画素に変化するときを想定する。この変化においても、黒画素の画素電極 1 1 8 (Bk) と白画素の画素電極 1 1 8 (Wt) との間隙では、画素電極 1 1 8 (Bk) とコモン電極 1 0 8 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 3 3 (b) に示すように、白画素において黒画素に隣接する側の液晶分子 Rv は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となるが、白画素では縦電界の強度が (n - 1) フレームから変わらないので、他の液晶分子に影響をほとんど与えない。このため、白画素から変化しない画素においてリバースチルトが発生する領域は、図 3 3 (c) に示すように、図 3 2 (c) の例と比較して無視できる程度に狭い。

30

一方、2 × 2 の 4 画素のうち、左下において白から黒に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、左下画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の垂直方向に図 2 7 (b) において破線で示すように正しく起立する結果、目的である黒画素に変化するので、表示品位の劣化が発生しないことになる。

【0091】

40

このため、TN 方式においてチルト方位角 θ_b が 45 度であるノーマリーホワイトモードの場合、要件 (1) をそのままに、
(2) n フレームにおいて、当該暗画素 (印加電圧高) が、隣接する明画素 (印加電圧低) に対して右上側、右側または上側に位置する場合に、
(3) n フレームにおいて当該暗画素に変化する画素は、1 フレーム前の (n - 1) フレームでは、液晶分子が不安定な状態にあったとき

n フレームにおいて当該暗画素でリバースチルトが発生する、ということになる。

したがって、この発生状態を、(n + 1) フレームを基準として考え直した場合、画像の動きによって、(n + 1) フレームにおいて暗画素が上記位置関係を満たすことになっても、変化前の n フレームにおいて、当該画素に接するリスク境界が 1 フレーム期間で同

50

一位置に継続して存在しないように措置を施してやればよい、ということになる。

ノーマリーホワイトモードでは、ノーマリーブラックモードとは反対に、階調レベルが高い（明るい）ほど、液晶素子の印加電圧が低くなる点を考慮すれば、映像処理回路 30 の構成を、次のように変更すればよいことになる。

すなわち、 n フレームにおいて、映像処理回路 30 におけるリスク境界を検出する第 2 検出部 3042 や、現フレーム検出部 3121 及び前フレーム検出部 3123 が、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分と、を抽出して、リスク境界として検出する構成であればよい。補正部 306 がこのリスク境界に基づいて映像信号を補正する画素については、上述の第 1 ～ 第 8 実施形態で説明したとおりである。

10

なお、この例では、TN 方式においてチルト方位角 θb を 45 度とした例を説明したが、リバースチルトドメインの発生方向が VA 方式と逆になる点を考慮すれば、チルト方位角 θb が 45 度以外の角度である場合の措置、そのための構成についても、いままでの説明から容易に類推できるはずである。

【0092】

このように画像パターンの動き方向として水平方向のみを想定すれば、垂直方向や斜め方向についても想定する構成と比較して、構成の簡易化を図ることが可能となる。

なお、ここでは VA 方式であってチルト方位角 θb を 45 度とした場合を例にとって説明したが、VA 方式であってチルト方位角 θb を 22.5 度とした場合についても同様である。

20

【0093】

（変形例 3）

上述した実施形態において、 $r = 2$, $s = 2$ としていたが、これらの各値はあくまで一例である。よって、 r , s はそれぞれ「2」以上の整数であってもよいし、これらの値が相違していてもよい。

また、本発明の映像処理回路は、4 倍速駆動に限られず、例えば 2 倍速や 8 倍速駆動などの倍速駆動を採用する液晶表示装置にも適用可能である。要するに、本発明は、ある映像信号に基づいて画像が表示される場合に、1 フレーム期間においてリスク境界が存在する期間が短くなるように、1 フレーム期間継続してリスク境界が同一位置に存在しないように、1 フレームを構成する複数フィールドの少なくともいずれかにおいて明画素および暗画素の少なくとも一方の映像信号を補正するものであればよい。

30

また、補正部 306 は、暗画素を補正する場合には、液晶素子 120 への印加電圧として閾値 V_{th1} 以上を指定する映像信号に補正し、また、明画素を補正する場合には、液晶素子 120 への印加電圧として閾値 V_{th2} 以下を指定する映像信号に補正すれば、リバースチルトドメインを抑制するという効果を奏する。

【0094】

（変形例 4）

上述した各実施形態において、映像信号 V_{id-in} は、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしてもよい。映像信号 V_{id-in} が液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすればよい。

40

また、各実施形態において、液晶素子 120 は、透過型に限られず、反射型であってもよい。

【0095】

（変形例 5）

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル 100 をライトバルブとして用いた投射型表示装置（プロジェクター）について説明する。図 34 は、このプロジェクターの構成を示す平面図である。

この図に示すように、プロジェクター 2100 の内部には、ハロゲンランプ等の白色光源からなるランプユニット 2102 が設けられている。このランプユニット 2102 から

50

射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR(赤)色、G(緑)色、B(青)色の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

【0096】

このプロジェクター2100では、液晶パネル100を含む液晶表示装置が、R色、G色、B色のそれぞれに対応して3組設けられる。ライトバルブ100R、100Gおよび100Bの構成は、上述した液晶パネル100と同様である。R色、G色、B色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ100R、100Gおよび100Bがそれぞれ駆動される構成となっている。

10

ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各原色の画像が合成された後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0097】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R色、G色、B色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロイックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方向は、ライトバルブ100Gによる水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

20

【0098】

電子機器としては、図34を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニター直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

30

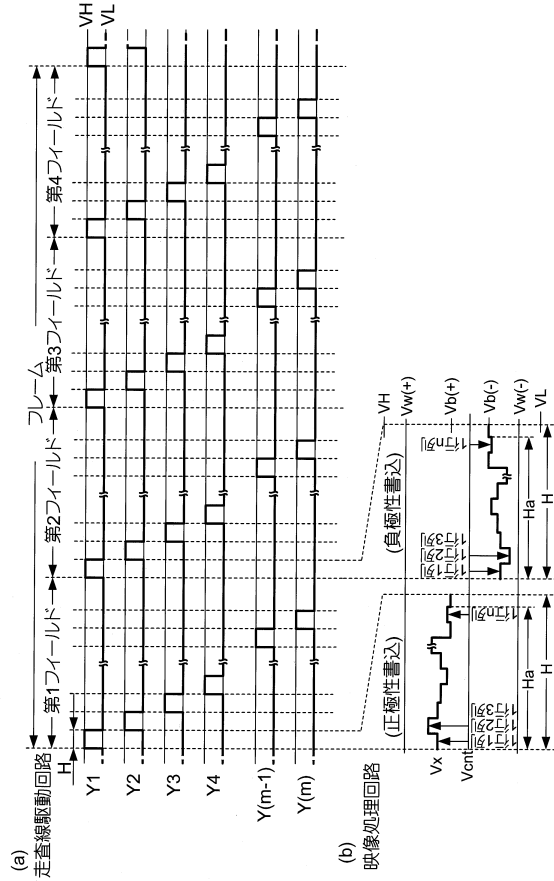
【符号の説明】

【0099】

1...液晶表示装置、30...映像処理回路、100...液晶パネル、100a...素子基板、100b...対向基板、105...液晶、108...コモン電極、118...画素電極、120...液晶素子、302...遅延回路、304...境界検出部、3041...第1境界検出部、3042...第2境界検出部、3043...判別部、306...補正部、308...D/A変換器、312...境界検出部、3121...現フレーム検出部、3122...遅延回路、3123...前フレーム検出部、3124...判別部、2100...プロジェクター。

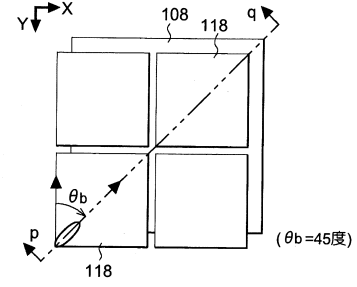
40

【図 5】

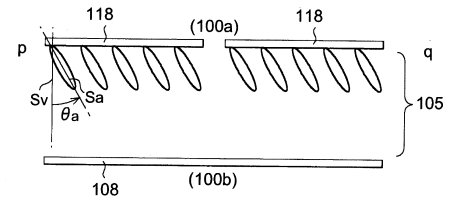


【図 6】

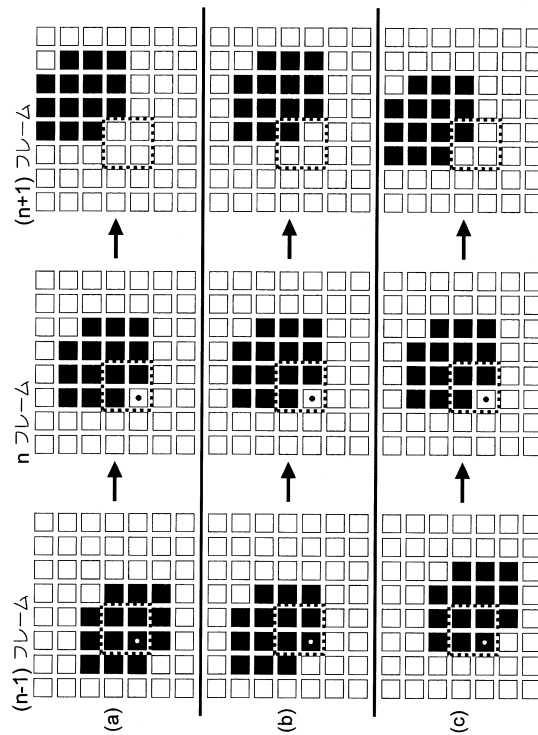
(a) VA



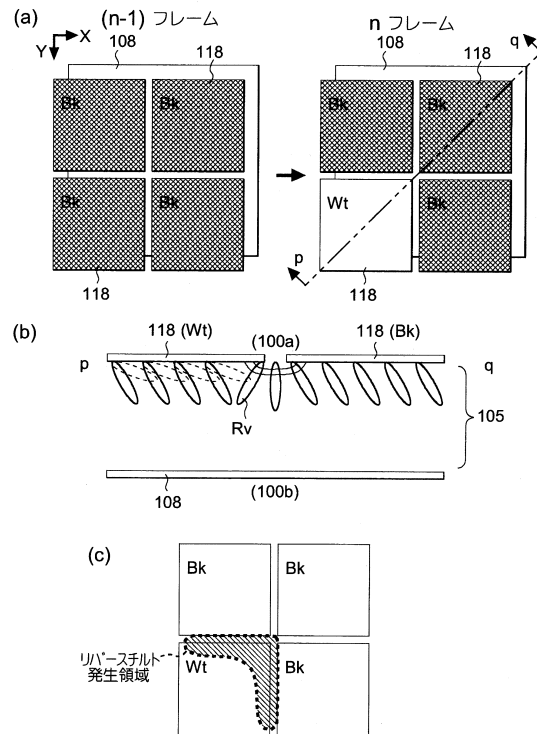
(b)



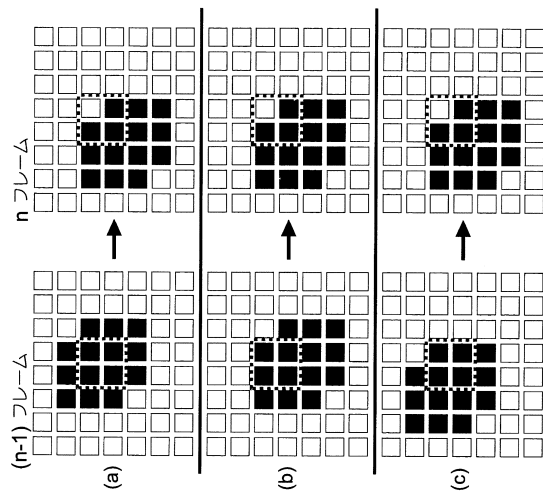
【図 7】



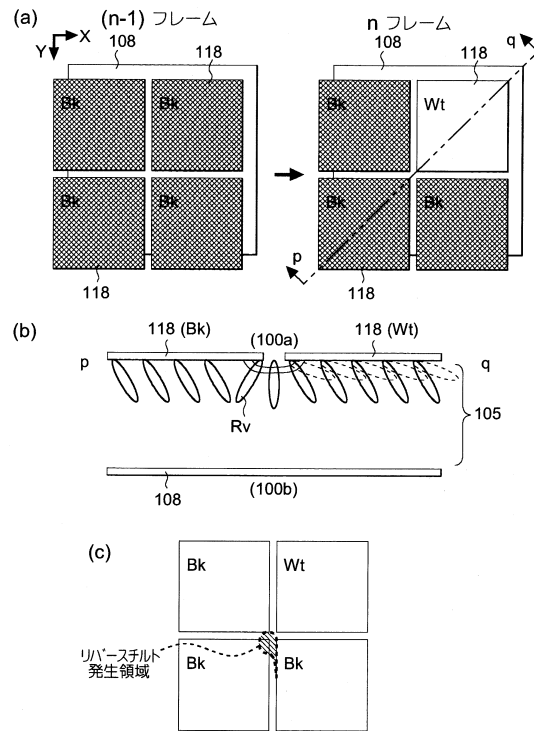
【図 8】



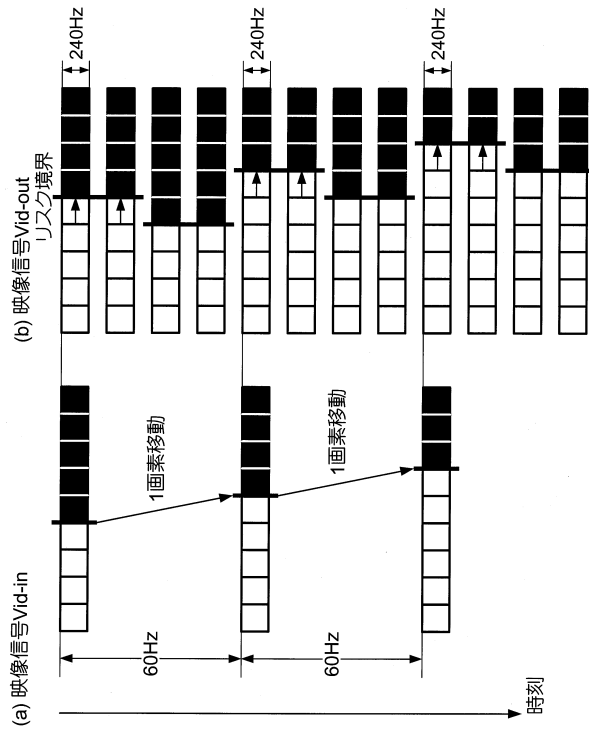
【図 9】



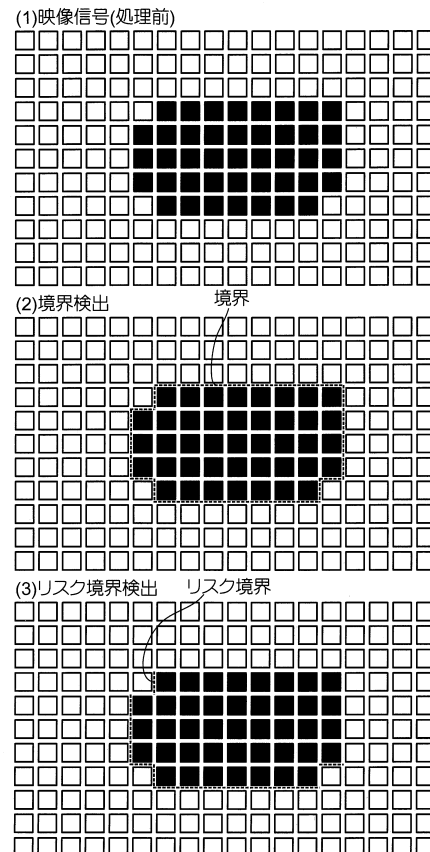
【図 10】



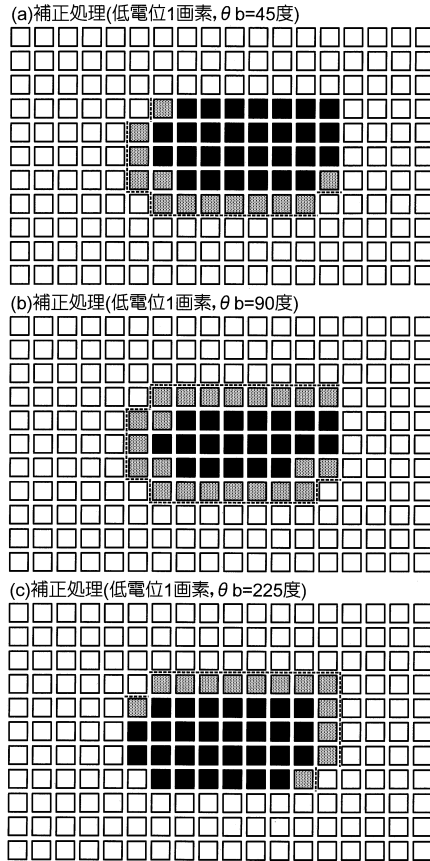
【図 11】



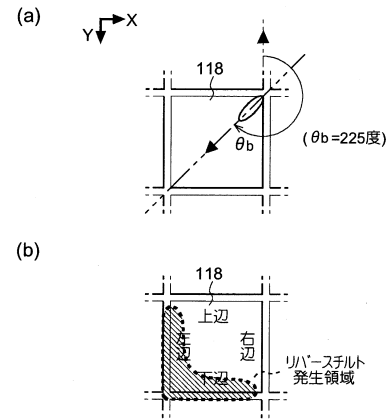
【図 12】



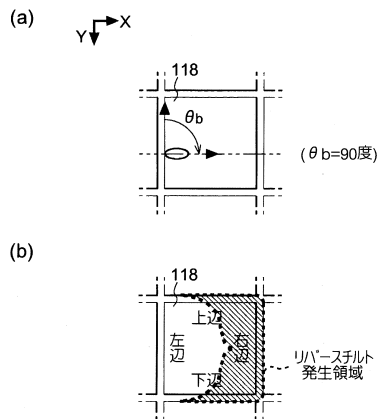
【図 13】



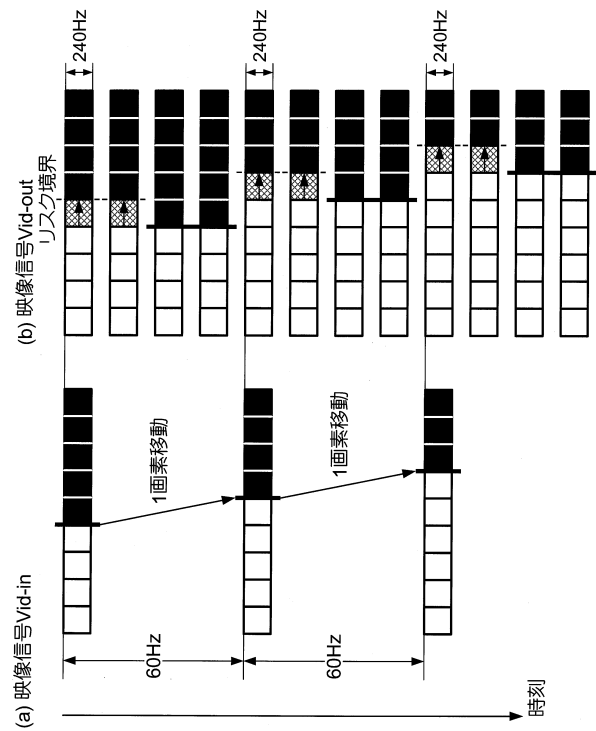
【図 14】



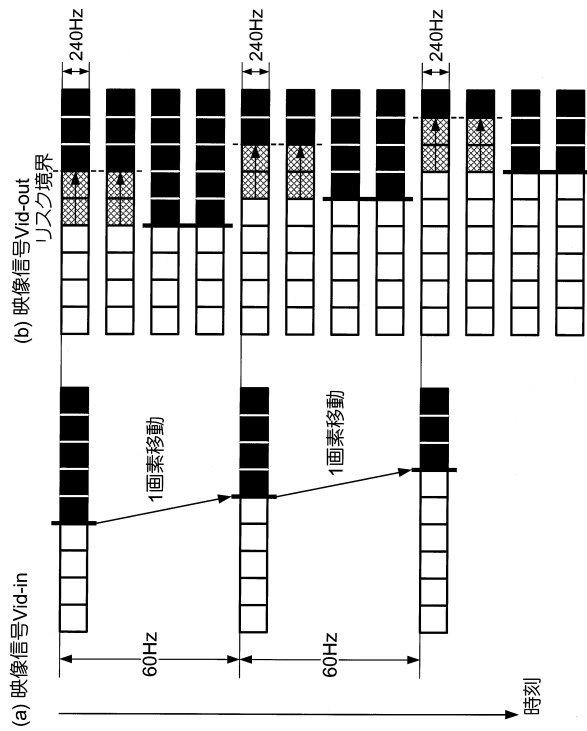
【図 15】



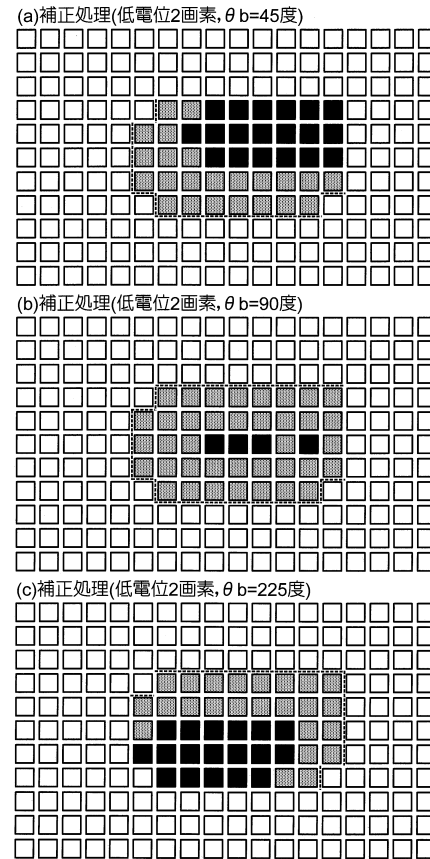
【図 16】



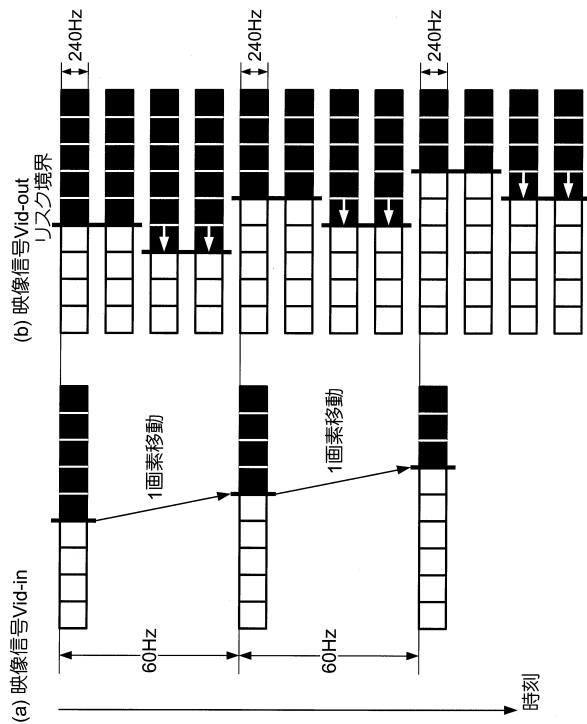
【図 17】



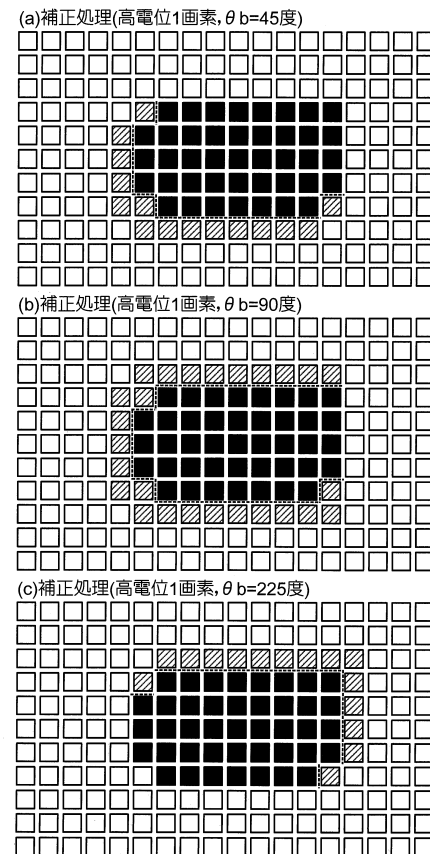
【図 18】



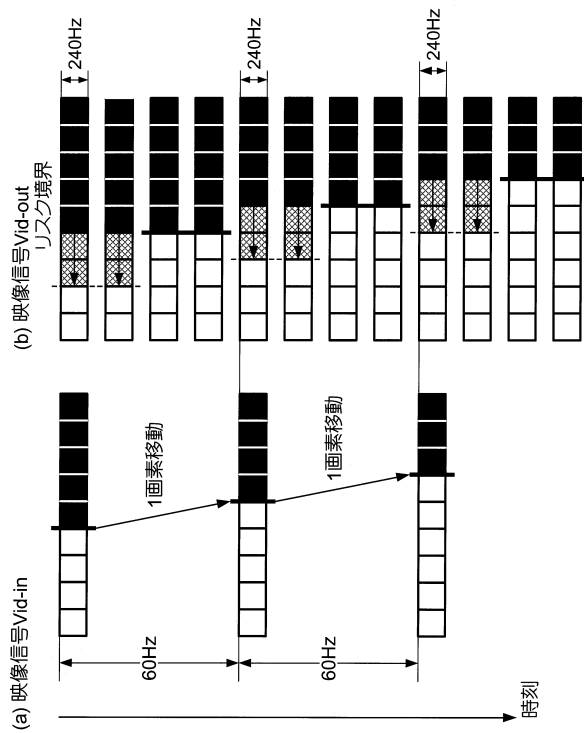
【図 19】



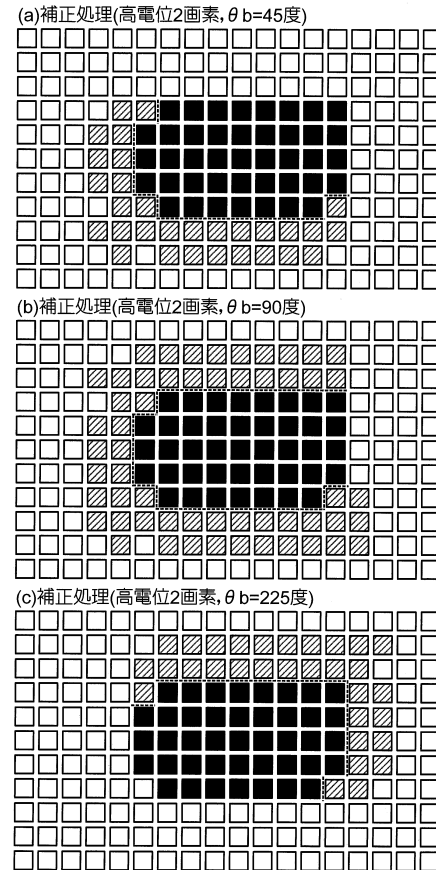
【図 20】



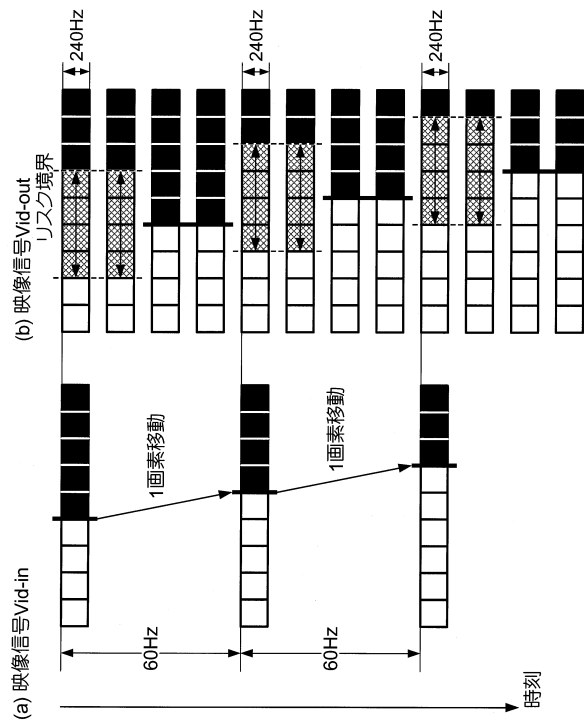
【図 2 1】



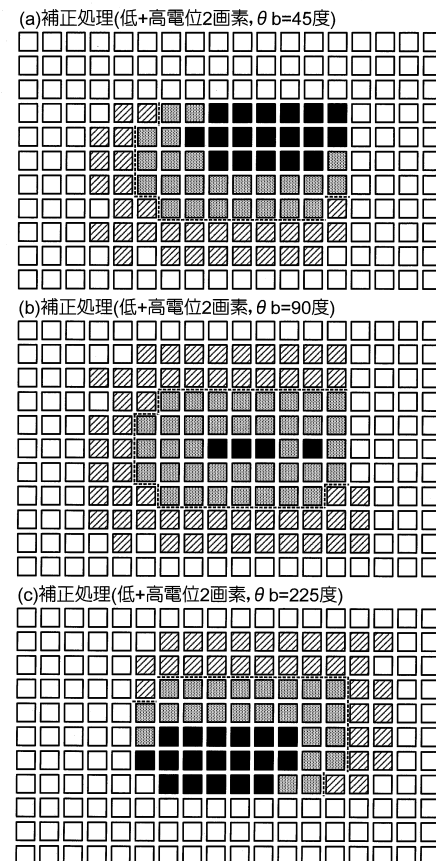
【図 2 2】



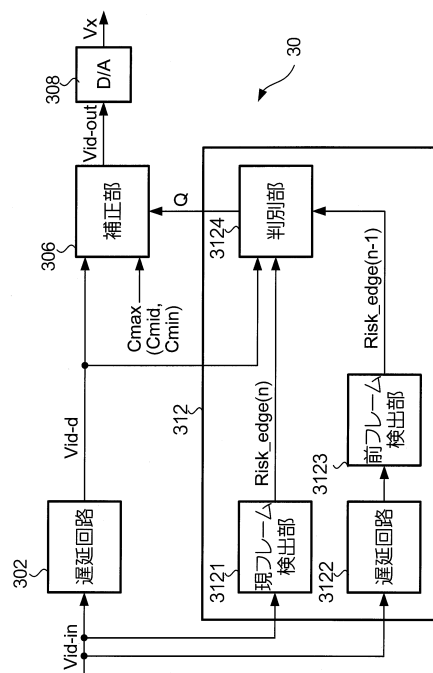
【図 2 3】



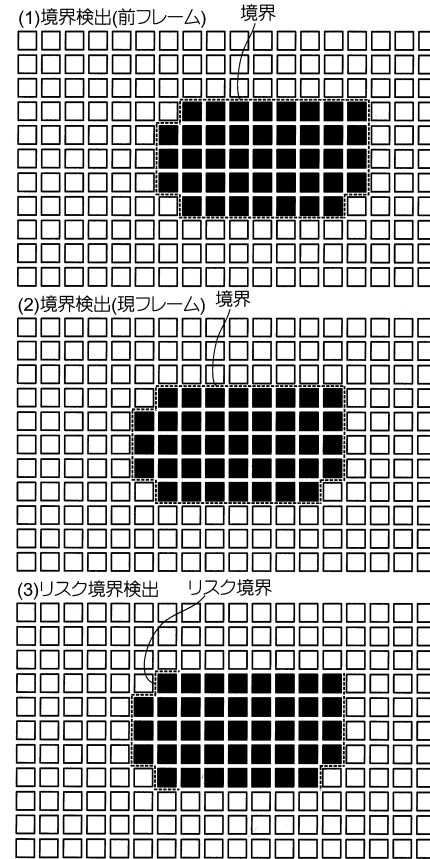
【図 2 4】



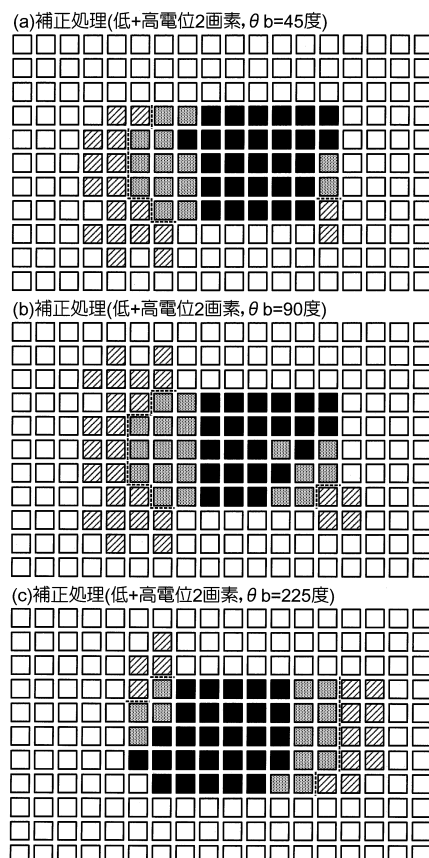
【図 25】



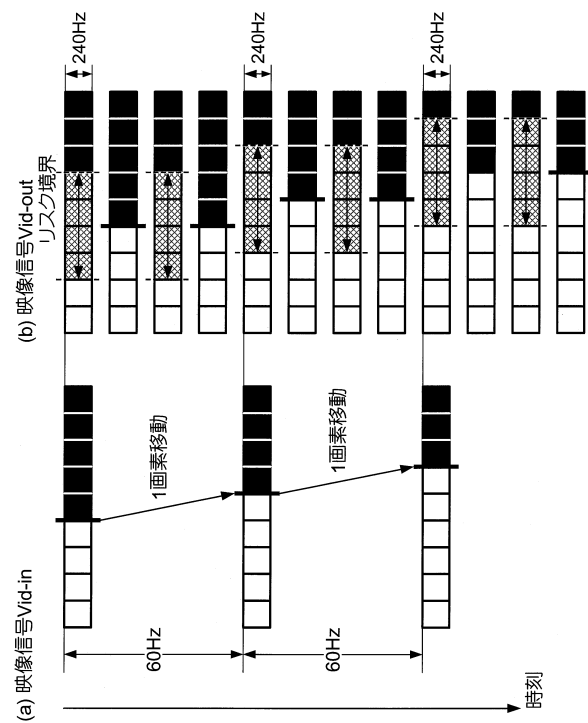
【図 26】



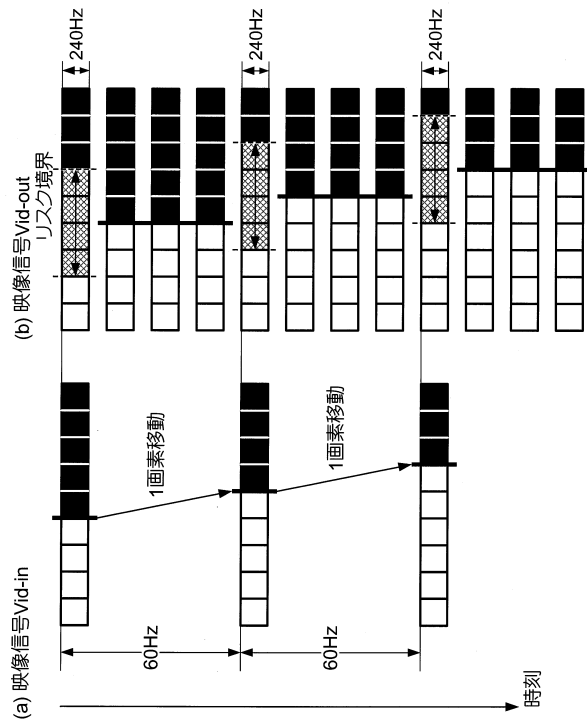
【図 27】



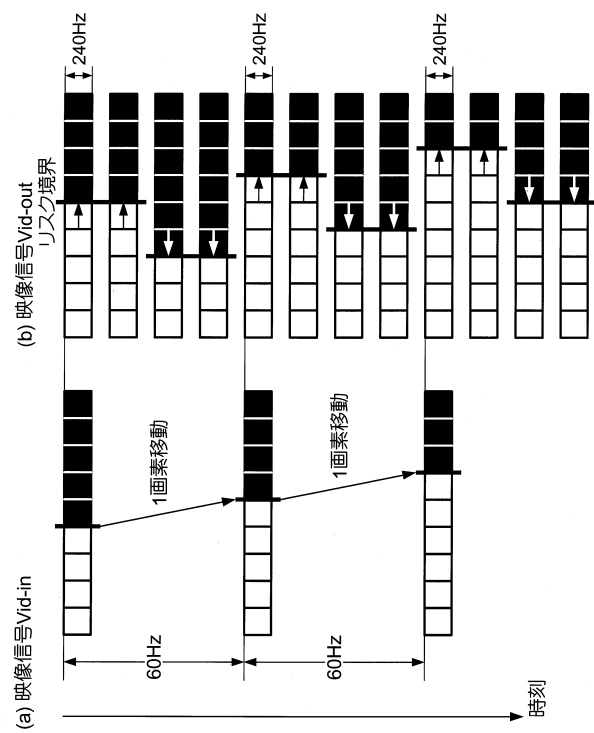
【図 28】



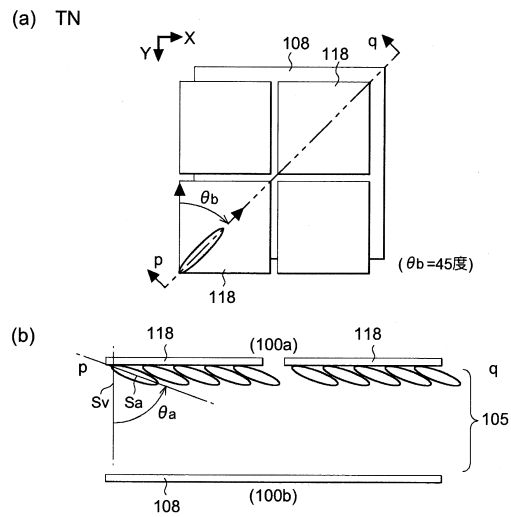
【図 29】



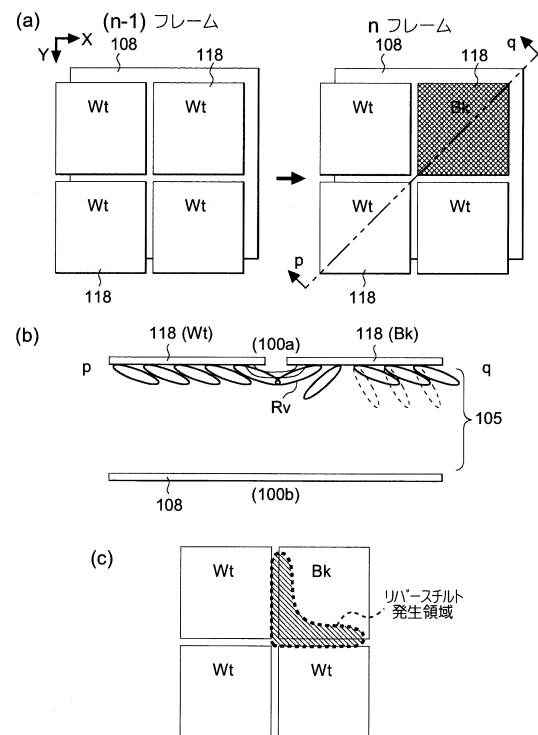
【図 30】



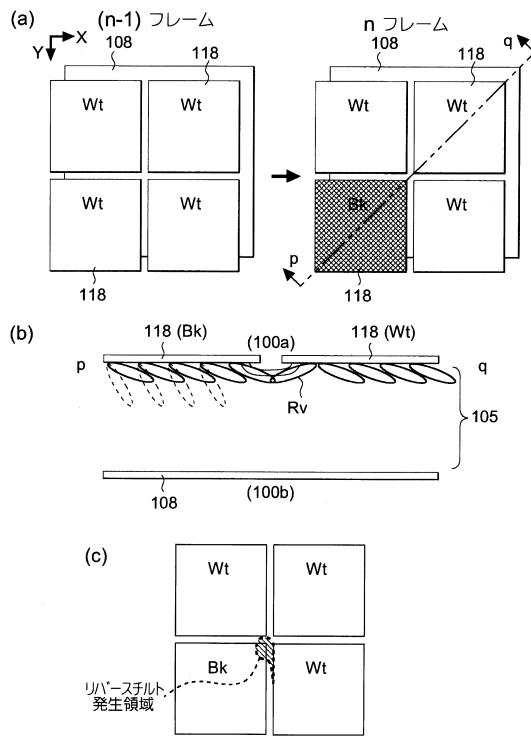
【図 31】



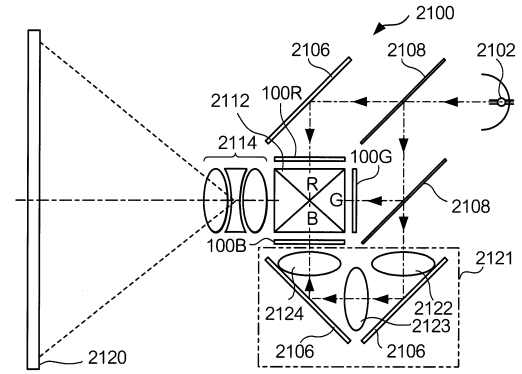
【図 32】



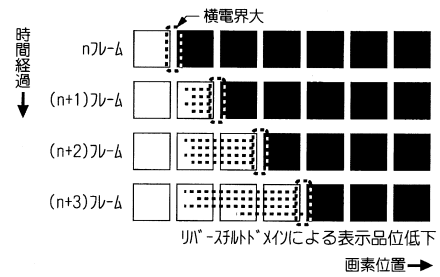
【図 3 3】



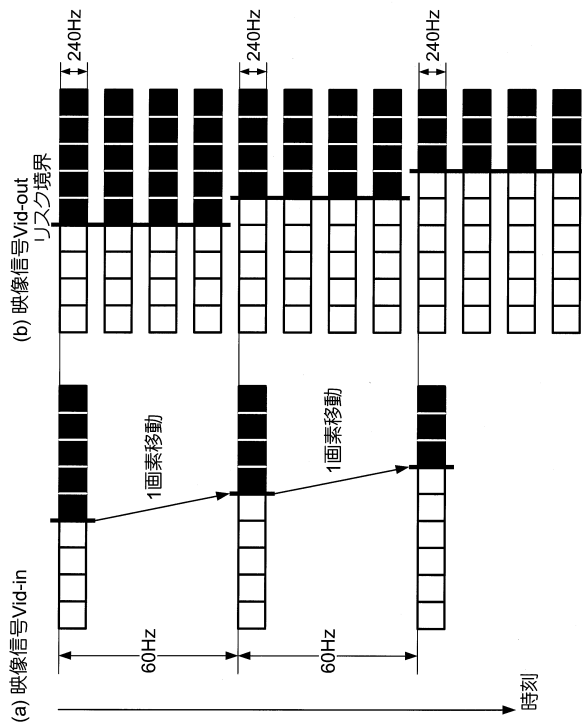
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 7 0 E
G 0 9 G	3/20	6 4 2 D
G 0 2 F	1/133	5 5 0
G 0 2 F	1/133	5 2 5

(56)参考文献 特開 2 0 1 0 - 2 0 4 5 1 5 (J P , A)
特開 2 0 0 8 - 2 8 1 9 4 7 (J P , A)
特開 2 0 1 0 - 0 3 2 7 4 9 (J P , A)
特開 2 0 1 0 - 0 2 6 2 8 1 (J P , A)
特開 2 0 1 0 - 0 1 9 9 9 8 (J P , A)
特開 2 0 1 1 - 1 7 0 2 3 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 9 G	3 / 0 0	-	3 / 3 8
G 0 2 F	1 / 1 3 3		

专利名称(译)	图像处理方法，图像处理电路，液晶显示装置和电子设备		
公开(公告)号	JP5707973B2	公开(公告)日	2015-04-30
申请号	JP2011015578	申请日	2011-01-27
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	保坂宏行 北川拓		
发明人	保坂 宏行 北川 拓		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	H04N5/14 G09G3/3648 G09G2320/0209 G09G2320/0257 G09G2320/0261 G09G2320/103 G09G2340/16		
FI分类号	G09G3/36 G09G3/20.612.U G09G3/20.641.P G09G3/20.641.C G09G3/20.642.A G09G3/20.670.E G09G3/20.642.D G02F1/133.550 G02F1/133.525		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZC15 2H193/ZC25 2H193/ZC39 2H193/ZD01 2H193/ZD02 2H193/ZD23 2H193/ZE04 2H193/ZF12 2H193/ZF16 2H193/ZF22 2H193/ZF36 2H193/ZQ06 2H193/ZQ11 2H193/ZR04 5C006/AA16 5C006/AC28 5C006/AF19 5C006/AF44 5C006/AF45 5C006/AF46 5C006/BB16 5C006/EC11 5C006/FA18 5C006/FA22 5C006/FA25 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD07 5C080/EE29 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
审查员(译)	中村直之		
其他公开文献	JP2012155212A		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于横向电场的影响而导致的显示质量下降。一种视频处理电路30中，在常黑模式下，施加到对应于与所述视频信号Vid-in指定的灰度电平 of 液晶元件的暗像素电压低于第一电压，高于第二电压亮像素之间的边界的一部分是从边界检测由液晶分子的倾斜方位确定的风险边界，向液晶元件对应于暗像素中的至少一个且邻近于检测到的风险边界亮“像素在构成一帧的多个场中的至少一个场中进行校正，以缩短在一个帧周期中存在风险边界的周期。此外，可以从从前一帧改变到当前帧的边界检测风险边界。点域1

