

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5593373号
(P5593373)

(45) 発行日 平成26年9月24日(2014.9.24)

(24) 登録日 平成26年8月8日(2014.8.8)

(51) Int.Cl.

F I

GO2F 1/1343 (2006.01)

GO2F 1/1343

GO2F 1/1337 (2006.01)

GO2F 1/1337 505

請求項の数 3 (全 24 頁)

(21) 出願番号 特願2012-287062 (P2012-287062)
 (22) 出願日 平成24年12月28日(2012.12.28)
 (65) 公開番号 特開2013-142900 (P2013-142900A)
 (43) 公開日 平成25年7月22日(2013.7.22)
 審査請求日 平成24年12月28日(2012.12.28)
 (31) 優先権主張番号 13/346,899
 (32) 優先日 平成24年1月10日(2012.1.10)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 101128791
 (32) 優先日 平成24年8月9日(2012.8.9)
 (33) 優先権主張国 台湾(TW)

(73) 特許権者 501358079
 友達光電股▲ふん▼有限公司
 AU Optronics Corporation
 台湾新竹科学工業園區新竹市力行二路一号
 No. 1, Lt-Hsin Rd, II,
 Science-Based Industrial Park, Hsinchu,
 Taiwan,
 (74) 代理人 110000383
 特許業務法人 エビス国際特許事務所
 (72) 発明者 陳 冠宇
 台湾新竹市科学工業園區力行二路1号 友
 達光電股▲ふん▼有限公司内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

液晶表示装置であって、
 互いに対向して配置されて間にセルギャップを定義する第1の基板及び第2の基板と、
 前記セルギャップ内に配置され、複数の液晶セルが定義されている液晶層と、
 前記第1の基板に形成され且つ各々が対応する前記液晶セルと接続している複数の画素
 を有する画素アレイと、
 を含み、

各画素は、複数の第1の画素電極ストリップを有する第1の画素電極と、複数の第2の
 画素電極ストリップを有する第2の画素電極とを含み、

前記複数の第1の画素電極ストリップと前記複数の第2の画素電極ストリップとが交互
 に並ぶように配置されて間に複数の電極間隔を定義し、

各電極間隔は、隣り合った前記第1の画素電極ストリップと前記第2の画素電極ストリ
 ップとによって定義されて所定の幅を有しており、

隣り合った前記第1の画素電極ストリップと前記第2の画素電極ストリップとの間に基
 準線が位置され、隣り合った前記第1の画素電極ストリップと前記第2の画素電極ストリ
 ップとは前記基準線に対して対称となり、

前記第1の画素電極ストリップ及び前記第2の画素電極ストリップは、鋸歯状のストリ
 ップであり、

前記所定の幅は、隣り合った前記第1の画素電極ストリップと前記第2の画素電極スト

10

20

リップとの間における前記基準線の延伸方向に沿って変化することを特徴とする液晶表示装置。

【請求項 2】

前記各画素が対向電極を更に含み、前記対向電極は、前記第 2 の基板上に形成され、前記第 1 の画素電極と、前記第 2 の画素電極と、交流電圧又は直流電圧と電氣的に接続されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

複数のゲート線と、複数の信号線とを更に含み、前記複数のゲート線と前記複数の信号線は、前記複数の画素に対応して電氣的に接続されることを特徴とする請求項 1 に記載の液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、次第に変化する電極間隔を有する画素構造に関するものである。前記電極間隔とは、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間の距離を指す。

【背景技術】

【0002】

液晶ディスプレイは、画像表示能力に優れ、消費電力が少ないという長所を有するため、表示装置として汎用されている。一般的に、液晶表示装置は、数種類の異なるアクティブアレイ技術を用いている。例えば、ねじれネマティック液晶ディスプレイは、異なる角度においてねじれる液晶及びねじれない液晶を含むことにより、光線を通過させる。しかし、液晶セルの緩和時間 (relaxation time) のため、ねじれネマティック液晶ディスプレイの応用は、比較的低いデータ転送速度に制限され、その技術は視野角範囲の制限を受ける。

20

【0003】

他のアレイ技術、例えば、インプレーンスイッチング (In-Plane-Switching; 以下、IPS と称する) 構造や垂直配向 (Vertical Alignment; 以下、VA と称する) 構造は、より柔軟な表示特性を提供することができる。VA 型ディスプレイでは、電圧無印加時に、液晶が基板に対して垂直になることにより、クロスニコルに配置した偏光板の間に暗表示となる。電圧印加時に、液晶が傾斜位置に回転することにより、光を通過させてグレースケールの表示を行う。IPS 技術では、液晶セルが同一平面に再配向 (回転) できるように、液晶セルに電場を印加する対向電極 (共通電極と画素電極) を同じ基板に配置する。VA 型ディスプレイは、高いコントラスト比や速い応答速度という利点があり、IPS の構造は、広視野角や斜めの視野角で比較的に小さい色差が生じるという利点がある。

30

【0004】

垂直配向・インプレーンスイッチング (Vertical Alignment-In Plane Switching; 以下、VA-IPS と称する) の技術は、IPS 電極構造に VA 表示モードを用いた技術であって、共通電極と画素電極は同じ基板に配置される。電圧無印加時に、液晶は基板に対して垂直状態を保つ。しかしながら、VA-IPS ディスプレイでは、広視野角や斜めの視野角での色の歪み (いわゆるカラーシフト) という問題がある。

40

【0005】

トランスバースベンドアライメント (Transverse Bend Alignment; 以下、TBA と称する) の構造には、VA-IPS ディスプレイに類似の技術が存在する。TBA ディスプレイにおいて、VA-IPS ディスプレイのように同じ基板に配置された共通電極および画素電極のほか、基板と対向する側には、共通電極と電氣的に接続された対向電極が更に配置されているため、対向電極および共通電極に同じ電圧が印加されて、液晶セルに対して電場が形成される。電圧無印加時に、TBA ディスプレイに

50

おける液晶が基板に対して垂直に保持される点は、V A - I P Sディスプレイに似ている。同様に、T B A技術は、広視野角や斜めの視野角で類似したカラーシフトが発生するという問題がある。

【 0 0 0 6 】

一般的に、カラーシフトの問題を解決する方法は、画素における電極間隔の数（電極間隔とは画素電極と共通電極との間の距離である）を増やすことである。例えば、図 1 3 には、画素において異なる電極間隔の数を有する液晶表示装置のグレースケールのガンマ曲線図が示されている。図 1 3 に示された B 1 / B 2 曲線および C 1 / C 2 曲線のように、画素における 4 組の電極間隔を有する液晶表示装置と比較すると、画素における 1 4 組の電極間隔を有する液晶表示装置は、視角の傾斜角度が増えるに伴い、より滑らかなガンマ曲線を有する（これにより、カラーシフト機能がより良い）。

10

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 米国特許第 7 3 6 2 4 0 0 号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

しかしながら、液晶表示装置の小型化が進むにつれ、画素のサイズが小さくなるため、画素に配置された電極間隔の数も制限されている。

20

【 0 0 0 9 】

以上のように、従来技術には、これまで取り込まれずにいた、前述の欠陥や欠点があり、これらの改善に取り組む必要がある。

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明は、液晶表示装置に関するものである。一実施の形態において、第 1 の基板と、第 2 の基板と、液晶層と、画素アレイとを含む。第 2 の基板は、第 1 の基板に対向して配置されることにより、その間にセルギャップが定義される。液晶層は、第 1 の基板と第 2 の基板との間におけるセルギャップに配置され、且つこの液晶層は、複数の液晶セルが定義されている。画素アレイは、複数の画素を有する。これらの画素は、第 1 の基板に形成されている。各画素は、対応する液晶セルに接続され、且つ第 1 の画素電極と、第 2 の画素電極とを含む。第 1 の画素電極は、複数の第 1 の画素電極ストリップを有する。第 2 の画素電極は、複数の第 2 の画素電極ストリップを有する。これらの第 1 の画素電極ストリップと第 2 の画素電極ストリップとは、交互に並ぶように配置されることにより、その間に複数の電極間隔が定義され、各電極間隔は、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとによって定義されており、且つ所定の幅を有する。基準線が 2 つの隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間に位置され、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとは、基準線に対して対称となり、各電極間隔の所定の幅は、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間における基準線の延設方向に沿って変化する。一実施形態では、各画素は、対向電極を含んでもよい。この対向電極は、第 2 の基板上に形成されるとともに、第 2 の画素電極と電気的に接続される。もう 1 つの実施形態では、対向電極は、第 1 の画素電極と電気的に接続されてもよい。別の実施形態では、交流電圧又は直流電圧を対向電極に印加してもよい。

30

40

【 0 0 1 1 】

一実施形態において、第 1 の画素電極は、リッジ部を更に含み、各第 1 の画素電極ストリップがリッジ部から延びることにより、各第 1 の画素電極ストリップとリッジ部との間に第 1 の角度 α_1 が定義されている。第 2 の画素電極は、頂部と底部とを更に有する。頂部と底部とが離れて形成され、且つ頂部及び底部は、第 1 の画素電極のリッジ部と平行して、各第 2 の画素電極ストリップは、頂部及び底部のいずれかから第 1 の画素電極のリッ

50

ジ部に向かって延設することにより、第1の画素電極のリッジ部との間に第2の角度 $\alpha 2$ が定義されている。第2の角度 $\alpha 2$ と第1の角度 $\alpha 1$ とは実質的に相異なっている。もう1つの実施形態では、第2の画素電極の頂部及び底部と、第2の画素電極ストリップと、第1の画素電極の第1の画素電極ストリップとは、第1の画素電極のリッジ部に対して対称に配置されている。

【0012】

他の実施形態において、第1の画素電極は、側部とリッジ部を更に含む。リッジ部は、側部からそれと垂直に延設され、各第1の画素電極ストリップが側部及びリッジ部のいずれかから延設されていることにより、各第1の画素電極ストリップとリッジ部との間には、第1の角度 $\alpha 1$ が定義されている。第2の画素電極は、側部と、頂部と、底部とを更に含む。側部は、第1の末端と第2の末端とを有する。第2の末端は第1の末端に対向する。頂部及び底部は、側部の第1の末端及び第2の末端からそれぞれそれらと垂直に延びている。この第2の画素電極の側部は、第1の画素電極の側部と平行に揃えられる。各第2の画素電極ストリップは、側部、頂部及び底部のいずれかから、第1の画素電極のリッジ部に向かって延びることにより、第1の画素電極のリッジ部との間に第2の角度 $\alpha 2$ が定義されている。第2の角度 $\alpha 2$ と第1の角度 $\alpha 1$ とは実質的に相異なっている。もう1つの実施形態では、第2の画素電極の側部、頂部、底部と、複数の第2の画素電極ストリップと、第1の画素電極の側部と、第1の画素電極ストリップとは、第1の画素電極のリッジ部に対して対称に配置されている。

【0013】

一実施形態において、各電極間隔の所定の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延設方向に沿って連続的に変化する。もう1つの実施形態では、各電極間隔の所定の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延設方向に沿って非連続的に変化する。1つの実施形態では、電極間隔のうち少なくとも1つの幅は、その他の電極間隔の幅と相異なる。

【0014】

一実施形態において、各第1の画素電極ストリップは、直線状のストリップ、曲線状のストリップ、斜線状のストリップ又は階段状のストリップを含む。各第2の画素電極ストリップは、直線状のストリップ、曲線状のストリップ、斜線状のストリップ又は階段状のストリップを含む。

【0015】

また、本発明の液晶表示装置は、複数のゲート線及び複数の信号線を含む。これらのゲート線と信号線とは、画素に対応して電氣的に接続され、各第1の画素電極ストリップは、ゲート線のうちのいずれか1つと第1の角度 $\alpha 1$ をなす。さらに、各第2の画素電極ストリップは、ゲート線のうちのいずれか1つと第2の角度 $\alpha 2$ をなしており、第2の角度 $\alpha 2$ と第1の角度 $\alpha 1$ とは実質的に相異なる。

【0016】

本発明の他の実施例において、液晶表示装置は、第1の基板と、第2の基板と、液晶層と、画素アレイとを含む。第2の基板が第1の基板に対向して配置されることにより、その間にセルギャップが定義される。液晶層は、第1の基板と第2の基板との間におけるセルギャップに配置され、且つこの液晶層は、複数の液晶セルが定義されている。画素アレイは、複数の画素を有する。これらの画素は、第1の基板に形成されている。各画素は、対応する液晶セルに接続され、且つ第1の画素電極と、第2の画素電極とを含む。第1の画素電極は、複数の第1の画素電極ストリップを有する。第2の画素電極は、複数の第2の画素電極ストリップを有する。第1の画素電極ストリップと第2の画素電極ストリップとは、交互に並ぶように配置されることにより、その間に複数の電極間隔が定義されている。各電極間隔は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとによって定義されており、且つ所定の幅を有し、各電極間隔のうち少なくとも1つの幅は、その他の電極間隔の幅と異なっている。一実施形態では、各画素は、対向電極を含んで

もよい。この対向電極は、第2の基板上に形成されている。一実施形態では、対向電極は、第2の画素電極と電氣的に接続されている。もう1つの実施形態では、対向電極は、第1の画素電極と電氣的に接続されてもよい。別の実施形態では、交流電圧又は直流電圧を対向電極に印加してもよい。

【0017】

一実施形態において、第1の画素電極は、リッジ部を更に含み、各第1の画素電極ストリップがリッジ部から延びることにより、各第1の画素電極ストリップとリッジ部との間に第1の角度 α_1 が定義されている。第2の画素電極は、頂部と底部とを更に有する。頂部と底部とが離れて形成され、且つ頂部及び底部は、第1の画素電極のリッジ部と平行して、各第2の画素電極ストリップは、頂部及び底部のいずれかから第1の画素電極のリッジ部に向かって延設することにより、第1の画素電極のリッジ部との間に第2の角度 α_2 が定義されている。第2の角度 α_2 と第1の角度 α_1 とは同一又は実質的に相異なっている。もう1つの実施形態では、第2の画素電極の頂部及び底部と、第2の画素電極ストリップと、第1の画素電極の複数の第1の画素電極ストリップとは、第1の画素電極のリッジ部の両側に配置されている。もう1つ別の実施形態では、第2の画素電極の頂部及び底部と、第2の画素電極ストリップと、第1の画素電極の第1の画素電極ストリップとは、第1の画素電極のリッジ部に対して対称に配置されている。

【0018】

他の実施形態において、第1の画素電極は、側部とリッジ部を更に含む。リッジ部は、側部からそれと垂直に延設され、各第1の画素電極ストリップが側部及びリッジ部のいずれかから延設されていることにより、各第1の画素電極ストリップとリッジ部との間には、第1の角度 α_1 が定義されている。第2の画素電極は、側部と、頂部と、底部とを更に含む。側部は、第1の末端と第2の末端とを有する。第2の末端は第1の末端に対向する。頂部及び底部は、側部の第1の末端及び第2の末端からそれぞれそれらと垂直に延びている。この第2の画素電極の側部は、第1の画素電極の側部と平行に揃えられる。各第2の画素電極ストリップは、側部、頂部及び底部のいずれかから、第1の画素電極のリッジ部に向かって延びることにより、第1の画素電極のリッジ部との間に第2の角度 α_2 が定義されている。第2の角度 α_2 と第1の角度 α_1 とは同一又は実質的に相異なっている。1つの実施形態では、第2の画素電極の側部、頂部、底部と、第2の画素電極ストリップと、第1の画素電極の側部と、第1の画素電極ストリップとは、第1の画素電極のリッジ部の両側に配置されている。好適な実施形態では、第2の画素電極の側部、頂部、底部と、第2の画素電極ストリップと、第1の画素電極の側部と、第1の画素電極ストリップとは、第1の画素電極のリッジ部に対して対称に配置されている。

【0019】

一実施形態において、各電極間隔の所定の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延設方向に沿って連続的に変化する。もう1つの実施形態では、各電極間隔の所定の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延設方向に沿って非連続的に変化する。1つの実施形態では、各電極間隔の所定の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延設方向に沿って変化する。

【0020】

一実施形態において、各第1の画素電極ストリップは、直線状のストリップ、曲線状のストリップ、斜線状のストリップ又は階段状のストリップを含み、且つ各第2の画素電極ストリップは、直線状のストリップ、曲線状のストリップ、斜線状のストリップ又は階段状のストリップを含む。もう1つの実施形態では、各第1の画素電極ストリップ及び各第2の画素電極ストリップは、それぞれ、第1のセグメントと、第2のセグメントと、傾斜部とに分かれる。この傾斜部は、第1のセグメントと第2のセグメントとを接続し、且つ両方の間に位置している。

【0021】

また、本発明の液晶表示装置は、複数のゲート線及び複数の信号線を含む。これらのゲ

10

20

30

40

50

ート線と信号線とは、画素に対応して電氣的に接続される。各第1の画素電極ストリップは、ゲート線のうちのいずれか1つに対して第1の角度 α_1 をなす。各第2の画素電極ストリップはゲート線のうちのいずれか1つに対して第2の角度 α_2 をなしており、第2の角度 α_2 と第1の角度 α_1 とは実質的に相異なる。

【発明の効果】

【0022】

本発明によれば、隣り合った電極ストリップの間の電極間隔が変化に富む幅を有しており、且つこれら電極ストリップの間の電極間隔が異なる幅を有するため、液晶表示装置のグレースケールのガンマ曲線を最適化することができ、最高の画質を実現している。

【図面の簡単な説明】

10

【0023】

図面は本発明に係る一つまたは複数の実施形態を示しており、これらの図面および文字の記述により、本発明の原理を説明する。図面に使用される同じ符号は、実施形態において同様または類似の部品を代表する。

【図1A】本発明の一実施形態による電圧無印加時の液晶表示装置を示す部分断面図である。

【図1B】本発明の一実施形態による電圧印加時の液晶表示装置を示す部分断面図である。

【図2】本発明の一実施形態による液晶表示装置の電極構造を示す平面図である。

【図3A】本発明の一実施形態による液晶表示装置の電極構造を示す平面図である。

20

【図3B】図3Aに示された2つの電極ストリップの間に介在された電極間隔を示す部分拡大図である。

【図4】本発明の他の実施形態による液晶表示装置の電極構造を示す平面図である。

【図5A】本発明の一実施形態による液晶表示装置の電極構造を示す平面図である。

【図5B】本発明の他の実施形態による液晶表示装置の電極構造を示す平面図である。

【図6A】本発明の一実施形態による液晶表示装置の電極構造を示す平面図である。

【図6B】本発明の他の実施形態による液晶表示装置の電極構造を示す平面図である。

【図7A】本発明の一実施形態による液晶表示装置の電極構造を示す平面図である。

【図7B】本発明の他の実施形態による液晶表示装置の電極構造を示す平面図である。

【図8A】本発明の一実施形態による液晶表示装置の水平電極の構造を示す平面図である

30

【図8B】本発明の他の実施形態による液晶表示装置の水平電極の構造を示す平面図である。

【図9】本発明の他の実施形態による液晶表示装置の電極構造を示す部分平面図である。

【図10A】本発明のもう1つの実施形態による電圧無印加時の液晶表示装置を示す部分断面図である。

【図10B】本発明のもう1つの実施形態による電圧印加時の液晶表示装置を示す部分断面図である。

【図11A】本発明の一実施形態に係る液晶表示装置の垂直画素配列を示す平面図である

40

【図11B】図11Aに示された液晶表示装置の画素を示す平面図である。

【図12A】本発明の他の実施形態による液晶表示装置の水平画素配列を示す平面図である。

【図12B】図12Aに示された液晶表示装置の画素を示す平面図である。

【図13】画素における、異なる電極間隔の数を有する液晶表示装置のグレースケールのガンマ曲線を示すグラフである。

【発明を実施するための形態】

【0024】

以下、本発明の実施形態に対して説明する。もちろん、本発明の精神と領域を離脱しない範囲内で、若干の変動や修正を加えることができるが、以下、図面を参照して行う以下

50

好適な実施形態の説明により、本発明の実施形態の上記およびその他の態様はより明らかになる。

【0025】

以下、例示的な実施形態を示す添付図面を参照しつつ、本発明について詳しく説明する。なお、本発明は、種々の異なる形式によって実施されることができ、開示される実施形態に限定されるものではないことが理解されるべきである。逆に、これらの実施形態を提供することによって、当該技術を熟知する者に本発明の範囲をより明確になり、且つ十分に理解させることができる。類似の符号は類似の素子を代表する。

【0026】

本明細書で使用される用語は、単に特定な実施形態を説明するために使用されるものであり、発明を限定的に解釈するために用いてはならない。本明細書における「一」および「前記」は、複数を示していないとはっきり記載されていない限り、複数の意味も含む。さらに、本明細書で使用される「含む」、「備える」又は「有する」という用語は、説明しようとする特徴、領域、全体、ステップ、操作、要素、セグメント及び/又は構成要件が存在することを指すが、1つ又は複数の他の特徴、領域、全体、ステップ、操作、要素、セグメント、構成要件及び/又はこれらの組み合わせの存在あるいは付加も除外しないことを示す。

【0027】

本明細書で使用される「第1」、「第2」及び「第3」等の用語は、多様な部品、部材、領域、層及び/又は断面を説明するために使われるが、これらの部品、部材、領域、層及び/又は断面によって限定されないことを理解するべきである。これらの用語は、単なる所定の部品、部材、領域、層或いは断面を他の部品、部材、領域、層或いは断面と区別するために使用されたものである。従って、以下第1の部品、第1の部材、第1の領域、第1の層或いは断面として使用される用語が、第2の部品、第2の部材、第2の領域、第2の層或いは断面として使用されても、本発明の範囲を逸脱することはない。

【0028】

別途定義されない限り、本明細書に使用される全ての用語（技術用語および科学用語を含む）は、当業者によって一般的に理解されるものと同一意味を有する。さらに、一般的に使用される辞書で定義されるような用語は、関連技術および本開示の文脈においてそれらの意味と一貫する意味を有するとして解釈されるべきであり、本明細書においてそのような明示的に定義されない限り、理想化されたまたは過度に正式な意味に解釈されてはならない。

【0029】

本明細書で使用する「約」、「大体」または「およそ」は、一般的に数値の誤差または範囲が20%以内であることを指し、10%以内であることが好ましく、5%以内であることがより好ましい。本明細書において明確な説明がない限り、言及される数値はいずれも近似値、すなわち、「約」、「大体」または「およそ」に対して明確な説明がなくても推測判断できることを意味する。

【0030】

以下、図1～図11に合わせて本発明の実施形態に対し詳細に説明する。本発明の目的によれば、本明細書本発明の一態様は、VA-IPS技術又はTBA技術を用いる液晶ディスプレイに関し、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間において、変化する電極間隔を有する画素構造に関するものである。

【0031】

図1A及び図1Bは、本発明の一実施形態における液晶表示装置100を示す2つの部分断面図である。図1Aは、電圧無印加時の液晶表示装置100の液晶の配列を示し、図1Bは、電圧印加時の液晶表示装置100の液晶の配列を示す。本実施形態では、液晶表示装置100は、VA-IPS表示技術を用い、第1の基板110と、第2の基板120と、液晶層130と、画素アレイとを備える。第1の基板110と第2の基板120とが対向して配置されることにより、その間にセルギャップが定義される。液晶層130は、

セルギャップに配置され、セルギャップは、第1の基板110と第2の基板120との間に介在され、且つ液晶層130には複数の液晶セルが定義されている。画素アレイは、複数の画素を有する。これらの画素は、第1の基板110上に形成されている。各画素は、対応する液晶セルに接続され、且つ第1の画素電極と、第2の画素電極とを含む。第1の画素電極は、複数の第1の画素電極ストリップ172及び173を有する。第2の画素電極は、複数の第2の画素電極ストリップ162, 163及び164を有する。図1A及び図1Bに示すように、第2の画素電極ストリップと第1の画素電極ストリップとの実質的に交差する線に沿って得られた断面によって、液晶表示装置100の構造をより明確的に表すことができる。また、図1A及び図1Bにおいて、細部の構造を示す目的のため、液晶表示装置100の画素の部分断面図のみを示している。

10

【0032】

図1Aに示すように、第1の基板110と第2の基板120とが対向して配置されることにより、その間にセルギャップが定義される。液晶層130は、セルギャップに配置され、セルギャップは、第1の基板110と第2の基板120との間に介在され、且つ液晶層130には複数の液晶セルが定義されている(図1Aでは、1つの液晶セルのみを示している)。各液晶セルは、複数の液晶132を含む。なお、絶縁層140及び保護層150はそれぞれ、第1の基板110上に形成される。図1Aに示すように、液晶表示装置100には電圧が印加されていないため、全ての液晶は、第1の基板110及び第2の基板120の表面に垂直している。

【0033】

20

本発明によれば、各画素は、対応する液晶セルに接続し、且つ第1の画素電極と、第2の画素電極とを含む。第1の画素電極は、複数の第1の画素電極ストリップを有する。第2の画素電極は、複数の第2の画素電極ストリップを有する。図1Aでは、画素の第2の画素電極(Vcom)の第2の画素電極ストリップ162, 163及び164を示し、画素の第1の画素電極(Vpixel)の第1の画素電極ストリップ172及び173を示している。複数の第1の画素電極ストリップ172及び173と、複数の第2の画素電極ストリップ162, 163及び164とが交互に並ぶように配置されることによって、第1の画素電極ストリップ172が隣り合った第2の画素電極ストリップ162と163との間に位置し、第1の画素電極ストリップ173が隣り合った第2の画素電極ストリップ163と164との間に位置している。また、複数の電極間隔 P_1 , P_2 , P_3 及び P_4 は、第1の画素電極ストリップ172または173と、第2の画素電極ストリップ162, 163または164との間に形成された距離として定義される。具体的には、隣り合った第1の画素電極ストリップ172と第2の画素電極ストリップ162とによって電極間隔 P_1 が定義される。隣り合った第1の画素電極ストリップ172と第2の画素電極ストリップ163とによって電極間隔 P_2 が定義される。隣り合った第1の画素電極ストリップ173と第2の画素電極ストリップ163とによって電極間隔 P_3 が定義される。隣り合った第1の画素電極ストリップ173と第2の画素電極ストリップ164とによって電極間隔 P_4 が定義される。なお、各電極間隔は所定の幅を有し、且つ電極間隔 P_1 , P_2 , P_3 及び P_4 は、必ずしも同一ではない。具体的には、 P_3 及び P_4 の幅は、 P_1 及び P_2 の幅よりも大きい。

30

40

【0034】

図1Bは、電圧印加時の液晶表示装置100を示す。この液晶表示装置100は図1Aに示すものと同一であるので、全ての要素は同一符号で表記されている。液晶表示装置100に電圧を印加する時に、第1の画素電極ストリップ172及び173と、第2の画素電極ストリップ162, 163及び164とが複数の電場が生成されることにより、液晶層130中の液晶132は、電場によって移動される又は傾斜位置に回転されるように制御されている。図1Bに示すように、電極間隔 P_3 及び P_4 の幅と、電極間隔 P_1 及び P_2 の幅とは同一ではないので、電極ストリップの間に介在している電場の範囲も同一ではない。

【0035】

50

多様な実施形態によって、電極ストリップの間の電極間隔の幅が変化することが分かる。例えば、図2～図8Bは、本発明の別の実施形態による液晶表示装置の電極構造を示す平面図である。電極ストリップの設計及び相対位置説明の便宜上、他の要素、例えばスイッチング素子は示されていない。図2に示すように、第1の画素電極270は、複数の第1の画素電極ストリップ、例えば271～274，271a～274a及びリッジ部（或いは中間部）275を有する。この実施形態の例では、第1の画素電極ストリップ271～274，271a～274aは、リッジ部（或いは中間部）から対称に延びるが、どこまで延びるかは限定されない。これにより、各第1の画素電極ストリップ271，272，273，274，271a，272a，273a及び274aと、リッジ部（或いは中間部）275との間に第1の角度 α_1 が定義（或いは形成）される。第2の画素電極260は、複数の第2の画素電極ストリップ261～265，261a～265aと、頂部266及び底部266aを有する。頂部266及び底部266aは、離れて形成されてもよく、互いに平行しており、且つ第1の画素電極270のリッジ部275と平行に揃えられている。第2の画素電極ストリップ261，262，263，264又は265は、離れて頂部266から第1の画素電極270のリッジ部275に向かって延設され、第2の画素電極ストリップ261a，262a，263a，264a又は265aは、離れて底部266aから第1の画素電極270のリッジ部275に向かって延設され、これによって、各第2の画素電極ストリップと第1の画素電極270のリッジ部275との間に第2の角度 α_2 が定義される。そして、頂部266と、底部266aと、第2の画素電極ストリップ261～265及び261a～265aは、第1の画素電極270のリッジ部275に対して対称に形成される。図2に示すように、第2の角度 α_2 と第1の角度 α_1 とは、同一である。

【0036】

本発明によれば、第2の画素電極ストリップ261～265及び261a～265aと、第1の画素電極ストリップ271～274及び271a～274aとは交互に並ぶように配置され、これにより、8つの電極間隔 P_1 ， P_2 ， P_3 ， P_4 ， P_5 ， P_6 ， P_7 及び P_8 を定義する。電極間隔 P_3 ， P_4 ， P_5 及び P_6 の各電極間隔の幅は、いずれも、電極間隔 P_1 ， P_2 ， P_7 及び P_8 の電極間隔の幅より大きい。具体的には、電極間隔の少なくとも1つの幅と、その他の電極間隔の幅とが相異なっている。このようにすると、第1の画素電極ストリップと第2の画素電極ストリップとが異なる電極間隔を有しているため、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。また、図2に示すように、第2の画素電極ストリップ261～265及び261a～265aと、第1の画素電極ストリップ271～274及び271a～274aとは、平行となるように配置されている。これによって、電極間隔の幅が異なっても、各電極間隔は、隣り合った共通電極ストリップ又は第1の画素電極ストリップの延伸方向に沿って、均一且つ一定な幅を有するようになる。この実施形態において、各第2の画素電極ストリップ及び各第1の画素電極ストリップは直線状である。

【0037】

他の実施形態によれば、各電極間隔の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延伸方向に沿って変化してもよい。例えば、第2の画素電極ストリップと第1の画素電極ストリップとが異なる方向に沿って延びるので、各電極間隔は、変化することができる。言い換えると、角度 α_1 と角度 α_2 は互いに異なっている。図3Aに示されるように、第2の画素電極360は、複数の第2の画素電極ストリップ、例えば361，362，363，364及び365を有し、且つ第1の画素電極370は、複数の第1の画素電極ストリップ371，372，373及び374（図3A及び図3Bでは、中間部に対し上半分部分における第1の画素電極ストリップ及び第2の画素電極ストリップのみに符号が付けられている）を有する。各第2の画素電極ストリップ及び各第1の画素電極ストリップは直線状である。第2の画素電極ストリップ361，362，363，364及び365は、互いに等距離に配置され、且つ第1の画素電極ストリップ371，372，373及び374も互いに等距離に配置されており

、各第1の画素電極ストリップは、第1の方向301に沿って延び、各第2の画素電極ストリップは、第2の方向302に沿って延びている。第2の方向302と第1の方向301とが異なることにより、第1の方向301と第2の方向302との間には鋭角 θ が形成される。従って、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとによって定義された8つの電極間隔の各電極間隔は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延伸方向に沿って変化する幅を有するようになっている。これによって、電極構造の各断面図では、各電極間隔の間の電極間隔比が異なるとともに、異なる断面図において、各電極間隔は電極ストリップに沿って幅が異なっているため、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。

10

【0038】

当業者であれば分かるように、図3A及び図3Bに示す通り、第1の画素電極ストリップと第2の画素電極ストリップが異なる方向に沿って延びる場合には、電極間隔Pの幅を、基準線Rと垂直し且つ第1の画素電極ストリップと第2の画素電極ストリップとの間に形成される距離として定義する。この基準線Rは、隣り合った第2の画素電極ストリップ362と第1の画素電極ストリップ372との間に介在されており、本実施形態では、基準線Rは直線である。本実施形態において、隣り合った第2の画素電極ストリップ362又は第1の画素電極ストリップ372の基準線Rに対する距離をdとした場合、電極間隔Pの幅は、 $P = 2 \times d$ である。基準線Rは、隣り合った第2の画素電極ストリップ362と第1の画素電極ストリップ372との間に位置され、且つ隣り合った第2の画素電極ストリップ362及び第1の画素電極ストリップ372は、基準線に対して対称となっている。図3A及び図3Bに示すように、例えば、基準線は同じ長さで順次配列され、且つ/又は互いに平行となっている。

20

【0039】

図4は、液晶表示装置の電極構造を示す他の実施形態である。図4に示すように、第2の画素電極460は、複数の第2の画素電極ストリップ461、462、463及び464を有し、且つ第1の画素電極470は、複数の第1の画素電極ストリップ471、472及び473を有する。第2の画素電極ストリップ461、462、463及び464が互いに不等距離であり、且つ第1の画素電極ストリップ471、472及び473も互いに不等距離である。また、各第1の画素電極ストリップは、第1の方向401に沿って延び、各第2の画素電極ストリップは、第2の方向402に沿って延びている。第2の方向402と第1の方向401とが異なることにより、第1の方向401と第2の方向402との間に介在された鋭角 θ が形成される。図4に示す通り、電極構造は、6つの電極間隔のみを有しているが、各電極間隔の幅は、互いに異なり且つ隣り合った電極ストリップの間の基準線の延伸方向に沿って連続的に変化するようになっている。隣り合った電極ストリップの間の電極間隔は変化に富み、且つこれら電極間隔は異なる幅を有しているため、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。

30

【0040】

もう1つの実施形態において、画素電極ストリップを異なるセグメントに分けることにより、各電極間隔の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間の基準線の延伸方向に沿って変化する。例えば、全ての第2の画素電極ストリップ及び第1の画素電極ストリップが2つのセグメントに分かれるので、各電極間隔は変化することが可能である。図5Aに示すように、第2の画素電極560は、複数の第2の画素電極ストリップ561、562、563、564及び565を有し、且つ第1の画素電極570は、複数の第1の画素電極ストリップ571、572、573及び574を有する。そして、第2の画素電極ストリップ561、562、563、564及び565と、第1の画素電極ストリップ571、572、573及び574は、セグメントA及びセグメントBにおいて、それぞれ第1の部分と第2の部分に分かれる。つまり、各第2の画素電極ストリップ及び各第1の画素電極ストリップは、階段状のストリップである。セグメントA及びセグメントBの各セグメントにおいて、第2の画素電極ストリ

40

50

ップ561, 562, 563, 564及び565と、第1の画素電極ストリップ571, 572, 573及び574とは、同じ方向に沿って延びるが、第1の画素電極ストリップ及び第2の画素電極ストリップが非連続構造であるため、隣り合った第1の画素電極ストリップ及び第2の画素電極ストリップに対して、セグメントAにおける各電極間隔の幅とセグメントBにおける各電極間隔の幅とが異なっている。従って、これらの隣り合った第1の画素電極ストリップ及び第2の画素電極ストリップにより定義された8つの電極間隔中の各電極間隔は、2つのセグメントにおいて、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線(図示されていない)の延伸方向に沿って変化する幅を有することになっている。つまり、各電極間隔は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延設方向に沿って非連続的に変化する。各第1の画素電極ストリップ571, 572, 573及び574について、第1の画素電極ストリップは、そのセグメントA及びセグメントBにおける第1の部分と第2の部分が、傾斜部Sによって互いに接続されることにより、階段状のストリップになっている。各第2の画素電極ストリップ561, 562, 563, 564及び565について、第2の画素電極ストリップは、そのセグメントA及びセグメントBにおける第1の部分と第2の部分も傾斜部Sによって接続されることにより、階段状のストリップになっている。従って、電極構造の各断面では、且つ異なるセグメントにおいて、電極間隔同士の間の電極間隔比が異なっている。このように、異なるセグメントにおける各電極間隔が異なっているため、液晶表示装置のグレースケールのガンマ曲線を最適化することが可能になる。

10

20

【0041】

図5Bに示すように、代替的な実施形態では、第2の画素電極560は、複数の第2の画素電極ストリップ561, 562, 563, 564及び565を有する。第1の画素電極570は、複数の第1の画素電極ストリップ571, 572, 573及び574を有する。また、第2の画素電極ストリップ561, 562, 563, 564及び565と、第1の画素電極ストリップ571, 572, 573及び574は、セグメントA及びセグメントBに分かれる。セグメントAにおいて、第2の画素電極ストリップ561, 562, 563, 564及び565と、第1の画素電極ストリップ571, 572, 573及び574は、第1の方向に沿って延びる。一方、セグメントBにおいて、第1の画素電極ストリップ571, 572, 573及び574は第2の方向に沿って延び、第2の画素電極ストリップ561, 562, 563, 564及び565は第3の方向に沿って延びて、第1の方向と第2の方向との間に鋭角 θ_1 を形成し、第1の方向と第3の方向との間に鋭角 θ_2 を形成する。従って、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとによって定義された8つの電極間隔の各電極間隔は、セグメントAにおいて、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延伸方向に沿って均一な幅を有し、セグメントBにおいては、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延伸方向に沿って変化する幅を有している。これによって、異なる電極構造の断面では、各電極間隔の電極間隔比が、セグメントAにおいては均一であるに対し、セグメントBにおいては異なっている。このように、異なるセグメントにおいて、電極ストリップに沿って各電極間隔が異なることにより、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。

30

40

【0042】

当業者であれば分かるように、図2乃至図5Bに示された電極構造は、対称した電極ストリップを有しているが、電極ストリップの位置はずれてもよい。これにより、電極間隔の多様性を増やすことが可能になる。例えば、図6A及び図6Bは、他の二つの実施形態に係る、液晶表示装置の交互に並ぶような電極構造実施形態を示している。

【0043】

図6Aに示すように、第2の画素電極660は、図面の上側において複数の第2の画素電極ストリップ661, 662, 663及び664を有し、且つ図面の下側において複数の第2の画素電極ストリップ665, 666, 667及び668を有する。また、第1の

50

画素電極 670 は、図面の上側において複数の第 1 の画素電極ストリップ 671, 672 及び 673 を有し、且つ図面の下側において複数の第 1 の画素電極ストリップ 675, 676 及び 677 を有する。全ての第 1 の画素電極ストリップと第 2 の画素電極ストリップは、互いに不等距離に配置され、且つ図面の上側に位置する第 1 の画素電極ストリップ 671, 672 及び 673 と、図面の下側に位置する第 1 の画素電極ストリップ 675, 676 及び 677 とは、互いにずれて配置されている。なお、全ての第 1 の画素電極ストリップ及び第 2 の画素電極ストリップは、いずれもセグメント A 及びセグメント B に分ける。セグメント A 及びセグメント B の各セグメントにおいて、第 1 の画素電極ストリップと第 2 の画素電極ストリップは同じ方向に沿って延びるが、第 1 の画素電極ストリップ及び第 2 の画素電極ストリップが非連続構造であるため、セグメント A における各電極間隔の幅とセグメント B における各電極間隔の幅とが異なっている。前述した各電極間隔とは、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間の距離である。図 6A に示す通り、電極構造は、12 つの電極間隔（図面上では各側に 6 つずつ）のみを有しているが、隣り合った第 1 の画素電極ストリップ及び第 2 の画素電極ストリップによって定義された各電極間隔は、2 つのセグメントにおいて、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間における基準線の延伸方向に沿って変化する幅を有し、且つ各電極間隔の幅が互いに異なっている。このように、隣り合った電極ストリップの間において変化に富む電極間隔を有し、且つこれらの電極ストリップ同士の間の電極間隔が異なる幅を有するので、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。

【0044】

同様に、図 6B に示すように、第 2 の画素電極 660 は、図面の上側において複数の第 2 の画素電極ストリップ 661, 662, 663 及び 664 を有し、且つ図面の下側において複数の第 2 の画素電極ストリップ 665, 666, 667 及び 668 を有している。また、第 1 の画素電極 670 は、図面の上側において複数の第 1 の画素電極ストリップ 671, 672 及び 673 を有し、且つ図面の下側において複数の第 1 の画素電極ストリップ 675, 676 及び 677 を有している。全ての第 2 の画素電極ストリップ及び第 1 の画素電極ストリップは、互いに不等距離に配置され、且つ図面の上側に位置する第 1 の画素電極ストリップ 671, 672 及び 673 と、図面の下側に位置する第 1 の画素電極ストリップ 675, 676 及び 677 は、互いにずれて配置されている。なお、全ての第 2 の画素電極ストリップ及び第 1 の画素電極ストリップは、いずれもセグメント A 及びセグメント B に分ける。セグメント A において、第 1 の画素電極ストリップと第 2 の画素電極ストリップは、図面の同じ側に同じ方向に沿って延びている。一方、セグメント B において、第 1 の画素電極ストリップと第 2 の画素電極ストリップは、セグメント A における電極ストリップに対し、異なる方向に沿って延びている。図 6B に示す通り、電極構造は 12 つの電極間隔（図面上では各側に 6 つずつ）のみを有しているが、隣り合った第 1 の画素電極ストリップ及び第 2 の画素電極ストリップによって定義された各電極間隔は、セグメント A において隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間に位置するのが均一な幅を有しているが、セグメント A において隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間に位置するのは、変化する幅を有し、且つ各電極間隔が異なっている。このようにすると、隣り合った電極ストリップの間の電極間隔が多変化する幅を有し、且つこれらの電極ストリップ同士の間に介在された電極間隔が異なる幅を有することにより、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。

【0045】

図 2 乃至図 6B に示された実施形態は、何れの実施形態の組み合わせによって理解することができる。例えば、図 7A 及び図 7B の第 1 の画素電極 770 の構造を示す 2 つの実施形態において、第 2 の画素電極 760 の全ての第 2 の画素電極ストリップと、第 1 の画素電極 770 の全ての第 1 の画素電極ストリップとが互いに不等距離に配置され、且つ全ての第 2 の画素電極ストリップ及び全ての第 1 の画素電極ストリップが 3 つのセグメント

A, B 及び C に分かれている。

【 0 0 4 6 】

図 7 A に示すように、セグメント A 及びセグメント C において、第 2 の画素電極ストリップ 7 6 1, 7 6 2, 7 6 3 及び 7 6 4 と、第 1 の画素電極ストリップ 7 7 1, 7 7 2 及び 7 7 3 は、同じ方向に沿って延びている。セグメント B において、第 1 の画素電極ストリップ 7 7 1, 7 7 2 及び 7 7 3 と、第 2 の画素電極ストリップ 7 6 1, 7 6 2, 7 6 3 及び 7 6 4 は、セグメント A 及びセグメント C における電極ストリップに対し、異なる方向に沿って延びている。図 7 B に示された電極構造は、図 7 A に示された電極構造と実質的に類似した構造であるが、相違点は、図面の上側に位置する第 1 の画素電極ストリップ 7 7 1, 7 7 2 及び 7 7 3 が、図面の下側に位置する第 1 の画素電極ストリップ 7 7 5, 7 7 6 及び 7 7 7 と互いにずれている点である。本実施形態では、各第 2 の画素電極ストリップ 7 6 1, 7 6 2, 7 6 3, 7 6 4, 7 6 5, 7 6 6, 7 6 7 及び 7 6 8 と、各第 1 の画素電極ストリップ 7 7 1, 7 7 2, 7 7 3, 7 7 5, 7 7 6 及び 7 7 7 は、曲線状のストリップ又は斜線状のストリップである。図 7 A 及び図 7 B に示す通り、電極構造は 1 2 つの電極間隔（図面上では各側に 6 つずつ）のみを有しているが、隣り合った第 1 の画素電極ストリップ及び第 2 の画素電極ストリップによって定義された各電極間隔は、3 つのセグメントにおいて、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとの間における基準線（図示されていない）の延伸方向に沿って変化する幅を有し、且つ各電極間隔の幅が互いに異なっている。このようにすると、隣り合った電極ストリップの多変化する電極間隔と、電極ストリップの間に形成された異なる電極間隔とによって、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。当業者であれば分かるように、図 2 乃至図 7 B に示された実施形態は、何れも垂直式の電極構造を有しているが、本発明は、あらゆる形式の電極構造に適用可能である。例えば、図 8 A 及図 8 B は、他の二つの実施形態に係る第 1 の画素電極の構造実施形態を示し、第 2 の画素電極 8 6 0 と第 1 の画素電極 8 7 0 は、水平電極構造に配置されている。図 8 A 及図 8 B に示すように、第 2 の画素電極 8 6 0 は、複数の第 2 の画素電極ストリップ、例えば 8 6 1 ~ 8 6 8 及び 8 6 1 a ~ 8 6 8 a を有する。第 1 の画素電極 8 7 0 は、複数の第 1 の画素電極ストリップ、例えば 8 7 1 ~ 8 7 8 及び 8 7 1 a ~ 8 7 8 a を有する。これらの第 2 の画素電極ストリップ 8 6 1 ~ 8 6 8 及び 8 6 1 a ~ 8 6 8 a と、第 1 の画素電極ストリップ 8 7 1 ~ 8 7 8 及び 8 7 1 a ~ 8 7 8 a とが、交互に並ぶように配置されることにより、その間に複数の電極間隔が定義されており、各電極間隔は、隣り合った第 1 の画素電極ストリップと第 2 の画素電極ストリップとによって定義される。第 1 の画素電極 8 7 0 は、さらに側部 8 7 9 b とリッジ部 8 7 9 を含む。リッジ部 8 7 9 は、側部 8 7 9 b からそれと垂直に延びている。また、各第 1 の画素電極ストリップが側部 8 7 9 b 及びリッジ部 8 7 9 のいずれかから延びることによって、各第 1 の画素電極ストリップとリッジ部 8 7 9 との間には、第 1 の角度 α_1 が定義される。本例示的な実施形態では、側部 8 7 9 b と、第 1 の画素電極ストリップ 8 7 1 ~ 8 7 8 及び 8 7 1 a ~ 8 7 8 a は、リッジ部 8 7 9 に対して対称に形成されている。なお、第 2 の画素電極 8 6 0 は、側部 8 6 9 b, 頂部 8 6 9 及び底部 8 6 9 a をさらに有する。この側部 8 6 9 b は、第 1 の末端と第 2 の末端とを有する。この第 2 の末端は第 1 の末端に対向する。頂部 8 6 9 及び底部 8 6 9 a はそれぞれ、側部 8 6 9 b の第 1 の末端及び第 2 の末端からそれらと垂直に延設されている。この第 2 の画素電極 8 6 0 の側部 8 6 9 b と第 1 の画素電極 8 7 0 の側部 8 7 9 b は、互いに平行に揃えられている。本実施形態では、各第 2 の画素電極ストリップが、側部 8 6 9 b, 頂部 8 6 9 及び底部 8 6 9 a のいずれかから、第 1 の画素電極 8 7 0 のリッジ部 8 7 9 に向かって延びており、これにより、各第 2 の画素電極ストリップと第 1 の画素電極 8 7 0 のリッジ部 8 7 9 との間には、第 2 の角度 α_2 が定義される。この例では、頂部 8 6 9, 底部 8 6 9 a, 側部 8 6 9 b, 第 2 の画素電極ストリップ 8 6 1 ~ 8 6 8 及び 8 6 1 a ~ 8 6 8 a が、第 1 の画素電極 8 7 0 のリッジ部 8 7 9 に対して対称に配置されている。図 8 A に示された電極構造は、図 2 に示された電極構造と似たものであり、全ての第 2 の画素電極ストリップ 8 6 1 ~ 8 6 8 と 8 6 1 a ~ 8 6 8 a, 及び第 1 の画素電極ストリップ

10

20

30

40

50

871～878と871a～878aが平行に配置されており、且つ電極間隔の幅が異なっている。本例示的な実施形態では、第1の角度 $\alpha 1$ が第2の角度 $\alpha 2$ と同一である。図8Bに示された電極構造は、図3Aに示された電極構造と似たものであり、第2の画素電極ストリップ861～868及び861a～868が一方方向に沿って延びており、第1の画素電極ストリップ871～878と871a～878aが異なる方向に沿って延びている。つまり、第1の角度 $\alpha 1$ と第2の角度 $\alpha 2$ が実質的に相異なることにより、複数の電極間隔が定義されており、これらの電極間隔は、隣り合った第2の画素電極ストリップと第1の画素電極との間における基準線の延伸方向に沿って変化する幅を有する。

【0047】

もう1つの実施形態では、第1の画素電極ストリップ及び第2の画素電極ストリップを複数の異なるセグメントに分けており、各セグメントにおいて、各電極間隔の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延伸方向に沿って変化してもよい。図9に示すように、第1の画素電極970は、複数の第1の画素電極ストリップ971、972及び973を有する。第2の画素電極960は、複数の第2の画素電極ストリップ961及び962を有する。本実施例では、隣り合った第1の画素電極ストリップと第2の画素電極ストリップがその間の基準線に相対してミラー構造（又は対称）を呈している。また、第1の画素電極ストリップ971、972及び973と第2の画素電極ストリップ961及び962は、それぞれ、セグメントA、B、C及びDにおいて、第1の部分、第2の部分、第3の部分及び第4の部分に分かれる。つまり、各第1の画素電極ストリップと第2の画素電極ストリップが鋸歯状のストリップである。従って、隣り合った第1の画素電極ストリップと第2の画素電極ストリップによって定義された4つの電極間隔中の各電極間隔は、セグメントA、B、C及びDにおいても、異なって変化する幅を有することになっている。例えば、第1の画素電極ストリップ971と第2の画素電極ストリップ961によって定義された電極間隔について、セグメントAにおける電極間隔の幅は、図面上の上から下に向かって徐々に狭くなっており、セグメントBにおける電極間隔の幅は、図面上の上から下に向かって徐々に広がっており、セグメントCにおける電極間隔の幅は、図面上の上から下に向かって徐々に狭くなっており、セグメントDにおける電極間隔の幅は、図面上の上から下に向かって徐々に広がっている。このように、異なるセグメントにおいて、電極ストリップの間の基準線の延伸方向に沿って、異なって変化する電極間隔を有するため、液晶表示装置のグレースケールのガンマ曲線を最適化することが可能になる。

【0048】

図2乃至図9に示された第1の画素電極の構造実施形態を、図1A及び図1Bに示されたVA-IPS構造又はTBA構造に応用することができる。図10A及び図10Bは、本発明の一実施形態における液晶表示装置1000を示す2つの部分断面図である。図10Aは、電圧無印加時の液晶表示装置1000の液晶の配列を示し、図10Bは、電圧印加時の液晶表示装置1000の液晶の配列を示している。本実施形態において、液晶表示装置1000は、TBA技術を用い、図1A及び図1Bに示された液晶表示装置100と類似した構成を含んでいる。図10A及び図10Bに示された構成において、図1A及び図1Bに示された構成と比べ、唯一の相違点は、各画素が対向電極1080を更に含んでいる点である。この対向電極1080は、第2の基板1020上に形成されている。一実施形態として、対向電極1080が第2の画素電極と電氣的に接続されており、電圧印加時に、対向電極1080と第2の画素電極ストリップ1062、1063及び1064には同じ電圧 V_{com} が印加される。本発明の別の実施形態として、対向電極1080が第1の画素電極と電氣的に接続されており、電圧印加時に、対向電極1080と第1の画素電極ストリップ1072及び1073には同じ電圧 V_{com} が印加される。本発明のもう1つ別の実施形態として、対向電極1080には、交流電圧又は直流電圧が印加される。図10A及び図10Bに示された実施形態では、液晶表示装置の他の構成、例えば液晶層1030、液晶1032、絶縁層1040、保護層1050及びその他の特徴が、図1A及び図1Bに示された実施形態における液晶表示装置と実質的に同一である。

【0049】

一実施形態では、交流電圧又は直流電圧を第2の画素電極に印加すると同時に、交流電圧を第1の画素電極にも印加する。他の実施形態では、交流電圧又は直流電圧を第1の画素電極に印加すると同時に、交流電圧を第2の画素電極にも印加する。

【0050】

当業者であれば分かるように、上述の実施形態を、あらゆる形式の液晶表示装置或いは相異なる画素配列を有するパネルに適用してもよい。例えば、図11aには、本発明の実施形態に係る実施形態例の液晶表示装置の画素配列が示されており、各画素は、例えば、図2乃至図7Bに示されたような、上述の垂直画素構造1110を有する。

【0051】

図11Aに示すように、画素配列は複数の垂直画素構造1110を有する。複数のゲート線1120は垂直画素構造1110と電氣的に接続されており、各画素の駆動信号を制御するために、複数の信号線1130は垂直画素構造1110と電氣的に接続されている。また、各垂直画素構造1110は、薄膜トランジスタ1140 (Thin-film transistor; TFT) を有する。駆動装置としての薄膜トランジスタ1140によって、対応するゲート線1120及び対応する信号線1130を介して、垂直画素構造1110における第1の画素電極及び第2の画素電極に供給する電圧を制御する。図11Bには、例示的な垂直画素構造1110が示され、この垂直画素構造1110は、ゲート線1120及び信号線1130と電氣的に接続されている。本例では、各第1の画素電極ストリップ1171は、ゲート線1120のうちのいずれか1つと第1の角度 α_1 をなす。なお、各第2の画素電極ストリップ1161は、ゲート線1120のうちのいずれか1つと第2の角度 α_2 をなす。第1の角度 α_1 と第2の角度 α_2 とは同一であっても実質的に相異なっているてもよい。図11Bに示される本例では、 $\alpha_1 = \alpha_2$ である。

【0052】

これ以外のあらゆる画素構造は、液晶表示装置やパネルに適用することができれば、本発明の電極構造にも適用される。例えば、図12A及び図12Bには、液晶表示装置における水平画素構造の画素配列が示されており、各画素は、以上開示されたような垂直画素構造1210を含み、例えば、図8A及び図8Bに開示されたものである。同様に、複数のゲート線1220は水平電極構造1210と電氣的に接続されており、且つ各水平画素構造1210の駆動信号を制御するために、複数の信号線1230は水平電極構造1210と電氣的に接続される。また、各水平電極構造1210は、薄膜トランジスタ1240を有する。駆動装置としての薄膜トランジスタ1240によって、ゲート線1220及び信号線1230を介して、水平電極構造1210における電極に供給する電圧を制御する。図12Bには、例示的な水平電極構造1210が示され、この水平電極構造1210は、対応するゲート線1220及び対応する信号線1230と電氣的に接続されている。図12Bに示す本例においては、各第1の画素電極ストリップ1271は、ゲート線1220のうちのいずれか1つと第1の角度 α_1 をなす。なお、各第2の画素電極ストリップ1261は、ゲート線1220のうちのいずれか1つと第2の角度 α_2 をなす。第1の角度 α_1 と第2の角度 α_2 とは同一であっても実質的に相異なっているてもよい。図12Bに示す本例には、 $\alpha_1 \neq \alpha_2$ である。

【0053】

要するに、本発明は、画素アレイを含む液晶表示装置に係るものである。この画素アレイは、複数の画素を有する。各画素は、第1の画素電極及び第2の画素電極を含む。第1の画素電極は、複数の第1の画素電極ストリップを有する。第2の画素電極は、複数の第2の画素電極ストリップを有する。第1の画素電極ストリップと第2の画素電極ストリップとが交互に並ぶように配置されることにより、その間に複数の電極間隔が定義される。各電極間隔は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間に定義されるものであり、所定の幅を有する。電極間隔のうち少なくとも1つの幅が、その他の電極間隔の幅と異なっている。なお、各電極間隔の幅は、隣り合った第1の画素電極ストリップと第2の画素電極ストリップとの間における基準線の延伸方向に沿って変化

10

20

30

40

50

する。隣り合った電極ストリップの間の電極間隔が変化に富む幅を有し、且つこれら電極ストリップの間の電極間隔が異なる幅を有することにより、液晶表示装置のグレースケールのガンマ曲線を最適化することができる。

【 0 0 5 4 】

上述の実施形態では、各画素は対向電極を更に含んでもよい。この対向電極は、第 2 の基板上に形成され、第 2 の画素電極又は第 1 の画素電極と電氣的に接続される。或いは、対向電極が交流電圧或いは直流電圧と電氣的に接続されてもよい。

【 0 0 5 5 】

上述の本発明の例示的实施形態に対する記述は、本発明の開示および記述にのみ用いられ、本発明に必要な全ての要素を含んでいるわけではなく、或いは本発明を上記開示の厳格な形式に限定しているわけでもない。本発明の教示により、本発明に対して各種の変更や修飾を加えることが可能となっている。

【 0 0 5 6 】

本発明が選択して記述した実施形態は、本発明の原則およびその実際応用を解釈するのに用いられ、当該分野の技術を熟知する他の者に対して、本発明および各実施形態を利用し各種変更に合わせて予定される各種特定用途を満足させようとしている。本発明の精神と範囲を逸脱しない限り、当該技術に熟知する他の者はその他の実施形態を実施することも可能である。それに応じて、本発明の範囲は添付された特許請求の範囲の記載を基準とされるべきであり、上述および例示的实施形態により定義されるべきではない。

【 符号の説明 】

【 0 0 5 7 】

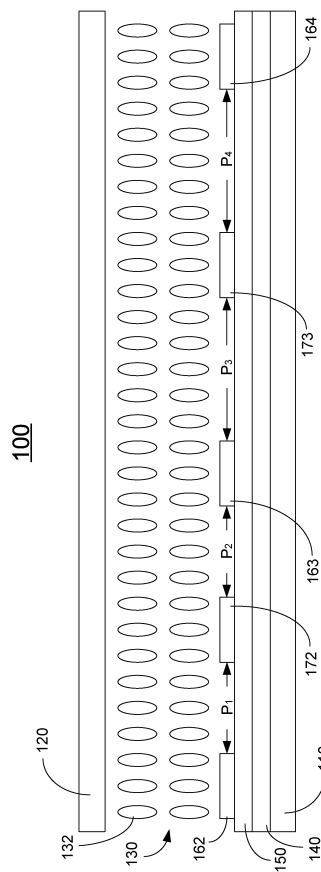
- 1 0 0 液晶表示装置
- 1 1 0 第 1 の基板
- 1 2 0 第 2 の基板
- 1 3 0 液晶層
- 1 3 2 液晶
- 1 4 0 絶縁層
- 1 5 0 保護層
- 1 6 2 , 1 6 3 , 1 6 4 第 2 の画素電極ストリップ
- 1 7 2 , 1 7 3 第 1 の画素電極ストリップ
- 2 6 0 第 2 の画素電極
- 2 6 1 , 2 6 2 , 2 6 3 , 2 6 4 , 2 6 5 , 2 6 1 , 2 6 2 a , 2 6 3 a , 2 6 4 a , 2 6 5 a 第 2 の画素電極ストリップ
- 2 6 6 頂部
- 2 6 6 a 底部
- 2 7 0 第 1 の画素電極
- 2 7 1 , 2 7 2 , 2 7 3 , 2 7 4 , 2 7 1 a , 2 7 2 a , 2 7 3 a , 2 7 4 a 第 1 の画素電極ストリップ
- 2 7 5 リッジ部
- 3 0 1 第 1 の方向
- 3 0 2 第 2 の方向
- 3 6 0 第 2 の画素電極
- 3 6 1 , 3 6 2 , 3 6 3 , 3 6 4 , 3 6 5 第 2 の画素電極ストリップ
- 3 7 0 第 1 の画素電極
- 3 7 1 , 3 7 2 , 3 7 3 , 3 7 4 第 1 の画素電極ストリップ
- 4 0 1 第 1 の方向
- 4 0 2 第 2 の方向
- 4 6 0 第 2 の画素電極
- 4 6 1 , 4 6 2 , 4 6 3 , 4 6 4 第 2 の画素電極ストリップ
- 4 7 0 第 1 の画素電極

4 7 1 , 4 7 2 , 4 7 3	第 1 の画素電極ストリップ	
5 6 0	第 2 の画素電極	
5 6 1 , 5 6 2 , 5 6 3 , 5 6 4 , 5 6 5	第 2 の画素電極ストリップ	
5 7 0	第 1 の画素電極	
5 7 1 , 5 7 2 , 5 7 3 , 5 7 4	第 1 の画素電極ストリップ	
6 6 0	第 2 の画素電極	
6 6 1 , 6 6 2 , 6 6 3 , 6 6 4 , 6 6 5 , 6 6 6 , 6 6 7 , 6 6 8	第 2 の画素電極ストリップ	
6 7 0	第 1 の画素電極	
6 7 1 , 6 7 2 , 6 7 3 , 6 7 5 , 6 7 6 , 6 7 7	第 1 の画素電極ストリップ	10
7 6 0	第 2 の画素電極	
7 6 1 , 7 6 2 , 7 6 3 , 7 6 4 , 7 6 5 , 7 6 6 , 7 6 7 , 7 6 8	第 2 の画素電極ストリップ	
7 7 0	第 1 の画素電極	
7 7 1 , 7 7 2 , 7 7 3 , 7 7 5 , 7 7 6 , 7 7 7	第 1 の画素電極ストリップ	
8 6 0	第 2 の画素電極	
8 6 1 , 8 6 2 , 8 6 3 , 8 6 4 , 8 6 5 , 8 6 6 , 8 6 7 , 8 6 8 , 8 6 1 a、8 6 2 a、8 6 3 a、8 6 4 a、8 6 5 a、8 6 6 a、8 6 7 a、8 6 8 a	第 2 の画素電極ストリップ	
8 6 9 b	側部	20
8 6 9 a	底部	
8 6 9	頂部	
8 7 0	第 1 の画素電極	
8 7 1 , 8 7 2 , 8 7 3 , 8 7 4 , 8 7 5 , 8 7 6 , 8 7 7 , 8 7 8 , 8 7 1 a , 8 7 2 a , 8 7 3 a , 8 7 4 a , 8 7 5 a , 8 7 6 a , 8 7 7 a , 8 7 8 a	第 1 の画素電極ストリップ	
8 7 9	リッジ部	
8 7 9 b	側部	
9 7 0	第 1 の画素電極	
9 7 1 , 9 7 2 , 9 7 3	第 1 の画素電極ストリップ	30
9 6 0	第 2 の画素電極	
9 6 1 , 9 6 2	第 2 の画素電極ストリップ	
1 0 0 0	液晶表示装置	
1 0 1 0	第 1 の基板	
1 0 2 0	第 2 の基板	
1 0 3 0	液晶層	
1 0 3 2	液晶	
1 0 4 0	絶縁層	
1 0 5 0	保護層	
1 0 6 2 , 1 0 6 3 , 1 0 6 4	第 2 の画素電極ストリップ	40
1 0 7 2 , 1 0 7 3	第 1 の画素電極ストリップ	
1 0 8 0	対向電極	
1 1 1 0	垂直画素構造	
1 1 2 0	ゲート線	
1 1 3 0	信号線	
1 1 4 0	薄膜トランジスタ	
1 1 6 1	第 2 の画素電極ストリップ	
1 1 7 1	第 1 の画素電極ストリップ	
1 2 1 0	垂直画素構造	
1 2 2 0	ゲート線	50

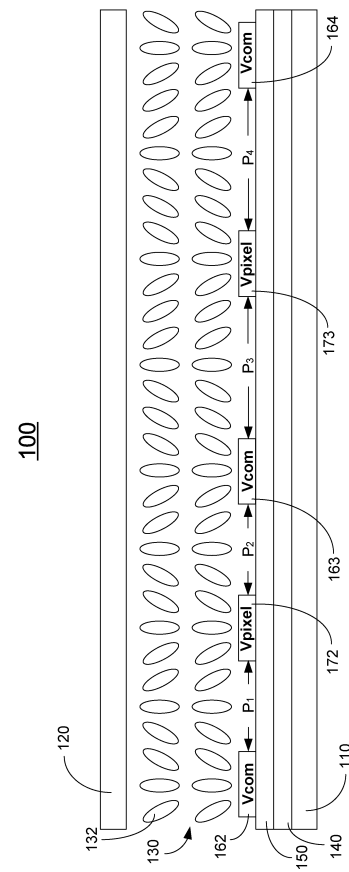
1 2 3 0 信号線
 1 2 4 0 薄膜トランジスタ
 1 2 6 1 第 2 の画素電極ストリップ
 1 2 7 1 第 1 の画素電極ストリップ
 A , B , C , D セグメント
 d 距離
 P , P₁ , P₂ , P₃ , P₄ , P₅ , P₆ , P₇ , P₈ 電極間隔
 R 基準線
 S 傾斜部
 a1 第 1 の角度
 a2 第 2 の角度
 θ , θ_1 , θ_2 鋭角

10

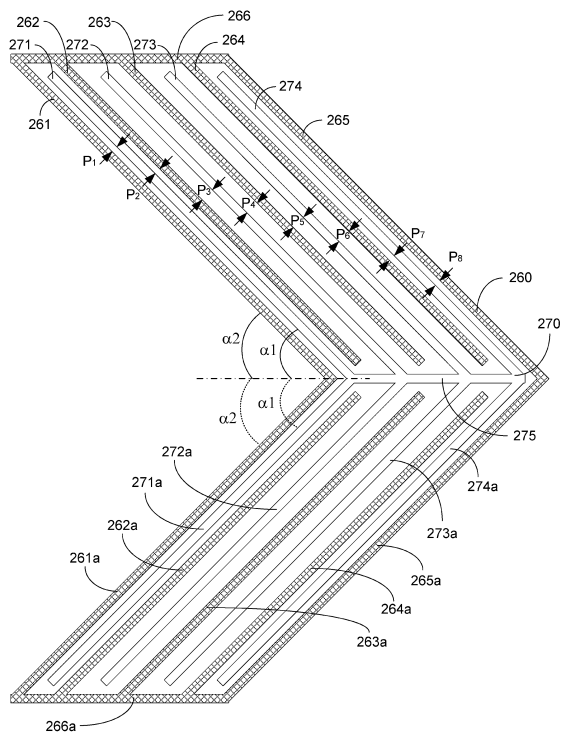
【図 1 A】



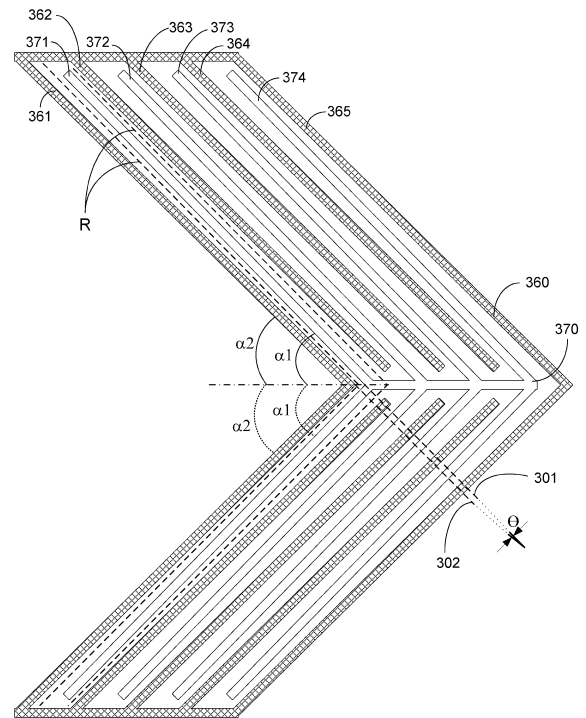
【図 1 B】



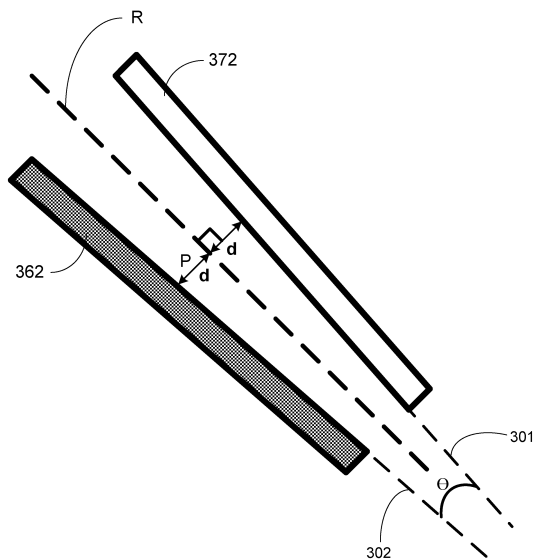
【図 2】



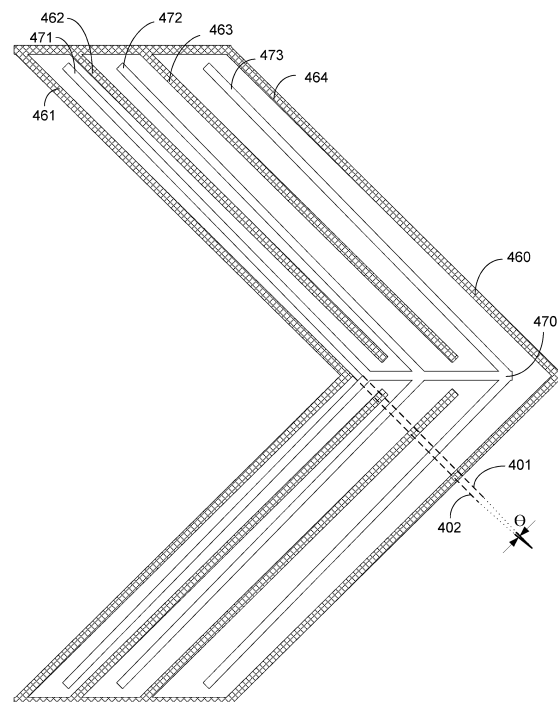
【図 3 A】



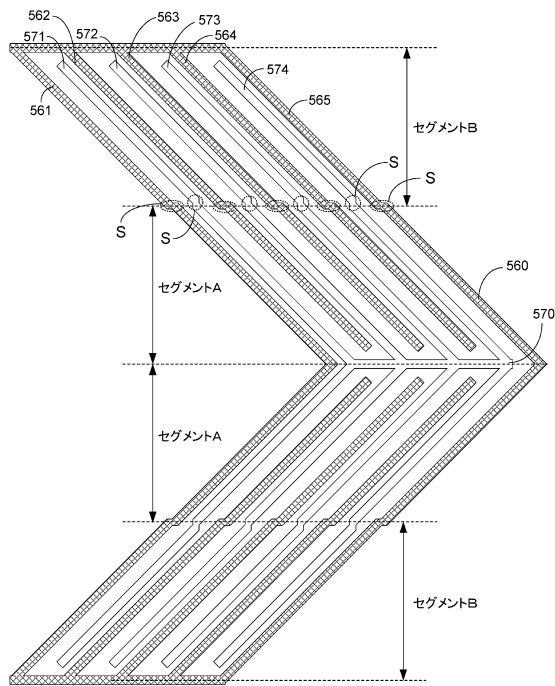
【図 3 B】



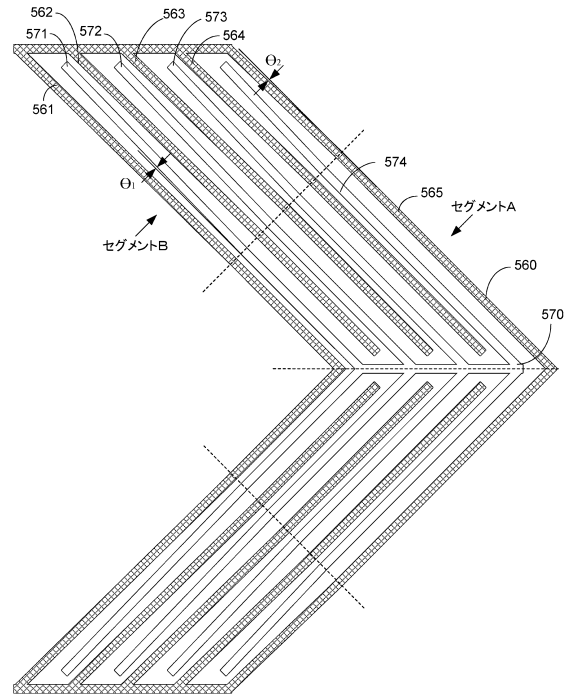
【図 4】



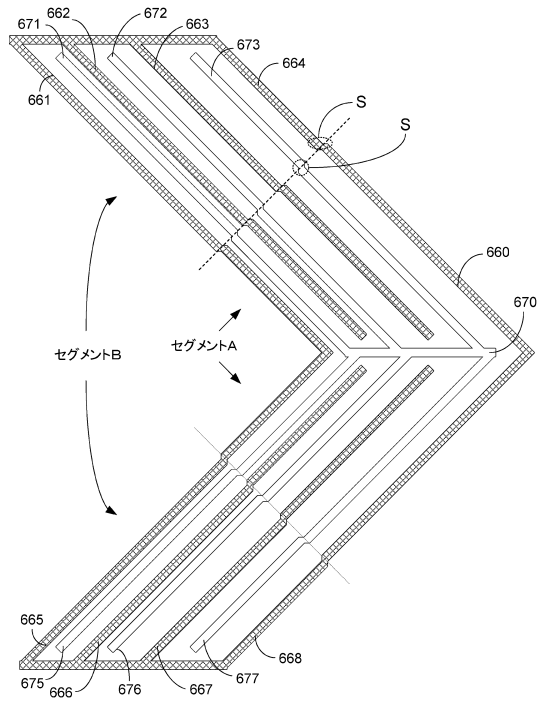
【図 5 A】



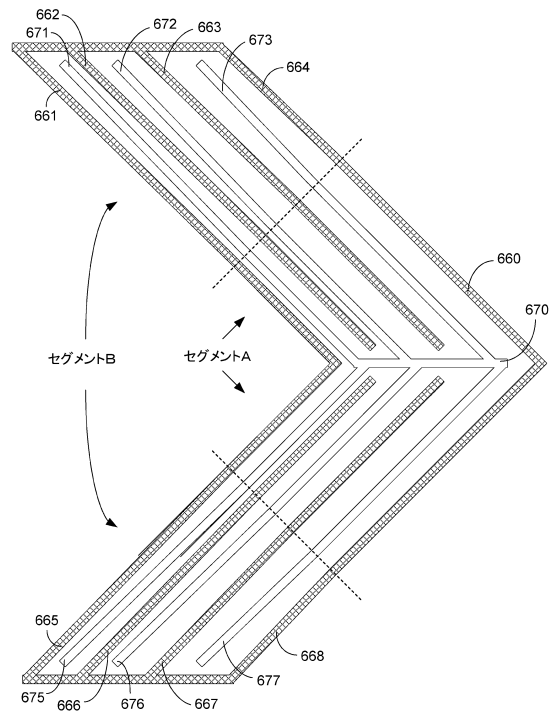
【図 5 B】



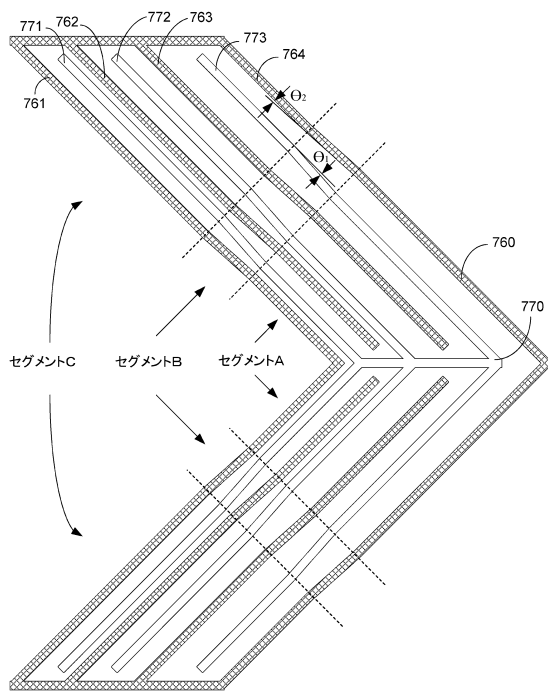
【図 6 A】



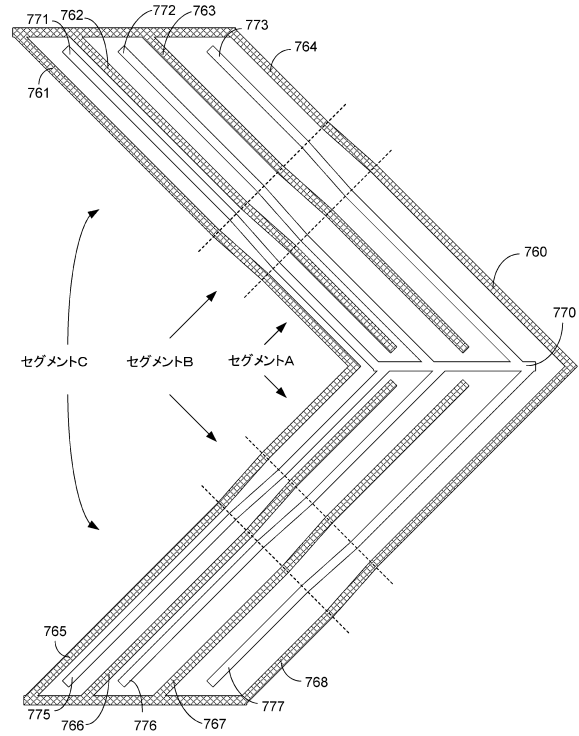
【図 6 B】



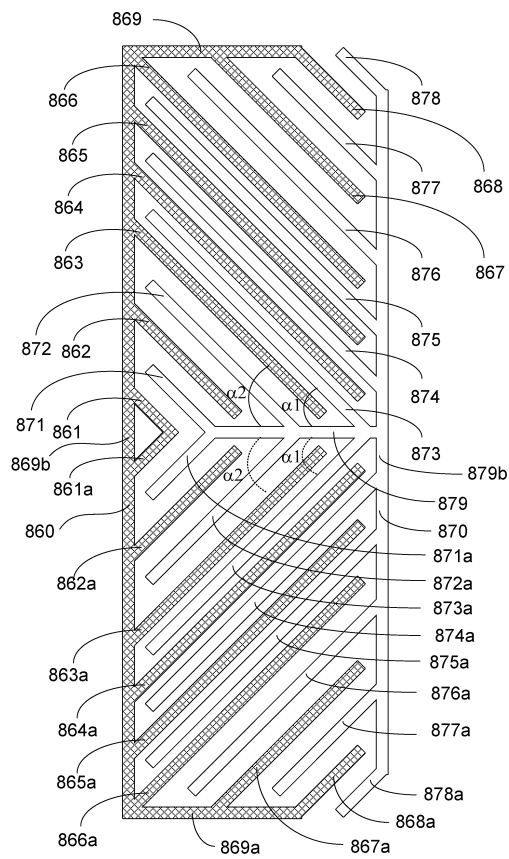
【図 7 A】



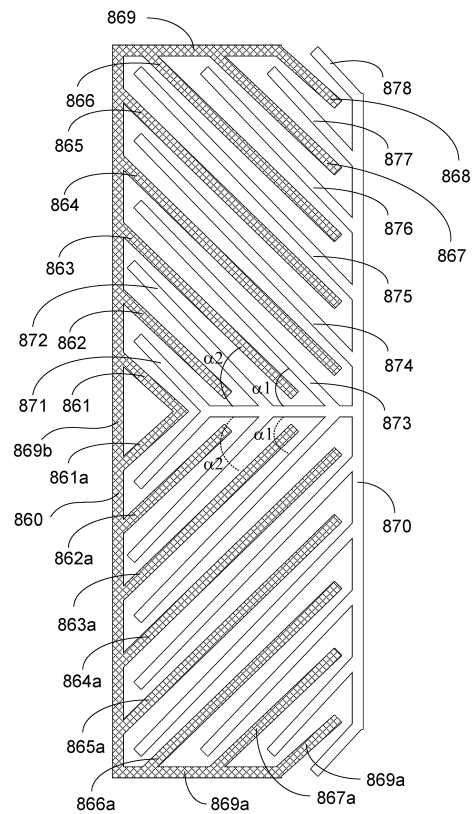
【図 7 B】



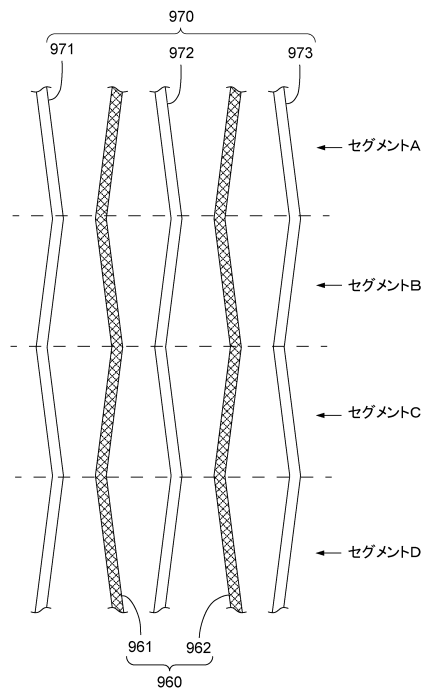
【図 8 A】



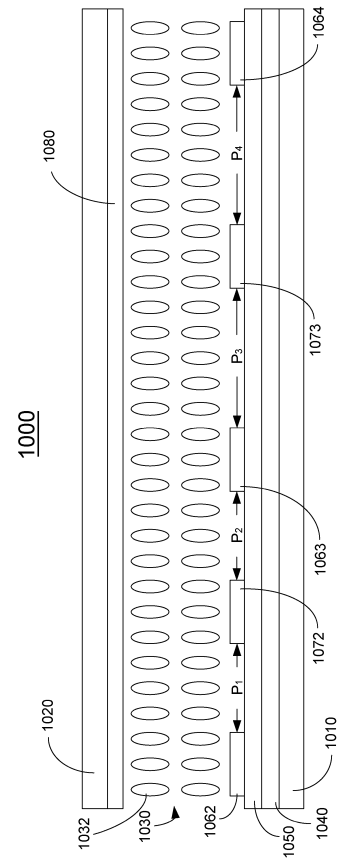
【図 8 B】



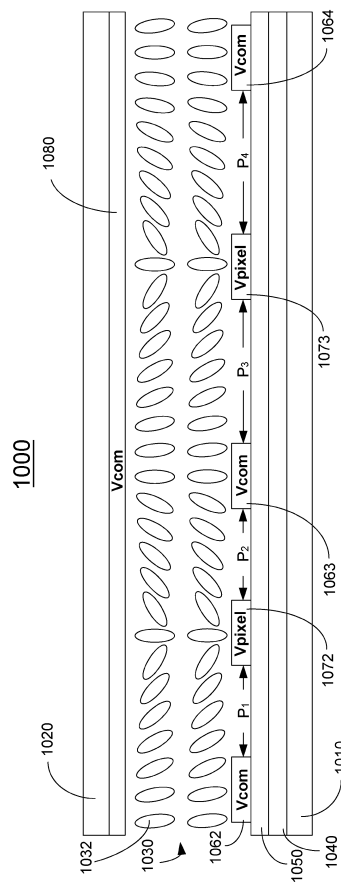
【図 9】



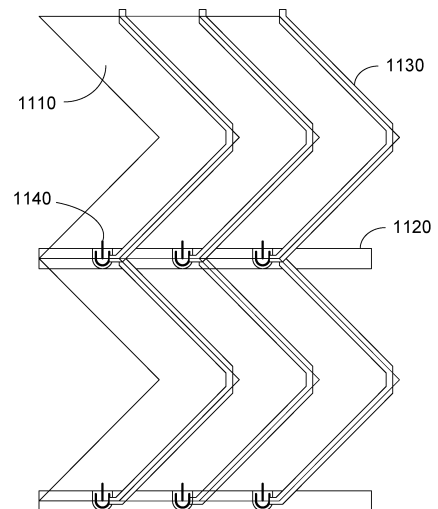
【図 10 A】



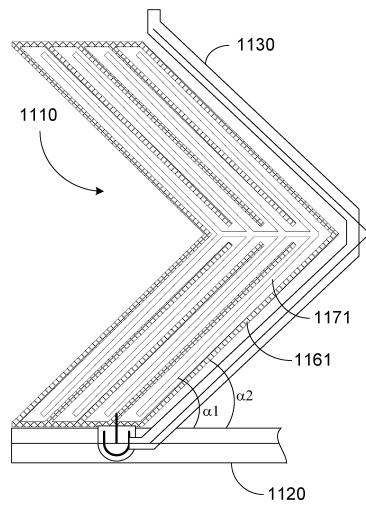
【図 10 B】



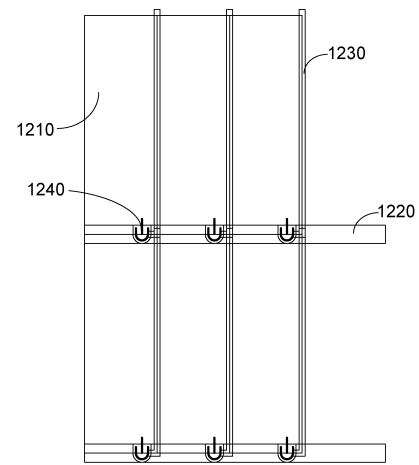
【図 11 A】



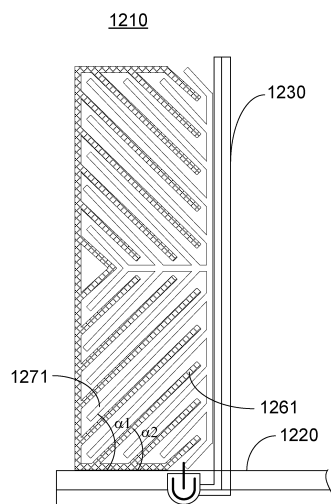
【図 1 1 B】



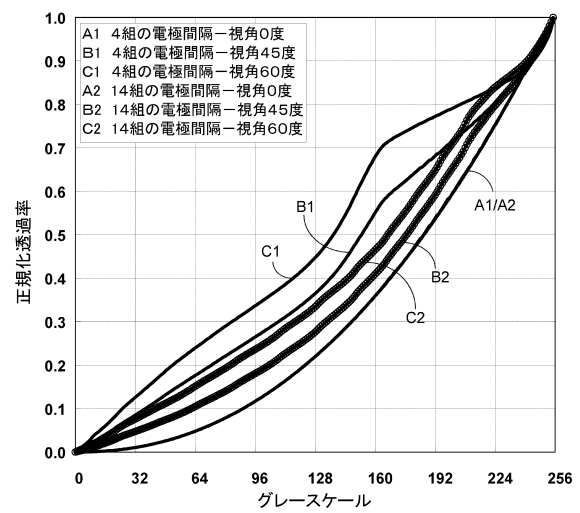
【図 1 2 A】



【図 1 2 B】



【図 1 3】



フロントページの続き

(72)発明者 丁 天倫

台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

(72)発明者 廖 乾煌

台湾新竹市科学工業園區力行二路1号 友達光電股▲ふん▼有限公司内

審査官 稲荷 宗良

(56)参考文献 国際公開第2010/137427(WO, A1)

国際公開第2011/040080(WO, A1)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1337

专利名称(译)	液晶表示装置		
公开(公告)号	JP5593373B2	公开(公告)日	2014-09-24
申请号	JP2012287062	申请日	2012-12-28
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
当前申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	陳冠宇 丁天倫 廖乾煌		
发明人	陳冠宇 丁天倫 廖乾煌		
IPC分类号	G02F1/1343 G02F1/1337		
CPC分类号	G02F1/133707 G02F1/134363 G02F2001/134318		
FI分类号	G02F1/1343 G02F1/1337.505		
F-TERM分类号	2H092/GA14 2H092/JB05 2H092/NA01 2H092/QA09 2H290/AA33 2H290/AA74 2H290/BA04 2H290/BB63 2H290/BB66 2H290/CA42 2H290/CA46		
优先权	13/346899 2012-01-10 US 101128791 2012-08-09 TW		
其他公开文献	JP2013142900A		
外部链接	Espacenet		

摘要(译)

摘要：要解决的问题：提供一种可以优化灰度伽马曲线的液晶显示装置。解决方案：在包括像素阵列的液晶显示装置中，像素阵列包括多个像素。每个像素包括第一像素电极和第二像素电极。第一像素电极包括多个第一电极条。第二像素电极包括多个第二电极条。通过在与第一电极条和第二电极条交叉的同时布置第一电极条和第二电极条，在第一电极条和第二电极条之间限定多个电极间隔。每个电极间隔由相邻的第一电极条和第二电极条限定，并且具有规定的宽度。在一个实施例中，至少一个电极间隔具有与其他电极间隔不同的宽度。在另一个实施例中，每个电极间隔的宽度在相邻的第一电极条和第二电极条之间存在的参考线的延伸方向上变化。

