

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5310759号  
(P5310759)

(45) 発行日 平成25年10月9日(2013.10.9)

(24) 登録日 平成25年7月12日(2013.7.12)

(51) Int.Cl.

F I

G O 2 F 1/1345 (2006.01)

G O 2 F 1/1345

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1368

請求項の数 14 (全 14 頁)

(21) 出願番号 特願2011-32967(P2011-32967)  
 (22) 出願日 平成23年2月18日(2011.2.18)  
 (62) 分割の表示 特願2005-371551(P2005-371551)  
                   の分割  
           原出願日 平成17年12月26日(2005.12.26)  
 (65) 公開番号 特開2011-95786(P2011-95786A)  
 (43) 公開日 平成23年5月12日(2011.5.12)  
           審査請求日 平成23年3月18日(2011.3.18)

(73) 特許権者 304053854  
                   エプソンイメージングデバイス株式会社  
                   長野県安曇野市豊科田沢6925  
 (74) 代理人 100095728  
                   弁理士 上柳 雅誉  
 (74) 代理人 100107261  
                   弁理士 須澤 修  
 (74) 代理人 100127661  
                   弁理士 宮坂 一彦  
 (72) 発明者 太田 昭雄  
                   長野県安曇野市豊科田沢6925 エプソ  
                   ンイメージングデバイス株式会社内  
 (72) 発明者 小林 修  
                   長野県安曇野市豊科田沢6925 エプソ  
                   ンイメージングデバイス株式会社内  
                   最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

第1絶縁基板と、第2絶縁基板と、両基板間に設けられた液晶とを備え、

前記第1絶縁基板上において、行列状に配置された複数の走査電極および複数の信号電極と、前記走査電極と前記信号電極との交点近傍に配置された複数の画素電極と、各走査電極と各信号電極と各画素電極に接続された各スイッチング素子と、前記第1絶縁基板上に配置された複数の第1共通電極と、各画素電極と各第1共通電極の間に接続された各補助コンデンサと、を備えた有効表示領域と、前記有効表示領域の外に位置する非表示領域と、を有する液晶表示装置であって、

前記第1絶縁基板の一端の辺側に配列された複数の端子と、

前記第1絶縁基板上の前記非表示領域には、前記複数の第1共通電極の一端が接続された第2共通電極と、を含み、

前記複数の端子は、複数の第1端子と複数の第2端子とを含み、

前記複数の第1端子のうち前記複数の第2端子に最も近い位置に配置された第1の第1端子は、前記複数の走査電極のうち第1の走査電極に接続され、

前記複数の第2端子のうち前記複数の第1端子に最も近い位置に配置された第1の第2端子は、前記複数の信号電極のうち第1の信号電極に接続され、

前記第2共通電極の一端は、前記第1の第1端子と前記第1の第2端子との間で引き出されていること、

を特徴とする液晶表示装置。

10

20

## 【請求項 2】

請求項 1 に記載の液晶表示装置において、

前記複数の第 1 端子は、さらに第 2 の第 1 端子を含み、

前記第 1 の第 1 端子は、前記第 2 の第 1 端子と前記第 1 の第 2 端子との間に配置され、

前記第 2 の第 1 端子は、前記複数の走査電極のうち第 2 の走査電極に接続されていること、

を特徴とする液晶表示装置。

## 【請求項 3】

請求項 2 に記載の液晶表示装置において、

前記第 2 の第 1 端子は、前記複数の第 1 端子のうち前記第 1 の第 1 端子に最も近い位置に配置されていること、

を特徴とする液晶表示装置。

## 【請求項 4】

前記複数の第 1 共通電極の他端が接続された第 3 共通電極を含み、

前記複数の端子は、さらに複数の第 3 端子を含み、

前記複数の第 2 端子は、前記複数の第 1 端子と前記複数の第 3 端子との間に配置され、

前記複数の第 3 端子のうち前記複数の第 2 端子に最も近い位置に配置された第 1 の第 3 端子は、前記複数の走査電極のうち第 3 の走査電極に接続され、

前記複数の第 2 端子のうち前記複数の第 3 端子に最も近い位置に配置された第 2 の第 2 端子は、前記複数の信号電極のうち第 2 の信号電極に接続され、

前記第 3 共通電極の一端は、前記第 1 の第 3 端子と前記第 2 の第 2 端子との間で引き出されていること、

を特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 5】

請求項 4 に記載の液晶表示装置において、

前記複数の第 3 端子は、さらに第 2 の第 3 端子を含み、

前記第 1 の第 3 端子は、前記第 2 の第 3 端子と前記第 2 の第 2 端子との間に配置され、

前記第 2 の第 3 端子は、前記複数の走査電極のうち第 4 の走査電極に接続されていること、

を特徴とする液晶表示装置。

## 【請求項 6】

請求項 5 に記載の液晶表示装置において、

前記第 2 の第 3 端子は、前記複数の第 3 端子のうち前記第 1 の第 3 端子に最も近い位置に配置されていること、

を特徴とする液晶表示装置。

## 【請求項 7】

前記第 2 共通電極は、前記非表示領域において、当該第 2 共通電極の前記一端と、前記第 2 共通電極の他端と、が接続された閉回路を構成していること、

を特徴とする請求項 1 に記載の液晶表示装置。

## 【請求項 8】

前記第 2 共通電極の前記一端と、前記第 3 共通電極の前記一端と、が接続線によって接続されていること、

を特徴とする請求項 4 に記載の液晶表示装置。

## 【請求項 9】

前記第 2 共通電極は、前記非表示領域において、当該第 2 共通電極の前記一端と、前記第 2 共通電極の他端と、が接続された閉回路を構成しているとともに、

前記第 3 共通電極は、前記非表示領域において、当該第 3 共通電極の前記一端と、前記第 3 共通電極の他端と、が接続された閉回路を構成していること、

を特徴とする請求項 4 に記載の液晶表示装置。

## 【請求項 10】

前記第 2 共通電極の他端と前記第 3 共通電極の他端とが、前記複数の走査電極に対して前記複数の端子と反対の側の前記非表示領域において共通線によって接続されており、前記第 2 共通電極と前記第 3 共通電極とによって閉回路を構成していること、

を特徴とする請求項 8 に記載の液晶表示装置。

【請求項 1 1】

前記第 2 共通電極の前記閉回路と、前記第 3 共通電極の前記閉回路と、が前記複数の端子が配列された側において接続線によって接続されていること、

を特徴とする請求項 9 に記載の液晶表示装置。

【請求項 1 2】

前記第 2 共通電極の前記閉回路と、前記第 3 共通電極の前記閉回路と、が前記複数の走査電極に対して前記複数の端子と反対の側の前記非表示領域において共通線によって接続されていること、

を特徴とする請求項 9 に記載の液晶表示装置。

【請求項 1 3】

前記複数の第 1 共通電極の他端が接続された第 3 共通電極を含み、

前記複数の端子は、さらに複数の第 3 端子を含み、

前記複数の第 2 端子は、前記複数の第 1 端子と前記複数の第 3 端子との間に配置され、

前記複数の第 3 端子のうち前記複数の第 2 端子に最も近い位置に配置された第 1 の第 3 端子は、前記複数の走査電極のうち第 3 の走査電極に接続され、

前記複数の第 2 端子のうち前記複数の第 3 端子に最も近い位置に配置された第 2 の第 2 端子は、前記複数の信号電極のうち第 2 の信号電極に接続され、

前記第 3 共通電極の一端は、前記第 1 の第 3 端子と前記第 2 の第 2 端子との間で引き出されており、前記第 2 共通電極の前記閉回路と、前記第 3 共通電極の前記一端と、が前記複数の端子が配列された側において接続線によって接続されていること、

を特徴とする請求項 7 に記載の液晶表示装置。

【請求項 1 4】

前記複数の第 1 共通電極の他端が接続された第 3 共通電極を含み、

前記複数の端子は、さらに複数の第 3 端子を含み、

前記複数の第 2 端子は、前記複数の第 1 端子と前記複数の第 3 端子との間に配置され、

前記複数の第 3 端子のうち前記複数の第 2 端子に最も近い位置に配置された第 1 の第 3 端子は、前記複数の走査電極のうち第 3 の走査電極に接続され、

前記複数の第 2 端子のうち前記複数の第 3 端子に最も近い位置に配置された第 2 の第 2 端子は、前記複数の信号電極のうち第 2 の信号電極に接続され、

前記第 3 共通電極の一端は、前記第 1 の第 3 端子と前記第 2 の第 2 端子との間で引き出され、

前記第 2 共通電極の前記閉回路と、前記第 3 共通電極の他端と、が前記複数の走査電極に対して前記複数の端子と反対の側の前記非表示領域において共通線によって接続されていること、

を特徴とする請求項 7 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に関する。

【背景技術】

【0002】

従来、この種の装置は例えば特許文献 1 に示されている。特許文献 1 において、複数の走査電極 1 および複数の信号電極 2 と、その交点近傍に位置する複数の画素電極 10 が配置されている。各走査電極 1 と各信号電極 2 と各画素電極 10 に接続された T F T 5 が設けられている。そして、複数の共通電極 6 と、各画素電極 6 との間に接続された各補助コンデンサ 13 が設けられている。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-162265号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記装置では、クロストークやフリッカが生じ易い、第1の欠点がある。本発明者がその原因を究明したところ、各共通電極6に接続された各補助コンデンサ13に印加される電圧が一定でなく、ばらついているからである事がわかった。その結果、各走査電極1に印加されるゲートパルスが立ち上がった後に、各画素電極に印加される電圧の特性がばらつくので、クロストークやフリッカが起こり易い事が分かった。

10

【0005】

そもそもの原因は、高精細とするためには、各画素30同士の隙間を大きくできないため、共通電極6の幅を10~20 $\mu$ mと、狭くせざるを得ない。そのため、共通電極6の先端近傍での電圧降下が大きいためである。

【0006】

この欠点を解消するために、本発明者は、各電極1, 2, 10の周囲に位置し、各共通電極6に接続された幅広の第2共通電極を設けた。そして、各走査電極1と、第2共通電極の交点においては、両電極の間に、SiN<sub>x</sub>からなる絶縁層を設けた。しかし、この交点におけるコンデンサ容量が大きく、電力消費量大きい、第2の欠点がある。

20

【0007】

更に、上記装置では、静電破壊の対策がなされていない、第3の欠点がある。そこで、本発明はこの様な従来の欠点を考慮して、クロストーク等が生じにくい、電力消費量が小さい、静電破壊を防止した、液晶表示装置を提供する。

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の液晶表示装置は、第1絶縁基板と、第2絶縁基板と、両基板間に設けられた液晶とを備え、前記第1絶縁基板上において、行列状に配置された複数の走査電極および複数の信号電極と、前記走査電極と前記信号電極との交点近傍に配置された複数の画素電極と、各走査電極と各信号電極と各画素電極に接続された各スイッチング素子と、前記第1絶縁基板上に配置された複数の第1共通電極と、各画素電極と各第1共通電極の間に接続された各補助コンデンサと、を備えた有効表示領域と、前記有効表示領域の外に位置する非表示領域と、を有する液晶表示装置であって、前記第1絶縁基板の一端の辺側に配列された複数の端子と、前記第1絶縁基板上の前記非表示領域には、前記複数の第1共通電極の一端が接続された第2共通電極と、を含み、前記複数の端子は、複数の第1端子と複数の第2端子とを含み、前記複数の第1端子のうち前記複数の第2端子に最も近い位置に配置された第1の第1端子は、前記複数の走査電極のうち第1の走査電極に接続され、前記複数の第2端子のうち前記複数の第1端子に最も近い位置に配置された第1の第2端子は、前記複数の信号電極のうち第1の信号電極に接続され、前記第2共通電極の一端は、前記第1の第1端子と前記第1の第2端子との間で引き出されていることを特徴とする。

30

40

また、上記液晶表示装置において、前記複数の第1端子は、さらに第2の第1端子を含み、前記第1の第1端子は、前記第2の第1端子と前記第1の第2端子との間に配置され、前記第2の第1端子は、前記複数の走査電極のうち第2の走査電極に接続されていることを特徴とする。

また、上記液晶表示装置において、前記第2の第1端子は、前記複数の第1端子のうち前記第1の第1端子に最も近い位置に配置されていることを特徴とする。

また、上記液晶表示装置において、前記複数の第1共通電極の他端が接続された第3共通電極を含み、前記複数の端子は、さらに複数の第3端子を含み、前記複数の第2端子は

50

、前記複数の第1端子と前記複数の第3端子との間に配置され、前記複数の第3端子のうち前記複数の第2端子に最も近い位置に配置された第1の第3端子は、前記複数の走査電極のうち第3の走査電極に接続され、前記複数の第2端子のうち前記複数の第3端子に最も近い位置に配置された第2の第2端子は、前記複数の信号電極のうち第2の信号電極に接続され、前記第3共通電極の一端は、前記第1の第3端子と前記第2の第2端子との間で引き出されていることを特徴とする。

また、上記液晶表示装置において、前記複数の第3端子は、さらに第2の第3端子を含み、前記第1の第3端子は、前記第2の第3端子と前記第2の第2端子との間に配置され、前記第2の第3端子は、前記複数の走査電極のうち第4の走査電極に接続されていることを特徴とする。

10

また、上記液晶表示装置において、前記第2の第3端子は、前記複数の第3端子のうち前記第1の第3端子に最も近い位置に配置されていることを特徴とする。

また、上記液晶表示装置において、前記第2共通電極は、前記非表示領域において、当該第2共通電極の前記一端と、前記第2共通電極の他端と、が接続された閉回路を構成していることを特徴とする。

また、上記液晶表示装置において、前記第2共通電極の前記一端と、前記第3共通電極の前記一端と、が接続線によって接続されていることを特徴とする。

また、前記第2共通電極は、前記非表示領域において、当該第2共通電極の前記一端と、前記第2共通電極の他端と、が接続された閉回路を構成しているとともに、前記第3共通電極は、前記非表示領域において、当該第3共通電極の前記一端と、前記第3共通電極の他端と、が接続された閉回路を構成していることを特徴とする。

20

また、上記液晶表示装置において、前記第2共通電極の他端と前記第3共通電極の他端とが、前記複数の走査電極に対して前記複数の端子と反対の側の前記非表示領域において共通線によって接続されており、前記第2共通電極と前記第3共通電極とによって閉回路を構成していることを特徴とする。

また、上記液晶表示装置において、前記第2共通電極の前記閉回路と、前記第3共通電極の前記閉回路と、が前記複数の端子が配列された側において接続線によって接続されていることを特徴とする。

また、上記液晶表示装置において、前記第2共通電極の前記閉回路と、前記第3共通電極の前記閉回路と、が前記複数の走査電極に対して前記複数の端子と反対の側の前記非表示領域において共通線によって接続されていることを特徴とする。

30

また、上記液晶表示装置において、前記複数の第1共通電極の他端が接続された第3共通電極を含み、前記複数の端子は、さらに複数の第3端子を含み、前記複数の第2端子は、前記複数の第1端子と前記複数の第3端子との間に配置され、前記複数の第3端子のうち前記複数の第2端子に最も近い位置に配置された第1の第3端子は、前記複数の走査電極のうち第3の走査電極に接続され、前記複数の第2端子のうち前記複数の第3端子に最も近い位置に配置された第2の第2端子は、前記複数の信号電極のうち第2の信号電極に接続され、前記第3共通電極の一端は、前記第1の第3端子と前記第2の第2端子との間で引き出されており、前記第2共通電極の前記閉回路と、前記第3共通電極の前記一端と、が前記複数の端子が配列された側において接続線によって接続されていることを特徴とする。

40

また、上記液晶表示装置において、前記複数の第1共通電極の他端が接続された第3共通電極を含み、前記複数の端子は、さらに複数の第3端子を含み、前記複数の第2端子は、前記複数の第1端子と前記複数の第3端子との間に配置され、前記複数の第3端子のうち前記複数の第2端子に最も近い位置に配置された第1の第3端子は、前記複数の走査電極のうち第3の走査電極に接続され、前記複数の第2端子のうち前記複数の第3端子に最も近い位置に配置された第2の第2端子は、前記複数の信号電極のうち第2の信号電極に接続され、前記第3共通電極の一端は、前記第1の第3端子と前記第2の第2端子との間で引き出され、前記第2共通電極の前記閉回路と、前記第3共通電極の他端と、が前記複数の走査電極に対して前記複数の端子と反対の側の前記非表示領域において共通線によ

50

て接続されていることを特徴とする。

【発明の効果】

【0013】

上記の様に、各走査電極と第2共通電極の交点において、第1絶縁層および第2絶縁層を積層することにより、上記交点近傍でのコンデンサ容量は、従来に比べ、極めて小さくなる。その結果として、上記交点部分における電力ロス（電力消費量）は極めて小さくなる。

【0014】

上記の様に、各走査電極と列電極の交点において、第1絶縁層および第2絶縁層を積層することにより、上記交点近傍でのコンデンサ容量は、従来に比べ、極めて小さくなる。その結果として、上記交点部分における電力ロス（電力消費量）は極めて小さくなる。また、請求項2の構成により、静電破壊を防止できる。

10

【0015】

上記の様に、各第1共通電極と列電極の交点において、第1絶縁層および第2絶縁層を積層することにより、上記交点近傍でのコンデンサ容量は、従来に比べ、極めて小さくなる。その結果として、上記交点部分における電力ロス（電力消費量）は極めて小さくなる。また、請求項3の構成により、静電破壊を防止できる。

【0016】

上記の様に、各第1共通電極に接続され、共通電圧が供給され、閉回路とされた第2共通電極を設ける事により、各第1共通電極の各部分における電圧降下が小さくなる。その結果、各第1共通電極に接続された各補助コンデンサの印加電圧が略一定となり、クロストークやフリッカの発生を防止できる。

20

【0017】

上記の様に、各交点部分における第1絶縁層および第2絶縁層の具体的構成は、スイッチング素子の構成と同一になる。故に、スイッチング素子と各交点部分は、同一の製造プロセスにて成膜されるので、製造コストが安い。

【図面の簡単な説明】

【0018】

【図1】本発明の実施例に係る液晶表示装置1の部分断面図である。

30

【図2】液晶表示装置1の電気回路図である。

【図3】図2のA部詳細図である。

【図4】図3のB-B断面図である。

【図5】図3のC-C断面図である。

【図6】図3のD-D断面図である。

【図7】図3のE-E断面図である。

【発明を実施するための形態】

【0019】

以下に、本発明を実施するための最良の形態を、実施例及び図面を用いて詳細に説明する。以下の実施例は、本発明の技術思想を具体化するための液晶表示装置の一例を例示するものである。本発明は、特許請求の範囲に示した技術思想を逸脱することなく、種々の変更を行ったものにも、均しく適用し得る。

40

【実施例】

【0020】

以下、図1ないし図3に従い、本実施例に係る液晶表示装置1を説明する。図1は液晶表示装置1の部分断面図である。図2は液晶表示装置1の電気回路図である。図3は図2のA部詳細図である。

【0021】

図1において、液晶表示装置1は、第1絶縁基板2と、第2絶縁基板3と、両基板2, 3間に設けられた液晶4等を有している。第1絶縁基板2および第2絶縁基板3は例えば

50

ガラス板等からなる。第 1 絶縁基板 2 上において、配線 2 a と、ドレイン 2 b 等が形成され、その上に第 1 絶縁層 2 c が形成されている。ドレイン 2 b と導通して、第 1 絶縁層 2 c 上に画素電極 1 0 が形成され、その上に配向膜 7 が形成されている。

【 0 0 2 2 】

第 2 絶縁基板 3 の背面には、カラーフィルタ層 5 と、ブラックマトリクス 5 a と、共通電極 6 と、配向膜 7 等が形成されている。カラーフィルタ層 5 は例えば、R , G , B の各フィルタがストライプ状に順に、繰り返し、配置されたものである。液晶 4 はシール剤 4 a により封止されている。

【 0 0 2 3 】

図 2 において、第 1 絶縁基板 2 上において、行列状に、複数の走査電極 8 と、複数の信号電極 9 が形成されている。

10

【 0 0 2 4 】

信号電極 9 は、図 1 の上から順に、s 1 , s 2 , ... s 5 2 7 , s 5 2 8 で示されたものである。走査電極 8 は、図 1 の右から順に、g 1 , ... g 1 1 0 , g 2 2 0 , ... g 1 1 1 で示したものである。

【 0 0 2 5 】

複数の画素電極 1 0 は、各走査電極 8 と、各信号電極 9 の交点近傍に配置されている。各スイッチング素子 1 1 は、各走査電極 8 と、各信号電極 9 と、各画素電極 1 0 に接続されている。

【 0 0 2 6 】

20

各スイッチング素子 1 1 は例えば、T F T ( 薄膜トランジスタ ) 等からなる。各スイッチング素子 1 1 のソースは各信号電極 9 に接続されている。各スイッチング素子 1 1 のゲートは各走査電極 8 に接続されている。各スイッチング素子 1 1 のドレインは、各画素電極 1 0 に接続されている。

【 0 0 2 7 】

複数の第 1 共通電極 C 1 , ... C 1 1 0 , C 2 2 0 , ... C 1 1 1 は、第 1 絶縁基板 2 上に配置されている。各第 1 共通電極 C 1 , ... C 1 1 0 , C 2 2 0 , ... C 1 1 1 は、走査電極 g 1 , ... g 1 1 0 , g 2 2 0 , ... g 1 1 1 に隣接して配置されている。

【 0 0 2 8 】

各補助コンデンサ 1 2 は、各画素電極 1 0 と、各第 1 共通電極 C 1 ~ C 2 2 0 との間に接続されている。

30

【 0 0 2 9 】

即ち、図 3 に示す様に、第 1 絶縁基板 2 上に第 1 共通電極 C 1 1 1 ~ 1 1 4 が形成されている。第 1 共通電極 C 1 1 1 ~ 1 1 4 上に、第 1 絶縁層 2 c が形成されている。

【 0 0 3 0 】

画素電極 1 0 は、第 1 絶縁層 2 c 上に形成されている。これらの第 1 共通電極 C 1 1 1 ~ 1 1 4 と、第 1 絶縁層 2 c と、画素電極 1 0 とにより、各補助コンデンサ 1 2 が形成されている。

【 0 0 3 1 】

第 2 共通電極 1 3 は、第 1 絶縁基板 2 上の、第 1 絶縁層 2 c 上に形成され、各第 1 共通電極 C 1 ~ C 2 2 0 に接続され、閉回路として構成されている。

40

【 0 0 3 2 】

第 2 共通電極 1 3 は、入力端子 1 8 を介して、共通電圧 ( 例えば、直流 5 ボルト ) が供給される。

【 0 0 3 3 】

第 2 共通電極 1 3 は例えばアルミニウム等からなる。第 2 共通電極 1 3 は、第 1 絶縁基板 2 上の、第 1 絶縁層 2 c の上に、例えば、厚さが 2 0 0 0 オングストローム、幅が 1 0 0 μ m ないし 5 0 0 μ m にて形成されている。

【 0 0 3 4 】

第 2 共通電極 1 3 は、幅が 1 0 0 μ m 以上になると、第 1 共通電極 C 1 ~ C 2 2 0 にお

50

ける電圧降下が減ることにより、実用上、差し支えない程度に、クロストークやフリッカの発生を防止できる。

【 0 0 3 5 】

また、第 2 共通電極 1 3 は、幅が 5 0 0  $\mu$  m を越えても、幅が 5 0 0  $\mu$  m の時と、上記電圧降下値は変わらない。従って、第 2 共通電極 1 3 は、幅が 1 0 0  $\mu$  m ないし 5 0 0  $\mu$  m が望ましい。

【 0 0 3 6 】

第 3 共通電極 1 7 は第 1 絶縁基板 2 上の、第 1 絶縁層 2 c の上に、第 2 共通電極 1 3 と離れて配置されている。例えば、第 2 共通電極 1 3 は、第 1 絶縁基板 2 の 1 辺近傍に配置されている。第 3 共通電極 1 7 は、上記 1 辺に対向する位置にある第 1 絶縁基板 2 の他辺近傍に配置されている。

10

【 0 0 3 7 】

第 3 共通電極 1 7 は、各第 1 共通電極 C 1 ~ C 2 2 0 に接続され、閉回路として構成されている。

【 0 0 3 8 】

第 3 共通電極 1 7 は、入力端子 1 4 , 1 5 , 1 6 を介して、共通電圧（例えば、直流 5 ボルト）が供給されている。

【 0 0 3 9 】

第 3 共通電極 1 7 は、例えばアルミニウム等からなる。第 3 共通電極 1 7 は、第 1 絶縁層 2 c 上に、例えば、厚さが 2 0 0 0 オングストローム、幅が 1 0 0  $\mu$  m ないし 5 0 0  $\mu$  m にて形成されている。

20

【 0 0 4 0 】

第 3 共通電極 1 7 の幅は、1 0 0  $\mu$  m ないし 5 0 0  $\mu$  m が望ましい理由は、第 2 共通電極 1 3 と同じである。

【 0 0 4 1 】

接続線 1 9 は、第 2 共通電極 1 3 と、第 3 共通電極 1 7 とを電氣的接続させるものである。接続線 1 9 は、I C 2 0 内の絶縁基板（図示せず）上に、厚さが 2 0 0 0 オングストローム、幅が 1 0 0  $\mu$  m ないし 5 0 0  $\mu$  m のアルミニウムにて形成されている。

【 0 0 4 2 】

第 1 共通電極 C 1 ~ C 2 2 0 及び / 又は第 2 共通電極 1 3 及び / 又は第 3 共通電極 1 7 は、第 2 絶縁基板 3 の背面に設けられた共通電極 6 に電氣的接続されている。

30

【 0 0 4 3 】

I C 2 0 を構成する走査駆動部 4 3 の各出力端子 G D 1 ~ G 1 1 0 は行電極 2 3、走査電極 g 1 ~ g 1 1 0 に接続され、各々、電極 2 3 , g 1 ~ g 1 1 0 を駆動する。

【 0 0 4 4 】

I C 2 0 を構成する走査駆動部 4 4 の各出力端子 G D 3 ~ G 2 2 0 は行電極 2 2、走査電極 g 1 1 1 ~ g 2 2 0 に接続され、各々、電極 2 2 , g 1 1 1 ~ g 2 2 0 を駆動する。

【 0 0 4 5 】

I C 2 0 を構成する信号駆動部 4 5 の各出力端子 S 1 ~ S 5 2 8 は、信号電極 s 1 ~ s 5 2 8 に接続され、各々、信号電極 s 1 ~ s 5 2 8 を駆動する。

40

【 0 0 4 6 】

以下に、本発明の特徴をまとめる。第 1 の特徴は、第 1 絶縁基板 2 と、第 2 絶縁基板 3 と、両基板間に設けられた液晶 4 とを備え、第 1 絶縁基板上 2 において、行列状に配置された複数の走査電極 8 および複数の信号電極 9 と、走査電極 8 と信号電極 9 との交点近傍に配置された複数の画素電極 1 0 が設けられている。そして、各走査電極 8 と各信号電極 9 と各画素電極 1 0 に接続された各スイッチング素子 1 1 と、第 1 絶縁基板 2 上に配置された複数の第 1 共通電極 C 1 ~ C 2 2 0 と、各画素電極 1 0 と各第 1 共通電極 C 1 ~ C 2 2 0 との間に接続された各補助コンデンサ 1 2 が設けられている。そして、各第 1 共通電極 C 1 ~ C 2 2 0 に接続され、共通電圧が供給され、閉回路とされた第 2 共通電極 1 3 とが設けられている。

50

## 【 0 0 4 7 】

第2の特徴は、第1絶縁基板2上に、第2共通電極13と離れて配置され、各第1共通電極C1～C220に接続され、共通電圧が供給され、閉回路とされた第3共通電極17が設けられている。

## 【 0 0 4 8 】

第3の特徴は、第2共通電極13と、第3共通電極17とを電氣的接続させた構成である。

## 【 0 0 4 9 】

第4の特徴は、第2絶縁基板3の背面に共通電極7が配置され、第1共通電極C1～C220及び/又は第2共通電極13及び/又は第3共通電極17が、共通電極7に電氣的接続された構成である。

10

## 【 0 0 5 0 】

第5の特徴は、第2共通電極13および第3共通電極17の各幅が、100μmないし500μmである事である。以上で、本発明の特徴の説明を終わる。

## 【 0 0 5 1 】

共通線21は、走査電極g111の左側に形成されている。行電極22は共通線21の左側に形成されている。

## 【 0 0 5 2 】

第1共通電極C1の右側には順に、行電極23、共通線24、25、26、27が形成されている。共通線24～27は、第2共通電極13と、第3共通電極17との間に接続されている。

20

## 【 0 0 5 3 】

信号電極s1の上側には順に、列電極28、29、30が形成されている。信号電極s528の下側には順に、列電極31、32、33が形成されている。

## 【 0 0 5 4 】

スイッチング素子11は、各電極22、g111、...g1、23と、各列電極29、28と、各画素電極10とに接続されている。

## 【 0 0 5 5 】

各補助コンデンサ12は、各画素電極10と、共通線21と、第1共通電極C111、...C1と、共通線24との間に形成されている。

30

## 【 0 0 5 6 】

同様に、スイッチング素子11は、各電極22、g111、...g1、23と、列電極31と、各画素電極10とに接続されている。各補助コンデンサ12は、各画素電極10と、共通線21と、第1共通電極C111、...C1と、共通線24との間に形成されている。

## 【 0 0 5 7 】

この様に、走査電極g1～g220と、信号電極s1～s220と、画素電極10に接続された各TFTを有する画素34は、有効表示領域である。

## 【 0 0 5 8 】

また、上記画素34を外れた、各TFTを有する画素35は、非表示領域である。この非表示領域は、表示領域が、入力された画像データを正確に表示するために必要である。

40

## 【 0 0 5 9 】

静電破壊防止素子36は、行電極23および走査電極g1～g110と、列電極30との間に接続されている。静電破壊防止素子36は、走査電極g1～g110から列電極30を介して、第2共通電極13へ、静電気で生じた電流を流すものである。また、上記流れとは、逆の流れ方もある。

## 【 0 0 6 0 】

静電破壊防止素子37は、行電極22および走査電極g111～g220と、列電極33との間に接続されている。静電破壊防止素子37は、走査電極g111～g220から列電極33を介して、第3共通電極17へ、静電気で生じた電流を流すものである。また

50

、上記流れとは、逆の流れ方もある。

【0061】

保護ダイオード38は、列電極29、28および信号電極s1～s528および列電極31、32と、共通線26との間に接続されている。保護ダイオード38は、信号電極s1～s528から共通線26を介して、第2共通電極13および第3共通電極17へ、静電気で生じた電流を流すものである。また、上記流れとは、逆の流れ方もある。

【0062】

上記内容をまとめる。第2共通電極13と、信号電極s1～s528との間に位置し、第2共通電極13の近傍に、列電極33が設けられている。列電極33と、各走査電極g111～g220との間に、各静電破壊防止素子37が設けられている。

10

【0063】

また、第3共通電極17と、信号電極s1～s528との間に位置し、第3共通電極17の近傍に、列電極30が設けられている。列電極30と、各走査電極g1～g110との間に、各静電破壊防止素子36が設けられている。

【0064】

次に、図1ないし図4に従い、本液晶表示装置1の第6の特徴を説明する。図4は図3のB-B断面図である。図3に示す様に、各走査電極g111～g114と、第2共通電極13との交点において、各走査電極g111～g114と、第2共通電極13との間に第1絶縁層2cおよび第2絶縁層46が積層されている点が特徴である。

【0065】

20

図4に示す様に、第1絶縁層2cはSiN<sub>x</sub>からなり、層厚は約2000オングストロームである。第2絶縁層46は、a-Si層47（層厚が約2000オングストローム）と、n<sup>+</sup>a-Si層48（層厚が約500オングストローム）が積層されたものである。

【0066】

スイッチング素子11は例えば、a-TFT（アモルファスシリコン、薄膜トランジスタ）からなる。スイッチング素子11は、第1絶縁層2cの上に、a-Si層と、n<sup>+</sup>a-Si層が積層されている。それ故、上記a-Si層47と、n<sup>+</sup>a-Si層48は、このスイッチング素子11を製造する時に、同一のプロセスにて成膜することができ、製造コストが安くなる。

【0067】

30

次に、図1、図2、図3、図5に従い、本液晶表示装置1の第7の特徴を説明する。図5は図3のC-C断面図である。図3に示す様に、各走査電極g111～g114と、列電極33との交点において、各走査電極g111～g114と、列電極33との間に第1絶縁層2cおよび第2絶縁層46aが積層されている点が特徴である。

【0068】

図5に示す様に、第1絶縁層2cはSiN<sub>x</sub>からなり、層厚は約2000オングストロームである。第2絶縁層46aは、a-Si層47a（層厚が約2000オングストローム）と、n<sup>+</sup>a-Si層48a（層厚が約500オングストローム）が積層されたものである。

【0069】

40

スイッチング素子11は例えば、a-TFT（アモルファスシリコン、薄膜トランジスタ）からなる。スイッチング素子11は、第1絶縁層2cの上に、a-Si層と、n<sup>+</sup>a-Si層が積層されている。それ故、上記a-Si層47aと、n<sup>+</sup>a-Si層48aは、このスイッチング素子11を製造する時に、同一のプロセスにて成膜することができ、製造コストが安くなる。

【0070】

次に、図1、図2、図3、図6に従い、本液晶表示装置1の第8の特徴を説明する。図6は図3のD-D断面図である。図3に示す様に、各第1共通電極C111～C114と、列電極33との交点において、各第1共通電極C111～C114と、列電極33との間に第1絶縁層2cおよび第2絶縁層46bが積層されている点が特徴である。

50

## 【0071】

図6に示す様に、第1絶縁層2cは $\text{SiN}_x$ からなり、層厚は約2000オングストロームである。第2絶縁層46bは、a-Si層47b（層厚が約2000オングストローム）と、 $n^+$ a-Si層48b（層厚が約500オングストローム）が積層されたものである。

## 【0072】

スイッチング素子11は例えば、a-TFT（アモルファスシリコン、薄膜トランジスタ）からなる。スイッチング素子11は、第1絶縁層2cの上に、a-Si層と、 $n^+$ a-Si層が積層されている。それ故、上記a-Si層47bと、 $n^+$ a-Si層48bは、このスイッチング素子11を製造する時に、同一のプロセスにて成膜することができ、製造コストが安くなる。

10

## 【0073】

次に、図1、図2、図3、図7に従い、本液晶表示装置1に用いられるスイッチング素子11を説明する。図7は図3のE-E断面図である。図7に示す様に、第1絶縁基板2上に、ゲート49（アルミニウム等からなり、層厚は約2000オングストローム）から形成されている。

## 【0074】

ゲート49上に、第1絶縁層2c（ $\text{SiN}_x$ からなり、層厚が約2000オングストローム）が形成されている。第1絶縁層2c上に、a-Si層47c（左、右の層厚が約2000オングストローム）が形成されている。

20

## 【0075】

左右のa-Si層47c上に各々、 $n^+$ a-Si層48c、48dが形成されている。 $n^+$ a-Si層48c上に、ソース50が形成されている。 $n^+$ a-Si層48d上に、ドレイン51が形成されている。これらのソース50と、a-Si層47cと、ドレイン51を覆う様に、保護層52が形成されている。

## 【0076】

ゲート49は走査電極g112に接続されている。ソース50は信号電極s528に接続されている。ドレイン51は画素電極10に接続されている。以上の部品により、この液晶表示装置1は構成されている。

## 【符号の説明】

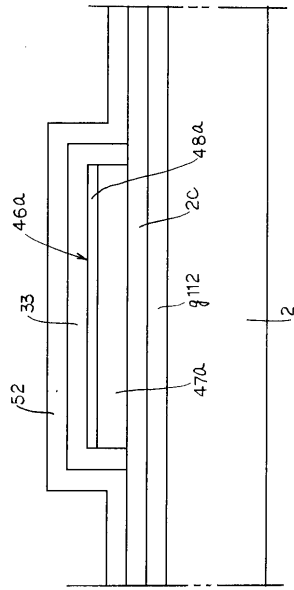
30

## 【0077】

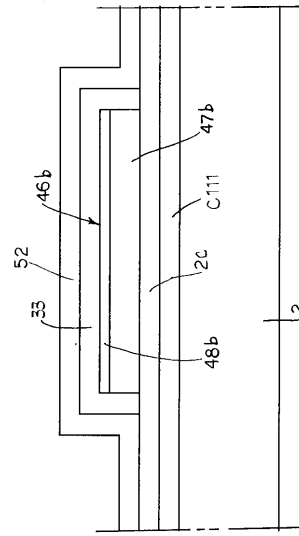
2 第1絶縁基板、3 第2絶縁基板、4 液晶、8 走査電極、9 信号電極、10 画素電極、11 スwitchング素子、12 補助コンデンサ、13 第2共通電極、C1～C220 第1共通電極。



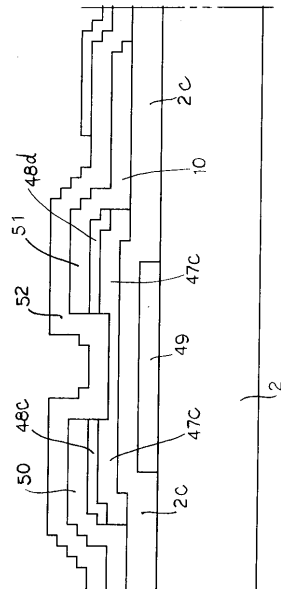
【 図 5 】



【 図 6 】



【 図 7 】



---

フロントページの続き

(72)発明者 渡邊 佐智子

長野県安曇野市豊科田沢 6 9 2 5 エプソンイメージングデバイス株式会社内

審査官 藤田 都志行

(56)参考文献 特開 2 0 0 5 - 3 0 1 3 0 8 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 5

G 0 2 F 1 / 1 3 6 8

|                |                                                                                                                                                                                                                                                                                    |         |            |
|----------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 液晶表示装置                                                                                                                                                                                                                                                                             |         |            |
| 公开(公告)号        | <a href="#">JP5310759B2</a>                                                                                                                                                                                                                                                        | 公开(公告)日 | 2013-10-09 |
| 申请号            | JP2011032967                                                                                                                                                                                                                                                                       | 申请日     | 2011-02-18 |
| [标]申请(专利权)人(译) | 爱普生映像元器件有限公司                                                                                                                                                                                                                                                                       |         |            |
| 申请(专利权)人(译)    | 爱普生影像设备公司                                                                                                                                                                                                                                                                          |         |            |
| 当前申请(专利权)人(译)  | 爱普生影像设备公司                                                                                                                                                                                                                                                                          |         |            |
| [标]发明人         | 太田昭雄<br>小林修<br>渡邊佐智子                                                                                                                                                                                                                                                               |         |            |
| 发明人            | 太田 昭雄<br>小林 修<br>渡邊 佐智子                                                                                                                                                                                                                                                            |         |            |
| IPC分类号         | G02F1/1345 G02F1/1368                                                                                                                                                                                                                                                              |         |            |
| FI分类号          | G02F1/1345 G02F1/1368                                                                                                                                                                                                                                                              |         |            |
| F-TERM分类号      | 2H092/JA26 2H092/JB22 2H092/JB24 2H092/JB38 2H092/JB68 2H092/JB69 2H092/JB79 2H092/KA05 2H092/KA12 2H092/KA22 2H092/NA01 2H092/NA14 2H192/AA24 2H192/CB05 2H192/CB35 2H192/DA12 2H192/DA72 2H192/EA22 2H192/EA43 2H192/EA72 2H192/FA46 2H192/FA52 2H192/FB22 2H192/FB34 2H192/GA15 |         |            |
| 代理人(译)         | 须泽 修<br>宫坂和彦                                                                                                                                                                                                                                                                       |         |            |
| 其他公开文献         | JP2011095786A5<br>JP2011095786A                                                                                                                                                                                                                                                    |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                          |         |            |

#### 摘要(译)

要解决的问题：提供一种几乎不会引起串扰等并且功耗小并且防止静电放电的液晶显示装置。解决方案：液晶显示装置包括：多个扫描电极8和多个信号电极9，矩阵排列在第一绝缘基板2上；多个像素电极10设置在扫描电极8和信号电极9之间的交叉点附近；开关元件11分别与扫描电极8，信号电极9和像素电极10连接；多个第一公共电极C1至C220设置在第一绝缘基板上；辅助电容器12连接在各个像素电极10和各个第一公共电极C1至C220之间；第二公共电极13连接到第一公共电极C1到C220。在各个扫描电极8和第二公共电极13之间的交叉点处，第一绝缘层和第二绝缘层层叠在电极8和13之间。

図 3

