

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5229162号
(P5229162)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月29日(2013.3.29)

(51) Int.Cl.			F I		
G02F	1/133	(2006.01)	G02F	1/133	575
G09G	3/20	(2006.01)	G09G	3/20	612U
G09G	3/36	(2006.01)	G09G	3/20	621B
			G09G	3/20	641C
			G09G	3/20	641P

請求項の数 7 (全 23 頁) 最終頁に続く

(21) 出願番号	特願2009-201340 (P2009-201340)	(73) 特許権者	000002369
(22) 出願日	平成21年9月1日(2009.9.1)		セイコーエプソン株式会社
(65) 公開番号	特開2011-53390 (P2011-53390A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成23年3月17日(2011.3.17)	(74) 代理人	100095728
審査請求日	平成24年9月3日(2012.9.3)		弁理士 上柳 雅誉
		(74) 代理人	100107261
			弁理士 須澤 修
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	飯坂 英仁
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		(72) 発明者	保坂 宏行
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 映像処理回路、その処理方法、液晶表示装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

現フレームの映像信号を解析することによって、当該映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を検出する第1境界検出部と、

現フレームよりも前のフレームの映像信号を解析することによって、前記第1画素と前記第2画素との境界を検出する第2境界検出部と、

前記第1境界検出部によって検出された境界のうち、前記第2境界検出部によって検出された境界から変化した部分に接する第1画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧から、前記第1電圧以上前記第2電圧を下回る第3電圧に補正する補正部と、

を備えることを特徴とする映像処理回路。

【請求項2】

前記補正部は、

前記第1境界検出部によって検出された境界のうち、前記第2境界検出部によって検出された境界から変化した部分に接する第2画素に対応する液晶素子への印加電圧を、前記第3電圧よりも高く、前記第2電圧を下回る第4電圧に補正する

ことを特徴とする請求項1に記載の映像処理回路。

【請求項 3】

前記補正部は、

前記第 1 境界検出部によって検出された境界のうち、前記第 2 境界検出部によって検出された境界から変化した部分に接しない画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧とする

ことを特徴とする請求項 1 または 2 に記載の映像処理回路。

【請求項 4】

画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

現フレームの映像信号を解析することによって、当該映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出する境界検出部と、

検出された境界に接する第 2 画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧から低くするように補正する補正部と、

を備えることを特徴とする映像処理回路。

【請求項 5】

画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

現フレームの映像信号を解析することによって、当該映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出し、

現フレームよりも前のフレームの映像信号を解析することによって、前記第 1 画素と前記第 2 画素との境界を検出し、

現フレームで検出された境界のうち、前フレームで検出された境界から変化した部分に接する第 1 画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧から、前記第 1 電圧以上前記第 2 電圧を下回る第 3 電圧に補正する

ことを特徴とする映像処理方法。

【請求項 6】

第 1 基板に複数の画素の各々に対応して設けられた画素電極と第 2 基板に設けられた共通電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

画素毎に前記液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを、有し、前記映像処理回路は、

現フレームの映像信号を解析することによって、当該映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧以上である第 2 画素との境界を検出する第 1 境界検出部と、

現フレームよりも前のフレームの映像信号を解析することによって、前記第 1 画素と前記第 2 画素との境界を検出する第 2 境界検出部と、

前記第 1 境界検出部によって検出された境界のうち、前記第 2 境界検出部によって検出された境界から変化した部分に接する第 1 画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧から、前記第 1 電圧以上前記第 2 電圧を下回る第 3 電圧に補正する補正部と、

を備えることを特徴とする液晶表示装置。

【請求項 7】

請求項 6 に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

10

20

30

40

50

【 0 0 0 2 】

液晶パネルは、一定の間隙に保たれた一对の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが、表示制御に寄与する、ということが出来る。

10

【 0 0 0 3 】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えばVA（Vertical Alignment）方式や、TN（Twisted Nematic）方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献1参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献2参照）などが提案されている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 特開平 6 - 3 4 9 6 5 号 公 報 (図 1)

【 特許文献 2 】 特開 2 0 0 9 - 6 9 6 0 8 号 公 報 (図 2)

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用することができない、という欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示される画像の明るさが設定値に制限されてしまう、という欠点もある。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【 課題を解決するための手段 】

【 0 0 0 6 】

上記目的を達成するために、本発明に係る映像処理回路にあっては、画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、現フレームの映像信号を解析することによって、当該映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を検出する第1境界検出部と、現フレームよりも前のフレームの映像信号を解析することによって、前記第1画素と前記第2画素との境界を検出する第2境界検出部と、前記第1境界検出部によって検出された境界のうち、前記第2境界検出部によって検出された境界から変化した部分に接する第1画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧から、前記第1電圧以上前記第2電圧を下回る第3電圧に補正する補正部と、を備えることを特徴とする。本発明によれば、液晶パネル100の構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで

30

40

50

既に製作された液晶パネルに適用することも可能である。さらに、境界に接する画素のうち、第1画素に対応する液晶素子への印加電圧を、映像信号で指定される階調レベルに対応する値から、第3電圧に補正するので、表示される画像の明るさが設定値に制限されてしまうこともない。

【0007】

本発明において、前記補正部は、前記第1境界検出部によって検出された境界のうち、前記第2境界検出部によって検出された境界から変化した部分に接する第2画素に対応する液晶素子への印加電圧を、前記第3電圧よりも高く、前記第2電圧を下回る第4電圧に補正する構成としても良い。このように構成することにより、ユーザーに視認される画像の輪郭が映像信号で規定される画像の情報からシフトすることを防止することができる。

10

また、前記補正部は、前記第1境界検出部によって検出された境界のうち、前記第2境界検出部によって検出された境界から変化した部分に接しない画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧とすることが好ましい。

本発明に係る映像処理回路は、画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、現フレームの映像信号を解析することによって、当該映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を検出する境界検出部と、検出された境界に接する第2画素に対応する液晶素子への印加電圧を、前記現フレームの映像信号で指定される印加電圧から低くするように補正する補正部と、を備えることを特徴とする。この構成によれば、第1画素と第2画素とで生じる横電界が小さくなる。

20

なお、本発明は、映像処理回路のほか、映像処理方法、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係る映像処理回路を適用した液晶表示装置を示す図である。

【図2】同液晶表示装置における液晶素子の等価回路を示す図である。

【図3】同映像処理回路の構成を示す図である。

【図4】同液晶表示装置における表示特性を示す図である。

【図5】同液晶表示装置における表示動作を示す図である。

30

【図6】同映像処理回路における補正処理（1画素）の内容を示す図である。

【図7】同補正処理（1画素）による横電界の低減を示す図である。

【図8】同補正処理（1画素）による横電界の低減を示す図である。

【図9】同補正処理（1画素）による横電界の低減を示す図である。

【図10】第1実施形態における別の映像処理回路の構成を示す図である。

【図11】同液晶表示装置における補正処理（2画素）の内容を示す図である。

【図12】同補正処理（2画素）による横電界の低減を示す図である。

【図13】第1実施形態におけるさらに別の補正処理の内容を示す図である。

【図14】第2実施形態に係る映像処理回路の構成を示す図である。

【図15】同映像処理回路における補正処理の内容を示す図である。

40

【図16】同映像処理回路における補正処理の内容を示す図である。

【図17】第2実施形態における別の映像処理回路の構成を示す図である。

【図18】実施形態に係る液晶表示装置を適用したプロジェクターを示す図である。

【図19】横電界の影響による表示上の不具合の一例を示す図である。

【発明を実施するための形態】

【0009】

<第1実施形態>

以下、本発明の実施形態について図面を参照して説明する。

図1は、本実施形態に係る映像処理回路を適用した液晶表示装置の全体構成を示すブロック図である。

50

この図に示されるように、液晶表示装置 1 は、制御回路 10 と、液晶パネル 100 と、走査線駆動回路 130 と、データ線駆動回路 140 とを有する。

このうち、制御回路 10 には、映像信号 Vid-in が、上位装置から同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）にしたがった走査の順番で供給される。

なお、映像信号 Vid-in は階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといって差し支えない。

【0010】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とにより構成され、このうち、走査制御回路 20 は、各種の制御信号を生成して、同期信号 Sync に同期して各部を制御する。映像処理回路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力するものである。

【0011】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成となっている。

素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、かつ、各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、本実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、…、(m-1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、…、(n-1)、n 列目という呼び方をする場合がある。

【0012】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。

一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって電圧 LC com が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるので、それぞれ実線で示している。

【0013】

液晶パネル 100 における等価回路は、図 2 に示される通りとなり、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成となる。

また、図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示されるように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。この補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

ここで、走査線 112 が H レベルになると、当該走査線にゲート電極が接続された TFT 116 がオンとなり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に階調に応じた電圧のデータ信号を供給すると、当該データ信号は、オンした TFT 116 を介して画素電極 118 に印加され

10

20

30

40

50

る。走査線 112 が L レベルになると、TFT 116 はオフするが、画素電極に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 およびコモン電極 108 によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。

液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。なお、本実施形態において、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0014】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Yctr にしたがって、1、2、3、...、m 行目の走査線 112 に、走査信号 Y1、Y2、Y3、...、Ym を供給する。詳細には、走査線駆動回路 130 は、図 5 の (a) に示されるように、走査線 112 をフレームにわたって 1、2、3、...、(m-1)、m 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧 V_H (H レベル) とし、それ以外の走査線への走査信号を非選択電圧 V_L (L レベル) とする。

なお、フレームとは、液晶パネル 100 を駆動することによって、画像の 1 コマ分を表示させるのに要する期間をいい、同期信号 Sync に含まれる垂直走査信号の周波数が 60 Hz であれば、その逆数である 16.7 ミリ秒である。

【0015】

データ線駆動回路 140 は、映像処理回路 30 から供給されるデータ信号 Vx を、走査制御回路 20 による制御信号 Xctr にしたがって 1 ~ n 列目のデータ線 114 にデータ信号 X1 ~ Xn としてサンプリングする。

なお、本説明において電圧については、液晶素子 120 の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子 120 の印加電圧は、コモン電極 108 の電圧 LCcom と画素電極 118 との電位差であり、他の電圧と区別するためである。

【0016】

さて、本実施形態において、液晶素子 120 の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、図 4 の (a) に示されるような V-T 特性で表される。このため、液晶素子 120 を、映像信号 Vid-in で指定された階調レベルに応じた透過率とさせるには、当該階調レベルに応じた電圧を、該液晶素子に印加すれば良いはずである。

しかしながら、液晶素子 120 の印加電圧を、映像信号 Vid-in で指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生してしまう場合がある。

【0017】

この不具合は、液晶素子 120 において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなるのが原因の 1 つとして考えられている。

液晶素子 120 への印加電圧が、ノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} (第 1 電圧) を下回る電圧範囲 A にあると、縦電界による規制力が配向膜による規制力よりもわずかに上回る程度であるため、液晶分子の配向状態が乱れやすい。これが、液晶分子が不安定な状態にあるときである。

便宜的に、液晶素子の印加電圧が電圧範囲 A にある液晶素子の透過率範囲 (階調範囲) を「a」とする。

【0018】

一方、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルまたは黒レベルに近い暗画素と、白レベルまたは白レベルに近い明画素と、が隣接する場合である。

このうち、暗画素とは、図 4 の (a) のようなノーマリーブラックモードでは、印加電

10

20

30

40

50

圧が電圧範囲 A にある液晶素子 120 であり、この暗画素に対して横電界を与えるのが明画素である。この明画素を特定するため、明画素を、印加電圧が閾値 V_{th2} (第 2 電圧) 以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲 B にある液晶素子 120 とする。

便宜的に、液晶素子の印加電圧が電圧範囲 B にある液晶素子の透過率範囲 (階調範囲) を「b」とする。

なお、ノーマリーブラックモードにおいて、閾値 V_{th1} は、液晶素子の相対透過率を 10% とさせる光学的閾値電圧であり、閾値 V_{th2} は、液晶素子の相対透過率を 90% とさせる光学的飽和電圧と考えてよい。

【0019】

印加電圧が電圧範囲 A にある液晶素子は、電圧範囲 B にある液晶素子に隣接したときに、横電界を受けてリバースチルトドメインが発生しやすい状況にある。

なお逆に、電圧範囲 B にある液晶素子は、電圧範囲 A にある液晶素子に隣接しても、縦電界の影響が支配的であるために安定状態にあるので、電圧範囲 A の液晶素子のようにリバースチルトドメインが発生することはない。

【0020】

この表示上の不具合の例について説明すると、映像信号 V_{id-in} で示される画像が例えば図 19 の (a) に示されるようなものである場合、詳細には、階調範囲 a の暗画素が階調範囲 b の明画素を背景としてフレーム毎に 1 画素ずつ左方向に移動する場合、暗画素から明画素に変化すべき画素がリバースチルトドメインの発生によって階調範囲 b の階調にはならない、という一種の尾引き現象として顕在化する。

この現象の原因の 1 つとしては、暗画素と明画素とが隣接したときに、これらの画素同士の横電界が強くなって、当該暗画素において液晶分子の配向が乱れるとともに、配向の乱れた領域が、暗画素の移動に伴って拡大したためである考えられる。

したがって、液晶分子の配向乱れに起因する表示上の不具合の発生を抑えるためには、映像信号 V_{id-in} で示される画像において暗画素と明画素とが隣接するときでも、液晶パネル 100 では、暗画素と明画素とを隣接させないことが重要となる。

【0021】

そこで、本実施形態では、図 1 に示されるように映像処理回路 30 を液晶パネル 100 の前段に設けるとともに、当該映像処理回路 30 が、映像信号 V_{id-in} で示される画像を解析して、階調範囲 a の暗画素と階調範囲 b の明画素とが隣接する状態があるか否かを検出し、あれば、暗画素と明画素との境界に接する画素のうち、印加電圧を低くすべき方の画素、すなわち横電界の影響を受けやすい画素 (ノーマリーブラックモードでは暗画素) の階調レベルを、階調範囲 a でもなく、階調範囲 b でもない別の階調範囲 c に属する階調レベル c1 に置換される。これにより液晶パネル 100 では、当該暗画素に係る液晶素子 120 に対し、当該階調レベル c1 に相当する電圧 V_{c1} が印加されるので、強い横電界が発生しないことになる。

【0022】

そこで次に、映像処理回路 30 の詳細について図 3 を参照して説明する。この図に示されるように、映像処理回路 30 は、補正部 300、境界検出部 302、遅延回路 312 および D/A 変換器 316 を有する。

このうち、遅延回路 312 は、上位装置から供給される映像信号 V_{id-in} を蓄積して、所定時間経過後に読み出して映像信号 V_{id-d} として出力するものであり、FIFO (Fast In Fast Out: 先入れ先出し) メモリーや多段のラッチ回路などにより構成される。なお、遅延回路 312 における蓄積および読出は、走査制御回路 20 によって制御される。

【0023】

境界検出部 302 は、本実施形態においては、第 1 に、映像信号 V_{id-in} で示される画像を解析して、階調範囲 a にある画素と階調範囲 b にある画素とが隣接する部分があるか否かを判別し、第 2 に、隣接する部分があると判別したとき、その隣接部分である境界を検出する。

10

20

30

40

50

なお、ここでいう境界とは、あくまでも階調範囲 a にある画素と階調範囲 b にある画素とが隣接する部分をいう。このため、例えば階調範囲 a にある画素と階調範囲 c にある画素とが隣接する部分や、階調範囲 b にある画素と階調範囲 c にある画素とが隣接する部分については、境界として扱わない。

【 0 0 2 4 】

補正部 3 0 0 は、判別部 3 1 0 とセレクター 3 1 4 とを有する。このうち、判別部 3 1 0 は、遅延回路 3 1 2 によって遅延された映像信号 Vid-d で示される画素の階調レベルが階調範囲 a に属するか否か（第 1 の判別）、および、当該画素が境界検出部 3 0 6 で検出された境界に接しているか否か（第 2 の判別）を、それぞれ判別して、その判別結果がいずれも「Yes」である場合に出力信号のフラグ Q を例えば「1」とし、その判別結果が

10

いずれか 1 つでも「No」であれば「0」とする。

なお、境界検出部 3 0 2 は、少なくとも複数ラインの映像信号を蓄積してからでないと、表示すべき画像における境界を検出することができないので、映像信号 Vid-in の供給タイミングを調整する意味で、遅延回路 3 1 2 が設けられている。

このため、上位装置から供給される映像信号 Vid-in のタイミングと、遅延回路 3 1 2 から供給される映像信号 Vid-d のタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明する。

【 0 0 2 5 】

セレクター 3 1 4 は、制御端子 Sel に供給されたフラグ Q に応じて入力端 a、b のいずれかを選択し、選択した入力端に供給された信号を出力端 Out から映像信号 Vid-out を出力するものである。詳細には、セレクター 3 1 4 では、入力端 a に、遅延回路 3 1 2 による映像信号 Vid-d が供給され、入力端 b に、置換用として、階調レベル c 1 の映像信号が供給されている。そして、セレクター 3 1 4 は、制御端子 Sel に供給されたフラグ Q が「1」であれば、入力端 b を選択し、該フラグ Q が「0」であれば、入力端 a に供給された映像信号 Vid-d を映像信号 Vid-out として出力する。

20

【 0 0 2 6 】

D / A 変換器 3 1 6 は、デジタルデータである映像信号 Vid-out を、アナログのデータ信号 Vx に変換する。

液晶 1 0 5 に直流成分が印加されるのを防止するため、データ信号 Vx の電圧は、ビデオ振幅中心である電圧 Vc に対して高位側の正極性電圧と低位側の負極性電圧とに例えばフレーム毎に交互に切り替えられる。

30

なお、コモン電極 1 0 8 に印加される電圧 L C com は、電圧 Vc とほぼ同電圧と考えてよいが、n チャネル型の TFT 1 1 6 のオフリーク等を考慮して、電圧 Vc よりも低位となるように調整されることがある。

【 0 0 2 7 】

このような構成において、フラグ Q が「1」であれば、それは、映像信号 Vid-in で示される画素の階調レベルが階調範囲 a に含まれ、かつ、当該画素が明画素との境界に接している、ということ、すなわち境界を挟んで隣接する明画素から横電界の影響を受けてリバースチルトドメインが発生しやすい状況にあることを、を意味している。

40

フラグ Q が「1」であれば、セレクター 3 1 4 が入力端 b を選択するので、階調範囲 a の階調レベルを指定する映像信号 Vid-d は、階調レベル c 1 を指定する映像信号に置換されて、映像信号 Vid-out として出力される。

一方、フラグ Q が「0」であれば、セレクター 3 1 4 では、入力端 a が選択されるので、遅延させた映像信号 Vid-d が映像信号 Vid-out として出力される。

【 0 0 2 8 】

液晶表示装置 1 の表示動作について説明すると、上位装置からは、映像信号 Vid-in が、フレームにわたって 1 行 1 列 ~ 1 行 n 列、2 行 1 列 ~ 2 行 n 列、3 行 1 列 ~ 3 行 n 列、...、m 行 1 列 ~ m 行 n 列の画素の順番で、供給される。映像処理回路 3 0 は、映像信号 Vid-in を遅延・置換等の処理をして映像信号 Vid-out として出力する。

50

ここで、1行1列～1行n列の映像信号Vid-outが出力される水平有効走査期間(Ha)でみたときに、処理された映像信号Vid-outは、D/A変換器316によって、図5の(b)で示されるように正極性または負極性のデータ信号Vxに、ここでは例えば正極性に変換される。このデータ信号Vxは、データ線駆動回路140によって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングされる。

一方、1行1列～1行n列の映像信号Vid-outが出力される水平走査期間では、走査制御回路20が走査線駆動回路130に対し走査信号Y1だけをHレベルとなるように制御する。走査信号Y1がHレベルであれば、1行目のTF T 116がオン状態になるので、データ線114にサンプリングされたデータ信号は、オン状態にあるTF T 116を介して画素電極118に印加される。これにより、1行1列～1行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

10

続いて、2行1列～2行n列の映像信号Vid-inは、同様に映像処理回路30によって処理されて、映像信号Vid-outとして出力されるとともに、D/A変換器316によって正極性のデータ信号に変換された上で、データ線駆動回路140によって1～n列目のデータ線114にサンプリングされる。

2行1列～2行n列の映像信号Vid-outが出力される水平走査期間では、走査線駆動回路130によって走査信号Y2だけがHレベルとなるので、データ線114にサンプリングされたデータ信号は、オン状態にある2行目のTF T 116を介して画素電極118に印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

20

以下同様な書込動作が3、4、...、m行目に対して実行され、これにより、各液晶素子に、映像信号Vid-outで指定された階調レベルに応じた電圧が書き込まれて、映像信号Vid-inで規定される透過像が作成されることとなる。

次のフレームでは、データ信号の極性反転によって映像信号Vid-outが負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0029】

図5の(b)は、映像処理回路30から、水平走査期間(H)にわたって1行1列～1行n列の映像信号Vid-outが出力されたときのデータ信号Vxの一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号Vxは、正極性であれば、基準電圧Vcntに対し、映像処理回路30によって処理された階調レベルに応じた分だけ高位側の電圧(図において で示す)になり、負極性であれば、基準電圧Vcntに対し、階調レベルに応じた分だけ低位側の電圧(図において で示す)になる。

30

詳細には、データ信号Vxの電圧は、正極性であれば、白に相当する電圧Vw(+)から黒に相当する電圧Vb(+)までの範囲で、一方、負極性であれば、白に相当する電圧Vw(-)から黒に相当する電圧Vb(-)までの範囲で、それぞれ基準電圧Vcntから階調に応じた分だけ偏位させた電圧となる。

電圧Vw(+)および電圧Vw(-)は、電圧Vcntを中心に互いに対称の関係にある。電圧Vb(+)およびVb(-)についても電圧Vcntを中心に互いに対称の関係にある。

なお、図5の(b)は、データ信号Vxの電圧波形を示すものであって、液晶素子120に印加される電圧(画素電極118とコモン電極108との電位差)とは異なる。また、図5の(b)におけるデータ信号の電圧の縦スケールは、(a)における走査信号等の電圧波形と比較して拡大してある。

40

【0030】

第1実施形態に係る映像処理回路30による処理の具体例について説明する。

映像信号Vid-inで示される画像が例えば図6の(1)に示されるようなものである場合、境界検出部302によって検出される境界は、図6の(2)に示される。

映像処理回路30では、検出された境界に接する画素のうち、階調レベルが階調範囲aに属する画素が階調レベルc1の映像信号に置換される。このため、図6の(1)で示される画像は、映像処理回路30によって図6の(3)に示されるような階調レベルに補正

50

される。

【0031】

仮に、映像信号 Vid-in を映像処理回路 30 で処理しないで液晶パネル 100 に供給する構成としたとき、階調範囲 a に属する暗画素と階調範囲 b に属する明画素とにおいて、画素電極の電位は、正極性書込であれば、図 7 の (a) で示される通りとなる。すなわち、暗画素の画素電極の電位は、正極性書込であれば明画素の画素電極の電位よりも低くなるが、その電位差が大きいので、横電界の影響をうけやすくなる。

なお、負極性であれば、電圧 V_c (ほぼ電圧 $L C_{com}$ に等しい) を基準にして対称となり、電位の高低関係が逆転するが、電位差が大きいことに変わりはないので、やはり横電界の影響をうけやすくなる。

10

これに対し、本実施形態のように、映像信号 Vid-in で示される画像において、階調範囲 a に属する暗画素と階調範囲 b に属する明画素とが隣接するとき、暗画素に対応する映像信号 Vid-out は、階調レベル c1 に置換されるので、当該暗画素の液晶素子への印加電圧は高くなるように、換言すれば、当該暗画素の画素電極の電位は、正極性書込であれば、図 7 の (b) で示されるように引き上げられる。

このため、画素電極同士の電位差が段階的に変化するので、横電界の影響を小さく抑えることが可能となる。

【0032】

なお、図 8 の (a) に示されるように、映像信号 Vid-in で示される画像が、階調範囲 a に属する暗画素と階調範囲 b に属する明画素とを交互に配列した画像である場合、映像処理回路 30 による処理がなければ、液晶素子 120 の印加電圧は同図に示される通りとなり、横電界の影響を受けやすくなる。

20

これに対し、本実施形態のように、映像信号 Vid-in を映像処理回路 30 によって処理して液晶パネル 100 に供給する構成では、図 8 の (b) に示されるように、階調範囲 a に属する暗画素の液晶素子 120 への印加電圧が階調レベル c1 に対応して電圧 V_{c1} に引き上げられるので、横電界の影響を小さく抑えることが可能となる。

なお、このとき、暗画素の液晶素子への印加電圧は、電圧 V_{c1} に引き上げられる結果、その透過率は大きくなる (明るくなる) 方向に変化する。

【0033】

本実施形態において、液晶 105 を VA 方式としたノーマリーブラックモードとして説明したが、液晶 105 を例えば TN 方式として、電圧無印加時において液晶素子 120 が白状態となるノーマリーホワイトモードとしてもよい。

30

ノーマリーホワイトモードとしたとき、液晶素子 120 の印加電圧と透過率との関係は、図 4 の (b) に示されるような V - T 特性で表され、印加電圧が高くなるにつれて透過率が減少する。

横電界の影響を受ける画素は、印加電圧が低い方の画素であることに変わりはないが、ノーマリーホワイトモードにおいて印加電圧が低い方の画素は明画素となる。

このため、ノーマリーホワイトモードにおいて、映像処理回路 30 は、印加電圧が閾値 V_{th1} であるときの透過率よりも大きい明画素と印加電圧が閾値 V_{th2} であるときの透過率以下の暗画素とが隣接するような状況である場合に、映像信号 Vid-in で指定される明画素の階調レベルを、階調レベル c1 に置換する処理をすれば良いことになる。

40

図 9 の (a) に示されるように、映像信号 Vid-in で示される画像が、明画素と暗画素とを交互に配列した画像である場合、映像処理回路 30 による補正処理がなければ、液晶素子 120 の印加電圧は同図に示される通りとなり、同様に、横電界の影響を受けやすくなる。

これに対し、映像信号 Vid-in を映像処理回路 30 によって処理して液晶パネル 100 に供給する構成では、図 9 の (b) に示されるように、明画素の液晶素子 120 への印加電圧が階調レベル c1 に対応して電圧 V_{c1} に引き上げられるので、横電界の影響を小さく抑えることが可能となる。

このとき、明画素の液晶素子への印加電圧は、電圧 V_{c1} に引き上げられる結果、その透

50

過率は小さくなる（暗くなる）方向に変化する。

【 0 0 3 4 】

このように、本実施形態によれば、上述したリバースチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。さらに、映像信号 Vid-in で規定される画像のうち、境界に接する画素の階調レベルが局所的に置換されるので、当該置換による表示画像の変更がユーザーに知覚される可能性も小さい。くわえて、本実施形態では、液晶パネル 100 の構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【 0 0 3 5 】

なお、図 6 の (3) において、 1 で記した暗画素については、境界に接している、と 10
 考えて、階調レベル c1 に置換するとしたが、明画素とは対角の位置にあるので、横電界の影響は小さいと考えられる。このため、階調レベル c1 に置換しない構成としても良い。

【 0 0 3 6 】

< 第 1 実施形態の応用・変形例 >

上述した第 1 実施形態では、種々の応用・変形が可能である。

【 0 0 3 7 】

< その 1 >

上述した第 1 実施形態では、映像信号 Vid-in の解析によって暗画素と明画素とが隣接 20
 するとき、当該 2 画素のうち、印加電圧を低くすべき方の 1 画素（ノーマリーブラックモードでは暗画素）を、階調範囲 c に属する階調レベル c1 に置換することによって、液晶素子 120 の印加電圧を高くする構成とした。この構成では、階調レベル c1 への置換によって暗画素と明画素との境界が、映像信号 Vid-in に含まれていた境界からシフトして、ユーザーに視認されてしまう可能性がある。

そこで、リバースチルトドメインに起因する表示上の不具合の発生を事前に回避しつつ、境界がシフトして視認される可能性を小さく抑えるために、当該境界に接する 2 画素を補正する第 1 実施形態の応用・変形例（その 1）について説明する。

【 0 0 3 8 】

図 10 は、第 1 実施形態の応用・変形例に係る映像処理回路の構成を示すブロック図である。図 10 に示される構成が図 3 に示した構成と相違する部分は、算出部 315 が追加 30
 された点と、判別部 310 の判別内容が変更された点とにある。

詳細には、ノーマリーブラックモードを例にとると、算出部 315 は、遅延された映像信号 Vid-d の画素が境界検出部 302 によって検出された境界に接している場合に、第 1 に、当該画素が暗画素であれば階調レベル ca を出力し、第 2 に、当該画素が明画素であれば、階調レベル cb を算出して出力するものである。なお、階調レベル cb について算出部 315 は、映像信号 Vid-d で指定される明画素の階調レベル、境界を挟んで対向する暗画素の階調レベル、および、階調レベル ca から算出する。

ここで、階調レベル ca は、データ線駆動回路 140 によってデータ信号に変換して画素電極に印加したときに、その液晶素子の印加電圧を電圧範囲 C にある Vca とさせる階調レベルである。また、算出部 315 が算出する階調レベル cb は、映像信号 Vid-in において暗画素と明画素とが隣接する場合に、暗画素を階調レベル ca に置換し、明画素を階調レベル cb に置換したとき、信号 Vid-in における暗画素と明画素との境界情報を維持するような階調レベルであって、明画素にかかる液晶素子の印加電圧を印加電圧 Vca よりも大きい電圧 Vcb とさせる階調レベルである。 40

【 0 0 3 9 】

図 10 における判別部 310 は、図 3 とは異なり、第 2 の判別のみ、遅延した映像信号 Vid-d で示される画素が境界検出部 306 で検出された境界に接しているか否かについてのみ判別する。判別部 310 は、その判別結果が「 Yes 」である場合に出力信号のフラグ Q を例えば「 1 」とし、その判別結果が「 No 」であれば「 0 」とする点については、図 3 と同様である。 50

【 0 0 4 0 】

このような構成において、フラグQが「1」であれば、それは、映像信号Vid-dの画素が境界に接している、ということである。フラグQが「1」であれば、セレクター314が入力端bを選択するので、映像信号Vid-dは、算出部315から出力される階調レベルに補正（置換）されて映像信号Vid-outとして出力される。

検出された境界には、電圧範囲A（階調レベルa）となる暗画素と電圧範囲B（階調レベルb）となる明画素とが隣接しているが、算出部315は、このうち暗画素であれば階調レベルcaを出力し、明画素でなければ階調レベルcbを算出して出力する。

【 0 0 4 1 】

図10に示した映像処理回路30による補正処理の具体例について説明する。

映像信号Vid-inで示される画像が例えば図11の(1)に示されるようなものである場合、境界検出部302によって検出される境界は、図11の(2)に示される通りであり、ここまでは、図3に示した映像処理回路と同様である。

図10に示した映像処理回路30では、遅延した映像信号Vid-dの画素が境界に接する場合に、当該画素が暗画素であれば階調レベルcaに、当該画素が明画素であれば階調レベルcbに、それぞれ置換される。このため、図10の(1)で示される画像は、映像処理回路30によって図10の(3)に示されるような階調レベルに補正される。

【 0 0 4 2 】

仮に、映像信号Vid-inで示される画像のうち、1行の一部において、図12(a)で示されるように、階調範囲aに属する暗画素と階調範囲bに属する明画素とが配列する状態を想定する。

図3に示した映像処理回路では、境界に接する暗画素が階調レベルc1に置き換わるので、図7の(b)に示されるように、ユーザーに視認される暗画素と明画素との輪郭は、暗画素寄りにシフトする。

これに対して、図10に示した応用・変形例に係る映像処理回路30によれば、境界に接する暗画素が明るい方向の階調レベルcaに置換されるので、画素電極の電位が、正極性書込であれば、図12の(b)で示されるように引き上げられる。さらに、境界に接する明画素が暗い方向の階調レベルcbに置換されるので、画素電極の電位が、正極性書込であれば、図12の(b)で示されるように引き下げられる。階調レベルcbに置換された場合に、画素電極の電位が、正極性書込であれば、引き上げられた暗画素よりも低い電位であるから、ユーザーに視認される暗画素と明画素との輪郭部分は、図12の(b)に示されるように、ほとんどシフトしない。

したがって、第1実施形態の応用・変形例に係る映像処理回路によれば、リバースチルトドメインに起因する表示上の不具合の発生を事前に回避しつつ、ユーザーに視認される輪郭部分が映像信号Vid-inで示される画像からシフトしてしまうことを抑えることも可能となる。

なお、リバースチルトドメインは、一旦発生すると、縦電界が弱い部分にわたって拡がる傾向がある。このため、横電界が強くなる境界付近にある画素については、1画素よりも2画素、2画素よりも3画素以上のように、より多くの画素にわたって補正することが好ましい。

【 0 0 4 3 】

<その2>

上述した第1実施形態では、映像信号Vid-inの解析によって暗画素と明画素とが隣接するとき、印加電圧が低い方の画素を階調範囲cに属する階調レベルc1に置換することによって、液晶素子120の印加電圧を高くして、横電界が小さくなるように補正した。横電界を小さくするには、このほかに、印加電圧が高い方画素の印加電圧を低くすることが考えられる。

このため、第1実施形態における判別部310が、映像信号Vid-dで示される画素の階調レベルが階調範囲bに属する明画素であるか否か、および、当該画素が境界に接しているか否か（第2の判別）を、それぞれ判別して、その判別結果がいずれも「Yes」であ

10

20

30

40

50

る場合に出力信号のフラグQを「1」とし、セレクター314の入力端bに、置換用として階調レベルcの映像信号を供給する構成とすれば良い。

仮に、映像信号Vid-inを映像処理回路30で処理しないで液晶パネル100に供給する構成としたとき、階調範囲aに属する暗画素と階調範囲bに属する明画素とにおいて、画素電極の電位は、正極性書込であれば、図13の(a)で示される通りとなり、暗画素と明画素との間における横電界が大きくなる。

これに対して本例では、図13の(b)に示されるように、明画素の液晶素子への印加電圧が低くなるように補正されるので、横電界の影響を小さく抑えることが可能となる。

【0044】

<第2実施形態>

上述した第1実施形態では、応用・変形例も含めて、映像信号Vid-inで示される画像の1フレームで完結する処理であったが、動きを伴う画像である場合、上位装置から供給される映像信号Vid-inで示されるフレーム(現フレーム)において境界に接する画素であっても、その現フレームよりも1つ前のフレーム(前フレーム)を含めた動きを考えると、補正する必要がないときがある。

そこで次に、現フレームの補正に際し、前のフレームの状態を考慮する第2実施形態に係る映像処理回路について説明する。

【0045】

図14は、第2実施形態に係る映像処理回路の構成を示すブロック図である。

この図と図3に示した構成とが相違する部分は、図14では、図3に示した構成と比較して、適用境界決定部304、境界検出部306と、保存部308とが追加されている点と、判別部310の判別内容が変更された点とにある。

なお、境界検出部302は、図3と同様であるが、現フレームの映像信号Vid-inを処理することから、第1境界検出部に相当することになる。

【0046】

また、境界検出部306は、映像信号Vid-inで示される画像を解析して、階調範囲aにある画素と階調範囲bにある画素とが隣接する部分を境界として検出する。

保存部308は、境界検出部306によって検出された境界の情報を保存して1フレーム期間だけ遅延させて出力するものである。

したがって、境界検出部302で検出される境界は現フレームに係るものであるのに対し、境界検出部306で検出されて保存部308に保存される境界は、現フレームの1つ前のフレームに係るものとなる。このため、境界検出部306が第2境界検出部に相当することになる。

【0047】

適用境界決定部304は、境界検出部306によって検出された現フレーム画像の境界のうち、保存部308に保存された前フレーム画像の境界と同じ部分を除外したものを、適用境界として決定するものである。

判別部310は、遅延した映像信号Vid-dで示される画素の階調レベルが階調範囲aに属するか否か、および、当該画素が適用境界決定部304で決定された適用境界に接しているか否かを、それぞれ判別して、その判別結果がいずれも「Yes」である場合に出力信号のフラグQを例えば「1」とし、その判別結果がいずれか1つでも「No」であれば「0」とする。

【0048】

この構成において、フラグQが「1」であれば、それは、遅延した映像信号Vid-dの画素は、階調範囲aに属し、かつ、現フレームでは境界に接しているが、1フレーム前では、境界に接していなかった、ということの意味している。フラグQが「1」であれば、セレクター314が入力端bを選択するので、現フレームの映像信号Vid-dは、階調レベルc1を指定する映像信号に置換されて、映像信号Vid-outとして出力される。

一方、フラグQが「0」であれば、それは、遅延した映像信号Vid-dの画素が、(a)階調範囲aに属していない、

10

20

30

40

50

(b) 階調範囲 a に属し、かつ、現フレームでは境界に接しており、かつ、1フレーム前でも、境界に接していた、

のいずれかである。フラグ Q が「0」であれば、入力端 a に供給された映像信号 Vid-d が映像信号 Vid-out として出力される。

【0049】

図14に示した映像処理回路30による補正処理の具体例について説明する。

現フレームに対し1フレーム前の映像信号で示される画像が例えば図15の(1)に示される通りであって、現フレームの映像信号 Vid-in で示される画像が例えば図15の(2)に示される通りである場合、すなわち、階調範囲 a の暗画素からなるパターンが、階調範囲 b にある明画素を背景に左方向に移動する場合、境界検出部306により検出され

10

て保存部308に保存された前フレーム画像の境界と、境界検出部302により検出された現フレーム画像の境界とは、それぞれ図15の(3)に示される通りとなる。

したがって、適用境界決定部304によって決定される適用境界は、図16の(4)で示される通りとなる。

【0050】

第2実施形態に係る映像処理回路30では、現フレームにおける暗画素と明画素との境界のうち、前フレームにおける境界から変化している部分に接している暗画素が階調レベル c1 に置換されて、映像信号 Vid-out として出力される。

このため、図15の(2)で示される画像は、第2実施形態に係る映像処理回路30によって図16の(5a)に示されるような階調レベルに補正される。

20

【0051】

ところで、リバースチルトドメインに起因する表示品位の低下は、

(1) 暗画素と明画素とが液晶パネル100で隣接したときに、その暗画素および明画素のうち、印加電圧が低い方の画素において(印加電圧が高い方の画素からの)横電界の影響を受けて、配向状態が乱れる結果、

(2) 印加電圧が変化したときに、液晶素子が、変化後の印加電圧に応じた透過率にならない、

ことによって発生する、と考えられている。

第1実施形態では、このうち、(1)の暗画素と明画素とが隣接しそうなときに映像信号 Vid-in の解析により検出して、ノーマリーブラックモードにおいて暗画素の印加電圧を一律に高くするように補正する構成とした。ただし、液晶素子への印加電圧の補正、すなわち、階調レベルの置換は、上位装置から供給される映像信号 Vid-in が有する情報の損失を意味するので、できればこのような損失は抑えたい。

30

【0052】

第2実施形態によれば、現フレームにおいて明画素に隣接する暗画素であっても、その暗画素と明画素との境界が前フレームにおける境界から変化していない部分に接している暗画素については、印加電圧が大きく変化せず、境界の移動もないことから階調レベル c1 に置換しない構成としている。

一方、第2実施形態では、前フレームとの比較によって新たに生じた境界に接することになった暗画素については、すなわち(1)の暗画素および明画素のうち、(2)の、前フレームから印加電圧が変化する暗画素については、新たな境界によって横電界の影響を受けることから階調レベル c1 に置換する構成となっている。

40

したがって、第2実施形態では、第1実施形態と比較して、リバースチルトドメインに起因する表示品位の低下を抑える点では同等であり、さらに、階調レベルの置換回数が少なくなるので、映像信号 Vid-in が有する情報の損失を小さくさせることが可能となる。

【0053】

なお、図16の(5a)において、2で記した画素については、適用境界に接している、と考えて、階調レベル c1 に置換するとしたが、この例では暗画素のパターンが水平方向に移動することや、明画素と対角の位置にあることを考えると、横電界の影響は小さいと考えられる。このため、2で記した画素については、階調レベル c1 に置換しない

50

構成としても良い。

【 0 0 5 4 】

< 第 2 実施形態の応用・変形例 >

第 2 実施形態においても、第 1 実施形態の応用・変形例と同様に、適用境界に接する 2 画素を補正することが可能である。

図 1 7 は、第 2 実施形態の応用・変形例に係る映像処理回路の構成を示すブロック図である。図 1 7 に示される構成が図 1 3 に示した構成と相違する部分は、算出部 3 1 5 が追加された点と、判別部 3 1 0 の判別内容が変更された点とにある。

詳細には、ノーマリーブラックモードを例にとると、算出部 3 1 5 は、遅延した映像信号 Vid-d の画素が適用境界決定部 3 0 4 によって決定された適用境界に接している場合に、第 1 に、当該画素が暗画素であれば階調レベル ca を出力し、第 2 に、当該画素が明画素であれば、第 1 実施形態の応用・変形例（その 1）と同様にして階調レベル cb を算出して出力する。

【 0 0 5 5 】

なお、階調レベル ca、cb については、第 1 実施形態の応用・変形例と同様である。また、図 1 7 における判別部 3 1 0 は、遅延した映像信号 Vid-d で示される画素が適用境界、すなわち現フレームで検出された境界のうち、1 フレームから変化した境界に接しているか否かについてのみ判別する。

このような構成において、判別部 3 1 0 から出力されるフラグ Q が「1」であれば、それは、映像信号 Vid-d の画素が適用境界に接している、ということである。このため、フラグ Q が「1」であれば、映像信号 Vid-d は、算出部 3 1 5 から出力される階調レベルに置換されて、映像信号 Vid-out として出力される。決定された適用境界では、暗画素と明画素とが隣接しているが、算出部 3 1 5 は、このうち暗画素であれば階調レベル ca を出力し、明画素でなければ階調レベル cb を算出して出力する。

【 0 0 5 6 】

図 1 7 に示した映像処理回路 3 0 による補正処理の具体例について説明する。

現フレームに対し 1 フレーム前の映像信号で示される画像が例えば図 1 5 の（1）に示される通りであって、現フレームの映像信号 Vid-in で示される画像が例えば図 1 5 の（2）に示される通りである場合、前フレーム画像の境界と、現フレーム画像の境界とは、それぞれ図 1 5 の（3）に示される通りであるので、適用境界決定部 3 0 4 によって決定される適用境界は、図 1 6 の（4）で示される通りとなる。

【 0 0 5 7 】

第 2 実施形態の応用・変形例に係る映像処理回路 3 0 では、現フレームにおける暗画素と明画素との境界のうち、前フレームにおける境界から変化している部分に接している暗画素が階調レベル ca に置換されるとともに、明画素が階調レベル cb に置換されて、映像信号 Vid-out として出力される。このため、図 1 5 の（2）で示される画像は、第 2 実施形態の応用・変形例に係る映像処理回路 3 0 によって図 1 6 の（5 b）に示されるような階調レベルに補正される。

【 0 0 5 8 】

したがって、第 2 実施形態の応用・変形例に係る映像処理回路によれば、リバースチルトドメインに起因する表示上の不具合の発生を事前に回避しつつ、ユーザーに視認される輪郭部分が映像信号 Vid-in で示される画像からシフトしてしまうことを抑えることも可能となる。

【 0 0 5 9 】

なお、図 1 6 の（5 b）において、2 で記した画素については、図 1 6 の（5 a）と同様に、階調レベル c1 に置換しない構成としても良い。また、図 1 6 の（5 b）において、3 で記した画素については適用境界に接している、と考えて、階調レベル c1 に置換するとしたが、この例では暗画素のパターンが水平方向に移動するので、横電界の影響は小さく、輪郭に与える影響も少ないと考えられる。このため、3 で記した画素については、階調レベル cb に置換しないで、映像信号 Vid-d で示される階調レベルで出力する

10

20

30

40

50

構成としても良い。

【0060】

第2実施形態では、境界を挟んで接する画素のうち、印加電圧の低い方の画素の階調レベルを補正する構成とし、第2実施形態の応用・変形例では、境界を挟んで接する2画素の階調レベルを補正する構成としたが、3画素以上の階調レベルを補正する構成としても良い。特に、リバースチルトドメインは一旦発生すると、縦電界が弱い部分にわたって広がる傾向がある。また、暗画素となる領域がゆっくり移動する場合に、3画素以上の階調レベルを補正すれば、補正される期間が長くなるので、リバースチルトドメインを抑える意味で効果である。このため、横電界が強くなる境界付近にある画素については、1画素よりも2画素、2画素よりも3画素以上のように、より多くの画素にわたって補正することが好ましい。

10

【0061】

上述した各実施形態において、映像信号 Vid-in は、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしても良い。映像信号 Vid-in が液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすれば良い。

また、各実施形態において、液晶素子120は、透過型に限られず、反射型であっても良い。さらに、液晶素子120は、ノーマリーブラックモードに限られず、ノーマリーホワイトモードでもよいのは上述した通りである。

【0062】

<電子機器>

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル100をライトバルブとして用いた投射型表示装置（プロジェクター）について説明する。図18は、このプロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター2100の内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR（赤）色、G（緑）色、B（青）色の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

20

30

【0063】

このプロジェクター2100では、液晶パネル100を含む液晶表示装置が、R色、G色、B色のそれぞれに対応して3組設けられる。ライトバルブ100R、100Gおよび100Bの構成は、上述した液晶パネル100と同様である。R色、G色、B色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ100R、100Gおよび100Bがそれぞれ駆動される構成となっている。

ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各原色の画像が合成された後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

40

【0064】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R色、G色、B色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロイックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方

50

向は、ライトバルブ100Gによる水平走査方向と逆向きにして、左右を反転させた像を表示する構成となっている。

【0065】

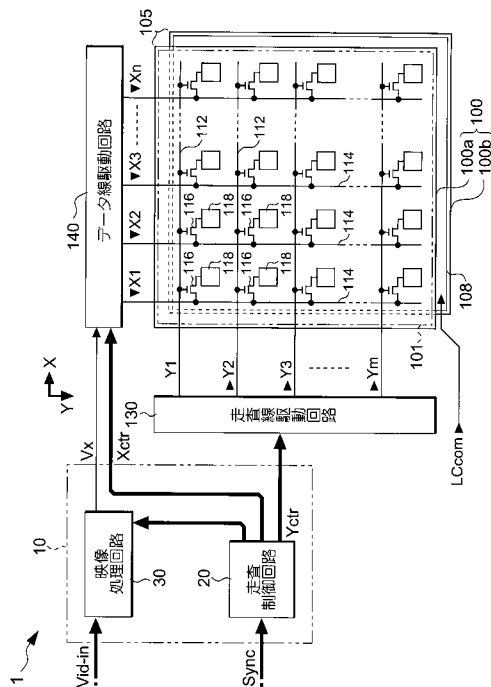
電子機器としては、図18を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニタ直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

【符号の説明】

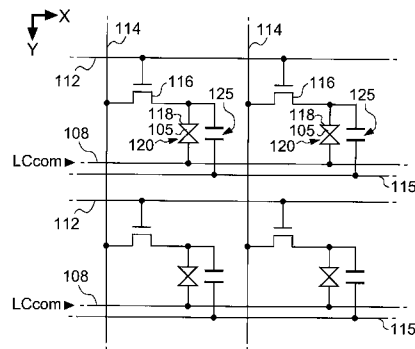
【0066】

1...液晶表示装置、30...映像処理回路、100...液晶パネル、100a...素子基板、100b...対向基板、105...液晶、108...コモン電極、118...画素電極、120...液晶素子、302...境界検出部、310...判別部、306...境界検出部、308...保存部、310...判別部、314...セレクター、316...セレクター、316...D/A変換器、2100...プロジェクター

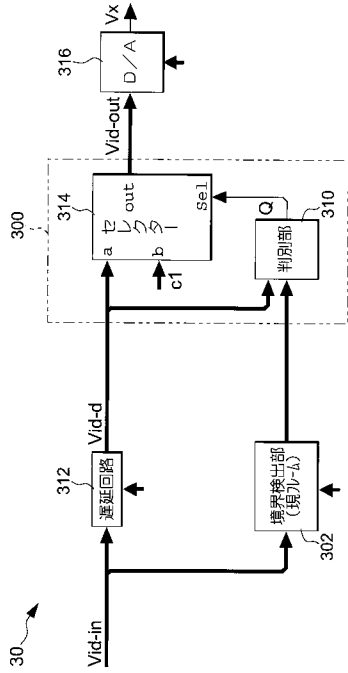
【図1】



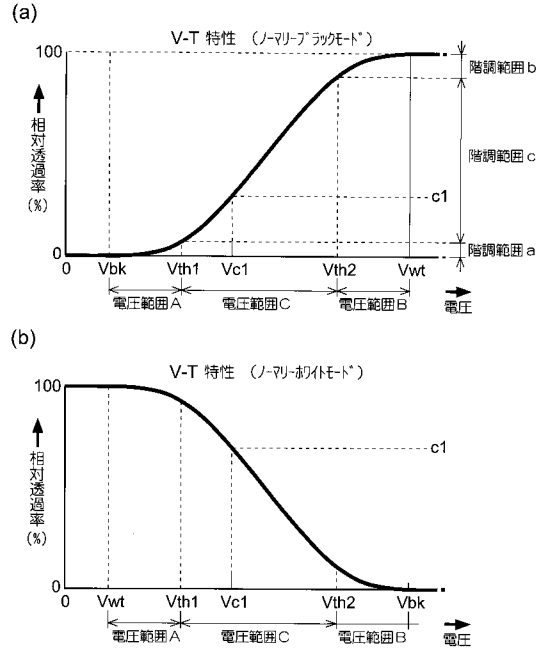
【図2】



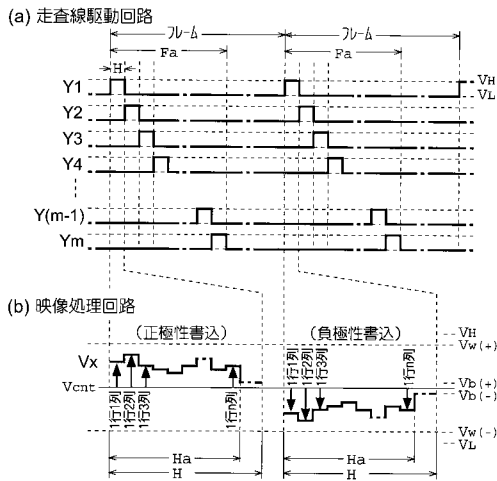
【 図 3 】



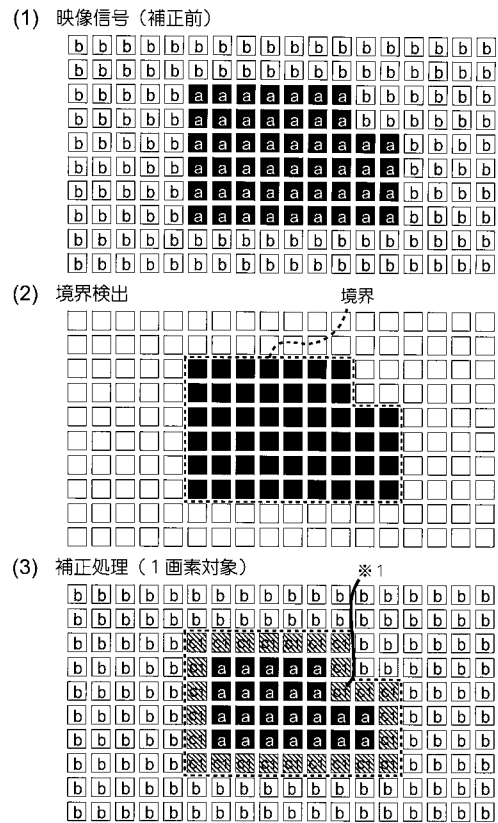
【 図 4 】



【 図 5 】



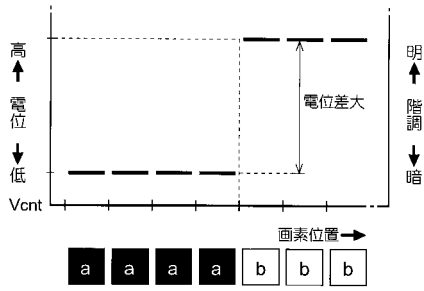
【 図 6 】



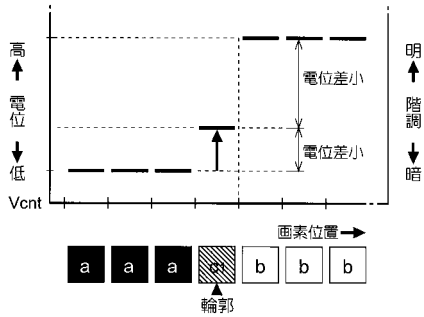
【図7】

<ノーマリフランクモード>

(a) 補正処理なし



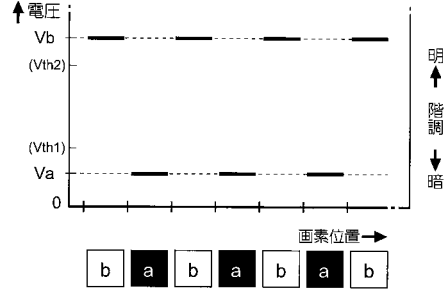
(b) 補正処理あり



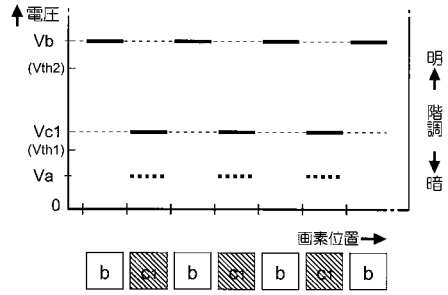
【図8】

<ノーマリフランクモード>

(a) 補正処理なし



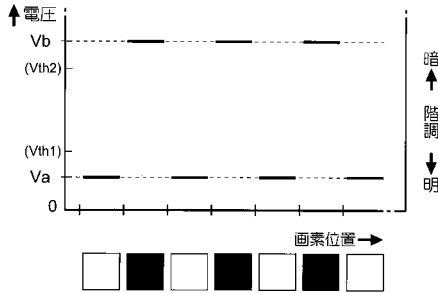
(b) 補正処理あり



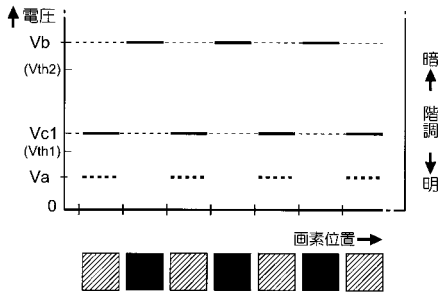
【図9】

<ノーマリホドモード>

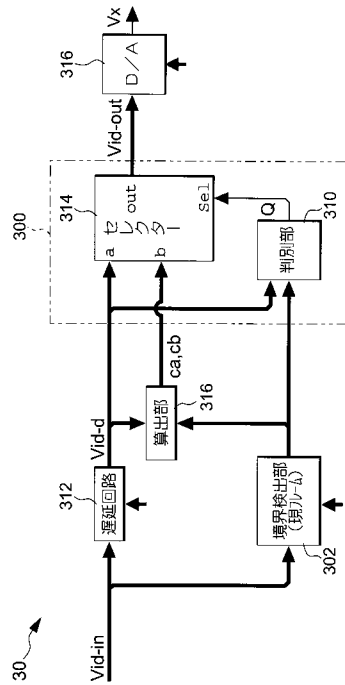
(a) 補正処理なし



(b) 補正処理あり

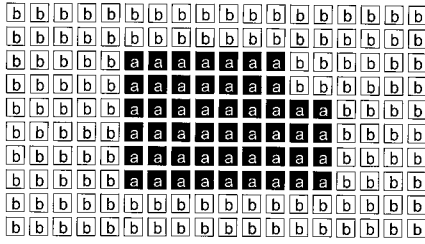


【図10】

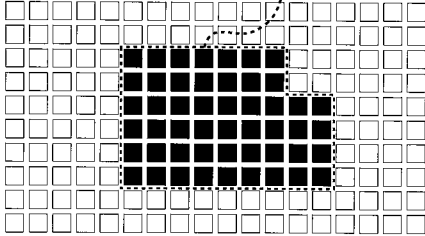


【図 1 1】

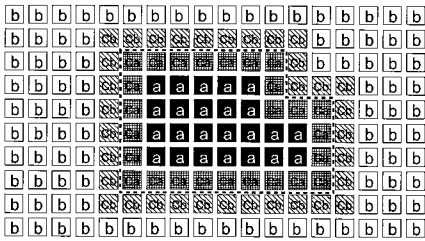
(1) 映像信号 (補正前)



(2) 境界検出



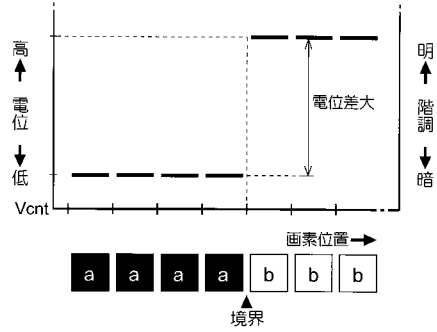
(3) 補正処理 (2画素対象)



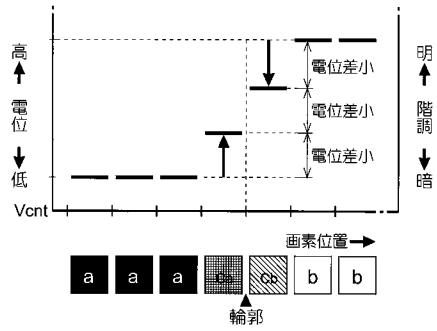
【図 1 2】

<ノーマリフックモード>

(a) 補正処理なし



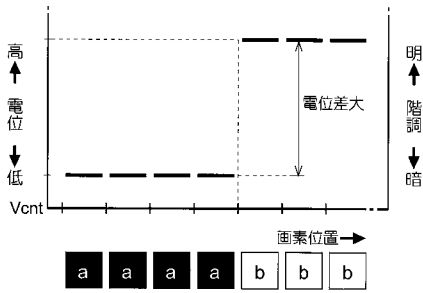
(b) 補正処理あり



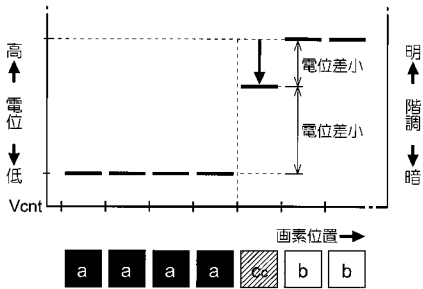
【図 1 3】

<ノーマリフックモード>

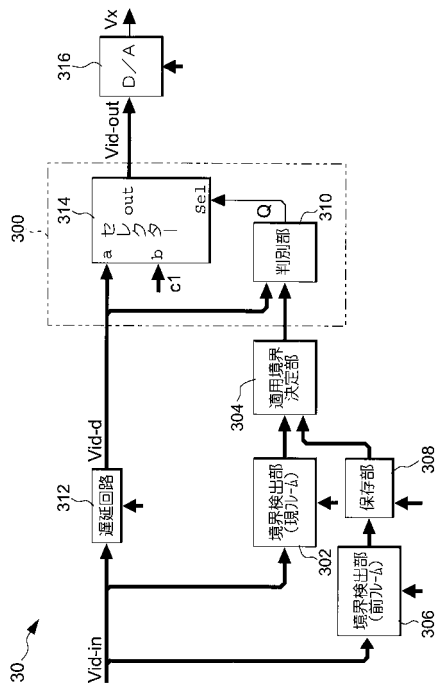
(a) 補正処理なし



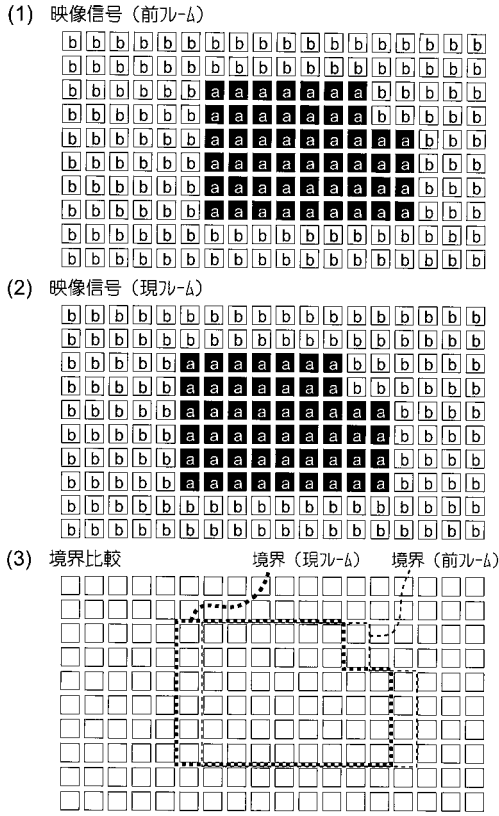
(b) 補正処理あり



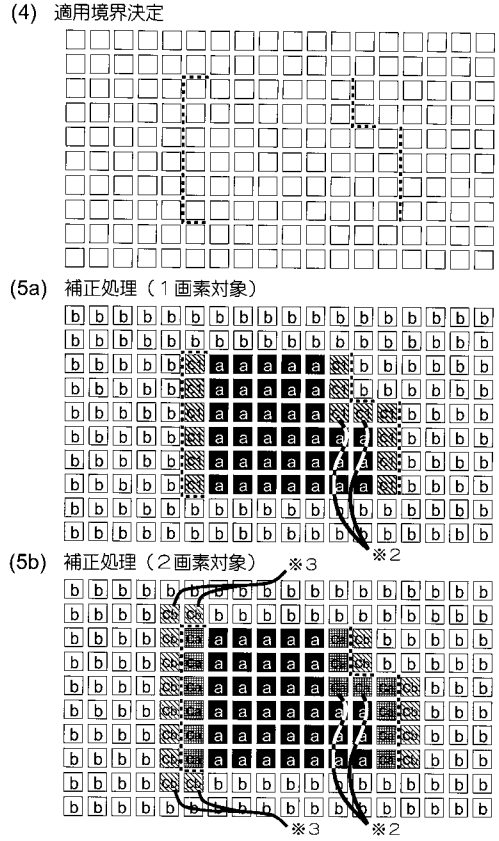
【図 1 4】



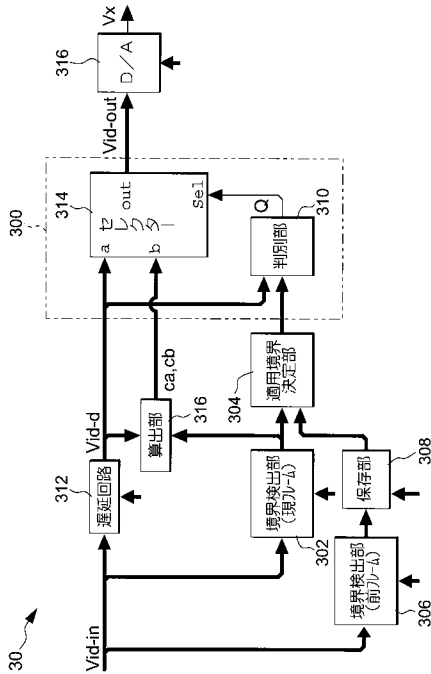
【 図 1 5 】



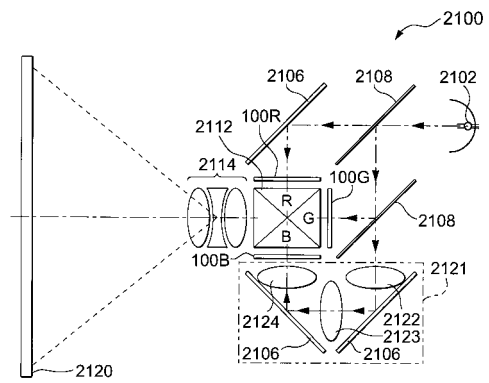
【 図 1 6 】



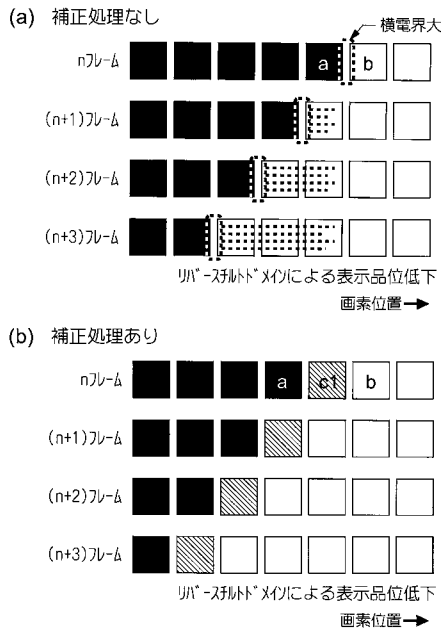
【 図 1 7 】



【 図 1 8 】



【図19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 K
G 0 9 G 3/20 6 8 0 C
G 0 9 G 3/36

審査官 藤田 都志行

(56)参考文献 特開2008-281947(JP,A)
特開2006-098803(JP,A)
特開2008-046613(JP,A)
特開2009-104053(JP,A)
特開2009-104055(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 2 F 1 / 1 3 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	图像处理电路，其处理方法，液晶显示装置和电子设备		
公开(公告)号	JP5229162B2	公开(公告)日	2013-07-03
申请号	JP2009201340	申请日	2009-09-01
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	飯坂英仁 保坂宏行		
发明人	飯坂 英仁 保坂 宏行		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G3/2011 G09G2320/0209 G09G2320/0261 G09G2320/103		
FI分类号	G02F1/133.575 G09G3/20.612.U G09G3/20.621.B G09G3/20.641.C G09G3/20.641.P G09G3/20.670.K G09G3/20.680.C G09G3/36 G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB03 2H193/ZC04 2H193/ZC24 2H193/ZD02 2H193/ZD23 2H193/ZD34 2H193/ZF11 2H193/ZH23 2H193/ZQ11 2H193/ZR04 5C006/AA16 5C006/AA22 5C006/AF01 5C006/AF45 5C006/AF46 5C006/AF64 5C006/AF83 5C006/BB15 5C006/BF24 5C006/EC11 5C006/FA54 5C080/AA10 5C080/BB05 5C080/CC03 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	须泽 修 宫坂和彦		
其他公开文献	JP2011053390A		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于横向电场的影响而导致的显示质量下降。解决方案：液晶面板100与设置在元件基板100a上的像素电极118相对并且，公共电极108设置在基板100b上，液晶元件夹在其中的液晶元件105中。在常黑模式中，图像处理电路30产生视频信号Vid-in 对应于指定灰度级的液晶元件的施加电压低于电压Vth 1的暗像素，检测亮像素和具有压力Vth 2或更高的亮像素之间的边界，并检测当前帧中的边界 与该部分接触的暗像素的施加电压从比帧前一帧检测到的边界改变 从对应于由当前帧的图像信号指定的灰度级的施加电压，电压Vth 并用低于电压Vth 2 的电压Vc 1代替它。点域1

图 1

