

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5179557号
(P5179557)

(45) 発行日 平成25年4月10日 (2013. 4. 10)

(24) 登録日 平成25年1月18日 (2013. 1. 18)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)

G09G 3/36

G09G 3/20 (2006.01)

G09G 3/20 623F

G02F 1/133 (2006.01)

G09G 3/20 612F

H03M 1/68 (2006.01)

G09G 3/20 632C

H03M 1/76 (2006.01)

G09G 3/20 650C

請求項の数 16 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2010-240483 (P2010-240483)
 (22) 出願日 平成22年10月27日 (2010. 10. 27)
 (65) 公開番号 特開2011-95749 (P2011-95749A)
 (43) 公開日 平成23年5月12日 (2011. 5. 12)
 審査請求日 平成22年10月27日 (2010. 10. 27)
 (31) 優先権主張番号 10-2009-0102453
 (32) 優先日 平成21年10月27日 (2009. 10. 27)
 (33) 優先権主張国 韓国 (KR)

(73) 特許権者 508038091
 シリコン・ワークス・カンパニー・リミテ
 ッド
 Silicon Works Co.,
 LTD.
 大韓民国デジョンシ、ユソング、タムニブ
 ドン707番
 (74) 代理人 100101454
 弁理士 山田 卓二
 (74) 代理人 100081422
 弁理士 田中 光雄
 (74) 代理人 100125874
 弁理士 川端 純市

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイパネル駆動回路

(57) 【特許請求の範囲】

【請求項 1】

Nビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレ
 イパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力されるNビット
 のデジタルデータは、上位Xビットと下位Yビットで構成されて、

前記Nビットのデジタルデータの電圧範囲を3つの領域で分けて各領域によって他の割
 合で複数のアナログ基準電圧を出力する領域別抵抗ストリング部211、212、213
 ；

前記Nビットのデジタルデータの入力を受けて、前記上位Xビットによって前記領域別
 抵抗ストリング部から入力された複数のアナログ基準電圧のうちで選択してY+1個のア
 ナログ電圧を出力して、前記下位Yビットによって異なる組合せのY+1個のアナログ電
 圧を出力する領域別デジタルアナログコンバータスイッチング部221、222、223
 ；及び

前記Y+1個のアナログ電圧及び前記異なる組合せのY+1個のアナログ電圧の入力を
 受けて前記Y+1個のアナログ電圧をそのまま出力し、前記異なる組合せのY+1個のア
 ナログ電圧に対しては前記Y値によって決められたマルチファクターによって加重値を設
 定して、補間された出力電圧を生成する補間アンプ230を具備することを特徴とする液
 晶ディスプレイパネル駆動回路。

【請求項 2】

入力されるデジタルデータは複数個が具備されて、

10

20

それに対応して前記領域別デジタルアナログコンバータスイッチング部及び前記補間アンプが複数個ずつ具備されて、

制御信号に応答して前記複数個の補間アンプの出力電圧を前記液晶ディスプレイパネル回路に送る出力スイッチ部 250 をさらに具備することを特徴とする請求項 1 に記載の液晶ディスプレイパネル駆動回路。

【請求項 3】

前記領域別抵抗ストリング部 211、212、213 は、

$2^{(1/2)^X}$ 個の抵抗が直列連結されて、各抵抗の連結支点で前記 X ビットのうちで一番高い領域の電圧に該当する複数のアナログ基準電圧を生成する上位領域抵抗ストリング部 211 ;

10

2^X 個の抵抗が直列連結されて各抵抗の連結支点で前記 X ビットのうちで一番高い領域の電圧と一番低い領域の電圧を除いた領域の複数の電圧に該当する複数のアナログ基準電圧を生成する中間領域抵抗ストリング部 212 ; 及び

$2^{(1/2)^X}$ 個の抵抗が直列連結されて各抵抗の連結支点で前記 X ビットのうちで一番低い電圧に該当する複数のアナログ基準電圧を生成する下位領域抵抗ストリング部 213 を具備することを特徴とする請求項 1 に記載の液晶ディスプレイパネル駆動回路。

【請求項 4】

前記領域別デジタルアナログコンバータスイッチング部 221、222、223 は、

前記上位領域抵抗ストリング部から複数のアナログ基準電圧の入力を受けて、前記 N ビットのデジタルデータに制御される $2^{(1/2)^X}$ 個のトランジスタによって前記 Y + 1 個のアナログ電圧を出力する上位領域デジタルアナログコンバータスイッチング部 221 ;

20

前記中間領域抵抗ストリング部から複数のアナログ基準電圧の入力を受けて、前記 N ビットのデジタルデータに制御される 2^X 個のトランジスタによって前記 Y + 1 個のアナログ電圧を出力する中間領域デジタルアナログコンバータスイッチング部 222 ; 及び

前記下位領域抵抗ストリング部から複数のアナログ基準電圧の入力を受けて、前記 N ビットのデジタルデータに制御される $2^{(1/2)^X}$ 個のトランジスタによって前記 Y + 1 個のアナログ電圧を出力する下位領域デジタルアナログコンバータスイッチング部 223 を具備することを特徴とする請求項 3 に記載の液晶ディスプレイパネル駆動回路。

【請求項 5】

30

前記中間領域デジタルアナログコンバータスイッチング部 222 は、

前記下位 Y ビットデータによってお互いに異なる組合せの前記 Y + 1 個のアナログ基準電圧を出力して、前記 Y + 1 個のアナログ基準電圧がお互いに異なるレベルである場合、前記中間領域抵抗ストリング部から出力される複数のアナログ基準電圧のうちで隣接する複数の電圧レベルの信号であることを特徴とする請求項 4 に記載の液晶ディスプレイパネル駆動回路。

【請求項 6】

前記上位領域デジタルアナログコンバータスイッチング部 221 または前記下位領域デジタルアナログコンバータスイッチング部 223 は、

同一な電圧レベルを有する Y + 1 個のアナログ基準電圧を出力することを特徴とする請求項 4 に記載の液晶ディスプレイパネル駆動回路。

40

【請求項 7】

前記上位領域抵抗ストリング部 221 または前記下位領域抵抗ストリング部 223 は、

2 の指数である $(1/2)^X$ が整数ではない場合に四捨五入した整数値で $(1/2)^X$ を計算して抵抗の個数を選択することを特徴とする請求項 4 に記載の液晶ディスプレイパネル駆動回路。

【請求項 8】

前記出力スイッチ部 250 は、

前記制御信号によって前記補間アンプの出力の極性をポジティブまたはネガティブに変える機能、電流消耗を減少させるための電荷共有機能または出力イネーブル機能のうちで

50

少なくとも一つ以上を具備することを特徴とする請求項 2 に記載の液晶ディスプレイパネル駆動回路。

【請求項 9】

前記領域別抵抗ストリング部 2 1 1、2 1 2、2 1 3 は、
 ポジティブアナログ基準電圧を生成するためのポジティブ抵抗ストリング部；及び
 ネガティブアナログ基準電圧を生成するためのネガティブ抵抗ストリング部を具備することを特徴とする請求項 1 に記載の液晶ディスプレイパネル駆動回路。

【請求項 10】

前記補間アンプ 2 3 0 は、
 前記ポジティブアナログ基準電圧の駆動のためのポジティブバッファ；及び
 前記ネガティブアナログ基準電圧の駆動のためのネガティブバッファを具備することを特徴とする請求項 9 に記載の液晶ディスプレイパネル駆動回路。

10

【請求項 11】

前記補間アンプ 2 3 0 は、
 前記領域別デジタルアナログコンバータスイッチング部から出力される前記 Y + 1 個のアナログ基準電圧をそれぞれ入力される複数のトランジスターで構成されて、トランジスター毎に下位 Y ビット数によってマルチファクターを有する非反転入力部 2 3 1；
 前記補間アンプの出力電圧をそれぞれ入力されて、前記非反転入力部と対をなす複数のトランジスターで構成されて、トランジスター毎に下位 Y ビット数によってマルチファクターを有する反転入力部 2 3 2；

20

前記非反転入力部と前記反転入力部の能動ロードで動作するロード部 2 3 5；
 第 1 バイアス電圧に応答して前記補間アンプを駆動させる第 1 バイアス印加部 2 3 4；
 第 2 バイアス電圧を各ゲートに入力されて、前記非反転入力部の複数のトランジスターと同一なマルチファクターを有する複数のトランジスターで構成されて、前記反転入力部及び前記非反転入力部に電流を供給する第 2 バイアス印加部 2 3 3；及び
 前記ロード部で変動された電圧によって前記出力電圧を出力する出力部 2 3 6 を具備して、

前記非反転入力部 2 3 1、前記反転入力部 2 3 2 及び前記第 2 バイアス印加部 2 3 3 を構成する複数のトランジスターは各マルチファクターを具備する複数のトランジスター同士で複数の差動対を形成することを特徴とする請求項 1 に記載の液晶ディスプレイパネル駆動回路。

30

【請求項 12】

N ビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレイパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力される N ビットのデジタルデータは上位 X ビットと下位 Y ビットで構成されて、

上位 X ビットを基準に生成されたアナログ基準電圧のうちで前記 X ビットによって Y + 1 個のアナログ電圧を出力し、前記下位 Y ビットによって異なる組合せの Y + 1 個のアナログ電圧を出力するデジタルアナログコンバータスイッチング部；及び

前記 Y + 1 個のアナログ電圧及び前記異なる組合せの Y + 1 個のアナログ電圧の入力を受けて前記 Y + 1 個のアナログ電圧をそのまま出力し、前記異なる組合せの Y + 1 個のアナログ電圧に対しては前記 Y 値によって決められたマルチファクターによって加重値を設定して補間された出力電圧を生成する補間アンプ 2 3 0 を具備して、

40

前記補間アンプ 2 3 0 は、

前記デジタルアナログコンバータスイッチング部から出力される前記 Y + 1 個のアナログ基準電圧をそれぞれ入力される複数のトランジスターで構成されて、トランジスター毎に下位 Y ビットの数によってマルチファクターを有する非反転入力部 2 3 1；

前記補間アンプの出力電圧をそれぞれ入力されて、前記非反転入力部と対をなす複数のトランジスターで構成されて、トランジスター毎に下位 Y ビットの数によってマルチファクターを有する反転入力部 2 3 2；

前記非反転入力部と前記反転入力部の能動ロードで動作するロード部 2 3 5；

50

第 1 バイアス電圧に応答して前記補間アンプを駆動させる第 1 バイアス印加部 2 3 4 ;
第 2 バイアス電圧を各ゲートに入力されて、前記非反転入力部の複数のトランジスター
と同一なマルチファクターを有する複数のトランジスターで構成されて前記反転入力部及
び前記非反転入力部に電流を供給する第 2 バイアス印加部 2 3 3 ; 及び

前記ロード部で変動された電圧によって前記出力電圧を出力する出力部 2 3 6 を具備し
て、

前記非反転入力部 2 3 1、前記反転入力部 2 3 2 及び前記第 2 バイアス印加部 2 3 3 を
構成する複数のトランジスターは各マルチファクターを具備する複数のトランジスター同
士で複数の差動対を形成することを特徴とする液晶ディスプレイパネル駆動回路。

【請求項 1 3】

10

前記第 1 バイアス電圧または前記第 2 バイアス電圧は、前記補間アンプの外部に具備さ
れたバイアス回路から供給されることを特徴とする請求項 1 2 に記載の液晶ディスプレイ
パネル駆動回路。

【請求項 1 4】

Y = 2 である場合、前記デジタルアナログコンバータスイッチング部は 3 個のアナログ
基準電圧を出力して、

前記非反転入力部 2 3 1 は、

前記デジタルアナログコンバータスイッチング部の第 1 出力信号をゲートに入力されて
、マルチファクターが 1 である第 1 トランジスター ;

前記デジタルアナログコンバータスイッチング部の第 2 出力信号をゲートに入力されて
、マルチファクターが 2 である第 2 トランジスター ; 及び

20

前記デジタルアナログコンバータスイッチング部の第 3 出力信号をゲートに入力されて
、マルチファクターが 1 である第 3 トランジスターを具備することを特徴とする請求項 1
2 に記載の液晶ディスプレイパネル駆動回路。

【請求項 1 5】

前記非反転入力部を構成するトランジスター、前記反転入力部を構成するトランジスタ
ーまたは前記第 2 バイアス印加部を構成するトランジスターは、すべて同一な大きさであ
ることを特徴とする請求項 1 2 に記載の液晶ディスプレイパネル駆動回路。

【請求項 1 6】

前記補間アンプの入力端の電流源は 1 個を具備して、前記補間アンプ 2 3 0 の入力端の
電流源はマルチファクターを増加させて前記補間アンプ 2 3 0 の入力端の電流を増加させ
て、前記差動対に流れる電流はそれぞれの差動対のマルチファクターによって分配され
ることを特徴とする請求項 1 2 に記載の液晶ディスプレイパネル駆動回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイパネル駆動回路に関し、具体的には、面積を大きく減少さ
せた液晶ディスプレイパネル駆動回路に関する。

【背景技術】

【0002】

40

最近、テレビのようなディスプレイパネル (display panel) の解像度が
、毎日が異なるように増加している。このように、ディスプレイパネルの解像度が増加す
ることによってディスプレイ装置のソースドライバ IC (Integrated Ci
rcuit) でパネルを駆動させるために要求される駆動回路の大きさも増加している。

【0003】

このような液晶ディスプレイパネル駆動回路において、回路の面積は重要な要因のうち
で一つとして駆動回路の大きさが増加する場合、液晶ディスプレイ駆動回路及びシステム
の生産原価の増加及びそれによる競争力低下を発生させるために、液晶ディスプレイ駆動
回路の面積を減少させるための技術が要求される。

【0004】

50

図1は、従来技術による液晶ディスプレイパネル駆動回路の一実施例を示したものである。

【0005】

図1に示された液晶ディスプレイパネル駆動回路100は、抵抗ストリング部110、デジタルアナログコンバータスイッチング部121、122、バッファ131、132及び出力スイッチ部140に構成される。

【0006】

前記抵抗ストリング部110と前記デジタルアナログコンバータスイッチング部121、122を合わせて抵抗デジタルアナログコンバータ(Resistor DAC)と言う。

10

【0007】

前記抵抗ストリング部110は、直列連結された抵抗を具備する。入力されるデジタルデータがNビットである場合、前記抵抗ストリング部110は、 2^N 個の抵抗で構成されて、各抵抗の連結ノード毎に互いに異なる基準電圧を発生させるので、 2^N 個の基準電圧を生成することができる。

【0008】

液晶ディスプレイパネル駆動回路は、タイミングコントローラ(Timing controller)からデジタルデータの入力を受けて、前記抵抗ストリング部110で発生した 2^N 個の基準電圧のうちで前記デジタルデータに相応する一つのアナログ基準電圧を第1デジタルアナログコンバータスイッチング部121で選択して出力して、バッファ131で液晶ディスプレイパネルのデータラインのロードを駆動させる。

20

【0009】

また、液晶ディスプレイパネルの画像具現方式は、液晶ディスプレイパネル駆動回路の複数の出力がそれぞれ異なるデータを駆動して、各データによる色の組合せで画像を具現するので、入力されるデジタルデータ毎にデジタルアナログコンバータとバッファ(または、アンプ)がそれぞれの出力毎に具備されていなければならない(図1の第1デジタルアナログコンバータスイッチング部121及び第Mデジタルアナログコンバータスイッチング部122、バッファ131、132を参照)。

【0010】

液晶ディスプレイパネルの解像度を決める要素は、デジタルアナログコンバータ(DAC)の解像度であり、デジタルアナログコンバータ(DAC)の解像度が高いほど自然な色感を具現することができる。

30

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2009-065481号公報。

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかし、デジタルアナログコンバータの解像度を高めるためには、入力されるデジタルデータのビット数(N)が増加されて、ビット数(N)が増加するほど抵抗ストリング部110で要求される抵抗及びデジタルアナログコンバータスイッチング部を構成するトランジスタの個数は幾何級数的に増加されるので、駆動回路の面積の増加をもたらして、その結果生産原価の増加につながる問題点がある。

40

【0013】

本発明がなそうとする技術的課題は、ディスプレイパネル駆動回路の大部分の面積を占めるデジタルアナログコンバータ回路の面積を減少させるためにデジタルアナログコンバータの機能をアンプで一部遂行して、回路面積を大きく減少させた液晶ディスプレイパネル駆動回路を提供することにある。

【課題を解決するための手段】

50

【 0 0 1 4 】

前記技術的課題を達成するための本発明による液晶ディスプレイパネル駆動回路は、Nビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレイパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力されるNビットのデジタルデータは上位Xビットと下位Yビットで構成されて、前記Nビットのデジタルデータの電圧範囲を3個の領域で分けて各領域によって異なる割合で複数のアナログ基準電圧を出力する領域別抵抗ストリング部211、212、213；前記Nビットのデジタルデータの入力を受けて前記上位Xビットによって前記領域別抵抗ストリング部から入力を受けた複数のアナログ基準電圧のうちで選択してY+1個のアナログ電圧を出力して、前記下位Yビットによって異なる組合せのY+1個のアナログ電圧を出力する領域別デジタルアナログコンバータスイッチング部221、222、223；及び前記Y+1個のアナログ電圧及び前記異なる組合せのY+1個のアナログ電圧の入力を受けて前記Y+1個のアナログ電圧をそのまま出力し、前記異なる組合せのY+1個のアナログ電圧に対しては前記Y値によって決められたマルチファクターによって加重値を設定して、補間された出力電圧を生成する補間アンプ230を具備することを特徴とする。

10

【 0 0 1 5 】

また、本発明による液晶ディスプレイパネル駆動回路は、Nビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレイパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力されるNビットのデジタルデータは、上位Xビットと下位Yビットで構成されて、上位Xビットを基準に生成されたアナログ基準電圧のうちで前記XビットによってY+1個のアナログ電圧を出力し、前記下位Yビットによって異なる組合せのY+1個のアナログ電圧を出力するデジタルアナログコンバータスイッチング部；及び

20

前記Y+1個のアナログ電圧及び前記異なる組合せのY+1個のアナログ電圧の入力を受けて前記Y+1個のアナログ電圧をそのまま出力し、前記異なる組合せのY+1個のアナログ電圧に対しては前記Y値によって決められたマルチファクターによって加重値を設定して補間された出力電圧を生成する補間アンプ230を具備して、前記補間アンプ230は、前記デジタルアナログコンバータスイッチング部から出力される前記Y+1個のアナログ基準電圧を、それぞれ入力を受ける複数のトランジスタで構成されて、トランジスタ毎に下位Yビット数によってマルチファクターを有する非反転入力部231；前記補間アンプの出力電圧を、それぞれ入力を受けて、前記非反転入力部と対をなす複数のトランジスタで構成されて、トランジスタ毎に下位Yビット数によってマルチファクターを有する反転入力部232；前記非反転入力部と前記反転入力部の能動ロードで動作するロード部235；第1バイアス電圧にตอบสนองして前記補間アンプを駆動させる第1バイアス印加部234；第2バイアス電圧を、各ゲートに入力を受けて、前記非反転入力部の複数のトランジスタと同一なマルチファクターを有する複数のトランジスタで構成されて、前記反転入力部及び前記非反転入力部に電流を供給する第2バイアス印加部233；及び前記ロード部で変動された電圧によって前記出力電圧を出力する出力部236を具備して、前記非反転入力部231、前記反転入力部232及び前記第2バイアス印加部233を構成する複数のトランジスタは、各マルチファクターを具備する複数のトランジスタ同士に複数の差動対を形成することを特徴とする。

30

40

【 発明の効果 】

【 0 0 1 6 】

本発明による液晶ディスプレイパネル駆動回路は、回路面積を大きく減少させた効果がある。従来技術による駆動回路は、抵抗ストリング部の抵抗及びDACスイッチング部のトランジスタの個数がそれぞれ 2^N 程度必要であれば、本発明による駆動回路は、抵抗及びトランジスタはそれぞれ $2^X + 2 \left(2^{\left(\frac{1}{Y-2} \right)^X} \right)$ の個数程度必要であって、さらに補間アンプに $\left(2^{\left(Y-3 \right)} + 2^{\left(Y-2 \right)} + 2^{\left(Y-1 \right)} \right) \times 3$ 個のトランジスタが必要であるが、全体的に抵抗及びトランジスタの個数が大きく減少されるので面積減少の効果が大きい。

50

【図面の簡単な説明】

【 0 0 1 7 】

【図 1】従来技術による液晶ディスプレイパネル駆動回路の一実施例を示したものである。

【図 2】本発明による液晶ディスプレイパネル駆動回路の一実施例を示したものである。

【図 3】図 2 に示されたアナログデジタルコンバータスイッチング部の入力による出力範囲を示したものである。

【図 4】図 2 に示された補間アンプの詳細回路図を示したものである。

【図 5】 $Y = 2$ である場合に図 2 に示されたアナログデジタルコンバータスイッチング部の出力電圧と補間アンプの出力電圧の例を示したものである。

10

【発明を実施するための形態】

【 0 0 1 8 】

以下、添付された図面を参照して本発明をより詳しく説明する。

【 0 0 1 9 】

図 2 は、本発明による液晶ディスプレイ駆動回路の一実施例を示したものである。

【 0 0 2 0 】

図 2 に示された液晶ディスプレイ駆動回路 2 0 0 は、領域別抵抗ストリング部 2 1 1、2 1 2、2 1 3、領域別デジタルアナログコンバータ(DAC)スイッチング部 2 2 1 ~ 2 2 6、補間アンプ 2 3 0、2 4 0 及び出力スイッチ部 2 5 0 で構成される。

【 0 0 2 1 】

20

図 3 を参照すれば、入力されるデジタルデータ N ビット(N ビット入力)は、上位 X ビットと下位 Y ビットで構成される(X 及び Y は、0 以上の整数である)。例えば、デジタルデータ N ビット(N ビット入力)が 1 0 ビットであり、上位 X ビットが 7 ビットなら、下位 Y ビットは 3 ビットになる。

【 0 0 2 2 】

前記領域別抵抗ストリング部 2 1 1、2 1 2、2 1 3 は、前記 N ビットのデジタルデータの電圧範囲を 3 個の領域で分けて各領域によって異なる割合で複数のアナログ基準電圧を出力する。

【 0 0 2 3 】

特に、前記領域別抵抗ストリング部 2 1 1、2 1 2、2 1 3 は、発生させる基準電圧の大きさによって上位領域抵抗ストリング部 2 1 1、中間領域抵抗ストリング部 2 1 2 及び下位領域抵抗ストリング部 2 1 3 に区分される。

30

【 0 0 2 4 】

前記上位領域抵抗ストリング部 2 1 1 は、上位ビットである X ビット領域のうちで一番高いアナログ基準電圧を発生させる。前記上位領域抵抗ストリング部 2 1 1 は、複数の抵抗が一行に配置されて、各抵抗の連結支点で前記複数のアナログ基準電圧を生成する。前記上位領域抵抗ストリング部 2 1 1 は、 $2^{(1/2)^X}$ 個の抵抗を具備する。但し、2 の指数である $(1/2)^X$ が整数ではない場合四捨五入した整数値で抵抗の個数を選択する。

【 0 0 2 5 】

40

前記中間領域抵抗ストリング部 2 1 2 は、上位ビットである X ビットの領域のうちで一番高い基準電圧と一番低い基準電圧を除いた中間領域の複数のアナログ基準電圧を発生させる。前記中間領域抵抗ストリング部 2 1 2 は、複数の抵抗が一行に配置されて各抵抗の連結支点で前記複数のアナログ基準電圧を生成する。前記中間領域抵抗ストリング部 2 1 2 は、 2^X 個の抵抗を具備する。

【 0 0 2 6 】

前記下位領域抵抗ストリング部 2 1 3 は、上位ビットである X ビットの領域のうちで一番低いアナログ基準電圧を発生させる。前記下位領域抵抗ストリング部 2 1 3 は、複数の抵抗が一行に配置されて、各抵抗の連結支点で前記複数のアナログ基準電圧を生成する。前記下位領域抵抗ストリング部 2 1 3 は、 $2^{(1/2)^X}$ 個の抵抗を具備する。但し、2

50

の指数である $(1/2) \times$ が整数ではない場合、四捨五入した整数値で抵抗の個数を選択する。

【0027】

また、前記領域別抵抗ストリング部211、212、213は、ポジティブ基準電圧を生成するためのポジティブ抵抗ストリング部及びネガティブ基準電圧を生成するためのネガティブ抵抗ストリング部で構成される(図示せず)。

【0028】

前記領域別デジタルアナログコンバータスイッチング部221、222、223は、前記Nビットのデジタルデータの入力を受けて、前記上位Xビットによって前記領域別抵抗ストリング部211、212、213から入力を受けた複数のアナログ基準電圧のうちで
10
選択して、Y+1個のアナログ電圧を出力して、前記下位Yビットによって異なる組合せの前記Y+1個のアナログ電圧を出力する。

【0029】

前記領域別デジタルアナログコンバータスイッチング部221、222、223は、上位領域DACスイッチング部221、中間領域DACスイッチング部222、下位領域DACスイッチング部223で構成される。

【0030】

前記上位領域DACスイッチング部221は、Nビットのデジタル入力データ(Nビット入力)に制御されて、前記上位領域抵抗ストリング部211から出力された複数の基準電圧の入力を受けて、そのうちで選択してY+1個の出力で前記補間アンプ230に伝達
20
する。この時、Y+1個の出力信号はすべて同一な電圧レベルを有する。例えば、Y=2である時、前記上位領域DACスイッチング部は、V1、V1、V1を出力する。

【0031】

前記中間領域DACスイッチング部222は、Nビットのデジタル入力データ(Nビット入力)に制御されて、前記中間領域抵抗ストリング部212から出力された複数の基準電圧の入力を受けて、そのうちで選択してY+1個の出力で前記補間アンプ230に伝達
30
する。

【0032】

例えば、Y=2である時、図5を参照すれば、前記中間領域DACスイッチング部222は、下位ビットのデジタルデータによってV1とV2の組合せによってV1、V1、V1またはV1、V1、V2またはV2、V1、V2またはV2、V2、V1の出力信号を出力する。

【0033】

V1とV2は、上位ビットに根拠して前記領域別抵抗ストリング部211、212、213の基準電圧から抽出された値である。V2はV1より所定電圧が高い電圧であり、前記複数のアナログ基準電圧のうちでV1に一番隣接した基準電圧である。

【0034】

前記下位領域DACスイッチング部223は、Nビットのデジタル入力データ(Nビット入力)に制御されて、前記下位領域抵抗ストリング部213から出力された複数の基準電圧の入力を受けて、そのうちで選択してY+1個の出力で前記補間アンプ230に伝達
40
する。この時、Y+1個の出力信号は、すべて同一な電圧レベルを有する。例えば、Y=2である時、前記下位領域DACスイッチング部223はV1、V1、V1を出力する。

【0035】

前記領域別デジタルアナログコンバータスイッチング部221、222、223は、スイッチング素子またはトランジスタで具現することができる。例えば、上位領域デジタルアナログコンバータスイッチング部221は、前記上位領域抵抗ストリング部211から複数の基準電圧の入力を受けて、前記Nビットのデジタルデータ通信(Nビット入力)で制御される $2 \left(\frac{1}{2} \right)^X$ 個のトランジスタによって前記Y+1個のアナログ電圧を出力するように構成することができる。

【0036】

10

20

30

40

50

また、前記中間領域デジタルアナログコンバータスイッチング部 2 2 2 は、前記中間領域抵抗ストリング部 2 1 2 から複数の基準電圧の入力を受けて、前記 N ビットのデジタルデータ通信 (N ビット入力) で制御される 2^X 個のトランジスタによって前記 Y + 1 個のアナログ電圧を出力するように構成することができる。

【 0 0 3 7 】

また、前記下位領域デジタルアナログコンバータスイッチング部 2 2 3 は、前記下位領域抵抗ストリング部 2 1 3 から複数の基準電圧の入力を受けて、前記 N ビットのデジタルデータ (N ビット入力) で制御される $2^{(1/2)^X}$ 個のトランジスタによって前記 Y + 1 個のアナログ電圧を出力するように構成することができる。

【 0 0 3 8 】

10

前記補間アンプ 2 3 0 は、前記 Y + 1 個のアナログ電圧の入力を受けて前記 Y 値によって決められたマルチファクターによって前記 Y + 1 個のアナログ電圧毎に加重値を設定して補間された出力電圧を生成する。

【 0 0 3 9 】

前記補間アンプ 2 3 0 は前記上位領域 D A C スwitching 部 2 2 1 及び前記下位領域 D A C スwitching 部 2 2 3 から基準電圧の入力を受ける場合、入力された基準電圧をそのまま出力して、前記中間領域 D A C スwitching 部 2 2 2 から基準電圧の入力を受ける場合、入力された複数の基準電圧にマルチファクターをおいて出力電圧を発生させる。

【 0 0 4 0 】

また、前記補間アンプ 2 3 0 は、前記ポジティブ基準電圧の駆動のためのポジティブバッファ及び前記ネガティブ基準電圧の駆動のためのネガティブバッファで構成される (図示せず) 。

20

【 0 0 4 1 】

前記出力スイッチ部 2 5 0 は、前記補間アンプ 2 3 0 、 2 4 0 の出力を入力されて選択して、液晶ディスプレイパネルに電圧 ($Out < 1 > \sim Out < K >$) を供給する。前記出力スイッチ部 2 5 0 は制御信号 ($Ctrl$) によって出力信号の極性をポジティブまたはネガティブに反転させる極性反転機能、ポジティブ極性とネガティブ極性を変えることにおいて、電流消耗を減少させるための電荷共有 ($Charge Share$) または出力イネーブル ($output enable$) 機能などを制御する。前記出力スイッチ部 2 5 0 は、例えば、マルチプレクサー ($Multiplexer$) によって具現することができる。

30

【 0 0 4 2 】

すなわち、液晶ディスプレイパネルの画像具現方式は、液晶ディスプレイパネル駆動回路の複数の出力がそれぞれ異なるデータを駆動して、各データによる色の組合せで画像を具現するので、領域別デジタルアナログコンバータスイッチング部 2 2 1 、 2 2 2 、 2 2 3 と補間アンプ 2 3 0 がそれぞれの出力毎に具備されていなければならない。

【 0 0 4 3 】

図 2 を参照してより具体的に説明すれば、本発明による液晶ディスプレイパネル駆動回路は、入力されるデジタルデータ (N ビット入力) は複数個が具備されて、それに対応して前記領域別デジタルアナログコンバータスイッチング部及び前記補間アンプが複数個ずつ具備されて、第 1 ないし第 M 領域別デジタルアナログコンバータスイッチング部 (2 2 1 、 2 2 2 、 2 2 3) 、 (2 2 4 、 2 2 5 、 2 2 6) はそれぞれ異なるデジタルデータの入力を受けて、それぞれの第 1 ないし第 M 領域別デジタルアナログコンバータスイッチング部の複数の出力電圧をそれぞれの第 1 ないし第 M 補間アンプ 2 3 0 、 2 4 0 が入力を受けて動作する。その後、前記出力スイッチ部 2 5 0 は制御信号に応答して前記複数個の補間アンプ 2 3 0 、 2 4 0 の出力を選択して前記液晶ディスプレイ回路に送る。

40

【 0 0 4 4 】

図 4 は、図 2 に示された補間アンプ 2 3 0 の詳細回路図を示したものである。

【 0 0 4 5 】

図 4 に示された補間アンプ 2 3 0 は、非反転入力部 2 3 1 、反転入力部 2 3 2 、第 1 バ

50

イアス印加部 2 3 4、第 2 バイアス印加部 2 3 3、ロード部 2 3 5 及び出力部 2 3 6 を具備する。

【 0 0 4 6 】

前記非反転入力部 2 3 1 は、前記領域別デジタルアナログコンバータスイッチング部 2 2 1、2 2 2、2 2 3 から出力される前記 Y + 1 個のアナログ基準電圧 (Y A、Y B、Y C、Y D、Y E) をそれぞれ入力される複数のトランジスタ (M 1 ~ M 5) で構成されて、トランジスタ毎に下位 Y ビット数によってマルチファクターを有する。

【 0 0 4 7 】

前記反転入力部 2 3 2 は、前記補間アンプ 2 3 0 の出力電圧をそれぞれ入力されて、前記非反転入力部 2 3 1 と対をなす複数のトランジスタ (M 6 ~ M 1 0) で構成されて、トランジスタ毎に下位 Y ビット数によってマルチファクターを有する。

10

【 0 0 4 8 】

前記ロード部 2 3 5 は、前記非反転入力部 2 3 1 と前記反転入力部 2 3 2 の能動ロードで動作する。

【 0 0 4 9 】

前記第 1 バイアス印加部 2 3 4 は、第 1 バイアス電圧 (B i a s 1) に応答して前記補間アンプ 2 3 0 を駆動させる。

【 0 0 5 0 】

前記第 2 バイアス印加部 2 3 3 は、第 2 バイアス電圧 (B i a s 2) を各ゲートに入力されて、前記非反転入力部 2 3 1 の複数のトランジスタと同一なマルチファクターを有する複数のトランジスタ (M 1 1 ~ M 1 5) で構成されて、前記反転入力部 2 3 2 及び前記非反転入力部 2 3 1 に電流を供給する。

20

【 0 0 5 1 】

前記出力部 2 3 6 は、前記ロード部 2 3 5 で変動された電圧によって前記出力電圧 (O u t) を出力する。

【 0 0 5 2 】

前記非反転入力部 2 3 1、前記反転入力部 2 3 2 及び前記第 2 バイアス印加部 2 3 3 を構成する複数のトランジスタは各マルチファクターを具備する複数のトランジスタ同士で複数の差動対を形成する。

【 0 0 5 3 】

より具体的に説明すれば、前記ロード部 2 3 5 は第 1 7 トランジスタ (M 1 7) と第 1 8 トランジスタ (M 1 8) を具備する。

30

【 0 0 5 4 】

前記第 1 7 トランジスタ (M 1 7) は、電源電圧 (V D D A) を第 1 端子に入力される。前記第 1 8 トランジスタは電源電圧 (V D D A) を第 1 端子に入力されて、ゲート端子が前記第 1 7 トランジスタ (M 1 7) のゲート端子に連結されて、前記第 1 8 トランジスタの第 2 端子は前記第 1 8 トランジスタのゲート端子に連結される。

【 0 0 5 5 】

前記非反転入力部 2 3 1 は、第 1 トランジスタ (M 1) ないし第 5 トランジスタ (M 5) を具備する。

40

【 0 0 5 6 】

前記第 1 トランジスタ (M 1) は、前記領域別デジタルアナログコンバータスイッチング部の第 1 出力信号 (Y A) をゲートに入力されて、第 1 端子が第 1 7 トランジスタ (M 1 7) の第 2 端子に連結される。前記第 2 トランジスタ (M 2) は前記領域別デジタルアナログコンバータスイッチング部の第 2 出力信号 (Y B) をゲートに入力されて、第 1 端子が第 1 7 トランジスタ (M 1 7) の第 2 端子に連結される。前記第 3 トランジスタ (M 3) は前記領域別デジタルアナログコンバータスイッチング部の第 3 出力信号 (Y C) をゲートに入力されて、第 1 端子が第 1 7 トランジスタ (M 1 7) の第 2 端子に連結される。前記第 4 トランジスタ (M 4) は前記領域別デジタルアナログコンバータスイッチング部の第 4 出力信号 (Y D) をゲートに入力されて、第 1 端子が第 1 7 トラ

50

ンジスター（M17）の第2端子に連結される。前記第5トランジスター（M5）は前記領域別デジタルアナログコンバータスイッチング部の第5出力信号（YD）をゲートに入力されて、第1端子が第17トランジスター（M17）の第2端子に連結される。

【0057】

仮に、Y-1、Y-2、Y-3が0より小さな場合、すなわち、各トランジスターのマルチファクターが1より小さな場合、前記第2トランジスター（M2）ないし前記第4トランジスター（M4）は削除される。

【0058】

前記反転入力部232は、第6トランジスター（M6）ないし第10トランジスター（M10）で構成される。

10

【0059】

前記第6トランジスター（M6）は、前記補間アンプ230の出力信号（Out）をゲートに入力されて、第1端子が第18トランジスター（M18）の第2端子に連結されて、第2端子が第1トランジスター（M1）の第2端子に連結される。前記第7トランジスター（M7）は前記補間アンプ230の出力信号（Out）をゲートに入力されて、第1端子が第18トランジスター（M18）の第2端子に連結されて、第2端子が第2トランジスター（M2）の第2端子に連結される。前記第8トランジスター（M8）は前記補間アンプ230の出力信号（Out）をゲートに入力されて、第1端子が第18トランジスター（M18）の第2端子に連結されて、第2端子が第3トランジスター（M3）の第2端子に連結される。前記第9トランジスター（M9）は前記補間アンプ230の出力信号（Out）をゲートに入力されて、第1端子が第18トランジスター（M18）の第2端子に連結されて、第2端子が第4トランジスター（M4）の第2端子に連結される。前記第10トランジスター（M10）は、前記補間アンプ230の出力信号（Out）をゲートに入力されて、第1端子が第18トランジスター（M18）の第2端子に連結されて、第2端子が第5トランジスター（M5）の第2端子に連結される。上記のように、前記第6トランジスター（M6）ないし第10トランジスター（M10）のゲートは前記補間アンプ230の出力端子と連結されてフィードバックループを形成する。

20

【0060】

前記出力部236は第19トランジスター（M19）、第20トランジスター（M20）及び周波数補償用コンデンサ（c1）を具備する。

30

【0061】

前記第19トランジスター（M19）は電源電圧（VDDA）を第1端子に入力されて、前記第17トランジスター（M17）の第2端子にゲート端子が連結されて、第2端子の電圧が出力電圧になる。前記第20トランジスター（M20）は、第1端子が第19トランジスター（M19）の第2端子に連結されて、第1バイアス電圧がゲート端子に印加されて、第2端子が接地電圧（GNDA）に連結される。

【0062】

前記周波数補償用コンデンサ（c1）は、前記第19トランジスター（M19）のゲート端子と第2端子との間に連結される。

【0063】

40

前記第1バイアス印加部234は、第1バイアス電圧（Bias1）をゲート端子に入力されて、第1端子が接地電圧（GNDA）に連結される第16トランジスター（M16）で構成される。

【0064】

前記第2バイアス印加部233は、第11トランジスター（M11）ないし第15トランジスター（M15）で構成される。

【0065】

前記第11トランジスター（M11）は、第2バイアス電圧（Bias2）をゲート端子に入力されて、前記第16トランジスター（M16）の第2端子に第1端子が連結されて、第2端子は第1トランジスター（M1）の第2端子に連結される。前記第12トラン

50

ジスター (M12) は、第2バイアス電圧 (Bias2) をゲート端子に入力されて、前記第16トランジスター (M16) の第2端子に第1端子が連結されて、第2端子は第2トランジスター (M2) の第2端子に連結される。前記第13トランジスター (M13) は、第2バイアス電圧 (Bias2) をゲート端子に入力されて、前記第16トランジスター (M16) の第2端子に第1端子が連結されて、第2端子は第3トランジスター (M3) の第2端子に連結される。前記第14トランジスター (M14) は第2バイアス電圧 (Bias2) をゲート端子に入力されて、前記第16トランジスター (M16) の第2端子に第1端子が連結されて、第2端子は第4トランジスター (M4) の第2端子に連結される。前記第15トランジスター (M15) は第2バイアス電圧 (Bias2) をゲート端子に入力されて、前記第16トランジスター (M16) の第2端子に第1端子が連結されて、第2端子は第5トランジスター (M5) の第2端子に連結される。

10

【0066】

前記第1トランジスター (M1)、前記第6トランジスター (M6) 及び前記第11トランジスター (M11) は、差動対を形成してマルチファクターは $2^{(Y-0)}$ である。また、第2、第7、第12トランジスター (M2、M7、M12) が差動対を形成して、マルチファクターは $2^{(Y-1)}$ である。また、第3、第8、第13トランジスター (M3、M8、M13) が差動対を形成して、マルチファクターは $2^{(Y-2)}$ である。また、第4、第9、第14トランジスター (M4、M9、M14) が差動対を形成して、マルチファクターは $2^{(Y-3)}$ である。また、第5、第10、第15トランジスター (M5、M10、M15) が差動対を形成してマルチファクターは $2^{(0)}$ である。

20

【0067】

差動対を形成する各トランジスターは、マルチファクター程度の同一な大きさのトランジスターが各トランジスターに並列で連結される。例えば、マルチファクターが4である第2トランジスター (M2) は、同一な大きさのトランジスターを4個の並列構造で形成して、ゲートに同一に前記領域別デジタルアナログコンバータスイッチング部の第2出力信号の入力を受ける。

【0068】

また、望ましくは、前記非反転入力部231及び前記反転入力部232を構成するトランジスター (M1～M10) は、すべて同一大きさを有する。望ましくは、前記第2バイアス印加部233を構成するトランジスター (M11～M15) は、すべて同一な大きさを有する。

30

【0069】

前記補間アンプ230の入力端の電流源は1個を具備して、前記補間アンプ230の入力端の電流源は、マルチファクターを増加させて前記補間アンプ230の入力端の電流を増加させて、前記差動対に流れる電流はそれぞれの差動対を構成している第11トランジスター (M11) ないし第15トランジスター (M15) のマルチファクターによって分配される。

【0070】

したがって、差動対を形成する各トランジスターは、入力端子に同一な電圧が入力されても、マルチファクターの差によって前記補間アンプ230の出力電圧の差が発生する。このようにして、本発明による液晶ディスプレイパネル駆動回路は、下位ビットによる電圧差の区分を、マルチファクターを有する補間アンプ230によって発生させることができる。

40

【0071】

この時、マルチファクターに該当する2の指数である $Y-1$ 、 $Y-2$ または $Y-3$ が0であるか、0より小さな負数である場合には、各差動対のトランジスター及び複数の入出力ノードは削除されて消えるようになる。

【0072】

例えば、 $Y=2$ である場合、第3、第8、第13トランジスター (M3、M8、M13) でなされた差動対及び第4、第9、第14トランジスター (M4、M9、M14) でな

50

された差動対は消えるようになる。

【 0 0 7 3 】

また、Y が 5 より大きい数である場合、前記のような差動対はさらに具備されなければならない。例えば、Y = 5 である場合、非反転入力部 2 3 1 に第 2 1 トランジスタが加えられて、反転入力部に第 2 2 トランジスタが加えられて、第 2 バイアス印加部 2 3 3 に第 2 3 トランジスタが加えられる。

【 0 0 7 4 】

前記非反転入力部 2 3 1 と前記反転入力部 2 3 2 及び前記第 2 バイアス印加部 2 3 3 を構成するトランジスタ (M 1 ~ M 1 5) は、それぞれマルチファクターを具備する。

【 0 0 7 5 】

図 5 は、Y = 2 である場合図 2 に示された中間領域アナログデジタルコンバータスイッチング部 2 2 2 及び補間アンプ 2 3 0 の出力を表示したものである。

【 0 0 7 6 】

デジタルデータが 8 ビットであり、上位ビットが 6 ビットであり、下位ビットが 2 ビットである場合である。下位ビットである Y 2 と Y 1 のデータによって中間領域 D A C スイッチング部 2 2 2 の出力信号を示したものである。

【 0 0 7 7 】

例えば、Y 2 = 0 であり、Y 1 = 1 である場合、Y A = V 1 であり、Y B = V 1、Y C = V 2 になるように具現される。

【 0 0 7 8 】

また、Y = 2 である場合、前記補間アンプ 2 3 0 に入力されるマルチファクターは 1、2、1 になる。また、加重値はそれぞれ $1 / (1 + 2 + 1)$ 、 $2 / (1 + 2 + 1)$ 、 $1 / (1 + 2 + 1)$ すなわち、0 . 2 5、0 . 5、0 . 2 5 になる。すなわち、前記非反転入力部 2 3 1、前記反転入力部 2 3 2 及び前記第 2 バイアス印加部 2 3 3 を構成する複数のトランジスタの加重値は、各トランジスタのマルチファクター / 全体トランジスタのマルチファクターの和で計算される。

【 0 0 7 9 】

例えば、Y 2 = 0 であり、Y 1 = 1 である場合、前記中間領域 D A C スイッチング部 2 2 2 の出力は、V 1、V 1、V 2 であり、前記補間アンプ 2 3 0 の出力電圧は、 $0 . 2 5 \times V 1 + 0 . 5 V 1 + 0 . 2 5 V 2 = 0 . 7 5 V 1 + 0 . 2 5 V 2$ になる。

【 0 0 8 0 】

したがって、本発明による液晶ディスプレイパネル駆動回路は、デジタルデータの上位及び下位領域に対しては抵抗ストリング部から基準電圧を生成して、中間領域に対しては補間アンプ 2 3 0 から補間された基準電圧を出力するように構成される。

【 0 0 8 1 】

本発明は、液晶ディスプレイパネル駆動回路に限定されないで、一般的な表示装置の駆動回路にも適用が可能である。

【 0 0 8 2 】

以上で本発明に対する技術思想を添付図面と共に上述したが、これは本発明の望ましい実施例を例示的に説明したものであって、本発明を限定するものではない。また、本発明が属する技術分野で通常の知識を有した者なら誰も本発明の技術的思想の範疇を離脱しない範囲内で多様な変形及び模倣が可能であることは明白な事実である。

【 産業上の利用可能性 】

【 0 0 8 3 】

本発明による液晶ディスプレイパネル駆動回路は、回路面積を大きく減少させた効果がある。従来技術による駆動回路は、抵抗ストリング部の抵抗及び D A C スイッチング部のトランジスタの個数がそれぞれ 2^N 程度必要であれば、本発明による駆動回路は、抵抗及びトランジスタはそれぞれ $2^X + 2 \left(2^{\left(\frac{1}{2} \right)^X} \right)$ の個数程度必要であって、さらに補間アンプに $\left(2^{(Y-3)} + 2^{(Y-2)} + 2^{(Y-1)} \right) \times 3$ 個のトランジスタが必要であるが、全体的に抵抗及びトランジスタの個数が大きく減少されるので面積

10

20

30

40

50

減少の効果が大きい。

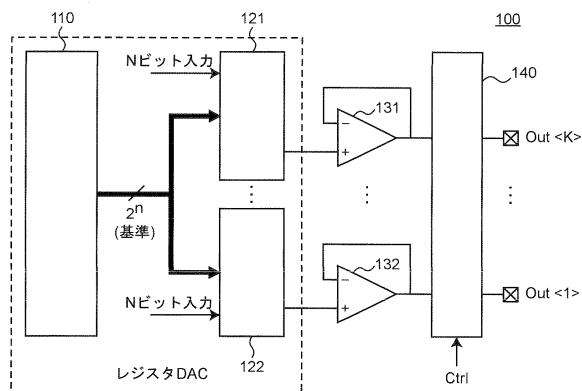
【符号の説明】

【 0 0 8 4 】

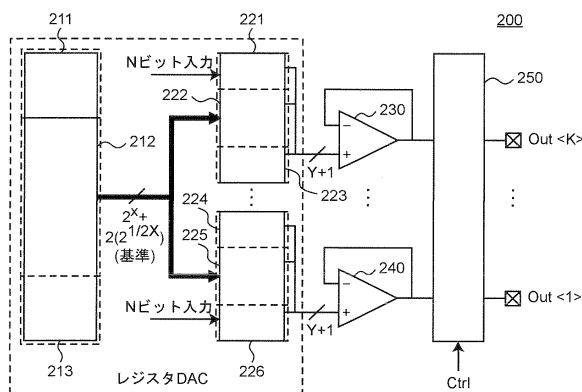
- 2 1 1 ... 上位領域抵抗ストリング部、
 2 1 2 ... 中間領域抵抗ストリング部、
 2 1 3 ... 下位領域抵抗ストリング部、
 2 2 1 ... 第1上位領域DACスイッチング部、
 2 2 2 ... 第1中間領域DACスイッチング部、
 2 2 3 ... 第1下位領域DACスイッチング部、
 2 2 4 ... 第M上位領域DACスイッチング部、
 2 2 5 ... 第M中間領域DACスイッチング部、
 2 2 6 ... 第M下位領域DACスイッチング部、
 2 3 0 ... 補間アンプ、
 2 4 0 ... 補間アンプ、
 2 5 0 ... 出力スイッチ部。

10

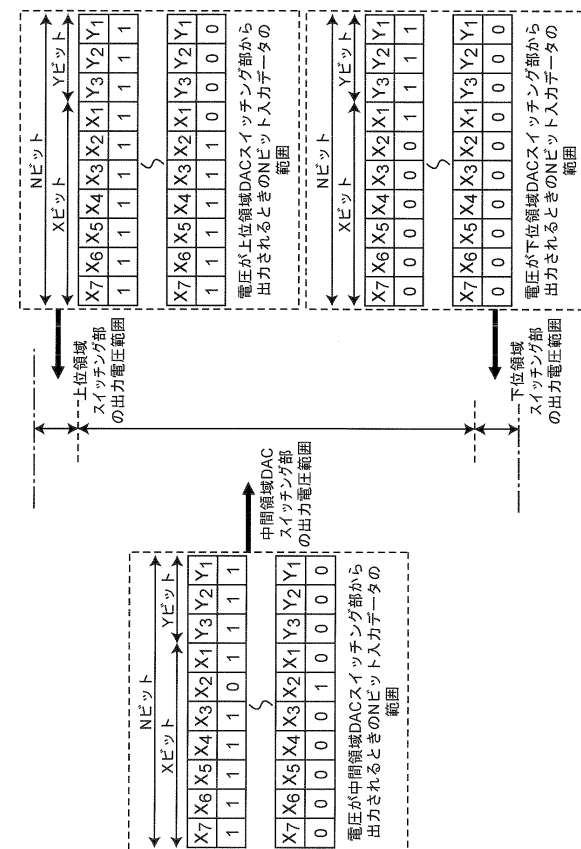
【図1】



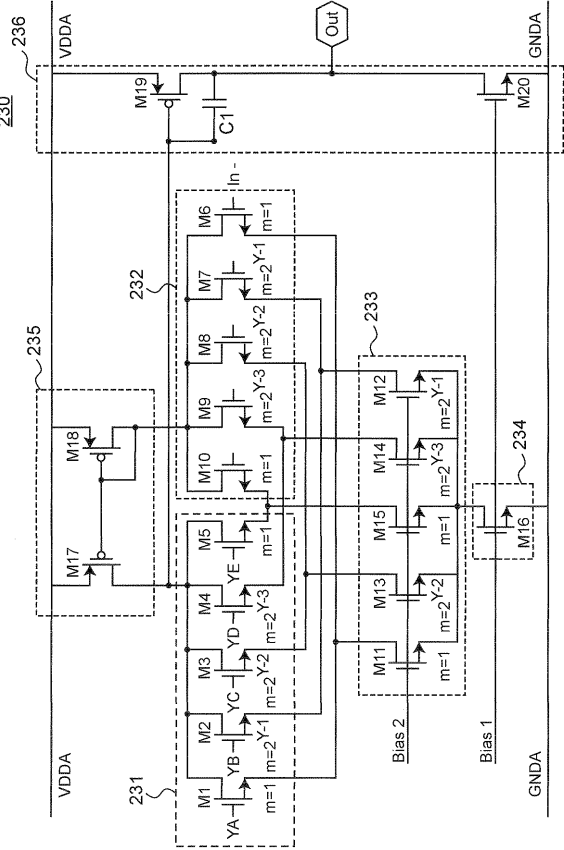
【図2】



【図3】



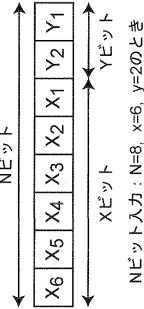
【図 4】



【図 5】

Y2	Y1	YA	YB	YC	補間アンプの出力
0	0	V1	V1	V1	$0.25V1+0.5V1+0.25V1=1.00V1$
0	1	V1	V1	V2	$0.25V1+0.5V1+0.25V2=0.75V1+0.25V2$
1	0	V2	V1	V2	$0.25V2+0.5V1+0.25V2=0.5V1+0.5V2$
1	1	V2	V2	V1	$0.25V2+0.5V2+0.25V1=0.25V1+0.75V2$

Y=2のときの中間領域DACスイッチング部の出力と補間アンプの出力



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G 3/20 6 2 1 B
 G 0 9 G 3/20 6 1 1 A
 G 0 9 G 3/20 6 2 1 G
 G 0 9 G 3/20 6 2 1 J
 G 0 2 F 1/133 5 5 0
 H 0 3 M 1/68
 H 0 3 M 1/76

(72)発明者 趙 賢鎬

大韓民国仁川市南區朱安3洞730-1 シニル・テクノ・ビル502

(72)発明者 金 志勳

大韓民国大田市儒城區田民洞459-6 チョウォン・ビル401

(72)発明者 羅 俊▲ほ▼

大韓民国大田市西區屯山2洞 水晶アパートメント8-608

(72)発明者 呉 亨錫

大韓民国大田市東區龍雲洞 グメグリーン・アパートメント101-401

(72)発明者 金 大成

大韓民国大田市大徳區梧井洞 新東亞アパートメント6-1503

(72)発明者 韓 大根

大韓民国大田市西區屯山洞970 郷村アパートメント109-1301

審査官 中村 直行

(56)参考文献 特開2007-195018(JP,A)

特開2002-043944(JP,A)

特開2009-104056(JP,A)

特開2008-118375(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 0 0 - 3 / 3 8

G 0 2 F 1 / 1 3 3

H 0 3 M 1 / 6 8

H 0 3 M 1 / 7 6

专利名称(译)	液晶显示面板驱动电路		
公开(公告)号	JP5179557B2	公开(公告)日	2013-04-10
申请号	JP2010240483	申请日	2010-10-27
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	硅厂有限公司		
当前申请(专利权)人(译)	硅厂有限公司		
[标]发明人	趙賢鎬 金志勳 羅俊ほ 吳亨錫 金大成 韓大根		
发明人	趙 賢鎬 金 志勳 羅 俊▲ほ▼ 吳 亨錫 金 大成 韓 大根		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H03M1/68 H03M1/76		
CPC分类号	G09G3/3685 G09G3/20 G09G3/3696 G09G2310/027		
FI分类号	G09G3/36 G09G3/20.623.F G09G3/20.612.F G09G3/20.632.C G09G3/20.650.C G09G3/20.621.B G09G3/20.611.A G09G3/20.621.G G09G3/20.621.J G02F1/133.550 H03M1/68 H03M1/76		
F-TERM分类号	2H193/ZA01 2H193/ZF03 2H193/ZF12 2H193/ZF34 5C006/AA01 5C006/AA22 5C006/AC21 5C006/AC26 5C006/AF47 5C006/AF83 5C006/BC12 5C006/BC13 5C006/BF43 5C006/EB04 5C006/FA41 5C006/FA43 5C006/FA47 5C080/DD07 5C080/DD22 5C080/DD27 5C080/DD28 5C080/JJ02 5C080/JJ03 5J022/AB05 5J022/AB09 5J022/BA06 5J022/CA08 5J022/CB02 5J022/CF09 5J022/CG04		
代理人(译)	山田卓司 田中，三夫		
审查员(译)	中村直之		
优先权	1020090102453 2009-10-27 KR		
其他公开文献	JP2011095749A		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种液晶显示面板驱动电路，其面积大大减少。在用于驱动具有N位分辨率的液晶显示面板的驱动电路中，输入的N位数字数据由高X位和低Y位组成，并且N位数字数据的电压范围是3位。并根据每个区域以其他比例输出模拟参考电压;每个区域的电阻串单元接收来自N位数字数据的输入，并通过上X位从区域专用电阻串单元接收输入，区域特定的数字 - 模拟转换器切换部分，在参考电压中选择和输出Y + 1模拟电压，并根据较低的Y位输出Y + 1模拟电压的不同组合; Y + 1个类似物在接收到电压输入后，通过由Y值确定的多因子和内插输出电压为每个Y + 1模拟电压设置权重因子用所得插值放大器。 .The

