

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-3803

(P2020-3803A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H192
G09G 3/20 (2006.01)	G09G 3/20 624B	2H193
G09F 9/30 (2006.01)	G09G 3/20 691A	5C006
G02F 1/133 (2006.01)	G09G 3/20 691F	5C080
G02F 1/1368 (2006.01)	G09G 3/20 611A	5C094

審査請求 有 請求項の数 3 O L (全 24 頁) 最終頁に続く

(21) 出願番号	特願2019-142192 (P2019-142192)	(71) 出願人	000153878
(22) 出願日	令和1年8月1日 (2019.8.1)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2018-36351 (P2018-36351) の分割	(72) 発明者	脇本 研一
原出願日	平成23年1月13日 (2011.1.13)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-10250 (P2010-10250)		半導体エネルギー研究所内
(32) 優先日	平成22年1月20日 (2010.1.20)	(72) 発明者	早川 昌彦
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
		F ターム (参考)	2H192 AA24 CB02 CB05 CB06 CB37 CB71 CC75 EA67 EA74 FB02 FB13 GB02 GB61 GD61 HA44 HA90

最終頁に続く

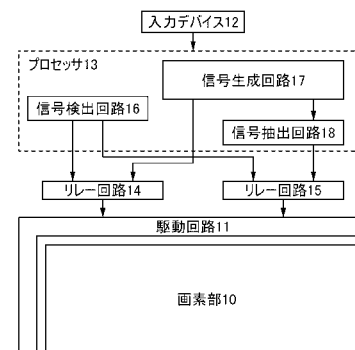
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】簡便な構成及び動作によって表示装置の消費電力を低減すること。

【解決手段】表示装置が入力デバイスを備え、該入力デバイスから出力される画像操作信号に応じて、駆動回路に対する画像信号の入力を制御する。具体的には、入力デバイスが操作されない際の画像信号の入力頻度を、入力デバイスが操作される際の画像信号の入力頻度よりも低くする。これにより、当該表示装置が使用される際の表示の劣化（表示品質の低下）を抑制することが可能となり、且つ使用されない際の消費電力を低減することが可能になる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

複数の画素と、駆動回路と、入力デバイスと、を有するアクティブマトリクス型の液晶表示装置であって、

前記駆動回路は、前記複数の画素に信号を入力する機能を有し、

前記入力デバイスが操作されない際の前記駆動回路への画像信号の入力頻度は、前記入力デバイスが操作される際の前記駆動回路への画像信号の入力頻度よりも低く、

前記複数の画素は、トランジスタと、液晶素子と、を有し、

前記トランジスタは、ゲート電極と、前記ゲート電極上の酸化物半導体層と、前記酸化物半導体層上のソース電極及びドレイン電極と、を有し、

前記酸化物半導体層上、前記ソース電極上、前記ドレイン電極上に、酸化珪素膜と、前記酸化珪素膜上の窒化珪素膜と、が設けられ、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記酸化物半導体層は、c 軸配向した結晶領域を有し、

前記酸化物半導体層は、前記ソース電極とドレイン電極との間の領域において、前記酸化珪素膜と接する領域を有する液晶表示装置。

10

【請求項 2】

複数の画素と、駆動回路と、入力デバイスと、を有するアクティブマトリクス型の液晶表示装置であって、

前記駆動回路は、前記複数の画素に信号を入力する機能を有し、

前記入力デバイスが操作されない際の前記駆動回路から前記複数の画素への信号の入力頻度は、前記入力デバイスが操作される際の前記駆動回路への画像信号の入力頻度よりも低く、

20

前記複数の画素は、トランジスタと、液晶素子と、を有し、

前記トランジスタは、ゲート電極と、前記ゲート電極上の酸化物半導体層と、前記酸化物半導体層上のソース電極及びドレイン電極と、を有し、

前記酸化物半導体層上、前記ソース電極上、前記ドレイン電極上に、酸化珪素膜と、前記酸化珪素膜上の窒化珪素膜と、が設けられ、

前記酸化物半導体層は、インジウムと、ガリウムと、亜鉛と、を有し、

前記酸化物半導体層は、c 軸配向した結晶領域を有し、

前記酸化物半導体層は、前記ソース電極とドレイン電極との間の領域において、前記酸化珪素膜と接する領域を有する液晶表示装置。

30

【請求項 3】

請求項 1 または請求項 2 において、

前記入力デバイスは、キーボード、マウス、又はタッチパッドを有する液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置に関する。特に、画素部に対する画像信号の入力を制御することが可能な表示装置に関する。

40

【背景技術】**【0002】**

アクティブマトリクス型の表示装置が普及している。該表示装置は、画素部と、該画素部における画像の表示を制御する駆動回路とを有する。具体的には、当該表示装置は、画素部においてマトリクス状に配列された複数の画素に入力される画像信号を駆動回路によって制御することで表示を行っている。

【0003】

近年では、地球環境への関心が高まり、低消費電力型の表示装置の開発が注目されている。例えば、特許文献 1 では、液晶表示装置における消費電力を低減する技術が開示されている。具体的には、全ての走査線及びデータ信号線を非選択状態とする休止期間に、全

50

データ信号線を電氣的にデータ信号ドライバから切り離してハイインピーダンス状態（不定状態、浮遊状態、フローティング状態ともいう）とする液晶表示装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-312253号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

10

しかしながら、特許文献1で開示される液晶表示装置を実現するためには、該液晶表示装置を構成する駆動回路の構成及び動作を複雑化する必要がある。

【0006】

上述した課題に鑑み、本発明の一態様は、簡便な構成及び動作によって表示装置の消費電力を低減することを課題の一とする。

【課題を解決するための手段】

【0007】

上述した課題の一は、表示装置が入力デバイスを備え、該入力デバイスから出力される画像操作信号に応じて、駆動回路に対する画像信号の入力を制御することで解決できる。

【0008】

20

すなわち、本発明の一態様は、駆動回路が画素部に対する画像信号の入力を制御することで、画像の表示を行う表示装置であって、画像操作信号を出力する入力デバイスと、前記画像操作信号を検出し、検出信号を出力する信号検出回路と、基準画像信号を生成する信号生成回路と、前記基準画像信号が入力され、前記基準画像信号の一部を抽出した信号である抽出画像信号を出力する信号抽出回路と、前記検出信号が入力される第1のリレー回路及び第2のリレー回路と、を有し、前記信号検出回路において前記画像操作信号が検出される際に、前記第1のリレー回路を介して入力される前記基準画像信号が、前記画像信号として選択され、前記信号検出回路において前記画像操作信号が検出されない際に、前記第2のリレー回路を介して入力される前記抽出画像信号が、前記画像信号として選択されることを特徴とする表示装置である。

30

【発明の効果】

【0009】

本発明の一態様の表示装置は、入力デバイスの操作に応じて、駆動回路から出力される画像信号を選択することが可能である。具体的には、入力デバイスが操作されない際の画像信号の入力頻度を、入力デバイスが操作される際の画像信号の入力頻度よりも低くする。これにより、当該表示装置が使用される際の表示の劣化（表示品質の低下）を抑制することが可能となり、且つ使用されない際の消費電力を低減することが可能になる。

【図面の簡単な説明】

【0010】

40

【図1】実施の形態1に係る表示装置を説明する図。

【図2】(A)、(B)実施の形態1に係る表示装置を説明するフローチャート。

【図3】(A)、(B)実施の形態1に係る表示装置を説明する図。

【図4】(A)～(F)実施の形態1に係る表示装置を説明する図。

【図5】(A)、(B)実施の形態1に係る表示装置を説明する図。

【図6】(A)～(D)実施の形態2に係るトランジスタを説明する図。

【図7】(A)～(E)実施の形態3に係るトランジスタを説明する図。

【図8】(A)、(B)実施の形態4に係る表示装置を説明する図。

【図9】(A)～(D)実施の形態5に係る電子機器を説明する図。

【発明を実施するための形態】

【0011】

50

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0012】

(実施の形態1)

本実施の形態では、本発明の一態様の表示装置について説明する。具体的には、駆動回路が画素部に対する画像信号の入力を制御することで、画像の表示を行う表示装置について、図1～図5を参照して説明する。

【0013】

10

図1は、本実施の形態の表示装置の構成を示すブロック図である。図1に示す表示装置は、画素部10と、画素部10に対する画像信号の入力を制御する駆動回路11と、画像操作信号を出力する入力デバイス12と、画像操作信号が入力されるプロセッサ13と、プロセッサ13から出力される各種信号の駆動回路11への入力を制御するリレー回路(スイッチ回路ともいう)14及びリレー回路(スイッチ回路ともいう)15とを有する。なお、画像操作信号は、使用者によって入力デバイス12が操作されることで出力される信号であり、画素部10における表示を制御する信号である。また、入力デバイス12の具体例としては、キーボード、マウス、タッチパッドなどが挙げられる。

【0014】

20

さらに、プロセッサ13は、入力デバイス12から出力される画像操作信号を検出し、検出信号を出力する信号検出回路16と、画像操作信号などを基に基準画像信号を生成する信号生成回路17と、基準画像信号が入力され、抽出画像信号を出力する信号抽出回路18とを有する。なお、検出信号は、2値の信号(プロセッサ13に対して画像操作信号が「入力される」又は「入力されない」を示す信号)である。また、基準画像信号は、特定のフレーム周波数を有する画像信号であり、抽出画像信号は、基準画像信号の一部を抽出した画像信号である。例えば、基準画像信号として、フレーム周波数(リフレッシュレートともいう)が60Hz(フレームレートが60fps)の画像信号を適用し、抽出画像信号として、フレーム周波数(リフレッシュレートともいう)が1Hz(フレームレートが1fps)の画像信号を適用することができる。なお、基準画像信号及び抽出画像信号の1フレーム分の画像信号の期間は共通である。すなわち、抽出画像信号は、基準画像信号に含まれる1フレーム分の画像信号を1秒間に渡って示す信号ではなく、基準画像信号の1/60秒分の信号と同一である信号である。また、抽出画像信号は、基準画像信号と同一の信号である期間と、信号が存在しない期間とを有する信号である。

30

【0015】

リレー回路14は、基準画像信号の駆動回路11への入力を制御する回路であり、リレー回路15は、抽出画像信号の駆動回路11への入力を制御する回路である。また、リレー回路14及びリレー回路15の動作は、検出信号によって制御される。具体的には、信号検出回路16において画像操作信号が検出される際に、リレー回路14を介して、基準画像信号が駆動回路11に入力され、当該画像操作信号が検出されない際に、リレー回路15を介して、抽出画像信号が駆動回路11に入力される。すなわち、駆動回路11に入力される信号が検出信号によって選択される。

40

【0016】

図1に示す表示装置の動作について、図2(A)、(B)に示すフローチャートを参照して説明する。なお、図1に示した表示装置では、図2(A)に示すフローチャートの動作及び図2(B)に示すフローチャートの動作が並行して行われる。

【0017】

図2(A)に示すように、図1に示す表示装置では、まず、信号生成回路17が基準画像信号を生成する。次いで、信号検出回路16において入力デバイス12から入力された画像操作信号が検出される際には、基準画像信号が駆動回路11に入力される。また、信号検出回路16において画像操作信号が検出されない際には、基準画像信号の駆動回路1

50

1 への入力のリレー回路 1 4 によって遮断される。

【0018】

また、図 2 (B) に示すように、図 1 に示す表示装置では、まず、信号生成回路 1 7 が基準画像信号を生成する。次いで、信号抽出回路 1 8 が基準画像信号を基に抽出画像信号を生成する。次いで、信号検出回路 1 6 において画像操作信号が検出される際には、抽出画像信号の駆動回路への入力のリレー回路 1 5 によって遮断される、また、信号検出回路 1 6 において画像操作信号が検出されない際には、抽出画像信号が駆動回路 1 1 に入力される。

【0019】

図 1 に示す表示装置は、このような動作を並行して行うことによって、駆動回路 1 1 に入力される画像信号を入力デバイス 1 2 の操作 (画像操作信号の検出) と連動させることが可能である。具体的には、使用者によって入力デバイス 1 2 が操作される際には、画素部 1 0 に基準画像信号を入力することで表示を行い、使用者によって入力デバイス 1 2 が操作されない際には、画素部 1 0 に抽出画像信号を入力することで表示を行うことが可能である。これにより、当該表示装置が使用される際の表示の劣化 (表示品質の低下) を抑制することが可能であり、且つ使用されない際の消費電力を低減することが可能になる。

【0020】

なお、図 1 に示す表示装置が有するリレー回路 1 4、リレー回路 1 5、及び信号抽出回路 1 8 は、図 3 (A) に示すようにスイッチとしての機能を有する回路を適用することができる。この場合、リレー回路 1 4 及びリレー回路 1 5 は、信号検出回路 1 6 から出力される検出信号に応じてスイッチングが制御される構成とする。一方、信号抽出回路 1 8 は、検出信号に依存せず、周期的にスイッチングが制御される構成とする。なお、当該スイッチは、電氣的な接続を制御することが可能なスイッチである。当該スイッチの具体例としては、トランジスタ、MEMS (マイクロ・エレクトロ・メカニカル・システム) スイッチなどが挙げられる。

【0021】

各回路をスイッチと見なした場合におけるそれぞれの動作の具体的な例を図 3 (B) に示す。上述したように、信号検出回路 1 6 から出力される検出信号は、使用者の操作に基づき生成される信号である。そのため、当該検出信号は、画像操作信号が検出される状態 (Detect) と、検出されない状態 (Not Detected、ND) とが不定期に変化する信号である。リレー回路 1 4 及びリレー回路 1 5 は、当該検出信号の変化に応じてスイッチングが行われるスイッチとして機能する。具体的には、リレー回路 1 4 は、画像操作信号を検出する (Detect) 期間において、オン状態 (On) となり、検出しない (Not Detected、ND) 期間において、オフ状態 (Off) となるスイッチとして機能する。一方、リレー回路 1 5 は、画像操作信号を検出する (Detect) 期間において、オフ状態 (Off) となり、検出しない (Not Detected、ND) 期間において、オン状態 (On) となるスイッチとして機能する。

【0022】

また、上述したように、信号抽出回路 1 8 から出力される抽出画像信号は、基準画像信号の一部を抽出した信号である。そのため、当該抽出画像信号は、信号抽出回路 1 8 において、入力される基準画像信号を選択的に出力することで生成することが可能である。すなわち、信号抽出回路 1 8 が適宜スイッチングを行うスイッチとして機能すれば、当該抽出画像信号を生成することが可能である。図 3 (B) では、信号抽出回路 1 8 が、周期的 (期間 T 1、期間 T 3、期間 T 5) にオン状態 (On) となるスイッチとして機能する例について示している。当然ながら、期間 T 1、期間 T 3、期間 T 5 において、基準画像信号と抽出画像信号は同一の画像信号である。なお、図 3 (B) 中において期間 T 1、期間 T 3、及び期間 T 5 は、同じ長さの期間である。また、信号抽出回路 1 8 がオフ状態 (Off) となる期間 (期間 T 2、期間 T 4、期間 T 6) において、抽出画像信号は、ハイインピーダンス状態 (Z) となる。

【0023】

10

20

30

40

50

また、図 3 (B) には、図 3 (B) に示すようにリレー回路 1 4、リレー回路 1 5、及び信号抽出回路 1 8 が動作する際における駆動回路 1 1 の入力信号も付記している。以下に駆動回路 1 1 の入力信号について、期間毎に詳述する。

【 0 0 2 4 】

期間 t 1 において、駆動回路 1 1 には画像信号が入力される。期間 t 1 における画像信号は、リレー回路 1 4 を介して入力される基準画像信号である。当該基準画像信号の駆動回路 1 1 への入力、信号検出回路 1 6 における画像操作信号の検出に起因する。

【 0 0 2 5 】

期間 t 2 において、駆動回路 1 1 には画像信号が入力されない。これは、期間 t 2 において、信号検出回路 1 6 において画像操作信号が検出されないこと、及び期間 t 2 において、信号抽出回路 1 8 がオフ状態 (Off) となるスイッチとして機能することに起因する。なお、上述した状態と同じ状態となった時のみ、駆動回路 1 1 には画像信号が入力されない。

【 0 0 2 6 】

期間 t 3 において、駆動回路 1 1 には画像信号が入力される。期間 t 3 における画像信号は、リレー回路 1 5 を介して入力される抽出画像信号である。当該抽出画像信号の駆動回路 1 1 への入力、信号検出回路 1 6 において画像操作信号が検出されないこと、及び期間 t 3 において、信号抽出回路 1 8 がオン状態 (On) となるスイッチとして機能することに起因する。

【 0 0 2 7 】

期間 t 4 において、駆動回路 1 1 には画像信号が入力されない (期間 t 2 の説明参照) 。

【 0 0 2 8 】

期間 t 5 において、駆動回路 1 1 には画像信号が入力される (期間 t 1 の説明参照) 。

【 0 0 2 9 】

期間 t 6 において、駆動回路 1 1 には画像信号が入力される (期間 t 3 の説明参照) 。

【 0 0 3 0 】

期間 t 7 において、駆動回路 1 1 には画像信号が入力されない (期間 t 2 の説明参照) 。

【 0 0 3 1 】

図 3 (A)、(B) に示した表示装置は、入力デバイス 1 2 から出力された画像操作信号を検出し、2 値の信号として出力する信号検出回路 1 6 と、信号検出回路 1 6 の出力信号によってスイッチングが制御される 2 つのスイッチ (リレー回路 1 4 及びリレー回路 1 5) と、予めスイッチング動作が設定されているスイッチ (信号抽出回路 1 8) とによって消費電力の低減を可能にした表示装置である。そのため、図 3 (A)、(B) に示した表示装置は、簡便な構成及び動作によって表示装置の消費電力を低減することが可能な表示装置である。

【 0 0 3 2 】

また、図 3 (B) では、検出信号の変化と同時に駆動回路 1 1 の入力信号が変化する構成について示したが、検出信号が変化してから駆動回路 1 1 の入力信号が変化するまでの間に猶予期間を設ける構成としてもよい。これにより、表示品質の低下を抑制することができる。以下に、その理由について述べる。

【 0 0 3 3 】

上述したように画像信号は、特定のフレーム周波数を有する。たとえば、フレーム周波数 60 Hz の画像信号であれば、1 / 60 秒 (約 0 . 0 1 6 7 秒) 分の画像信号を用いて画素部 1 0 において 1 枚の画像が形成される。一方、検出信号は、当該フレーム周波数とは非同期の信号である。そのため、検出信号の変化と同時に駆動回路 1 1 の入力信号が変化する構成とすると、1 枚の画像の形成途中において、画像信号の入力が遮断されることになる。この結果、表示装置における表示品質が低下する可能性がある。具体的には、図 3 (B) に示した動作のうちでは、期間 t 1 と期間 t 2 の境界などにおいて、上記の問題

10

20

30

40

50

が発生する可能性がある。

【 0 0 3 4 】

例えば、図 4 (A) に示すように信号検出回路 1 6 が、定期的に画像操作信号の検出を行い、検出信号を出力する信号検出部 2 1 と、検出信号が入力されるラッチ部 2 2 とを有する構成とすることにより、当該猶予期間を設けることが可能である。なお、ラッチ部 2 2 は、不連続に入力される信号を基に出力信号が制御され、且つ当該出力信号を連続的に出力すること（当該出力信号を保持すること）が可能な回路である。また、図 4 (A) に示す信号検出回路 1 6 では、ラッチ部 2 2 の出力信号が検出信号となる。

【 0 0 3 5 】

図 4 (A) に示す信号検出回路 1 6 の動作を、図 4 (B) を参照して説明する。図 4 (A) に示す信号検出回路 1 6 では、フレーム期間 F 1 ~ フレーム期間 F 8 のそれぞれが開始するタイミングで、画像操作信号の検出を行い、当該検出の結果をラッチ部 2 2 に出力する。これにより、フレーム期間の途中（図 4 (B) ではフレーム期間 F 4 の途中）において画像操作信号の入力が途絶えた場合であっても、検出信号が変化するタイミングをフレーム期間が開始するタイミングと同時にすることが可能である。

10

【 0 0 3 6 】

また、画像操作信号の入力期間がフレーム期間よりも短い場合であっても、図 4 (C) に示すように信号検出回路 1 6 が、メモリ部 2 3 と、メモリ部 2 3 に対して画像操作信号を検出し、検出信号を出力する信号検出部 2 1 と、信号検出部 2 1 の出力信号が入力されるラッチ部 2 2 とを有する構成とすることにより、当該画像操作信号の入力を逃すことなく、駆動回路 1 1 へ入力される画像信号を制御することが可能である。なお、メモリ部 2 3 は、特定の期間における画像操作信号を記憶することが可能な回路である。また、図 4 (D) は、上述した内容の具体例を示す図である。

20

【 0 0 3 7 】

また、図 4 (A) 及び図 4 (C) において、ラッチ部 2 2 の出力信号を一定期間保持させた後、当該ラッチ部 2 2 の出力信号をリセットする（検出信号を画像操作信号が検出されない状態（Not Detected、ND）へと変化させる）リセット部 2 4 を設ける構成としてもよい（図 4 (E) 、 (F) 参照）。

【 0 0 3 8 】

さらに、上述した問題（1枚の画像の形成途中において、画像信号の入力が遮断されるなどの不具合）が生じないように、信号抽出回路 1 8 における抽出画像信号の生成も基準画像信号のフレーム周波数を考慮することが好ましい。例えば、信号抽出回路 1 8 が、フレーム期間の開始と同時にオン状態となり、当該オン状態を、フレーム期間と同期間又はフレーム期間の整数倍の期間維持するスイッチとして機能する回路となることが好ましい。

30

【 0 0 3 9 】

なお、図 5 (A) に示すように、画素部 1 0 、駆動回路 1 1 、リレー回路 1 4 、及びリレー回路 1 5 は、同一の基板 3 0 上に形成することが可能である。また、画素部 1 0 、駆動回路 1 1 の一部、リレー回路 1 4 、及びリレー回路 1 5 を同一の基板上に形成することも可能である。また、図 5 (B) に示すように、駆動回路 1 1 がリレー回路 1 4 及びリレー回路 1 5 を有する構成とすることも可能である。なお、図 5 (B) に示す構成において、画素部 1 0 及び駆動回路 1 1 を同一の基板上に形成することが可能である。また、画素部 1 0 及び駆動回路 1 1 の一部を同一の基板上に形成することも可能である。

40

【 0 0 4 0 】

また、上述した表示装置においては、画像信号の入力のみを制御する構成について示したが、駆動回路 1 1 を制御するための各種の制御信号（スタートパルス（SP）、クロック（CK）、電源電位（Vdd）、電源電位（Vss）など）の駆動回路 1 1 への入力もリレー回路 1 4 及びリレー回路 1 5 によって行う構成とすることも可能である。

【 0 0 4 1 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一

50

部と自由に組み合わせることが可能である。

【0042】

(実施の形態2)

本実施の形態では、実施の形態1に示した表示装置の詳細な構成について説明する。具体的には、表示装置を構成するトランジスタの例について、図6を参照して説明する。なお、本実施の形態で示すトランジスタは、実施の形態1で示した表示装置の各画素に設けられる画像信号の入力を制御するトランジスタとして好ましい。

【0043】

図6(A)に示すトランジスタ410は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタともいう。

10

【0044】

トランジスタ410は、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁層402、酸化物半導体層403、ソース電極層405a、及びドレイン電極層405bを含む。また、トランジスタ410を覆い、酸化物半導体層403に積層する絶縁層407が設けられている。絶縁層407上にはさらに保護絶縁層409が形成されている。

【0045】

図6(B)に示すトランジスタ420は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造の一つであり逆スタガ型トランジスタともいう。

20

【0046】

トランジスタ420は、絶縁表面を有する基板400上に、ゲート電極層401、ゲート絶縁層402、酸化物半導体層403、酸化物半導体層403のチャネル形成領域を覆うチャネル保護層として機能する絶縁層427、ソース電極層405a、及びドレイン電極層405bを含む。また、トランジスタ420を覆い、保護絶縁層409が形成されている。

【0047】

図6(C)示すトランジスタ430はボトムゲート型のトランジスタであり、絶縁表面を有する基板である基板400上に、ゲート電極層401、ゲート絶縁層402、ソース電極層405a、ドレイン電極層405b、及び酸化物半導体層403を含む。また、トランジスタ430を覆い、酸化物半導体層403に接する絶縁層407が設けられている。絶縁層407上にはさらに保護絶縁層409が形成されている。

30

【0048】

トランジスタ430においては、ゲート絶縁層402は基板400及びゲート電極層401上に接して設けられ、ゲート絶縁層402上にソース電極層405a、ドレイン電極層405bが接して設けられている。そして、ゲート絶縁層402、及びソース電極層405a、ドレイン電極層405b上に酸化物半導体層403が設けられている。

【0049】

図6(D)に示すトランジスタ440は、トップゲート構造のトランジスタの一つである。トランジスタ440は、絶縁表面を有する基板400上に、絶縁層437、酸化物半導体層403、ソース電極層405a、及びドレイン電極層405b、ゲート絶縁層402、ゲート電極層401を含み、ソース電極層405a、ドレイン電極層405bにそれぞれ配線層436a、配線層436bが接して設けられ電氣的に接続している。

40

【0050】

本実施の形態では、上記の通り、半導体層として酸化物半導体層403を用いる。酸化物半導体層403に用いる酸化物半導体としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、二元系金属酸化物であるIn-Zn-O系、In-Ga-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、一元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などを用いる

50

ことができる。また、上記酸化物半導体に SiO_2 を含んでもよい。ここで、例えば、 In-Ga-Zn-O 系酸化物半導体とは、少なくとも In と Ga と Zn を含む酸化物であり、その組成比に特に制限はない。また、 In と Ga と Zn 以外の元素を含んでもよい。

【0051】

また、酸化物半導体層 403 は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、 M は、 Ga 、 Al 、 Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、 Ga 、 Ga 及び Al 、 Ga 及び Mn 、または Ga 及び Co などがある。

【0052】

絶縁表面を有する基板 400 に使用することができる基板に大きな制限はないが、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いる。

10

【0053】

ボトムゲート構造のトランジスタ 410、420、430 において、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0054】

ゲート電極層 401 の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

20

【0055】

ゲート絶縁層 402 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。例えば、第 1 のゲート絶縁層としてプラズマ CVD 法により膜厚 50 nm 以上 200 nm 以下の窒化シリコン層 (SiN_y ($y > 0$)) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 nm 以上 300 nm 以下の酸化シリコン層 (SiO_x ($x > 0$)) を積層して、ゲート絶縁層とする。

30

【0056】

ソース電極層 405 a、ドレイン電極層 405 b に用いる導電膜としては、例えば、 Al 、 Cr 、 Cu 、 Ta 、 Ti 、 Mo 、 W から選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、 Al 、 Cu などの金属層の下側又は上側の一方または双方に Ti 、 Mo 、 W などの高融点金属層を積層させた構成としても良い。また、 Al 膜に生ずるヒロックやウィスカの発生を防止する元素 (Si 、 Nd 、 Sc など) が添加されている Al 材料を用いることで耐熱性を向上させることが可能となる。

【0057】

ソース電極層 405 a、ドレイン電極層 405 b に接続する配線層 436 a、配線層 436 b のような導電膜も、ソース電極層 405 a、ドレイン電極層 405 b と同様な材料を用いることができる。

40

【0058】

また、ソース電極層 405 a、ドレイン電極層 405 b (これと同じ層で形成される配線層を含む) となる導電膜としては導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ合金 ($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する)、酸化インジウム酸化亜鉛合金 ($\text{In}_2\text{O}_3-\text{ZnO}$) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0059】

50

絶縁層 407、427、437 は、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などの無機絶縁膜を用いることができる。

【0060】

保護絶縁層 409 は、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などの無機絶縁膜を用いることができる。

【0061】

また、保護絶縁層 409 上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン、等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k 材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

10

【0062】

酸化物半導体層 403 を用いたトランジスタ 410、420、430、440 は、オフ状態における電流値（オフ電流値）が低い。これにより、当該トランジスタがオフ状態である場合、当該トランジスタを介した電荷のリークを抑制することが可能である。そのため、当該トランジスタを各画素に設けられるトランジスタとして適用することで、当該画素への画像信号の入力頻度を低減することが可能となる。つまり、当該画素に画像信号が入力されない期間が長期化した場合であっても、当該画素における表示品質を劣化させることなく維持することが可能となる。その結果、実施の形態 1 に示した表示装置の消費電力を低減することが可能になる。なぜなら、各画素に設けられるトランジスタとして本実施の形態のトランジスタを適用することで、抽出画像信号のフレーム周波数を低減することが可能となるからである。

20

【0063】

また、酸化物半導体層 403 を用いたトランジスタ 410、420、430、440 は、比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、表示装置の各画素が有するトランジスタとして本実施の形態のトランジスタを適用することで、高画質な画像を提供することができる。

【0064】

なお、実施の形態 1 に示した表示装置において、駆動回路及びリレー回路を、酸化物半導体層 403 を用いたトランジスタ 410、420、430、440 によって構成することもできる。当該トランジスタの適用範囲を広げることで、表示装置の製造コストを低減することが可能である。

30

【0065】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0066】

（実施の形態 3）

本実施の形態では、実施の形態 2 に示したトランジスタの一例について、図 7 を参照して説明する。

40

【0067】

図 7（A）乃至（E）にトランジスタの断面構造の一例を示す。図 7（A）乃至（E）に示すトランジスタ 510 は、図 6（A）に示すトランジスタ 410 と同様なボトムゲート構造の逆スタガ型トランジスタである。

【0068】

本実施の形態の半導体層に用いる酸化物半導体は、n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより I 型（真性）の酸化物半導体、又は I 型（真性）に限りなく近い酸化物半導体としたものである。すなわち、不純物を添加して I 型化するのではなく、水素や水等の不純物を極力除去したことにより、高純度化された I 型（真性）半導体又はそれに近づくこ

50

とを特徴としている。従って、トランジスタ 510 が有する酸化物半導体層は、高純度化及び電氣的に I 型（真性）化された酸化物半導体層である。

【0069】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

【0070】

酸化物半導体中にキャリアが極めて少ないため、トランジスタのオフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。

【0071】

具体的には、上述の酸化物半導体層を具備するトランジスタは、チャネル幅 $1 \mu\text{m}$ あたりのオフ電流密度を室温下において、 $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下にすること、さらには $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下、さらには $10 \text{ zA} / \mu\text{m}$ ($1 \times 10^{-20} \text{ A} / \mu\text{m}$) 以下にすることが可能である。

【0072】

また、上述の酸化物半導体層を具備するトランジスタ 510 はオン電流の温度依存性がほとんど見られず、オフ電流も非常に小さいままである。

【0073】

以下、図 7 (A) 乃至 (E) を用い、基板 505 上にトランジスタ 510 を作製する工程を説明する。

【0074】

まず、絶縁表面を有する基板 505 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 511 を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0075】

絶縁表面を有する基板 505 は、実施の形態 2 に示した基板 400 と同様な基板を用いることができる。本実施の形態では基板 505 としてガラス基板を用いる。

【0076】

下地膜となる絶縁膜を基板 505 とゲート電極層 511 との間に設けてもよい。下地膜は、基板 505 からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0077】

また、ゲート電極層 511 の材料は、モリブデン、チタン、タンタル、タンゲステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0078】

次いで、ゲート電極層 511 上にゲート絶縁層 507 を形成する。ゲート絶縁層 507 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。

【0079】

本実施の形態の酸化物半導体は、不純物が除去され、I 型化又は実質的に I 型化された酸化物半導体を用いる。このような高純度化された酸化物半導体は界面準位、界面電荷に対して極めて敏感であるため、酸化物半導体層とゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層は、高品質化が要求される。

【0080】

例えば、 μ 波（例えば、周波数 $2 \sim 45 \text{ GHz}$ ）を用いた高密度プラズマ CVD は、緻

10

20

30

40

50

密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0081】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

【0082】

また、ゲート絶縁層507、酸化物半導体膜530に水素、水酸基及び水分がなるべく含まれないようにするために、酸化物半導体膜530の成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層511が形成された基板505、又はゲート絶縁層507までが形成された基板505を予備加熱し、基板505に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層516の成膜前に、ソース電極層515a及びドレイン電極層515bまで形成した基板505にも同様に行ってもよい。

【0083】

次いで、ゲート絶縁層507上に、膜厚2nm以上200nm以下、好ましくは5nm以上30nm以下の酸化物半導体膜530を形成する(図7(A)参照)。

【0084】

なお、酸化物半導体膜530をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層507の表面に付着している粉状物質(パーティクル、ごみともいう)を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

【0085】

酸化物半導体膜530に用いる酸化物半導体は、実施の形態2に示した四元系金属酸化物、三元系金属酸化物、二元系金属酸化物、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。本実施の形態では、酸化物半導体膜530としてIn-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタリング法により成膜する。この段階での断面図が図7(A)に相当する。また、酸化物半導体膜530は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガスと酸素の混合雰囲気下においてスパッタ法により形成することができる。

【0086】

酸化物半導体膜530をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、In₂O₃:Ga₂O₃:ZnO=1:1:1[mol](すなわち、In:Ga:Zn=1:1:0.5[atom])を用いることができる。また、他にも、In:Ga:Zn=1:1:1[atom]、又はIn:Ga:Zn=1:1:2[atom]の組成比を有する金属酸化物ターゲットを用いてもよい。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い金属酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0087】

酸化物半導体膜530を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

【0088】

10

20

30

40

50

減圧状態に保持された成膜室内に基板を保持し、基板温度を100 以上600 以下好ましくは200 以上400 以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、成膜室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、上記ターゲットを用いて基板505上に酸化物半導体膜530を成膜する。成膜室内の残留水分を除去するためには、吸着型の真空ポンプ、例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水(H_2O)など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

10

【0089】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。なお、パルス直流電源を用いると、成膜時に発生する粉状物質(パーティクル、ごみともいう)が軽減でき、膜厚分布も均一となるために好ましい。

【0090】

次いで、酸化物半導体膜530を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

【0091】

また、ゲート絶縁層507にコンタクトホールを形成する場合、その工程は酸化物半導体膜530の加工時に同時に行うことができる。

【0092】

なお、ここでの酸化物半導体膜530のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜530のウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0093】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、400 以上750 以下、または400 以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450 において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層531を得る(図7(B)参照)。

30

【0094】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

40

【0095】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス

50

中から出す G R T A を行ってもよい。

【 0 0 9 6 】

なお、第 1 の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6 N (9 9 . 9 9 9 9 %) 以上、好ましくは 7 N (9 9 . 9 9 9 9 9 %) 以上、(即ち不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。

【 0 0 9 7 】

また、第 1 の加熱処理で酸化物半導体層を加熱した後、同じ炉に高純度の酸素ガス、高純度の N₂ O ガス、又は超乾燥エア (露点が - 4 0 以下、好ましくは - 6 0 以下) を導入してもよい。酸素ガスまたは N₂ O ガスには、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは N₂ O ガスの純度を、6 N 以上、好ましくは 7 N 以上、(即ち、酸素ガスまたは N₂ O ガス中の不純物濃度を 1 p p m 以下、好ましくは 0 . 1 p p m 以下) とすることが好ましい。酸素ガス又は N₂ O ガスの作用により、脱水化または脱水素化処理による不純物の排除工程によって同時に減少してしまった酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電氣的に I 型 (真性) 化する。

10

【 0 0 9 8 】

また、酸化物半導体層の第 1 の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜 5 3 0 に行うこともできる。その場合には、第 1 の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

20

【 0 0 9 9 】

なお、第 1 の加熱処理は、上記以外にも、酸化物半導体層成膜後であれば、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、あるいは、ソース電極層及びドレイン電極層上に絶縁層を形成した後、のいずれで行っても良い。

【 0 1 0 0 】

また、ゲート絶縁層 5 0 7 にコンタクトホールを形成する場合、その工程は酸化物半導体膜 5 3 0 に第 1 の加熱処理を行う前でも行った後に行ってもよい。

【 0 1 0 1 】

また、酸化物半導体層を 2 回に分けて成膜し、2 回に分けて加熱処理を行うことで、下地部材の材料が、酸化物、窒化物、金属など材料を問わず、膜厚の厚い結晶領域、即ち、膜表面に垂直に c 軸配向した結晶領域を有する酸化物半導体層を形成してもよい。例えば、3 n m 以上 1 5 n m 以下の第 1 の酸化物半導体膜を成膜し、窒素、酸素、希ガス、または乾燥空気の雰囲気下で 4 5 0 以上 8 5 0 以下、好ましくは 5 5 0 以上 7 5 0 以下の第 1 の加熱処理を行い、表面を含む領域に結晶領域 (板状結晶を含む) を有する第 1 の酸化物半導体膜を形成する。そして、第 1 の酸化物半導体膜よりも厚い第 2 の酸化物半導体膜を形成し、4 5 0 以上 8 5 0 以下、好ましくは 6 0 0 以上 7 0 0 以下の第 2 の加熱処理を行い、第 1 の酸化物半導体膜を結晶成長の種として、上方に結晶成長させ、第 2 の酸化物半導体膜の全体を結晶化させ、結果として膜厚の厚い結晶領域を有する酸化物半導体層を形成してもよい。

30

40

【 0 1 0 2 】

次いで、ゲート絶縁層 5 0 7、及び酸化物半導体層 5 3 1 上に、ソース電極層及びドレイン電極層 (これと同じ層で形成される配線を含む) となる導電膜を形成する。ソース電極層、及びドレイン電極層に用いる導電膜としては、実施の形態 2 に示したソース電極層 4 0 5 a、ドレイン電極層 4 0 5 b に用いる材料を用いることができる。

【 0 1 0 3 】

第 3 のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層 5 1 5 a、ドレイン電極層 5 1 5 b を形成した後、レジストマスクを除去する (図 7 (C) 参照) 。

【 0 1 0 4 】

50

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるとよい。酸化物半導体層531上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L = 25\text{ nm}$ 未満の露光を行う場合には、数 nm ～数 10 nm と極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行うとよい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを 10 nm 以上 1000 nm 以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

10

【0105】

なお、導電膜のエッチングの際に、酸化物半導体層531がエッチングされ、分断することがないようにエッチング条件を最適化することが望まれる。しかしながら、導電膜のみをエッチングし、酸化物半導体層531を全くエッチングしないという条件を得ることは難しく、導電膜のエッチングの際に酸化物半導体層531は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。

20

【0106】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体層531にはIn-Ga-Zn-O系酸化物半導体を用いたので、エッチャントとして過水アンモニア水(アンモニア、水、過酸化水素水の混合液)を用いる。

【0107】

次いで、 N_2O 、 N_2 、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層516を形成する。

30

【0108】

絶縁層516は、少なくとも 1 nm 以上の膜厚とし、スパッタ法など、絶縁層516に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層516に水素が含まれると、水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャンネルが低抵抗化(N型化)してしまい、寄生チャンネルが形成されるおそれがある。よって、絶縁層516はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

40

【0109】

本実施の形態では、絶縁層516として膜厚 200 nm の酸化シリコン膜を、スパッタリング法を用いて成膜する。成膜時の基板温度は、室温以上 300 以下とすればよく、本実施の形態では 100 とする。酸化シリコン膜のスパッタ法による成膜は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、または希ガスと酸素の混合雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素を含む雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。酸化物半導体層に接して形成する絶縁層516は、水分や、水素イオンや、 OH^- などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン

50

膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

【0110】

酸化物半導体膜530の成膜時と同様に、絶縁層516の成膜室内の残留水分を除去するためには、吸着型の真空ポンプ（クライオポンプなど）を用いることが好ましい。クライオポンプを用いて排気した成膜室で成膜した絶縁層516に含まれる不純物の濃度を低減できる。また、絶縁層516の成膜室内の残留水分を除去するための排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。

【0111】

絶縁層516を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が除去された高純度ガスを用いることが好ましい。

10

【0112】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200 以上400 以下、例えば250 以上350 以下）を行う。例えば、窒素雰囲気下で250 、1時間の第2の加熱処理を行う。第2の加熱処理により、酸化物半導体層の一部（チャンネル形成領域）が絶縁層516と接した状態で加熱される。

【0113】

以上の工程を経ることによって、酸化物半導体膜に対して第1の加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料の一つである酸素を供給することができる。よって、酸化物半導体層は高純度化及び電氣的にI型（真性）化する。

20

【0114】

以上の工程でトランジスタ510が形成される（図7（D）参照）。

【0115】

また、絶縁層に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

【0116】

絶縁層516上にさらに保護絶縁層506を形成してもよい。例えば、RFスパッタ法を用いて窒化シリコン膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層506を、窒化シリコン膜を用いて形成する（図7（E）参照）。

30

【0117】

本実施の形態では、絶縁層516まで形成された基板505を100 ~ 400 の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコンターゲットを用いて窒化シリコン膜を、保護絶縁層506として成膜する。この場合においても、絶縁層516と同様に、成膜室内の残留水分を除去しつつ保護絶縁層506を成膜することが好ましい。

40

【0118】

保護絶縁層の形成後、さらに大気中、100 以上200 以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100 以上200 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。

【0119】

このように、本実施の形態を用いて作製した、高純度化された酸化物半導体層を含むトランジスタを用いることにより、オフ状態における電流値（オフ電流値）をより低くする

50

ことができる。これにより、当該トランジスタがオフ状態である場合、当該トランジスタを介した電荷のリークを抑制することが可能である。そのため、当該トランジスタを各画素に設けられるトランジスタとして適用することで、当該画素への画像信号の入力頻度を低減することが可能となる。つまり、当該画素に画像信号が入力されない期間が長期化した場合であっても、当該画素における表示品質を劣化させることなく維持することが可能となる。その結果、実施の形態 1 に示した表示装置の消費電力を低減することが可能になる。なぜなら、各画素に設けられるトランジスタとして本実施の形態のトランジスタを適用することで、抽出画像信号のフレーム周波数を低減することが可能となるからである。

【0120】

また、高純度化された酸化物半導体層を含むトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。よって、表示装置の各画素が有するトランジスタとして本実施の形態のトランジスタを適用することで、高画質な画像を提供することができる。

【0121】

なお、実施の形態 1 に示した表示装置において、駆動回路及びリレー回路を、高純度化された酸化物半導体層を含むトランジスタによって構成することもできる。当該トランジスタの適用範囲を広げることで、表示装置の製造コストを低減することが可能である。

【0122】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0123】

(実施の形態 4)

本実施の形態では、上記実施の形態で示す表示装置において、タッチパネル機能を付加した表示装置の構成について、図 8 (A)、(B) を用いて説明する。

【0124】

図 8 (A) は、本実施の形態の表示装置の概略図である。図 8 (A) には、実施の形態 1 の表示装置である液晶表示パネル 601 にタッチパッド 602 を重畳して設け、筐体 603 にて合着させる構成について示している。タッチパッド 602 は、抵抗膜方式、表面型静電容量方式、投影型静電容量方式等を適宜用いることができる。なお、図 8 (A) に示す表示装置においては、タッチパッド 602 が実施の形態 1 に示した表示装置における入力デバイスに相当する。

【0125】

図 8 (A) に示すように、表示パネル 601 と、タッチパッド 602 とを別々に作製し重畳することにより、タッチパネル機能を付加した表示装置の作製に係るコストの削減を図ることができる。

【0126】

図 8 (A) とは異なるタッチパネル機能を付加した表示装置の構成について、図 8 (B) に示す。図 8 (B) に示す表示装置 604 は、複数設けられる画素 605 に光センサ 606 及び液晶素子 607 を有する。そのため、図 8 (A) に示す表示装置とは異なり、タッチパッド 602 を重畳して作製する必要がなく、表示装置の薄型化を図ることができる。なお、画素 605 とともに走査線駆動回路 608、信号線駆動回路 609、光センサ用駆動回路 610 を画素 605 と同じ基板上に作製することで、表示装置の小型化を図ることができる。なお、光センサ 606 は、アモルファスシリコンなどを用いて形成し、酸化物半導体を用いたトランジスタと重畳して形成する構成としてもよい。

【0127】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容又は該内容の一部と自由に組み合わせることが可能である。

【0128】

(実施の形態 5)

本実施の形態では、実施の形態 1 で得られる表示装置を搭載した電子機器の例について

図 9 を参照して説明する。

【 0 1 2 9 】

図 9 (A) は、ノート型のパーソナルコンピュータを示す図であり、本体 2 2 0 1、筐体 2 2 0 2、表示部 2 2 0 3、キーボード 2 2 0 4 などによって構成されている。

【 0 1 3 0 】

図 9 (B) は、携帯情報端末 (P D A) を示す図であり、本体 2 2 1 1 には表示部 2 2 1 3 と、外部インターフェイス 2 2 1 5 と、操作ボタン 2 2 1 4 等が設けられている。また、操作用の付属品としてスタイラス 2 2 1 2 がある。

【 0 1 3 1 】

図 9 (C) は、電子ペーパーの一例として、電子書籍 2 2 2 0 を示す図である。電子書籍 2 2 2 0 は、筐体 2 2 2 1 および筐体 2 2 2 3 の 2 つの筐体で構成されている。筐体 2 2 2 1 および筐体 2 2 2 3 は、軸部 2 2 3 7 により一体とされており、該軸部 2 2 3 7 を軸として開閉動作を行うことができる。このような構成により、電子書籍 2 2 2 0 は、紙の書籍のように用いることが可能である。

【 0 1 3 2 】

筐体 2 2 2 1 には表示部 2 2 2 5 が組み込まれ、筐体 2 2 2 3 には表示部 2 2 2 7 が組み込まれている。表示部 2 2 2 5 および表示部 2 2 2 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 9 (C) では表示部 2 2 2 5) に文章を表示し、左側の表示部 (図 9 (C) では表示部 2 2 2 7) に画像を表示することができる。

【 0 1 3 3 】

また、図 9 (C) では、筐体 2 2 2 1 に操作部などを備えた例を示している。例えば、筐体 2 2 2 1 は、電源 2 2 3 1、操作キー 2 2 3 3、スピーカー 2 2 3 5などを備えている。操作キー 2 2 3 3 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、U S B 端子、または A C アダプタおよび U S B ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 2 2 0 は、電子辞書としての機能を持たせた構成としてもよい。

【 0 1 3 4 】

また、電子書籍 2 2 2 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【 0 1 3 5 】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【 0 1 3 6 】

図 9 (D) は、携帯電話機を示す図である。当該携帯電話機は、筐体 2 2 4 0 および筐体 2 2 4 1 の二つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカー 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 0 は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

【 0 1 3 7 】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 9 (D) には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 2 2 4 9 で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 I C チップ、小型記録装置などを内蔵した構成とすることもできる。

10

20

30

40

50

【 0 1 3 8 】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカー 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 9 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【 0 1 3 9 】

外部接続端子 2 2 4 8 は A C アダプタや U S B ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

10

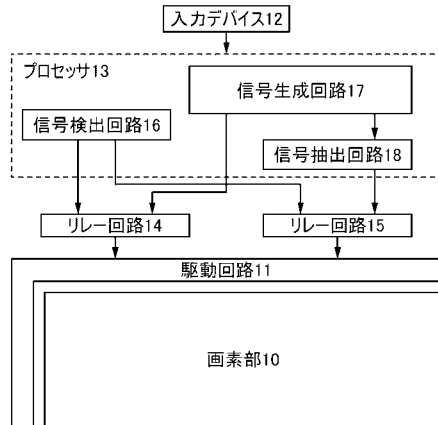
【 符号の説明 】

【 0 1 4 0 】

1 0	画素部	
1 1	駆動回路	
1 2	入力デバイス	
1 3	プロセッサ	
1 4	リレー回路	
1 5	リレー回路	20
1 6	信号検出回路	
1 7	信号生成回路	
1 8	信号抽出回路	
2 1	信号検出部	
2 2	ラッチ部	
2 3	メモリ部	
2 4	リセット部	
3 0	基板	
4 0 0	基板	
4 0 1	ゲート電極層	30
4 0 2	ゲート絶縁層	
4 0 3	酸化物半導体層	
4 0 5 a	ソース電極層	
4 0 5 b	ドレイン電極層	
4 0 7	絶縁層	
4 0 9	保護絶縁層	
4 1 0	トランジスタ	
4 2 0	トランジスタ	
4 2 7	絶縁層	
4 3 0	トランジスタ	40
4 3 6 a	配線層	
4 3 6 b	配線層	
4 3 7	絶縁層	
4 4 0	トランジスタ	
5 0 5	基板	
5 0 6	保護絶縁層	
5 0 7	ゲート絶縁層	
5 1 0	トランジスタ	
5 1 1	ゲート電極層	
5 1 5 a	ソース電極層	50

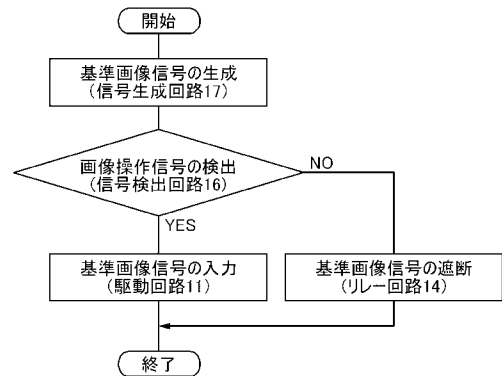
5 1 5 b	ドレイン電極層	
5 1 6	絶縁層	
5 3 0	酸化物半導体膜	
5 3 1	酸化物半導体層	
6 0 1	表示パネル	
6 0 2	タッチパッド	
6 0 3	筐体	
6 0 4	表示装置	
6 0 5	画素	
6 0 6	光センサ	10
6 0 7	液晶素子	
6 0 8	走査線駆動回路	
6 0 9	信号線駆動回路	
6 1 0	光センサ用駆動回路	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	20
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	30
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	40
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	

【図 1】

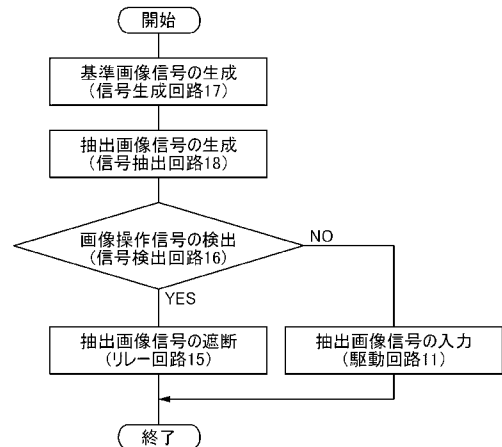


【図 2】

(A)

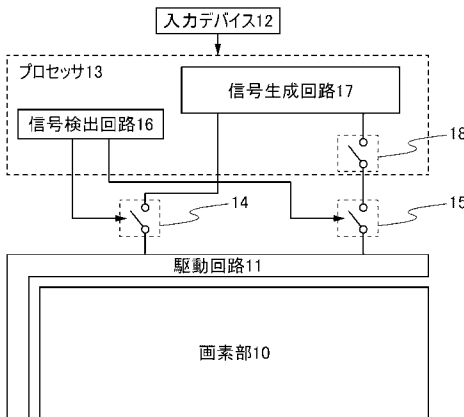


(B)

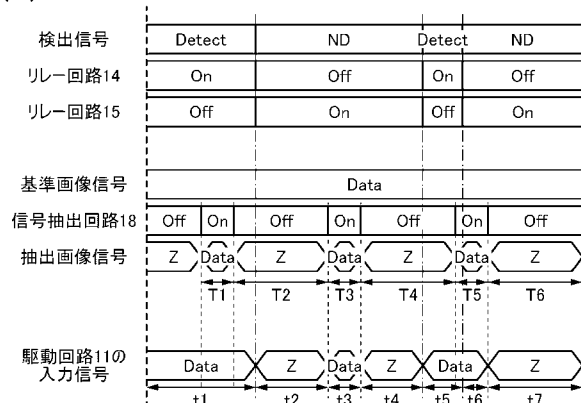


【図 3】

(A)

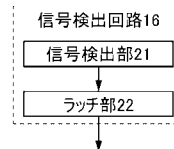


(B)

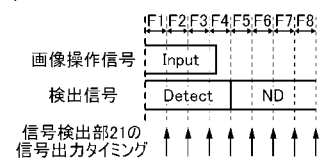


【図 4】

(A)



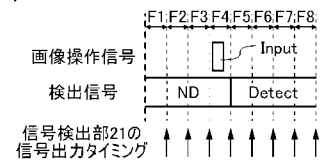
(B)



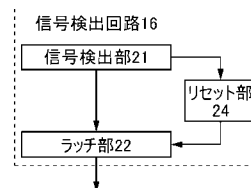
(C)



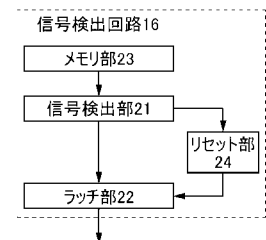
(D)



(E)

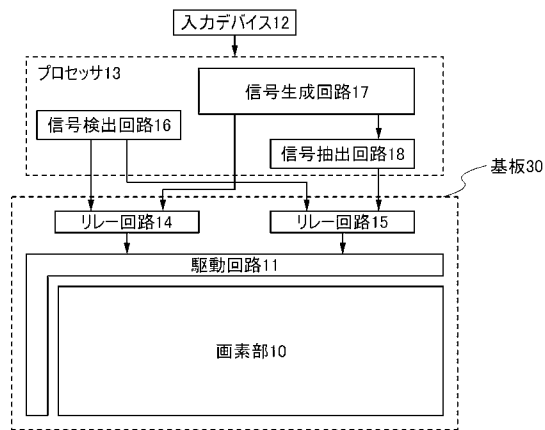


(F)

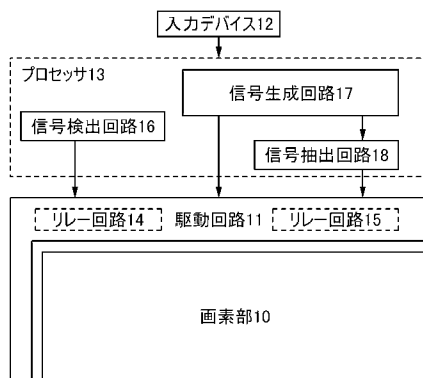


【図 5】

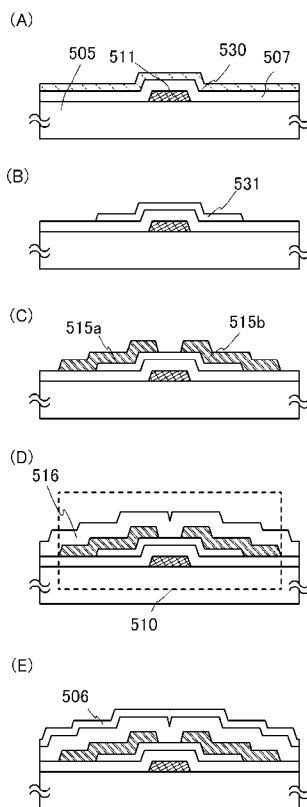
(A)



(B)

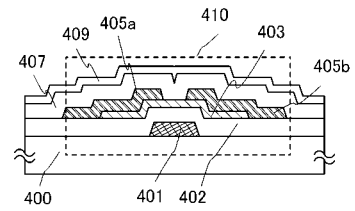


【図 7】

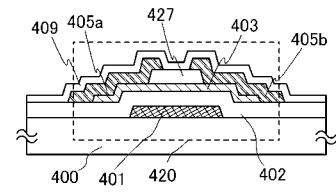


【図 6】

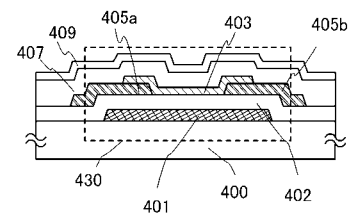
(A)



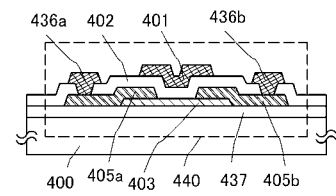
(B)



(C)

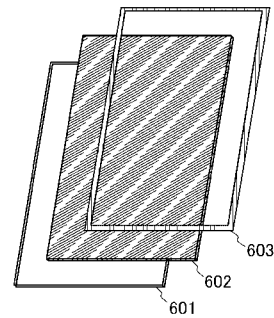


(D)

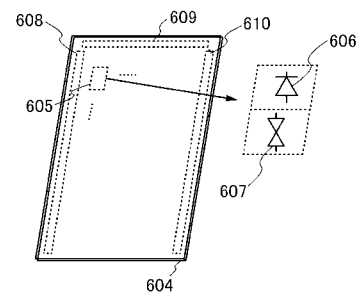


【図 8】

(A)

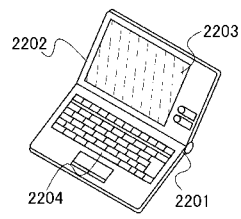


(B)

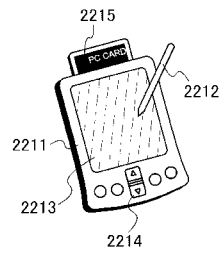


【図 9】

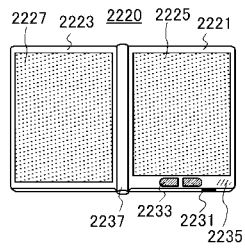
(A)



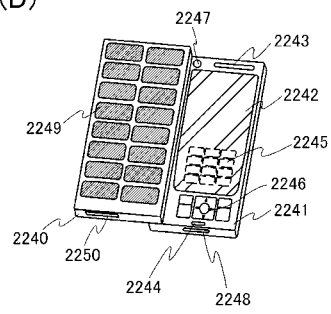
(B)



(C)



(D)



フロントページの続き

(51) Int.Cl.			F I			テーマコード (参考)
H 0 1 L	29/786	(2006.01)	G 0 9 G	3/20	6 9 1 D	5 F 1 1 0
			G 0 9 F	9/30	3 3 8	
			G 0 2 F	1/133	5 5 0	
			G 0 2 F	1/133	5 3 0	
			G 0 2 F	1/1368		
			H 0 1 L	29/78	6 1 8 B	

F ターム(参考)	2H193	ZA04	ZE31	ZE40	ZF12	ZF33	ZH12	ZH23	ZH30	ZH79	ZJ02
		ZJ04									
	5C006	AF44	AF45	BB16	BC03	BC11	BC20	BF04	BF15	BF31	BF39
		EC02	EC05	FA04	FA47	FA48					
	5C080	AA10	BB05	DD26	EE01	EE17	EE26	FF03	FF11	GG05	GG07
		GG12	JJ02	JJ06	JJ07	KK07	KK08	KK20	KK34		
	5C094	AA22	AA43	AA45	BA03	BA14	BA43	DA09	DA13	FB14	FB15
	5F110	AA06	BB01	CC01	CC03	CC07	DD02	DD13	DD14	DD15	DD17
		EE02	EE03	EE04	EE06	EE14	FF01	FF02	FF03	FF04	FF09
		FF28	FF30	GG01	GG17	GG19	GG25	GG28	GG34	GG35	GG43
		GG57	HK02	HK03	HK04	HK06	HK07	HK21	HK22	NN02	NN03
		NN04	NN05	NN12	NN22	NN23	NN24	NN27	NN28	NN34	PP01
		PP02	PP10	PP13	PP29	PP35	QQ02	QQ19			

专利名称(译)	液晶显示器		
公开(公告)号	JP2020003803A	公开(公告)日	2020-01-09
申请号	JP2019142192	申请日	2019-08-01
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	脇本研一 早川昌彦		
发明人	脇本 研一 早川 昌彦		
IPC分类号	G09G3/36 G09G3/20 G09F9/30 G02F1/133 G02F1/1368 H01L29/786		
CPC分类号	G09G3/3648 G09G2300/0408 G09G2330/022 G09G2340/0435 G09G2360/14 H01L27/1225 G09G3/20 G09G3/3611 G09G2320/043		
FI分类号	G09G3/36 G09G3/20.624.B G09G3/20.691.A G09G3/20.691.F G09G3/20.611.A G09G3/20.691.D G09F9/30.338 G02F1/133.550 G02F1/133.530 G02F1/1368 H01L29/78.618.B		
F-TERM分类号	2H192/AA24 2H192/CB02 2H192/CB05 2H192/CB06 2H192/CB37 2H192/CB71 2H192/CC75 2H192/EA67 2H192/EA74 2H192/FB02 2H192/FB13 2H192/GB02 2H192/GB61 2H192/GD61 2H192/HA44 2H192/HA90 2H193/ZA04 2H193/ZE31 2H193/ZE40 2H193/ZF12 2H193/ZF33 2H193/ZH12 2H193/ZH23 2H193/ZH30 2H193/ZH79 2H193/ZJ02 2H193/ZJ04 5C006/AF44 5C006/AF45 5C006/BB16 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF04 5C006/BF15 5C006/BF31 5C006/BF39 5C006/EC02 5C006/EC05 5C006/FA04 5C006/FA47 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE01 5C080/EE17 5C080/EE26 5C080/FF03 5C080/FF11 5C080/GG05 5C080/GG07 5C080/GG12 5C080/JJ02 5C080/JJ06 5C080/JJ07 5C080/KK07 5C080/KK08 5C080/KK20 5C080/KK34 5C094/AA22 5C094/AA43 5C094/AA45 5C094/BA03 5C094/BA14 5C094/BA43 5C094/DA09 5C094/DA13 5C094/FB14 5C094/FB15 5F110/AA06 5F110/BB01 5F110/CC01 5F110/CC03 5F110/CC07 5F110/DD02 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG17 5F110/GG19 5F110/GG25 5F110/GG28 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK21 5F110/HK22 5F110/NN02 5F110/NN03 5F110/NN04 5F110/NN05 5F110/NN12 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN28 5F110/NN34 5F110/PP01 5F110/PP02 5F110/PP10 5F110/PP13 5F110/PP29 5F110/PP35 5F110/QQ02 5F110/QQ19		
优先权	2010010250 2010-01-20 JP		
外部链接	Espacenet		

摘要(译)

为了通过简单的配置和操作来减少显示设备的功耗。解决方案：显示设备包括输入设备，并且响应于从输入设备输出的图像操作信号来控制图像信号向驱动电路的输入。具体地，将不操作输入设备时的图像信号的输入频率设置为低于当输入设备操作时的图像信号的输入频率。这样可以抑制使用显示设备时的显示质量下降（显示质量下降），并减少不使用显示设备时的功耗。

