

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-185377

(P2018-185377A)

(43) 公開日 平成30年11月22日(2018.11.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20	641E 2H391
G02F 1/133 (2006.01)	G09G 3/20	623C 5C006
G02F 1/1337 (2006.01)	G09G 3/20	641Q 5C080
	G09G 3/20	641K
審査請求 未請求 請求項の数 13 O L (全 21 頁) 最終頁に続く		

(21) 出願番号 特願2017-85722 (P2017-85722)
 (22) 出願日 平成29年4月24日 (2017. 4. 24)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100110412
 弁理士 藤元 亮輔
 (74) 代理人 100104628
 弁理士 水本 敦也
 (74) 代理人 100121614
 弁理士 平山 倫也
 (72) 発明者 一政 昭司
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内

最終頁に続く

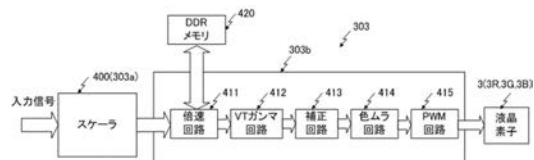
(54) 【発明の名称】 液晶駆動装置、画像表示装置、および、プログラム

(57) 【要約】

【課題】 ディスクリネーションによる画質の低下を軽減することが可能な液晶駆動装置を提供する。

【解決手段】 液晶素子(3)を駆動する液晶駆動装置(303)であって、連続して入力される入力フレーム画像データのそれぞれに対して第1のフレーム画像データおよび第2のフレーム画像データを生成する画像データ生成手段(411、412、413)と、第1のフレーム画像データおよび第2のフレーム画像データのそれぞれに基づいて、順次、1フレーム期間に含まれる複数のサブフレーム期間のそれぞれにおいて液晶素子(3)の画素に対する第1の電圧の印加と第1の電圧よりも低い第2の電圧の印加を制御することで画素に階調を形成させる駆動手段(415)とを有し、画像データ生成手段は、第1のフレーム画像データおよび第2のフレーム画像データの少なくとも一方に対して、入力フレーム画像の階調に応じた値を加算する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

液晶素子を駆動する液晶駆動装置であって、

連続して入力される入力フレーム画像データのそれぞれに対して第 1 のフレーム画像データおよび第 2 のフレーム画像データを生成する画像データ生成手段と、

前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データのそれぞれに基づいて、順次、1 フレーム期間に含まれる複数のサブフレーム期間のそれぞれにおいて前記液晶素子の画素に対する第 1 の電圧の印加と該第 1 の電圧よりも低い第 2 の電圧の印加を制御することで該画素に階調を形成させる駆動手段と、を有し、

前記画像データ生成手段は、前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データの少なくとも一方に対して、前記入力フレーム画像の階調に応じた値を加算することを特徴とする液晶駆動装置。

10

【請求項 2】

前記画像データ生成手段は、

所定のガンマテーブルに従って、前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データのそれぞれに対してガンマ補正を行うガンマ補正手段と、

ガンマ補正後の前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データの少なくとも一方に対して、前記入力フレーム画像の前記階調に応じた前記値を加算する加算手段と、を有することを特徴とする請求項 1 に記載の液晶駆動装置。

20

【請求項 3】

前記画像データ生成手段は、ガンマテーブルに従って、前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データのそれぞれに対してガンマ補正を行うガンマ補正手段を有し、

前記ガンマ補正手段は、前記入力フレーム画像の前記階調に応じて前記ガンマテーブルを補正することにより、前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データの少なくとも一方に対して、前記入力フレーム画像の前記階調に応じた前記値を加算することを特徴とする請求項 1 に記載の液晶駆動装置。

【請求項 4】

前記画像データ生成手段は、前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データのいずれか一方に対して、前記入力フレーム画像の前記階調に応じた前記値を加算することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶駆動装置。

30

【請求項 5】

前記画像データ生成手段は、前記入力フレーム画像の前記階調に応じた前記値として、

前記第 1 のフレーム画像データに第 1 の値を加算した場合、前記第 2 のフレーム画像データから該第 1 の値を減算し、

前記第 2 のフレーム画像データに第 2 の値を加算した場合、前記第 1 のフレーム画像データから該第 2 の値を減算することを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の液晶駆動装置。

【請求項 6】

前記画像データ生成手段は、前記入力フレーム画像の前記階調に応じて、前記値としての加算値を変更することを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の液晶駆動装置。

40

【請求項 7】

前記画像データ生成手段は、隣接する 2 つの階調を形成するために互いに異なるように電圧を印加する前記サブフレーム期間の長さに応じて、前記加算値を変更することを特徴とする請求項 6 に記載の液晶駆動装置。

【請求項 8】

前記画像データ生成手段は、前記フレーム画像データの前記階調に応じて、前記加算値が適用される階調範囲を変更することを特徴とする請求項 6 または 7 に記載の液晶駆動装置。

50

【請求項 9】

前記画像データ生成手段は、隣接する 2 つの階調を形成するために互いに異なるように電圧を印加する前記サブフレーム期間の長さに応じて、前記階調範囲を変更することを特徴とする請求項 8 に記載の液晶駆動装置。

【請求項 10】

前記画像データ生成手段は、更に、前記第 1 のフレーム画像データよりも階調が低い第 1 の低階調フレーム画像データ、および、前記第 2 のフレーム画像データよりも階調が低い第 2 の低階調フレーム画像データを生成し、

前記駆動手段は、前記第 1 のフレーム画像データ、前記第 1 の低階調フレーム画像データ、前記第 2 のフレーム画像データ、および、前記第 2 の低階調フレーム画像データのそれぞれに基づいて、順次、1 フレーム期間に含まれる前記複数のサブフレーム期間のそれぞれにおいて前記液晶素子の前記画素に対する前記第 1 の電圧の印加と前記第 2 の電圧の印加とを制御することで該画素に前記階調を形成させることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の液晶駆動装置。

10

【請求項 11】

液晶素子を駆動する液晶駆動装置であって、

連続して入力される入力フレーム画像データのそれぞれに対して第 1 のフレーム画像データおよび第 2 のフレーム画像データを生成する画像データ生成手段と、

前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データのそれぞれに基づいて、順次、1 フレーム期間に含まれる複数のサブフレーム期間のそれぞれにおいて前記液晶素子の画素に対する第 1 の電圧の印加と該第 1 の電圧よりも低い第 2 の電圧の印加を制御することで該画素に階調を形成させる駆動手段と、を有し、

20

前記画像データ生成手段は、前記入力フレーム画像データの前記階調に応じて補正された所定のガンマテーブルに従って、前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データのそれぞれに対してガンマ補正を行うことを特徴とする液晶駆動装置。

【請求項 12】

液晶素子と、

請求項 1 乃至 11 のいずれか 1 項に記載の液晶駆動装置と、を有することを特徴とする画像表示装置。

30

【請求項 13】

コンピュータに、液晶素子を駆動させるプログラムであって、

連続して入力される入力フレーム画像データのそれぞれに対して第 1 のフレーム画像データおよび第 2 のフレーム画像データを生成するステップと、

前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データのそれぞれに基づいて、順次、1 フレーム期間に含まれる複数のサブフレーム期間のそれぞれにおいて前記液晶素子の画素に対する第 1 の電圧の印加と該第 1 の電圧より低い第 2 の電圧の印加を制御することで該画素に階調を形成させるステップと、を前記コンピュータに実行させ、

前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データを生成するステップは、前記第 1 のフレーム画像データおよび前記第 2 のフレーム画像データの少なくとも一方に対して、前記入力フレーム画像の階調に応じた値を加算するステップを含むことを特徴とするプログラム。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶素子をデジタル駆動方式で駆動する液晶駆動装置に関する。

【背景技術】**【0002】**

液晶素子には、TN (Twisted Nematic) 素子等の透過型液晶素子や、VAN (Vertical Alignment Nematic) 素子等の反射型液晶素子がある。これらの液晶素子の駆動方式には、階調に応じて、液晶層に印加する電圧を

50

変化させることで明るさを制御するアナログ駆動方式と、液晶層に印加する電圧を2値化して電圧印加時間を変化させることで明るさを制御するデジタル駆動方式とがある。このデジタル駆動方式には、1フレーム期間を時間軸上で複数のサブフレーム期間に分割し、サブフレームごとに画素に対する所定電圧の印加（オン）と非印加（オフ）を制御することで該画素に階調を表示させるサブフレーム駆動方式がある。

【0003】

ここで、一般的なサブフレーム駆動方式について説明する。図20には、1フレーム期間を複数のサブフレーム期間（ビット長）に分割する例を示している。各サブフレーム上に記載された数値は、そのサブフレームの1フレーム期間内での時間重みを示す。ここでは例として、64階調を表現する場合を示している。また、ここでの説明では、時間重み1+2+4+8+16の期間をAサブフレーム期間といい、時間重み32のサブフレーム期間をBサブフレーム期間という。さらに、上述した所定電圧をオンするサブフレーム期間をオン期間といい、所定電圧をオフするサブフレーム期間をオフ期間という。

10

【0004】

図21(A)は、図20に示したサブフレーム分割例に対応する全階調データである。図21(A)において、縦軸は階調を、横軸は1フレーム期間を示す。また、図中の白いサブフレーム期間は画素が白表示状態となるオン期間を示し、黒いサブフレーム期間は画素が黒表示状態となるオフ期間を示す。この階調データによれば、液晶素子にて互いに隣接する2画素（以下、隣接画素という）に互いに隣接する2階調（以下、隣接階調という）、例えば32階調と33階調を表示させる場合は、Aサブフレーム期間を32階調ではオン期間、33階調ではオフ期間とする。また、Bサブフレーム期間を32階調ではオフ期間、33階調ではオン期間とする。

20

【0005】

このように隣接画素にてオン期間とオフ期間が時間的に重なる、つまりは同じ期間で隣接画素の一方では所定電圧が印加され、他方では印加されていない状態が発生すると、いわゆるディスクリネーションが発生してオン期間側の画素の明るさが低下する。図21(B)は、ディスクリネーションによる明るさ低下のイメージである。図21(B)の上下方向は階調を示し、濃淡は表示の明るさを示している。ディスクリネーションが無い場合は滑らかな濃淡が表現されるが、隣接画素においてオン期間とオフ期間が重なる時間が長い隣接階調（ここでは32階調と33階調）ではディスクリネーションの影響により明るさが低下して暗線が現れる。

30

【0006】

特許文献1には、1または複数の長いサブフレーム期間を、短いサブフレームの期間と等しい期間に分割することにより、複数の分割サブフレーム期間を生成する駆動回路が開示されている。また、特許文献1の駆動回路では、隣接画素に対応する階調データの各ビットの位相が異なる場合には、階調を維持した上で、一方の画素に対応する階調データのビット配列に対して、他方の画素に対応する階調データのビット配列に近づける補正を行う。これにより、長いサブフレーム期間を分割しない場合に比べれば、隣接画素においてオン期間とオフ期間とが重なるサブフレーム期間（以下、オン/オフ隣接期間という）を短くすることができる。

40

【0007】

特許文献2には、フレームごとに、全画素に対応する信号データに対して、全画素共通の補正値を加算するとともに、補正値を周期的に変更するようにしてディスクリネーションを軽減する駆動方法が開示されている。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開2013-050681号公報

【特許文献2】特開2013-050679号公報

【発明の概要】

50

【発明が解決しようとする課題】**【0009】**

しかしながら、特許文献1にて開示された方法では、隣接画素でのオン/オフ隣接期間の最短時間が長いため、ディスクリネーションによる明るさの低下を無視することができない。また、隣接画素におけるオン/オフ隣接期間が長いため、液晶分子の応答速度に応じてディスクリネーションによる明るさの低下量が増大していく。

【0010】

図22は、特許文献1に開示された全階調データを示す。Aサブフレーム期間は時間重み1+2+4+8に相当し、Bサブフレーム期間はそれぞれ時間重み8に相当する複数の分割サブフレーム期間1SF(SFはサブフレーム)~10SFに分割されている。1つの分割サブフレーム期間は0.69msである。この階調データでは、隣接画素におけるオン/オフ隣接期間の最短時間は2つの分割サブフレーム期間に相当する1.39msである。したがって、ディスクリネーションによる明るさの低下(つまりは暗線)が目立つ。

10

【0011】

また、特許文献2にて開示された方法では、全画素共通の補正値を加算するため、大きく補正をかけるとフリッカー等の低階調での弊害が発生する可能性がある。

【0012】

そこで本発明は、ディスクリネーションによる画質の低下を軽減するとともにフリッカーを低減することが可能な液晶駆動装置、画像表示装置、および、プログラムを提供する。

20

【課題を解決するための手段】**【0013】**

本発明の一側面としての液晶駆動装置は、液晶素子を駆動する液晶駆動装置であって、連続して入力される入力フレーム画像データのそれぞれに対して第1のフレーム画像データおよび第2のフレーム画像データを生成する画像データ生成手段と、前記第1のフレーム画像データおよび前記第2のフレーム画像データのそれぞれに基づいて、順次、1フレーム期間に含まれる複数のサブフレーム期間のそれぞれにおいて前記液晶素子の画素に対する第1の電圧の印加と該第1の電圧より低い第2の電圧の印加を制御することで該画素に階調を形成させる駆動手段とを有し、前記画像データ生成手段は、前記第1のフレーム画像データおよび前記第2のフレーム画像データの少なくとも一方に対して、前記入力フレーム画像の階調に応じた値を加算する。

30

【0014】

本発明の他の側面としての画像表示装置は、液晶素子と、前記液晶駆動装置とを有する。

【0015】

本発明の他の側面としてのプログラムは、コンピュータに、液晶素子を駆動させるプログラムであって、連続して入力される入力フレーム画像データのそれぞれに対して第1のフレーム画像データおよび第2のフレーム画像データを生成するステップと、前記第1のフレーム画像データおよび前記第2のフレーム画像データのそれぞれに基づいて、順次、1フレーム期間に含まれる複数のサブフレーム期間のそれぞれにおいて前記液晶素子の画素に対する第1の電圧の印加と該第1の電圧より低い第2の電圧の印加を制御することで該画素に階調を形成させるステップとを前記コンピュータに実行させ、前記第1のフレーム画像データおよび前記第2のフレーム画像データを生成するステップは、前記第1のフレーム画像データおよび前記第2のフレーム画像データの少なくとも一方に対して、前記入力フレーム画像の階調に応じた値を加算するステップを含む。

40

【0016】

本発明の他の目的及び特徴は、以下の実施例において説明される。

【発明の効果】**【0017】**

50

本発明によれば、ディスクリネーションによる画質の低下を軽減するとともにフリッカーを低減することが可能な液晶駆動装置、画像表示装置、および、プログラムを提供することができる。

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】実施例 1 における液晶プロジェクタの光学構成を示す図である。

【図 2】実施例 1 におけるプロジェクタに用いられる液晶素子の断面図である。

【図 3】実施例 1 における 1 フレーム期間内の複数のサブフレーム期間を示す図である。

【図 4】実施例 1 における A サブフレーム期間の階調データを示す図である。

【図 5】実施例 1 における全階調データを示す図である。

10

【図 6】実施例 1 における画素ラインを示す図である。

【図 7】実施例 1 における全白表示から白黒表示に切り替えたときの液晶の応答特性を示す図である。

【図 8】実施例 1 における全白表示から白黒表示に切り替えたときの明るさの応答特性を示す図である。

【図 9】実施例 1 における全黒表示から白黒表示に切り替えたときの液晶の応答特性を示す図である。

【図 10】実施例 1 における全面黒から白黒表示に切り替えたときの明るさの応答特性を表す図である。

【図 11】実施例 1 における液晶ドライバの構成を示すブロック図である。

20

【図 12】実施例 1 における補正回路の詳細構成を示すブロック図である。

【図 13】実施例 1 における入力データに関するオフセット量を示す図である。

【図 14】実施例 1 における液晶素子に順次表示されるフレーム画像を示す図である。

【図 15】実施例 1 における液晶素子に順次表示されるフレーム画像を示す別の図である。

【図 16】実施例 1 における入力データに関するオフセット量を示す別の図である。

【図 17】実施例 1 における入力データに関するオフセット量を示す更に別の図である。

【図 18】実施例 2 における液晶ドライバの構成を示すブロック図である。

【図 19】実施例 2 における V T ガンマ回路の詳細構成を示すブロック図である。

【図 20】従来における 1 フレーム期間内の複数のサブフレーム期間を示す図。

30

【図 21】従来における全階調データおよびこの階調データに従って液晶素子を駆動した場合のディスクリネーションを示す図である。

【図 22】特許文献 1 の全階調データを示す図である。

【発明を実施するための形態】

【 0 0 1 9 】

以下、本発明の実施例について、図面を参照しながら詳細に説明する。

【実施例 1】

【 0 0 2 0 】

図 1 には、本発明の実施例 1 である画像表示装置としての液晶プロジェクタの光学構成を示している。なお、本実施例では液晶素子を用いた画像表示装置の例としてプロジェクタについて説明するが、画像表示装置には、直視型モニタ等、プロジェクタ以外の液晶素子を用いた画像表示装置も含まれる。

40

【 0 0 2 1 】

液晶ドライバ 303 は、液晶駆動装置に相当する。液晶ドライバ 303 は、映像入力部（画像取得手段）303 a および駆動回路部（駆動手段）303 b を有する。映像入力部 303 a は、不図示の外部機器からの入力映像信号（入力画像）を取得する。駆動回路部 303 b は、入力映像信号の階調（入力データ階調）に応じて後述する階調データに対応する画素駆動信号を生成する。画素駆動信号は、レッド、グリーンおよびブルーの色ごとに生成され、それぞれの色用の画素駆動信号がレッド用液晶素子 3 R、グリーン用液晶素子 3 G およびブルー用液晶素子 3 B に入力される。これにより、レッド用液晶素子 3 R、

50

グリーン用液晶素子 3 G およびブルー用液晶素子 3 B が互いに独立に駆動される。なお、レッド用液晶素子 3 R、グリーン用液晶素子 3 G およびブルー用液晶素子 3 B は、垂直配向モードの反射型液晶素子（液晶パネル）である。

【0022】

照明光学系 3 0 1 は、光源（放電ランプ等）からの白色光をその偏光方向を揃えてダイクロイックミラー 3 0 5 に入射させる。ダイクロイックミラー 3 0 5 は、マゼンタ光を反射してグリーン光を透過する。ダイクロイックミラー 3 0 5 により反射されたマゼンタ光はブルークロスカラー偏光子 3 1 1 に入射し、ここでブルー光にのみ半波長のリタデーションが与えられることで互いに偏光方向が直交するブルー光とレッド光が生成される。ブルー光とレッド光は偏光ビームスプリッタ 3 1 0 に入射し、ブルー光は偏光ビームスプリッタ 3 1 0 の偏光分離膜を透過してブルー用液晶素子 3 B に導かれる。また、レッド色成分は偏光分離膜で反射されてレッド用液晶素子 3 R に導かれる。

10

【0023】

一方、ダイクロイックミラー 3 0 5 を透過したグリーン光は、光路長を補正するためのダミーガラス 3 0 6 を通過して偏光ビームスプリッタ 3 0 7 に入射し、その偏光分離膜で反射されてグリーン用液晶素子 3 G に導かれる。

【0024】

各液晶素子（3 R , 3 G , 3 B ）は、各画素の変調状態に応じて入射した光を変調するとともに反射する。レッド用液晶素子 3 R にて変調されたレッド光は、偏光ビームスプリッタ 3 1 0 の偏光分離膜を透過してレッドクロスカラー偏光子 3 1 2 に入射し、ここで半波長のリタデーションが与えられる。そして、このレッド光は、偏光ビームスプリッタ 3 0 8 に入射し、その偏光分離膜で反射されて投影光学系 3 0 4 に向かう。ブルー用液晶素子 3 B により変調されたブルー光は、偏光ビームスプリッタ 3 1 0 の偏光分離膜で反射され、レッドクロスカラー偏光子 3 1 2 をそのまま通過し、偏光ビームスプリッタ 3 0 8 に入射してその偏光分離膜で反射されて投影光学系 3 0 4 に向かう。グリーン用液晶素子 3 G により変調されたグリーン光は、偏光ビームスプリッタ 3 0 7 の偏光分離膜を透過し、光路長を補正するためのダミーガラス 3 0 9 を通過し、偏光ビームスプリッタ 3 0 8 に入射してその偏光分離膜を透過して投影光学系 3 0 4 に向かう。こうして投影光学系 3 0 4 には色合成されたレッド光、グリーン光およびブルー光が入射する。そして、色合成されたカラー光は、投影光学系 3 0 4 によってスクリーン等の被投射面 3 1 3 に拡大投射される。

20

30

【0025】

なお、本実施例では、反射型液晶素子を用いる場合について説明するが、透過型液晶素子を用いてもよい。

【0026】

図 2 には、反射型液晶素子（3 R , 3 G , 3 B ）の断面構造を示している。1 0 1 は A R コート膜、1 0 2 はガラス基板、1 0 3 は共通電極、1 0 4 は配向膜、1 0 5 は液晶層、1 0 6 は配向膜、1 0 7 は画素電極、1 0 8 は S i 基板である。

【0027】

図 1 に示す液晶ドライバ 3 0 3 は、上述したサブフレーム駆動方式で各画素を駆動する。すなわち、1 フレーム期間を時間軸上で複数のサブフレーム期間に分割し、階調データに応じてサブフレーム期間ごとに画素に対する所定電圧のオン（印加）とオフ（非印加）を制御することで該画素に階調を形成（表示）させる。1 フレーム期間は、液晶素子に 1 フレーム画像が表示される期間である。本実施例では液晶素子を 1 2 0 H z で駆動するものとして、1 フレーム期間を 8 . 3 3 m s とする。所定電圧のオンとオフは、第 1 の電圧（所定電圧）の印加と第 1 の電圧より低い第 2 の電圧の印加と言い換えることもできる。

40

【0028】

以下、液晶ドライバ 3 0 3 におけるサブフレーム期間の設定と階調データについて説明する。液晶ドライバ 3 0 3 をコンピュータにより構成し、プログラム（液晶駆動プログラム）に従って以下のサブフレーム期間の設定とサブフレーム期間ごとの所定電圧のオンノ

50

オフを制御するようにしてもよい。

【0029】

図3には、本実施例における1フレーム期間の複数のサブフレーム期間(ビット長)への分割を示している。各サブフレーム上に記載された数値は、そのサブフレームの1フレーム期間内での時間重みを示す。本実施例では、96階調を表現する。また、ここでの説明では、時間重み1+2+4+8の期間をAサブフレーム期間(第1の期間)といい、Aサブフレーム期間にてバイナリ表現された階調を示すビットを下位ビットという。また、時間重み8の10個のサブフレーム期間をまとめてBサブフレーム期間(第2の期間)といい、Bサブフレーム期間にてバイナリ表現された階調を示すビットを上位ビットという。時間重み1は0.087msに相当し、時間重み8は0.69msに相当する。

10

【0030】

さらに、上述した所定電圧をオン(第1の電圧を印加)するサブフレーム期間をオン期間といい、所定電圧をオフする(第2の電圧を印加する)サブフレーム期間をオフ期間という。

【0031】

図4には、図3に示したAサブフレーム期間の階調データを示す。縦軸は階調を、横軸は1フレーム期間を示す。Aサブフレーム期間では、16階調を表現する。図中の白いサブフレーム期間は画素が白表示状態となるように上述した所定電圧が印加されたオン期間を示し、黒いサブフレーム期間は画素が黒表示状態となるように所定電圧がオフされたオフ期間を示す。

20

【0032】

図5には、本実施例におけるAおよびBサブフレーム期間(下位および上位ビット)の階調データを示している。この階調データは、全階調として96階調を表現するための階調データである。この階調データにおいて、1フレーム期間の時間中心にはAサブフレーム期間(下位ビット)が配置され、その前後にBサブフレーム期間(上位ビット)が1SF~5SFと6SF~10SFとに分割されて配置されている。つまり、Bサブフレーム期間が2つに分割され、それぞれのBサブフレーム期間に2つ以上のサブフレーム期間が含まれる。

【0033】

この階調データによれば、液晶素子における互いに隣接する2画素である隣接画素に互いに隣接する2階調である隣接階調、例えば48階調と49階調を表示させる場合には、Aサブフレーム期間を48階調ではオン期間、49階調ではオフ期間とする。また、48階調では、Bサブフレーム期間のうち1SF, 4SF, 5SF, 6SF, 7SF, 10SFをオフ期間とし、2SF, 3SF, 8SF, 9SFをオン期間とする。一方、49階調では、Bサブフレーム期間のうち1SF, 5SF, 6SF, 10SFをオフ期間とし、2SF, 3SF, 4SF, 7SF, 8SF, 9SFをオン期間とする。そして、このような隣接階調を隣接画素に表示される際には、隣接画素においてオン期間とオフ期間とが重なるオン/オフ隣接期間が生ずる。具体的には、隣接画素に48階調と49階調を表示させる場合には、Bサブフレーム期間のうち4SFと7SFとがオン/オフ隣接期間となる。

30

【0034】

ここで、本実施例の階調データを図22に示した従来(特許文献1)の階調データと比較する。図22の階調データではAサブフレーム期間の後にBサブフレーム期間が1まとまりで継続しているが、図5に示す本実施例の階調データではAサブフレーム期間の前後にBサブフレーム期間が分割して配置されている。例えば48階調と49階調に注目すると、図22ではBサブフレーム期間のうち5SFと6SFがオン/オフ隣接期間になっており、時間重みとして16のオン/オフ隣接期間が継続している。このことは、他の隣接階調である16階調と17階調、32階調と33階調、64階調と65階調、80階調と81階調等についても同じである。これに対して、図5に示す本実施例では、上記のいずれの隣接階調においても、Bサブフレーム期間においてオン/オフ隣接期間が継続するのは時間重みとして8の1サブフレーム期間(=0.69ms)となっている。そして、この

40

50

1 サブフレーム期間であるオン/オフ隣接期間が A サブフレーム期間を挟んで互いに離れて複数 (2 つ) 存在する。

【0035】

次に、本実施例のようにオン/オフ隣接期間が分散配置されることにより得られる効果について説明する。

【0036】

まず、図 6 に示すようにマトリックス状に配置された画素が、全白表示状態から 1 画素ラインごとに白と黒が交互に表示される白黒表示状態に切り替わるときと、全黒表示状態から白黒表示状態に切り替わるときの液晶の応答特性について説明する。図 6 に示す 4×4 個の画素は、 $8 \mu\text{m}$ の画素ピッチでマトリックス状に配置されている。全白表示状態では図 6 中の A 画素ラインの画素および B 画素ラインの画素のいずれもが白を表示する。白黒表示状態では、A 画素ラインの画素が白表示状態から黒表示状態に切り替わり、B 画素ラインの画素が白表示状態のまま維持される。

【0037】

図 7 には、液晶の応答特性を示している。横軸は画素の位置を、縦軸は各画素における明るさ (ただし、白を 1 としたときの比率) を示している。横軸の $0 \sim 8 \mu\text{m}$ は図 6 に示した A 画素ラインの画素を、 $8 \mu\text{m} \sim 16 \mu\text{m}$ は B 画素ラインの画素を示している。複数の曲線は、全白表示状態から白黒表示状態への切り替え時点を 0 ms としたときの経過時間 (0.3 ms , 0.6 ms , 1.0 ms , 1.3 ms) ごとの明るさを示す。

【0038】

上述したように A 画素ラインの画素が白表示状態から黒表示状態に切り替わるが、液晶におけるプレチルト角度の向きの関係から A 画素ラインの画素はディスクリネーションの影響を受けずに比較的均一に明るさが変化していく (暗くなっていく)。一方、B 画素ラインの画素では、全白表示状態ではディスクリネーションは発生していない。しかし、白黒表示状態になった後からディスクリネーションの影響を受けて時間の経過とともに徐々に明るさ曲線がいびつな形になり、特に $12 \mu\text{m} \sim 16 \mu\text{m}$ 付近で暗くなる (暗線が現れる)。

【0039】

一般に、入力データ階調に対する液晶素子の駆動階調を決めるガンマ曲線 (ガンマ特性) はディスクリネーションが発生しない液晶素子全面に同じ階調を表示させながらその階調を変化させた場合の応答特性を前提として作成される。このため、そのようなガンマ曲線を用いて液晶素子を駆動すると、白黒表示状態にてディスクリネーションが発生し、そのガンマ曲線に応じた本来の明るさよりも低い明るさしか得ることができない。

【0040】

図 8 には、液晶素子を全白表示状態から白黒表示状態に切り替えたときのディスクリネーションの有無による明るさの変化を示している。横軸は切り替え時点からの経過時間を、縦軸は A および B 画素ラインの画素のトータルな明るさの積分値 (以下、単に明るさという) の変化を示す。明るさは、全白表示状態を 1 としたときの比率で示している。ディスクリネーションが発生する (「ディスクリネーション有り」の) 場合には、A 画素ラインの画素の明るさは図 7 の $1 \sim 6 \mu\text{m}$ 付近に示す応答特性に近い特性で変化し、B 画素ラインの画素の明るさは全域 100% の明るさで白が表示された状態となる。そして、この後の時間経過に伴い、ディスクリネーションが発生した場合の明るさの低下量はディスクリネーションが発生しない (「ディスクリネーション無し」の) 場合の明るさの低下量に比べて大きくなっていく。

【0041】

一方、全黒表示状態から白黒表示に切り替えるときには、図 6 に示した A 画素ラインの画素および B 画素ラインの画素がともに黒表示状態から、A 画素ラインの画素を黒表示状態としたまま B 画素ラインの画素を白表示状態とする。図 9 には、このときの液晶の応答特性を示している。横軸は画素の位置を、縦軸は各画素における明るさ (ただし、白を 1 としたときの比率) を示している。横軸の $0 \sim 8 \mu\text{m}$ は図 6 に示した A 画素ラインの画素を

10

20

30

40

50

、 $8\mu\text{m} \sim 16\mu\text{m}$ はB画素ラインの画素を示している。複数の曲線は、全黒表示状態から白黒表示状態への切り替え時点を 0ms としたときの経過時間(0.3ms , 0.6ms , 1.0ms , 1.3ms)ごとの明るさを示す。

【0042】

上述したようにB画素ラインの画素が黒表示状態から白表示状態に切り替わるが、B画素ラインの画素では、白表示状態になった後からディスクリネーションの影響を受けて時間の経過とともに徐々に明るさ曲線がいびつな形になる。そして、特に $12\mu\text{m} \sim 16\mu\text{m}$ 付近で暗くなる(暗線が現れる)。また、時間経過に伴って明るさ曲線のいびつな形が顕著になっていく。

【0043】

先にも説明したように、一般に入力データ階調に対する液晶素子の駆動階調を決めるガンマ曲線(ガンマ特性)はディスクリネーションが発生しない液晶素子全面に同じ階調を表示させながらその階調を変化させた場合の応答特性を前提として作成される。このため、そのようなガンマ曲線を用いて液晶素子を駆動すると、白黒表示状態にてディスクリネーションが発生し、そのガンマ曲線に応じた本来の明るさよりも低い明るさしか得ることができない。

【0044】

図10には、液晶素子を全黒表示状態から白黒表示状態に切り替えたときのディスクリネーションの有無による明るさの変化を示している。横軸は切り替え時点からの経過時間を、縦軸はAおよびB画素ラインの画素のトータルな明るさの積分値(以下、単に明るさいい、全白表示状態を1としたときの比率で示す)を示す。ディスクリネーションが発生しない(「ディスクリネーション無し」の)場合の明るさとしては、A画素ラインの画素は常に黒表示状態であり、B画素ラインの画素が黒表示状態から白表示状態に切り替わっていくときの明るさの変化を示している。一方、ディスクリネーションが発生する(「ディスクリネーション有り」の)場合は、図9に示したA画素ラインの画素とB画素ラインの画素の明るさの和の積分値の変化を示している。

【0045】

図10において、ディスクリネーションが発生する場合は、ディスクリネーションが発生しない場合に比べて、時間経過に伴う明るさの増加量が少ない。すなわち、全黒表示状態から白黒表示状態に切り替わった後にディスクリネーションが発生する時間が長いほど、ディスクリネーションが発生しない場合に対してより暗くなる。

【0046】

次に、図22に示した従来の階調データによってA画素ラインの画素に48階調を表示させ、B画素ラインの画素に49階調を表示させる場合について説明する。この階調データを用いる場合にディスクリネーションが発生する期間は、A画素ラインの画素が黒表示状態でB画素ラインの画素が白表示状態というディスクリネーション発生表示状態となるBサブフレーム期間における5SFと6SFである。5SFの前の4SFはA画素ラインの画素およびB画素ライン画素のいずれも白表示状態であり、ディスクリネーションは発生しない期間である。

【0047】

5SFから6SFまでの液晶の応答特性は図8における「ディスクリネーション有り」に相当する特性となる。4SFでは全白表示状態であるため明るさは100%出力されており、5SFの開始時から6SFの終了時までの 1.39ms の間にディスクリネーションが発生するため、5SFの開始時が図8における 0ms に相当し、6SFの終了時が 1.39ms に相当する。このとき、明るさは、ディスクリネーションが発生しない場合の0.5に対して0.27まで低下する。前述したように全面同一階調を前提として作成されるガンマ特性を基準とすると、ディスクリネーションが発生する5SFから6SFまでに比率において54%($=0.27/0.5$)と暗くなる。

【0048】

一方、本実施例において、図5に示した階調データによってA画素ラインの画素(第2

10

20

30

40

50

の画素)に48階調を表示させ、B画素ラインの画素(第1の画素)に49階調を表示させる場合について説明する。この階調データを用いる場合にディスクリネーションが発生する期間は、A画素ラインの画素とB画素ラインの画素が上記ディスクリネーション発生表示状態となるBサブフレーム期間における4SFと7SFである。4SFの前の3SFはA画素ラインの画素およびB画素ラインの画素がともに白表示状態であり、ディスクリネーションは発生しない期間である。

【0049】

4SFでの液晶の応答特性は、図8における「ディスクリネーション有り」に相当する特性となる。3SFでは全白表示状態であるため明るさは100%出力されており、4SFの0.69msの間にディスクリネーションが発生するため、4SFの開始時が図8の0msに相当し、4SFの終了時が0.69msに相当する。このとき、明るさは、ディスクリネーションが発生しない場合の0.7に対して0.65までしか低下しない。

10

【0050】

また、もう1つのディスクリネーションが発生するサブフレーム期間である7SFでの液晶の応答特性は、図10における「ディスクリネーション有り」に相当する特性となる。6SFでは全黒表示状態であるため明るさは0%であり、7SFの0.69msの間にディスクリネーションが発生するため、7SFの開始時が図10の0msに相当し、7SFの終了時が0.69msに相当する。このとき、明るさは、ディスクリネーションが発生しない場合の0.25に対して0.18までしか低下しない。

20

【0051】

そして、4SFと7SFでディスクリネーションが発生しない場合の明るさの和は0.95($=0.70+0.25$)となるのに対して、ディスクリネーションが発生する場合の明るさの和は0.83($=0.65+0.18$)となる。全面同一階調を前提として作成されるガンマ特性を基準とすると、ディスクリネーション発生表示状態では比率で87%($=0.83/0.95$)までしか暗くならない。すなわち、本実施例によれば、明るさの低下を抑制することができる。

【0052】

次に、他の隣接階調を表示する場合について説明する。まず図22に示した従来の階調データによって図6に示したA画素ラインの画素に16階調を表示させ、B画素ラインの画素に17階調を表示させる場合について説明する。この階調データを用いる場合にディスクリネーションが発生する期間は、A画素ラインの画素が黒表示状態でB画素ラインの画素が白表示状態というディスクリネーション発生表示状態となるBサブフレーム期間における1SFと2SFである。

30

【0053】

1SFから2SFまでの液晶の応答特性は、図10における「ディスクリネーション有り」に相当する特性となる。1SFの開始時から2SFの終了時までの1.39msの間にディスクリネーションが発生する。このため、1SFの開始時が図10における0msに相当し、2SFの終了時が1.39msに相当する。このとき、明るさは、ディスクリネーションが発生しない場合の0.5に対して0.27まで低下する。実施例1で述べたように全面同一階調を前提として作成されるガンマ特性を基準とすると、ディスクリネーションが発生する1SFから2SFまでに比率で54%($=0.27/0.5$)と暗くなる。

40

【0054】

一方、本実施例において、図5に示した階調データによってA画素ラインの画素(第2の画素)に16階調を表示させ、B画素ラインの画素(第1の画素)に17階調を表示させる場合について説明する。この階調データを用いる場合にディスクリネーションが発生する期間は、A画素ラインの画素とB画素ラインの画素が上記ディスクリネーション発生表示状態となるBサブフレーム期間における3SFと8SFである。3SFの前の2SFではA画素ラインの画素およびB画素ラインの画素のいずれも黒表示状態であり、ディスクリネーションは発生しない期間である。3SFでの液晶の応答特性は、図10における

50

「ディスクリネーション有り」に相当する特性となる。2 S Fでは全黒表示状態であるため明るさは0 %であり、3 S Fの0 . 6 9 m sの間にディスクリネーションが発生するため、3 S Fの開始時が図10の0 m sに相当し、3 S Fの終了時が0 . 6 9 m sに相当する。このとき、明るさは、ディスクリネーションが発生しない場合の0 . 2 5に対して0 . 1 8までしか低下しない。

【0055】

また、もう1つのディスクリネーションが発生するサブフレーム期間である8 S Fでの液晶の応答特性も図10における「ディスクリネーション有り」に相当する特性となる。7 S Fでは全黒表示状態であるため明るさは0 %であり、8 S Fの0 . 6 9 m sの間にディスクリネーションが発生するため、8 S Fの開始時が図10の0 m sに相当し、8 S Fの終了時が0 . 6 9 m sに相当する。このとき、明るさは、ディスクリネーションが発生しない場合の0 . 2 5に対して0 . 1 8までしか低下しない。

【0056】

そして、3 S Fと8 S Fでディスクリネーションが発生しない場合の明るさの和は0 . 5 0 (= 0 . 2 5 + 0 . 2 5) となるのに対して、ディスクリネーションが発生する場合の明るさの和は0 . 3 6 (= 0 . 1 8 + 0 . 1 8) となる。全面同一階調を前提として作成されるガンマ特性を基準とすると、ディスクリネーション発生表示状態では比率で7 2 % (= 0 . 3 6 / 0 . 5 0) までしか暗くならない。すなわち、本実施例によれば、明るさの低下を抑制することができる。

【0057】

このように、本実施例では、隣接階調を表示する際にディスクリネーション発生表示状態となるオン/オフ隣接期間を1フレーム期間内で複数互いに離して(分散させて)設けることで1つの連続したオン/オフ隣接期間を短くしている。すなわち、ディスクリネーションによる明るさ低下が大きくなる前に隣接画素でのディスクリネーション発生表示状態を他の表示状態に移行させる。これにより、ディスクリネーションを原因とした明るさ低下を抑制して暗線が目立たないようにすることができ、良好な画質の画像を表示することができる。

【0058】

以上説明した液晶素子の駆動方法(以下、第1の駆動方法という)によってディスクリネーションの発生を抑制することが可能である。しかし、よりディスクリネーションによる暗線を目立たなくするために、本実施例では以下のような駆動方法(以下、第2の駆動方法という)も併せ用いる。

【0059】

図11は、液晶ドライバ303の内部構成を示すブロック図である。スケーラ400は、図1に示した映像入力部303aに相当し、D V I や H D M I (登録商標)等の不図示のレシーバICを介して入力映像信号を取り込む。スケーラ400は、そのスケーリング機能により入力映像信号をダウンコンバートまたはアップコンバートして所定の画像フォーマットの入力画像データを出力する。入力画像データは、連続する複数の入力フレーム画像データにより構成されている。

【0060】

駆動回路部303bは、スケーラ400からの入力フレーム画像データを順次受け取り、液晶素子3(図1に示される3つの液晶素子3R, 3G, 3B)のそれぞれの各画素を駆動する、すなわち各画素に階調を表示させるための画素駆動信号を生成する。駆動回路部303bは、倍速回路411、V T ガンマ回路412、補正回路413、色ムラ回路414および、PWM回路415を含む。

【0061】

倍速回路411は、各入力フレーム画像データをD D R メモリ420に書き込み、1つの入力フレーム画像データに対して複数のフレーム画像データを生成する。本実施例では、入力周波数が60 H zである場合に、120 H zに相当する周期で2つのフレーム画像データを生成する。以下の説明において、これら2つのフレーム画像データのうち一方を

10

20

30

40

50

ODD（奇数）入力フレームデータ（第１のフレーム画像データ）といい、他方をEVEN（偶数）入力フレームデータ（第２のフレーム画像データ）という。これらODDおよびEVEN入力フレームデータは、入力フレーム画像データと同じ画像データである。つまり、ODDおよびEVEN入力フレームデータ間において互いに対応する画素位置の画素データ同士は同じ階調を有する。

【００６２】

VTガンマ回路４１２は、倍速回路４１１から出力されたODDおよびEVEN出力フレームデータに対して、液晶素子３の応答特性によって変化する階調特性に応じて必要な光学特性が得られるように、所定のガンマテーブルに従ってガンマ補正を行う。補正回路４１３は、VTガンマ回路４１２からの出力データ（画像データ）に対して階調に応じた補正（オフセット加算）を行い、補正画像データを生成する。本実施例において、倍速回路４１１、VTガンマ回路（ガンマ補正手段）４１２、および、補正回路（加算手段）４１３は、画像データ生成手段を構成する。

10

【００６３】

色ムラ回路４１４は、補正回路４１３からのオフセット加算後のODDおよびEVEN出力フレームデータ（補正フレーム画像データ）に対して、液晶素子（液晶パネル）３を含むプロジェクタの光学系において発生する色ムラを補正する。PWM回路（駆動手段）４１５は、色ムラ回路４１４から出力されたODDおよびEVEN出力フレームデータに基づいて、液晶素子３を前述したサブフレーム駆動方式で駆動する。

20

【００６４】

次に、図１２を参照して、補正回路４１３の動作について詳述する。図１２は、補正回路４１３の詳細なブロック図である。補正回路４１３は、データ検出回路４１６、加算回路４１７、および、加算テーブル４１８を有する。データ検出回路４１６は、VTガンマ回路４１２からの出力データを受けて、データ階調を検出する。加算回路４１７は、データ検出回路４１６から出力されたデータに、加算テーブル４１８に従って、データ検出回路４１６から出力されたデータに応じた値を加算する。

【００６５】

図１３は、加算テーブル４１８（入力データに応じたオフセット量のテーブル）の一例であり、データ検出回路４１６への入力データ階調（入力フレーム画像）が０～５の場合、加算値（オフセット量）を０とする。入力データ階調が０～５の範囲では、液晶駆動に対して位相差（隣接画素においてオン期間とオフ期間の差）が殆どなく、加算値（オフセット量）を０としても、ディスクリネーションの影響は殆どない。入力データ階調８近傍の入力データ階調６～１２の範囲では、オフセット量を１とする。入力データ階調１６近傍の入力データ階調１３～２７の範囲では、オフセット量を２とする。入力データ階調３２近傍の入力データ階調２８～５８の範囲では、オフセット量を３とする。入力データ階調６４近傍の入力データ階調５９～９５の範囲では、オフセット量を４とする。

30

【００６６】

つまり、PWMの液晶駆動の位相差が発生しやすい２のべき乗の入力データ８、１６、３２、６４近傍で、オフセット量を「２のべき乗の入力データの指数 - 所定の第１の定数（本実施例では２）」とし、入力データに応じてオフセット量を変化させる。例えばオフセット量は、８近傍の場合、 $3 - 2 = 1$ となり、１６近傍の場合、 $4 - 2 = 2$ となる。また、範囲を、「２のべき乗の入力データ - ２のべき乗の入力データの指数 + 所定の第２の定数（本実施例では１）」としている。例えば、８近傍は、 $8 - 3 + 1 = 6$ 、１６近傍は、 $16 - 4 + 1 = 13$ 、３２近傍は、 $32 - 5 + 1 = 28$ となり、６～１２が８近傍のオフセット量、１３～２７が１６近傍のオフセットとなる。加算回路４１７は、倍速回路４１１からのODDおよびEVENのフレーム情報を受けて、加算テーブル４１８のオフセット量のテーブルを加算回路４１７による加算を＋加算する又は減算（オフセット量を－加算）のいずれにするかを決定する。例えばODDで＋加算の場合、EVENでは減算とする。一方、EVENで＋加算の場合、ODDでは減算とする。すなわち加算回路４１７は、第１のフレーム画像データに第１の値を加算した場合、第２のフレーム画像データが

40

50

ら第1の値を減算し、第2のフレーム画像データに第2の値を加算した場合、第1のフレーム画像データから第2の値を減算する。このように入力データに対してフレーム毎に+と-のオフセットをかけながら駆動して階調を維持する。

【0067】

図14は、液晶素子3に順次表示されるフレーム画像を示す図であり、図13に示す加算テーブルを用いた場合の表示状態を示している。図14(A)は通常の駆動状態であり、入力画像データが図14(A)に示すようなグラデーションの場合、2のべき乗(ここでは2の3乗)の8毎にディスクリネーションが発生する図を示している。通常の駆動状態を示す図14(A)において、8の階調毎にディスクリネーションをNフレームのODDフレーム(1stフレーム)、NフレームのEVENフレーム(2ndフレーム)では同じ位置にディスクリネーションを発生させる。図14(A)に示されるように、視認画像は濃いディスクリネーションを視認させる。

10

【0068】

図14(B)は、図13の入力データに応じたオフセット量を加算したときの、倍速化されたODDフレーム(1st)/EVENフレーム(2nd)のディスクリネーションの発生状態を示す。ここでは、ODDフレーム(1st)に対して、オフセット量を+加算した場合の表示を表す。例えば、ディスクリネーションが発生しやすい入力画像データ階調が8の場合、1加算される。よって、ディスクリネーション発生位置は、9の位置に表示される。入力画像データ階調が16の場合、2加算される。よって、ディスクリネーション発生位置は、18の位置に表示される。入力画像データ階調が32の場合、3加算される。よって、ディスクリネーション発生位置は、35の位置に表示される。ここでは、EVENフレーム(2nd)に対して、オフセット量を-加算した場合の表示を表す。例えば、ディスクリネーションが発生しやすい入力画像データ階調が8の場合、-1加算される。よって、ディスクリネーション発生位置は、7の位置に表示される。入力画像データ階調が16の場合、-2加算される。よって、ディスクリネーション発生位置は、16の位置に表示される。また入力画像データ階調が32の場合、-3加算される。よって、ディスクリネーション発生位置は、29の位置に表示される。

20

【0069】

図15(A)、(B)は、具体的な表示画像(フレーム画像)の例を示している。図15(C)は、本来表示されるべき表示画像を示している。図15(A)は、補正回路413で階調毎のオフセット加算がかけられずに生成されたODDおよびEVEN出力フレームデータにより液晶素子3を順次駆動した場合の1stフレームと2ndフレームを示している。また、図の最も左側には、観察者により視認される画像を示している。1stフレームと2ndフレームにおけるディスクリネーションによる暗線の位置が同じであるので、視認画像においても暗線がある程度目立つ。

30

【0070】

一方、図15(B)は、ODDフレーム(1st)に+オフセット、EVENフレーム(2nd)に-オフセットをかけて生成されたODDおよびEVEN出力フレームデータにより液晶素子3を順次駆動した場合の1stフレームと2ndフレームを示している。外側の最も明るい階調は、1stフレームでの64に対して、2ndフレームでは58となっている。1stフレーム上でのディスクリネーションによる暗線の位置と2ndフレーム上での暗線の位置とは互いにずれている。このため、図の最も左側に示す視認画像では、1stフレームと2ndフレームとが平均化されることで、暗線はほぼ目立たなくなっている。本実施例では、ディスクリネーションの影響が少なくかつフリッカーに敏感な低階調では、オフセット量を小さくし、ディスクリネーションの影響が大きくかつフリッカーの影響が小さい高階調に向けてオフセット量を大きくしていく。

40

【0071】

図17に示されるように、ディスクリネーション発生階調が無い92階調以降のオフセット量を0としてもよい。図13のテーブルの場合、予め、入力階調データの最大値が91になるようにゲイン等をかけ、オフセットを4かけて95となるようにする必要がある

50

。すなわち、図 13 のテーブルの場合、最大階調付近（例えば入力データ階調が 95）では、オフセット量 4 を加算しても 95 であるためオフセット加算を行うことができない。その結果、実質的に減算のみが有効になって画像が暗くなる。一方、図 17 のテーブルのように最大階調付近でのオフセット量を 0 にすることにより、最大階調付近での画像が暗くなることを回避することができる。本実施例では、最大階調である入力データ階調 95 からオフセット量 4 を減算した値 91 まではオフセット量の加算が可能であり画像が暗くなることないため、入力データ階調 92 以降のオフセット量を 0 としてもよい。図 17 のテーブルでは、92 - 95 階調での ODD フレーム (1st) と EVEN フレーム (2nd) の平均化時 ODD フレーム (1st) で階調 95 を維持することができる。

【0072】

10

また、図 16 のテーブルのように、2 のべき乗の 8、16、32 の階調近傍のみディスクリネーションの発生しやすい入力階調部のみで且つ、べき乗の大きさに応じてオフセット量を変更するようなテーブルでもよい。すなわち画像データ生成手段は、隣接する 2 つの階調を形成するために互いに異なるように電圧（第 1 の電圧または第 2 の電圧）を印加するサブフレーム期間の長さに応じて、オフセット量（加算値、減算値）を変更する。

【0073】

図 16 に示されるように、オフセット量は、入力データ階調が 64 付近では 4 とする。これは、入力データ階調が 63 の場合には 00111111 (bit)、64 の場合には 01000000 (bit) のようにそれぞれ表され、0 と 1 の位相差 (bit 変動) が大きいのである。一方、例えば入力データ階調が 72 付近ではオフセット量を 1 とする。これは、入力データ階調が 71 の場合には 10001111 (bit)、72 の場合には 10001000 (bit) のようにそれぞれ表され、0 と 1 の位相差が比較的小さいのである。これは、例えば入力データ階調が 8 付近の場合についても同様である。

20

【0074】

また好ましくは、画像データ生成手段は、フレーム画像データの階調に応じて、加算値が適用される階調範囲（図 16 中の所定のオフセット量の加算範囲（横方向の長さ））を変更する。また好ましくは、画像データ生成手段は、隣接する 2 つの階調を形成するために互いに異なるように電圧を印加するサブフレーム期間の長さに応じて、階調範囲を変更する。

【0075】

30

このように本実施例において、画像データ生成手段は、第 1 のフレーム画像データおよび第 2 のフレーム画像データの少なくとも一方に対して、入力フレーム画像の階調に応じた値を加算する。より好ましくは、ガンマ補正手段 (VT ガンマ回路 412) は、所定のガンマテーブルに従って、第 1 のフレーム画像データおよび第 2 のフレーム画像データのそれぞれに対してガンマ補正を行う。そして加算手段 (補正回路 413) は、ガンマ補正後の第 1 のフレーム画像データおよび第 2 のフレーム画像データの少なくとも一方に対して、入力フレーム画像の階調に応じた値を加算する。

【実施例 2】

【0076】

次に、図 18 および図 19 を参照して、本発明の実施例 2 について説明する。図 18 は、本実施例における液晶ドライバ 303 の構成を示すブロック図である。図 19 は、本実施例における VT ガンマ回路 412 の詳細構成を示すブロック図である。本実施例の液晶ドライバ 303 は、VT ガンマ回路 412 に代えて VT ガンマ回路 412a を有する点、および、補正回路 413 がない点で、実施例 1 とは異なる。その他の基本構成は実施例 1 と共通であり、実施例 1 と共通する構成要素については実施例 1 と同じ符号を付し、その説明を省略する。

40

【0077】

VT ガンマ回路 412a は、VT ガンマのテーブルとして VT ガンマ__ODD と VT ガンマ__EVEN のガンマテーブル 419 を有する。また VT ガンマ回路 412 は加算テーブル 418 を有し、VT ガンマ__ODD と VT ガンマ__EVEN のガンマテーブル 419

50

の階調に従って、倍速回路 4 1 1 からの出力データに対して、加算テーブル 4 1 8 の階調毎の加算値が加算される。加算テーブル 4 1 8 は、実施例 1 にて説明した、図 1 3、図 1 6、または図 1 7 のようなテーブルであり、実施例 1 と同様に、ガンマテーブルに対して O D D にて加算テーブルの値を + 加算した場合には E V E N にて減算（オフセット量を - 加算）を行うようにする。

【 0 0 7 8 】

以上のように、液晶の特性に合わせて階調を調整するガンマテーブルに対して液晶のディスプレイネーションを軽減するように、データを階調毎にオフセットをかけてもよい。また、加算テーブル 4 1 8 からオフセット値を加算させるように説明したが、V T ガンマ__ O D D と V T ガンマ__ E V E N のガンマテーブル 4 1 9 に予め階調毎にオフセット値を加算させたガンマテーブルを生成して、オフセットをかけてもよい。なお、実施例 1 及び実施例 2 の補正テーブルは一例に過ぎず、これらに限定されるものではない。また、入力階調等、ガンマ補正後の階調等の階調は限定されるものではなく、V T ガンマ補正、または色ムラ補正等の階調は入力された階調より拡張された階調で補正されてもよい。

10

【 0 0 7 9 】

このように本実施例において、ガンマ補正手段（V T ガンマ回路 4 1 2 a）は、ガンマテーブルに従って、第 1 のフレーム画像データおよび第 2 のフレーム画像データのそれぞれに対してガンマ補正を行う。またガンマ補正手段は、入力フレーム画像の階調に応じてガンマテーブルを補正することにより、第 1 のフレーム画像データおよび第 2 のフレーム画像データの少なくとも一方に対して、入力フレーム画像の階調に応じた値を加算する。

20

【 0 0 8 0 】

（その他の実施例）

本発明は、上述の実施例の 1 以上の機能を実現するプログラムを、ネットワーク又は記憶媒体を介してシステム又は装置に供給し、そのシステム又は装置のコンピュータにおける 1 つ以上のプロセッサがプログラムを読み出し実行する処理でも実現可能である。また、1 以上の機能を実現する回路（例えば、A S I C）によっても実現可能である。

【 0 0 8 1 】

各実施例において、第 1 および第 2 のフレーム画像データのそれぞれに基づいて液晶素子を駆動する際のディスプレイネーションを階調毎に適正に発生位置をずらす。このため各実施例によれば、ディスプレイネーションによる画質の低下を軽減するとともにフリッカーを低減することが可能な液晶駆動装置、画像表示装置、および、プログラムを提供することができる。

30

【 0 0 8 2 】

以上、本発明の好ましい実施例について説明したが、本発明はこれらの実施例に限定されず、その要旨の範囲内で種々の変形及び変更が可能である。

【 0 0 8 3 】

例えば、各実施例の液晶駆動装置は、液晶素子 3 の全画素に黒を表示させる（全画素に同一階調である黒階調を形成させる）全黒フレーム画像データ（第 1 の低階調フレーム画像データおよび第 2 の低階調フレーム画像データ）を生成することができる。これにより、いわゆる黒挿入を行うことができ、動画の視認性を向上させることができる。このとき画像データ生成手段は、連続して入力される入力フレーム画像データのうち、第 1 の入力フレーム画像データに対して第 1 のフレーム画像データを生成するとともに第 1 のフレーム画像データよりも階調が低い第 1 の低階調フレーム画像データを生成する。また、画像データ生成手段は、第 2 の入力フレーム画像データに対して第 2 のフレーム画像データを生成するとともに第 2 のフレーム画像データよりも階調が低い第 2 の低階調フレーム画像データを生成する。そして駆動手段（P W M 回路 4 1 5）は、第 1 のフレーム画像データ、第 1 の低階調フレーム画像データ、第 2 のフレーム画像データ、および、第 2 の低階調フレーム画像データのそれぞれに基づいて、画素に階調を形成させる。具体的には、駆動手段は、各画像データに基づいて、順次、1 フレーム期間に含まれる複数のサブフレーム期間のそれぞれにおいて液晶素子の画素に対する第 1 の電圧の印加と第 1 の電圧よりも低

40

50

い第2の電圧の印加を制御することで画素に階調を形成させる。

【0084】

また、黒挿入した場合には、第1のフレーム画像データをODDフレーム、第2のフレーム画像データをEVENフレームとして実施例1にて説明した処理を行うことにより、黒挿入した場合にも本発明を適用することが可能である。

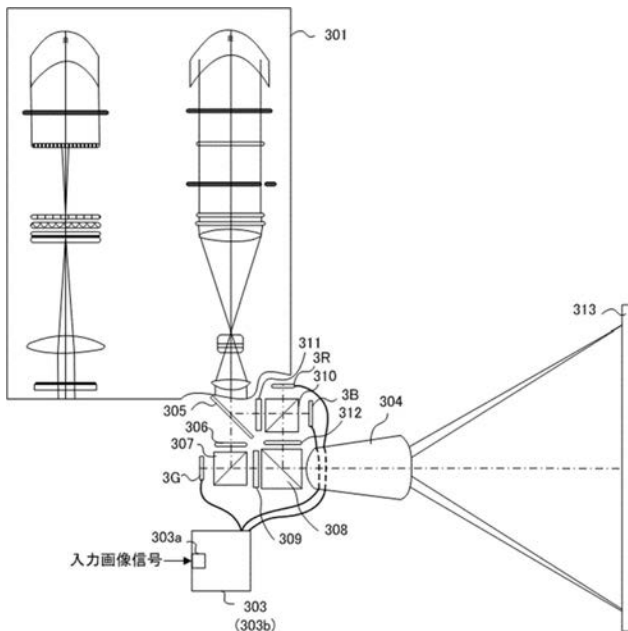
【符号の説明】

【0085】

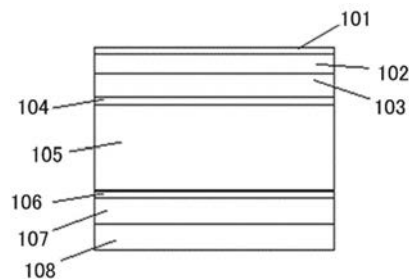
- 303 液晶ドライバ（液晶駆動装置）
- 411 倍速回路（画像データ生成手段）
- 412 VTガンマ回路（画像データ生成手段）
- 413 補正回路（画像データ生成手段）
- 415 PWM回路（駆動手段）

10

【図1】



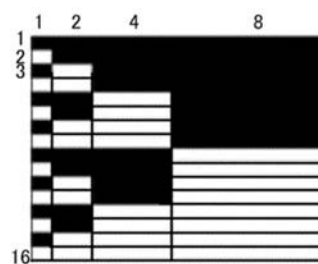
【図2】



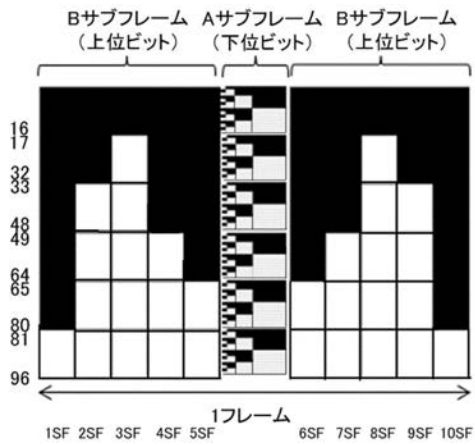
【図3】



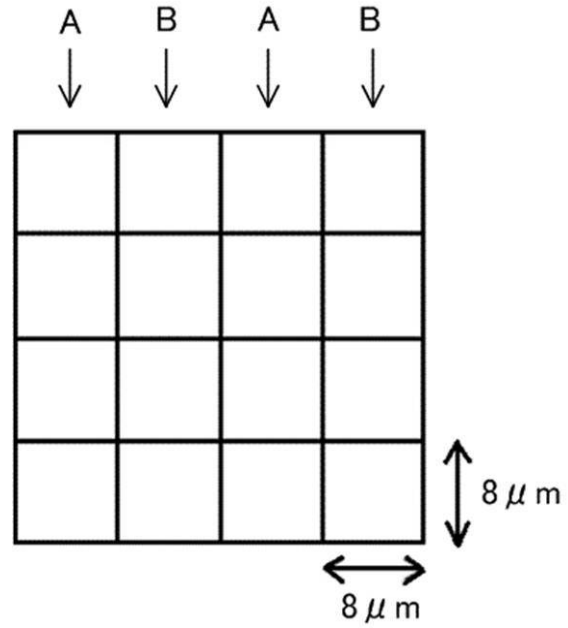
【図4】



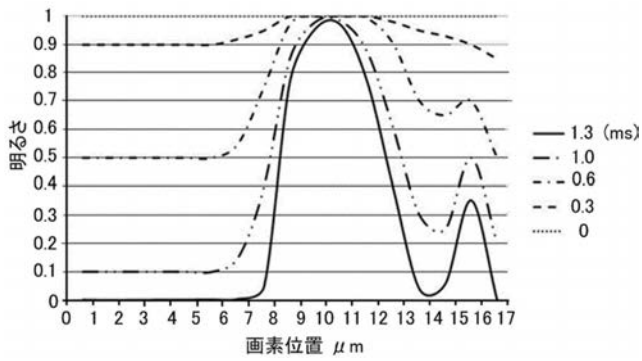
【図 5】



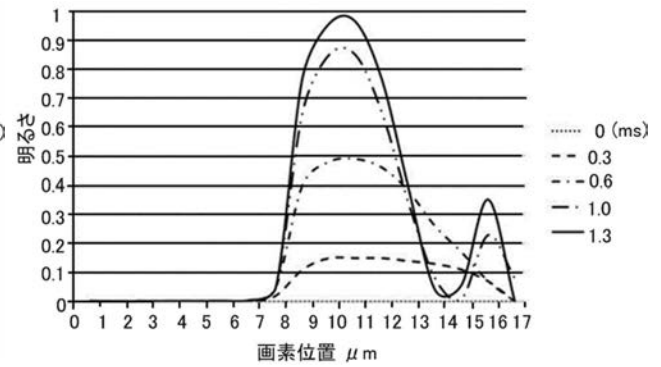
【図 6】



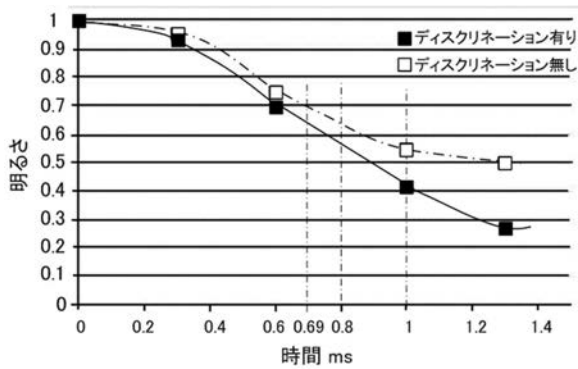
【図 7】



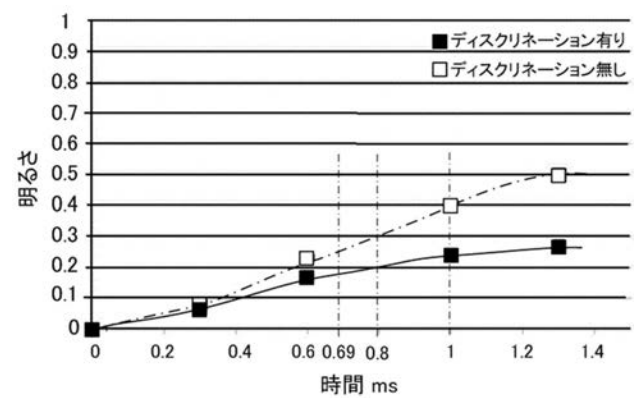
【図 9】



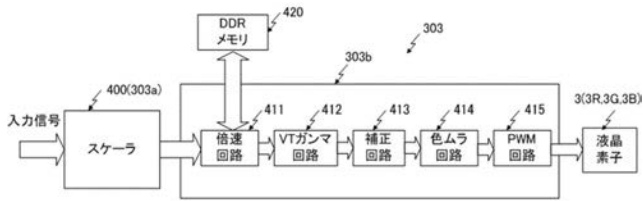
【図 8】



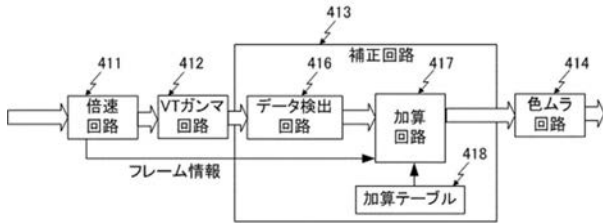
【図 10】



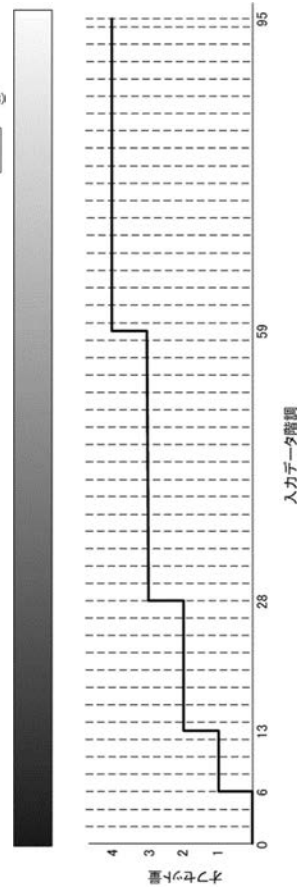
【図 1 1】



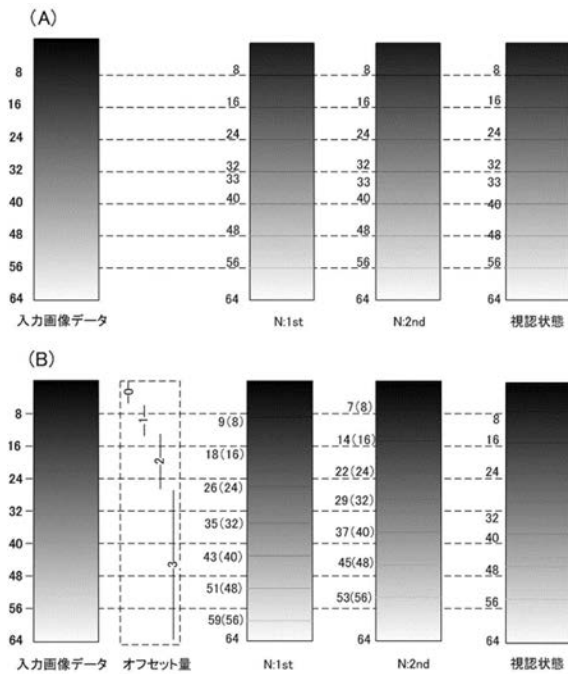
【図 1 2】



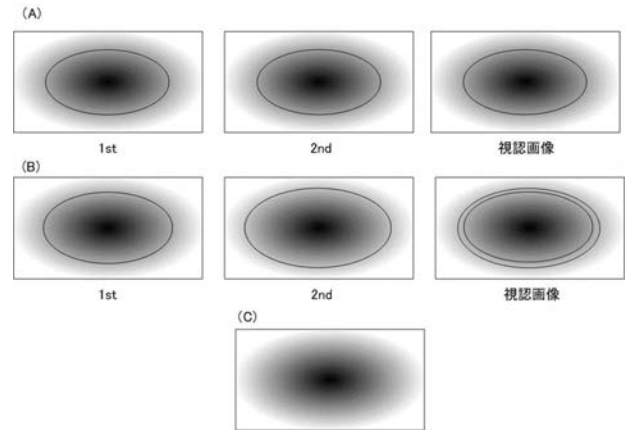
【図 1 3】



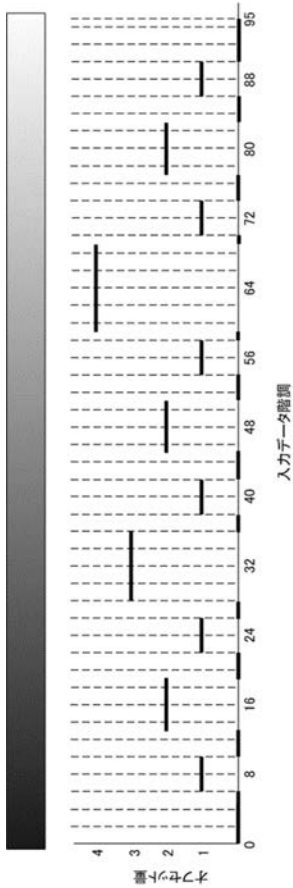
【図 1 4】



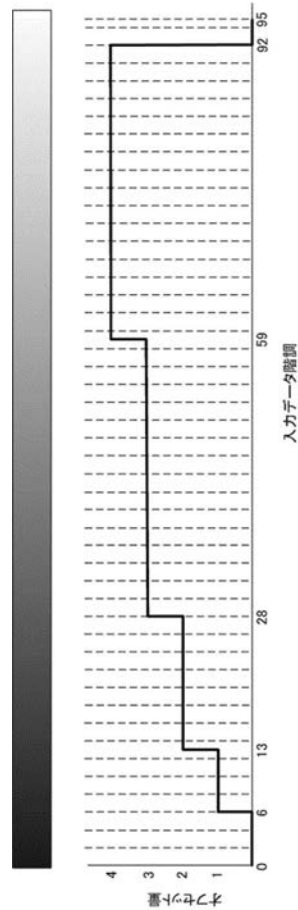
【図 1 5】



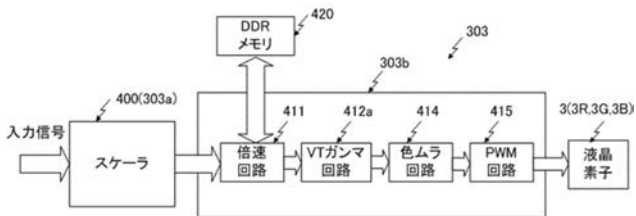
【図 16】



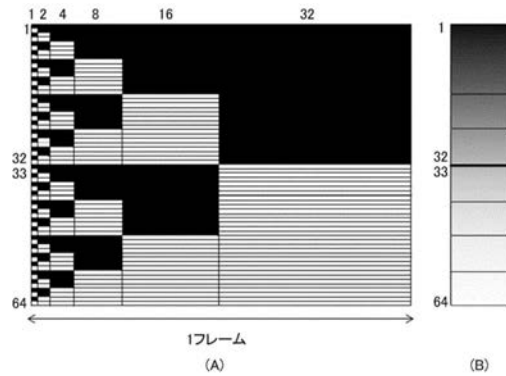
【図 17】



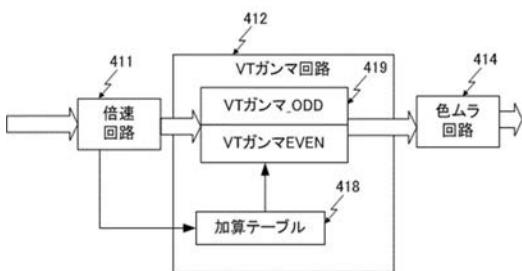
【図 18】



【図 21】



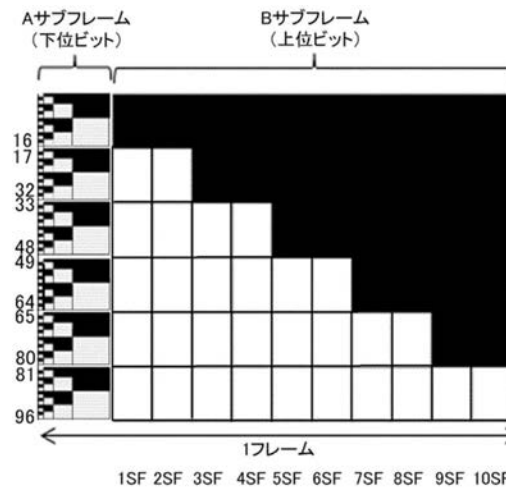
【図 19】



【図 20】



【図 22】



 フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 3 1 V
 G 0 9 G 3/20 6 1 2 U
 G 0 9 G 3/20 6 1 1 E
 G 0 9 G 3/20 6 4 1 A
 G 0 2 F 1/133 5 5 0
 G 0 2 F 1/13357

F ターム (参考) 2H193 ZC24 ZC39 ZD11 ZD25 ZD26 ZD27 ZD29 ZE04 ZF13 ZF16
 ZF17 ZG16 ZG22 ZP16 ZQ11 ZR04
 2H391 BA03 BA23 BA24 BA27 BA29 EA22
 5C006 AA14 AA15 AA17 AA22 AC21 AF13 AF23 AF44 AF45 AF46
 BB11 BB28 BF02 EA01 EC11 FA23
 5C080 AA10 BB05 CC03 DD03 DD05 DD06 EE29

专利名称(译)	液晶驱动装置，图像显示装置和程序		
公开(公告)号	JP2018185377A	公开(公告)日	2018-11-22
申请号	JP2017085722	申请日	2017-04-24
[标]申请(专利权)人(译)	佳能株式会社		
申请(专利权)人(译)	佳能公司		
[标]发明人	一政昭司		
发明人	一政 昭司		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/13357		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/20.623.C G09G3/20.641.Q G09G3/20.641.K G09G3/20.631.V G09G3/20.612.U G09G3/20.611.E G09G3/20.641.A G02F1/133.550 G02F1/13357		
F-TERM分类号	2H193/ZC24 2H193/ZC39 2H193/ZD11 2H193/ZD25 2H193/ZD26 2H193/ZD27 2H193/ZD29 2H193/ZE04 2H193/ZF13 2H193/ZF16 2H193/ZF17 2H193/ZG16 2H193/ZG22 2H193/ZP16 2H193/ZQ11 2H193/ZR04 2H391/BA03 2H391/BA23 2H391/BA24 2H391/BA27 2H391/BA29 2H391/EA22 5C006/AA14 5C006/AA15 5C006/AA17 5C006/AA22 5C006/AC21 5C006/AF13 5C006/AF23 5C006/AF44 5C006/AF45 5C006/AF46 5C006/BB11 5C006/BB28 5C006/BF02 5C006/EA01 5C006/EC11 5C006/FA23 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD03 5C080/DD05 5C080/DD06 5C080/EE29		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够减少由于向错而导致的图像质量劣化的液晶驱动装置。用于驱动液晶元件（3）的液晶驱动装置（303）包括第一帧图像数据和第二帧图像数据图像数据产生装置（411,412,413），用于产生第一帧图像数据基于第一帧图像数据和第二帧图像数据，在一个帧周期中包括的多个子帧周期的每一个中顺序地将第一电压施加到液晶元件（3）的像素，（415），用于通过控制第二低电压的施加来控制像素的灰度，并且图像数据生成装置将与输入帧图像的灰度对应的值添加到第一帧图像数据和第二帧图像数据中的至少一个。

