

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-159895

(P2018-159895A)

(43) 公開日 平成30年10月11日(2018.10.11)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 624B	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
HO1L 29/786 (2006.01)	G09G 3/20 622D	5F110

審査請求 未請求 請求項の数 5 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2017-58455 (P2017-58455)
 (22) 出願日 平成29年3月24日 (2017.3.24)

(71) 出願人 308036402
 株式会社 JVCケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100103894
 弁理士 家入 健
 (72) 発明者 岩佐 隆行
 神奈川県横浜市神奈川区守屋町3丁目12番地

Fターム(参考) 2H192 AA24 CB22 CC24 CC64 DA01
 DA42 DA65 DA81 GD61
 2H193 ZA04 ZA05 ZA19 ZB07 ZC01
 ZC24 ZE40
 5C006 AC22 AC26 BB16 BC06 FA25
 FA46 FA47

最終頁に続く

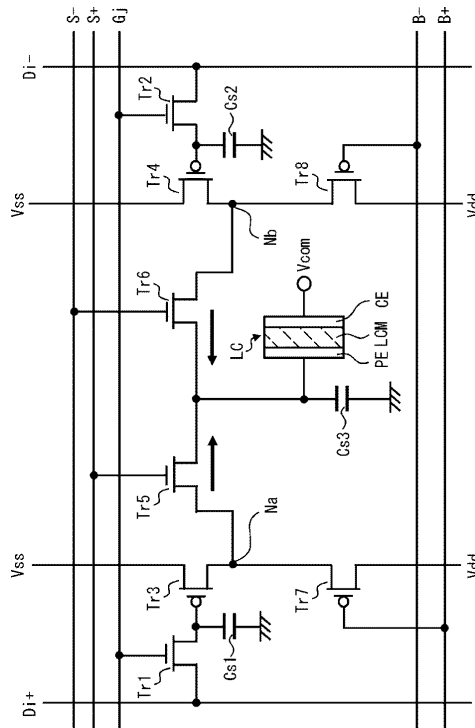
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】映像品質を向上させることが可能な液晶表示装置を提供すること。

【解決手段】一実施の形態によれば、液晶表示装置10は、複数の画素を備え、各画素は、画素駆動電極PEと共通電極CEとの間に液晶LCMが封入された液晶表示素子LCと、正極映像信号をサンプリングしてホールドする第1サンプルホールド回路と、負極映像信号をサンプリングしてホールドする第2サンプルホールド回路と、第1サンプルホールド回路にホールドされた正極映像信号の電圧と、第2サンプルホールド回路にホールドされた負極映像信号の電圧と、を映像信号の垂直走査期間より短い周期で切り替えて画素駆動電極PEに交互に供給する極性切り替えスイッチと、極性切り替えスイッチから画素駆動電極PEに供給される電圧を保持する保持容量Cs3と、を有する。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

複数の画素を備え、
各画素は、
画素駆動電極と共通電極との間に液晶が封入された液晶表示素子と、
正極映像信号をサンプリングしてホールドする第 1 サンプルホールド回路と、
負極映像信号をサンプリングしてホールドする第 2 サンプルホールド回路と、
前記第 1 サンプルホールド回路にホールドされた前記正極映像信号の電圧と、前記第 2
サンプルホールド回路にホールドされた前記負極映像信号の電圧と、を映像信号の垂直走
査期間より短い周期で切り替えて前記画素駆動電極に交互に供給するスイッチ部と、
前記スイッチ部から前記画素駆動電極に供給される電圧を保持する保持容量と、
を有する、液晶表示装置。

10

【請求項 2】

前記スイッチ部は、
前記第 1 サンプルホールド回路と前記画素駆動電極との間に設けられた第 1 M O S トラ
ンジスタと、
前記第 2 サンプルホールド回路と前記画素駆動電極との間に設けられた第 2 M O S トラ
ンジスタと、を有し、
前記保持容量は、前記第 1 及び前記第 2 M O S トランジスタの各々のゲート面積に基づ
いて決定される容量値を有するように構成されている、
請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記保持容量は、当該保持容量の容量値を前記第 1 及び前記第 2 M O S トランジスタの
各々のゲート面積で除した値が $1 \text{ f F} / \mu \text{ m}^2$ 以上となるように構成されている、
請求項 2 に記載の液晶表示装置。

【請求項 4】

前記保持容量は、前記画素内の回路を形成しているメタル配線間に形成されている、
請求項 1 ~ 3 の何れか一項に記載の液晶表示装置。

【請求項 5】

前記画素は半導体基板に形成されていて、前記保持容量は、前記半導体基板に形成され
た拡散電極及びポリシリコン層間、又は、2 層のポリシリコン層間に形成されている、
請求項 1 ~ 3 の何れか一項に記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、例えば映像品質を向上させるのに適した液晶表示装置
に関する。

【背景技術】

【0002】

特許文献 1 に開示された液晶表示装置は、複数の画素を備え、これら複数の画素のそれ
ぞれは、対向する画素駆動電極と共通電極との間に液晶層が挟持された液晶素子と、正極
性映像信号をサンプリングして一定期間保持する第 1 のサンプリング及び保持手段と、負
極性映像信号をサンプリングして一定期間保持する第 2 のサンプリング及び保持手段と、
第 1 のサンプリング及び保持手段により保持された正極性映像信号電圧と、第 2 のサン
プリング及び保持手段により保持された負極性映像信号電圧とを、垂直走査期間より短い所
定の周期で切り替えて画素駆動電極に交互に印加するスイッチング手段と、を備える。そ
れにより、この液晶表示装置は、複数の画素を高速に交流駆動している。

40

【先行技術文献】

【特許文献】

【0003】

50

【特許文献1】特開2009-223289号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に開示された構成では、同じ行に設けられた複数の画素のうち的大部分（例えば9割以上）の画素に例えば白レベルの映像信号が印加され、残りの小部分（例えば1割以下）の画素に例えば黒レベルの映像信号が印加された場合、大部分の画素に印加された電圧レベルの映像信号の影響を受けて、小部分の画素に印加された電圧レベルの映像信号が変動してしまう。その結果、液晶画面に表示される映像の品質が低下してしまうという問題があった。

10

【0005】

本発明は以上の点に鑑みてなされたもので、映像品質を向上させることが可能な液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一態様にかかる液晶表示装置は、複数の画素を備え、各画素は、画素駆動電極と共通電極との間に液晶が封入された液晶表示素子と、正極映像信号をサンプリングしてホールドする第1サンプルホールド回路と、負極映像信号をサンプリングしてホールドする第2サンプルホールド回路と、前記第1サンプルホールド回路にホールドされた前記正極映像信号の電圧と、前記第2サンプルホールド回路にホールドされた前記負極映像信号の電圧と、を映像信号の垂直走査期間より短い周期で切り替えて前記画素駆動電極に交互に供給するスイッチ部と、前記スイッチ部から前記画素駆動電極に供給される電圧を保持する保持容量と、を有する。

20

【発明の効果】

【0007】

本発明によれば、映像品質を向上させることが可能な液晶表示装置を提供することができる。

【図面の簡単な説明】

【0008】

【図1】本実施の形態に至る前の構想に係る液晶表示装置の各画素の構成例を示す回路図である。

30

【図2】図1に示す画素の動作を示すタイミングチャートである。

【図3】図1に示す画素に書き込まれる正極性映像信号及び負極性映像信号のそれぞれの黒から白までの電圧レベルを説明するための図である。

【図4】ストリーキングの影響を受けた液晶画面の映像を示す概略平面図である。

【図5】図4に示す各画素領域の画素に設けられたスイッチングトランジスタのゲート電圧と入力電圧との関係を示す図である。

【図6】図1に示す画素に設けられたスイッチングトランジスタにおいて発生するチャージインжекションを説明するための図である。

【図7】図4に示す画素領域A1の各画素の画素駆動電圧、及び、画素領域B1の各画素の画素駆動電圧の動作を示す図である。

40

【図8】実施の形態1に係る液晶表示装置の各画素の構成例を示す回路図である。

【図9】図8に示す画素の第1構成例を示す断面模式図である。

【図10】図9に示す画素の平面レイアウト図である。

【図11】図9に示す画素を別の方向から見た断面模式図である。

【図12】図8に示す画素の第2構成例を示す断面模式図である。

【図13】図8に示す画素の第3構成例を示す断面模式図である。

【発明を実施するための形態】

【0009】

<実施の形態に至る前の構想>

50

実施の形態 1 にかかる液晶表示装置について説明する前に、本発明者が事前検討した内容について説明する。

【0010】

(構想段階の液晶表示装置 20 の構成)

図 1 は、構想段階のアクティブマトリクス型の液晶表示装置 20 の各画素の構成例を示す回路図である。図 1 に示すように、液晶表示装置 20 は、N チャネル MOS トランジスタ (以下、単にトランジスタと称す) $T r 1$, $T r 2$, $T r 5$, $T r 6$ と、P チャネル MOS トランジスタ (以下、単にトランジスタと称す) $T r 3$, $T r 4$, $T r 7$, $T r 8$ と、を有する。

【0011】

トランジスタ $T r 1$ 及び保持容量 $C s 1$ は、正極性の映像信号をサンプルしてホールドするサンプルホールド回路を構成している。具体的には、トランジスタ $T r 1$ では、ドレインがデータ線対の一方のデータ線 $D i +$ に接続され、ソースがトランジスタ $T r 3$ のゲートに接続され、ゲートが行走査線 $G j$ に接続されている。保持容量 $C s 1$ は、トランジスタ $T r 3$ のゲートと接地電圧端子 $V s s$ との間に設けられている。

【0012】

トランジスタ $T r 2$ 及び保持容量 $C s 2$ は、負極性の映像信号をサンプルしてホールドするサンプルホールド回路を構成している。具体的には、トランジスタ $T r 2$ では、ドレインがデータ線対の他方のデータ線 $D i -$ に接続され、ソースがトランジスタ $T r 4$ のゲートに接続され、ゲートが行走査線 $G j$ に接続されている。保持容量 $C s 2$ は、トランジスタ $T r 3$ のゲートと接地電圧端子 $V s s$ との間に設けられている。なお、保持容量 $C s 1$, $C s 2$ は、互いに独立して設けられ、それぞれ正極性及び負極性の映像信号を並列的に保持する。

【0013】

トランジスタ $T r 3$, $T r 7$ は、保持容量 $C s 1$ に保持された電圧を出力するソースフォロワバッファ (インピーダンス変換用バッファ) を構成している。具体的には、ソースフォロアのトランジスタ $T r 3$ では、ドレインが接地電圧ライン $V s s$ に接続され、ソースがノード $N a$ に接続されている。定電流負荷として用いられるトランジスタ $T r 7$ では、ソースが電源電圧ライン $V d d$ に接続され、ドレインがノード $N a$ に接続され、ゲートがゲート制御信号線対の一方のゲート制御信号線 $B +$ に接続されている。

【0014】

トランジスタ $T r 4$, $T r 8$ は、保持容量 $C s 2$ に保持された電圧を出力するソースフォロワバッファを構成している。具体的には、ソースフォロアのトランジスタ $T r 4$ では、ドレインが接地電圧ライン $V s s$ に接続され、ソースがノード $N b$ に接続されている。定電流負荷として用いられるトランジスタ $T r 8$ では、ソースが電源電圧ライン $V d d$ に接続され、ドレインがノード $N b$ に接続され、ゲートがゲート制御信号線対の他方のゲート制御信号線 $B -$ に接続されている。

【0015】

トランジスタ $T r 5$, $T r 6$ は、極性切り替えスイッチ (スイッチ部) を構成している。具体的には、トランジスタ $T r 5$ では、ソースがノード $N a$ に接続され、ドレインが画素駆動電極 $P E$ に接続され、ゲートがゲート制御信号線対の一方のゲート制御信号線 $S +$ に接続されている。トランジスタ $T r 6$ では、ソースがノード $N b$ に接続され、ドレインが画素駆動電極 $P E$ に接続され、ゲートがゲート制御信号線対の他方のゲート制御信号線 $S -$ に接続されている。

【0016】

液晶表示素子 $L C$ は、光反射特性を有する画素駆動電極 (反射電極) $P E$ と、画素駆動電極と離間対向配置され光透過性を有する共通電極 $C E$ と、これらの間の空間領域に充填封入された液晶 $L C M$ と、によって構成される。共通電極 $C E$ には、共通電極電圧 $V c o m$ が印加されている。

【0017】

10

20

30

40

50

各列に設けられた画素データ線対 D_{i+} , D_{i-} には、図示しないデータ線駆動回路によりサンプリングされた互いに極性の異なる映像信号が供給される。ここで、図示しない垂直走査回路から出力された走査パルスが行走査線 G_j に供給されると、トランジスタ T_{r1} , T_{r2} は同時にオン状態となる。それにより、保持容量 C_{s1} , C_{s2} にはそれぞれ正極性及び負極性の映像信号の電圧が蓄積、保持される。

【0018】

例えば、トランジスタ T_{r5} がオン状態の場合、トランジスタ T_{r7} をオンすることにより、正極側のソースフォロワバッファを動作させる。このとき、トランジスタ T_{r6} がオフ状態であるため、トランジスタ T_{r8} をオフすることにより、負極側のソースフォロワバッファの動作を停止させる。同様に、トランジスタ T_{r6} がオン状態の場合、トランジスタ T_{r8} をオンすることにより、負極側のソースフォロワバッファを動作させる。このとき、トランジスタ T_{r5} がオフ状態であるため、トランジスタ T_{r7} をオフすることにより、正極側のソースフォロワバッファの動作を停止させる。それにより、一方のソースフォロワバッファを動作させている場合には、他方のソースフォロワバッファの動作を停止させることができるため、消費電流の増大を抑制することができる。具体的には、常に両方のソースフォロワバッファを動作させた場合と比較して、消費電流が約2分の1になる。

10

【0019】

なお、正極側及び負極側のそれぞれのソースフォロワバッファの入力抵抗はほぼ無限大である。したがって、保持容量 C_{s1} , C_{s2} のそれぞれに蓄積された電荷は、リークすることなく、1垂直走査期間が経過して新たな映像信号が書き込まれるまで保持される。

20

【0020】

極性切り替えスイッチを構成するトランジスタ T_{r5} , T_{r6} は、相補的にオンオフを切り替えることにより、正極側のソースフォロワの出力電圧（正極性の映像信号の電圧）と、負極側のソースフォロワの出力電圧（負極性の映像信号の電圧）と、を交互に選択して画素駆動電極 P_E に対して出力する。これにより、画素駆動電極 P_E には、周期的に極性反転する映像信号の電圧が印加される。このように、この液晶表示装置は、画素自体に極性反転機能を有しているため、各画素において、画素駆動電極 P_E に供給される映像信号の電圧の極性を高速に切り替えることにより、垂直走査周波数に依らず、高い周波数での交流駆動が可能となる。

30

【0021】

（図1に示す画素の動作）

図2は、図1に示す画素の動作を示すタイミングチャートである。図2において、 V_D は、映像信号の垂直走査の基準となる垂直同期信号を表している。 B_+ は、正極側のソースフォロワの定電流負荷として用いられるトランジスタ T_{r7} のゲートに供給されるゲート制御信号を表している。 B_- は、負極側のソースフォロワの定電流負荷として用いられるトランジスタ T_{r8} のゲートに供給されるゲート制御信号を表している。 S_+ は、極性切り替えスイッチに設けられた正極側のトランジスタ T_{r5} のゲートに供給されるゲート制御信号を表している。 S_- は、極性切り替えスイッチに設けられた負極側のトランジスタ T_{r6} のゲートに供給されるゲート制御信号を表している。 V_{PE} は、画素駆動電極 P_E に印加される電圧を表している。 V_{com} は、共通電極に印加される電圧を表している。 V_{LC} は、液晶 LCM に印加される交流電圧を表している。また、図3は、図1に示す画素に書き込まれる正極性映像信号及び負極性映像信号のそれぞれの黒から白までの電圧レベルを説明するための図である。

40

【0022】

図2に示すように、ゲート制御信号 S_+ が $High$ の期間、正極側のスイッチングトランジスタ T_{r5} がオンする。このとき、ゲート制御信号 B_+ を Low にすることにより、正極側のトランジスタ T_{r7} がオンするため、正極側のソースフォロワバッファがアクティブになる。それにより、画素駆動電極 P_E は、正極性の映像信号の電圧レベルに充電される。画素駆動電極 P_E に完全に電荷が充電された時点で、ゲート制御信号 B_+ を Low

50

から High に切り替えるとともに、ゲート制御信号 S + を High から Low に切り替える。それにより、画素駆動電極 PE がフローティング状態となるため、液晶容量には正極性の駆動電圧が保持される。なお、このとき、ゲート制御信号 B - が High に維持されるため、負極側のソースフォロワバッファは、インアクティブとなり電流を流さない。

【 0 0 2 3 】

一方、ゲート制御信号 S - が High の期間、負極側のスイッチングトランジスタ Tr 6 がオンする。このとき、ゲート制御信号 B - を Low にすることにより、負極側のトランジスタ Tr 8 がオンするため、負極側のソースフォロワバッファがアクティブになる。それにより、画素駆動電極 PE は、負極性の映像信号の電圧レベルに充電される。画素駆動電極 PE に完全に電荷が充電された時点で、ゲート制御信号 B - を Low から High に切り替えるとともに、ゲート制御信号 S - を High から Low に切り替える。それにより、画素駆動電極 PE がフローティング状態となるため、液晶容量には負極性の駆動電圧が保持される。なお、このとき、ゲート制御信号 B + が High に維持されるため、正極側のソースフォロワバッファは、インアクティブとなり電流を流さない。

10

【 0 0 2 4 】

上述の正極側及び負極側のそれぞれの動作を交互に繰り返すことにより、画素駆動電極 PE には、正極性及び負極性のそれぞれの映像信号の電圧を用いて交流化された駆動電圧 V PE が印加されることになる。

【 0 0 2 5 】

なお、保持容量 Cs 1 , Cs 2 に保持された電荷を直接に画素駆動電極 PE に転送するのではなく、ソースフォロワバッファを介して転送しているため、画素駆動電極 PE において正極性及び負極性の映像信号の電圧の充放電を繰り返し行った場合でも、電荷を中和させることなく、電圧レベルの減衰しない画素駆動を実現することができる。

20

【 0 0 2 6 】

また、図 2 に示すように、画素駆動電極 PE への印加電圧 V PE の電圧レベルの切り替わりに同期して、共通電極 CE への印加電圧 V com の電圧レベルを、印加電圧 V PE とは逆のレベルに切り替えている。なお、共通電極 CE への印加電圧 V com は、画素駆動電極 PE への印加電圧 V PE の反転基準電圧とほぼ等しい電圧を反転基準にしている。

【 0 0 2 7 】

ここで、液晶 LCM に印加される実質的な交流電圧 V LC は、画素駆動電極 PE への印加電圧 V PE と、共通電極 CE への印加電圧 V com と、の差電圧であるから、液晶 LCM には、直流成分を含まない交流電圧 V LC が印加されることとなる。このように、共通電極 CE への印加電圧 V com を画素駆動電極 PE への印加電圧 V PE と逆相で切り替えることにより、画素駆動電極 PE に印加すべき電圧の振幅を小さくすることができるため、画素の回路部分を構成するトランジスタの耐圧及び消費電力を低減することができる。

30

【 0 0 2 8 】

なお、仮に 1 画素当たりのソースフォロワバッファに定常的に流れる電流が $1 \mu A$ の微小電流である場合でも、液晶表示装置の全画素に定常的に流れる電流は無視できないほどに大きな電流になる可能性がある。例えば、フルハイビジョン 200 万画素の液晶表示装置では、消費電流が 2 A に達してしまう可能性がある。そこで、図 1 に示す画素では、定電流負荷として用いられるトランジスタ Tr 7 , Tr 8 が、常時オンにはせず、それぞれ正極側及び負極側のスイッチングトランジスタ Tr 7 , Tr 8 がオンしている期間のうちの限られた期間でのみオンしている。それにより、一方のソースフォロワバッファを動作させている場合には、他方のソースフォロワバッファの動作を停止させることができるため、消費電流の増大を抑制することができる。具体的には、常に両方のソースフォロワを動作させた場合と比較して、格段に消費電流を抑えることができる。

40

【 0 0 2 9 】

液晶表示素子 LC の交流駆動周波数は、垂直走査周波数に依らず、画素自身の反転制御周期を調整することで自由に調整することができる。例えば、垂直走査周波数が一般的なテレビ映像信号で用いられる 60 Hz であって、フルハイビジョンの垂直周期走査線数 n

50

が 1 1 2 5 ラインであるとする。また、各画素における極性切り替えを 1 5 ライン期間程度の周期で行うものとする。換言すると、各画素における極性切り替え 1 周期当たりのライン数 k を 3 0 ラインとする。この場合、液晶の交流駆動周波数は、 $6 0 \text{ Hz} \times 1 1 2 5 / (1 5 \times 2) = 2 . 2 5 \text{ Hz}$ となる。つまり、図 1 に示す画素が用いられた液晶表示装置は、液晶の交流駆動周波数を飛躍的に高めることができる。それにより、液晶の交流駆動周波数が低い場合に問題となっていた液晶画面に表示される映像の信頼性、安定性、表示品質を大幅に向上させることができる。

【 0 0 3 0 】

(図 1 に示す画素の問題点)

しかしながら、発明者は、図 1 に示す画素において、以下のような問題があることを発見した。なお、以下では、画素の正極側の回路部分に起因して発生する問題点について説明するが、画素の負極側の回路部分に起因して発生する問題点についても同様のことが言える。

10

【 0 0 3 1 】

図 1 に示すように、画素駆動電極 $P E$ と共通電極 $C E$ との間には液晶 $L C M$ が形成されており、そこには液晶容量が形成されている。液晶容量は、画素面積に依存し、画素ピッチ $8 \mu m$ では $1 f F$ 程度である。一方、液晶の交流駆動周波数は $2 . 2 5 \text{ KHz}$ であり、正極性及び負極性の映像信号の切り替えが高速に行われている。そのため、図 1 に示す画素は、 $1 f F$ 程度の小さな液晶容量であっても、リーク電流を抑えて動作することができる。

20

【 0 0 3 2 】

ところで、ゲート制御信号線対 $S +$, $S -$ には、当該ゲート制御信号線対 $S +$, $S -$ に対応する行の複数の画素が接続されている。例えば、フルハイビジョンの場合、1 組のゲート制御信号線対 $S +$, $S -$ 当たり $1 9 2 8$ 個の画素が接続されている。図示しない制御バッファから出力された制御信号は、ゲート制御信号線対 $S +$, $S -$ に供給され、1 行分の複数の画素を駆動する。ここで、ゲート制御信号線対 $S +$, $S -$ に共通接続された複数の画素のうち、大部分 (例えば 9 割以上) の画素に白レベルの映像信号が印加され、残りの小部分 (例えば 1 割以下) の画素に黒レベルの映像信号が印加された場合、大部分の画素に印加された電圧レベルの映像信号の影響を受けて、小部分の画素に印加された電圧レベルの映像信号が変動してしまう (以下、このような映像信号の変動をストリーキングとも称す) 。その結果、液晶画面に表示される映像の品質が低下してしまうという問題があった。以下、詳細に説明する。

30

【 0 0 3 3 】

図 4 は、ストリーキングの影響を受けた液晶画面の映像を示す概略平面図である。

図 4 の例では、矩形の液晶画面のうち、上部に位置する画素領域 $A 1$ の画素がグレーを表示し、下部に位置する画素領域 $C 1$ の画素がグレーを表示し、中央部のうち、中心部に位置する画素領域 $B 1$ の画素が、画素領域 $A 1$, $C 1$ と同じ諧調のグレーを表示し、中心部の残りの画素領域 $B 2$ の画素が、白を表示している。なお、中央部のうち、画素領域 $B 2$ が大部分 (例えば 9 割以上) を占め、画素領域 $B 1$ が残りの小部分 (例えば 1 割以下) を占める。

40

【 0 0 3 4 】

ここで、図 4 に示すように、画素領域 $B 1$ では、画素領域 $A 1$, $C 1$ と同じ諧調のグレーを表示させようとしているにも関わらず、実際には画素領域 $A 1$, $C 1$ よりも濃いグレーが表示されている。これは、画素領域 $B 1$ の画素に印加されたグレーレベルの映像信号が、同じ行において大部分を占める画素領域 $B 2$ の画素に印加された白レベルの映像信号の影響を受けて変動してしまったためである。

【 0 0 3 5 】

図 5 は、図 4 に示す各画素領域の画素に設けられたスイッチングトランジスタ $T r 5$ のゲート電圧とソース電圧 (入力電圧) との関係を示す図である。なお、トランジスタ $T r 5$ は、電源電圧 $V d d$ が $5 . 5 \text{ V}$ の N チャンネル $M O S$ トランジスタであるため、ゲートに

50

5 Vの電圧が印加された場合にオンし、0 Vの電圧が印加された場合にオフする。

【0036】

図5に示すように、画素領域A1の各画素に共通して供給されるゲート制御信号S+の電圧波形は、画素領域B1の各画素に共通して供給されるゲート制御信号S+の電圧波形と比較して、高電圧側で立ち上がりが遅くなるとともに立ち下がりが遅くなっている。

【0037】

また、画素領域A1の各画素におけるノードNaの電圧は、グレー諧調データに相当する2.5 Vを示している。画素領域B1の各画素におけるノードNaの電圧は、白諧調データに相当する4.6 Vを示している。

【0038】

まず、画素領域A1の各画素に共通して供給されるゲート制御信号S+の立ち上がり波形について説明する。ここでは、画素領域A1における1行分の複数の画素は、何れもグレー諧調を表示するように制御されている。そのため、画素領域A1における1行分の複数の画素のそれぞれに対応して設けられた複数のデータ線Di+には、何れも2 Vの信号電圧が供給されている。このとき、画素領域A1の各画素に設けられた正極側のソースフォロワバッファの出力電圧(ノードNaの電圧)は、トランジスタTr3の基板効果が加わり2.5 Vを示している。

【0039】

画素領域A1の各画素に共通して供給されるゲート制御信号S+の立ち上がりにより、画素領域A1の各画素に設けられたトランジスタTr5はオフからオンに遷移する。このオフからオンへの遷移期間では、トランジスタTr5のゲート電圧が3.1 V (= ノードNaの電圧2.5 V + トランジスタTr5の閾値電圧0.6 V)より高くなると、トランジスタTr5はオンしてソース-ドレイン間を導通させる。それにより、ノードNaの電圧2.5 Vは、トランジスタTr5を介して、画素駆動電極PEに印加される。

【0040】

ここで、画素領域A1の各画素に設けられたトランジスタTr5のゲート電圧が3.1 V以下の場合、各トランジスタTr5のソース-ドレイン間は導通しない。そのため、画素領域A1の各画素に共通接続されたゲート制御信号線S+には、各トランジスタTr5のゲート-ソース間容量が付加される。それに対し、画素領域A1の各画素に設けられたトランジスタTr5のゲート電圧が3.1 Vを超えた場合、各トランジスタTr5のソース-ドレイン間は導通する。そのため、画素領域A1の各画素に共通接続されたゲート制御信号線S+には、各トランジスタTr5のゲート-ソース間容量よりも大きなゲート-チャネル間容量が付加される。したがって、画素領域A1の各画素に共通して供給されるゲート制御信号S+の立ち上がり波形は、3.1 Vを超えた場合、3.1 V以下の場合よりも遅いスピード(小さなスルーレート)で立ち上がることとなる。

【0041】

続いて、画素領域A1の各画素に共通して供給されるゲート制御信号S+の立ち下がり波形について説明する。ここでは、画素領域A1における1行分の複数の画素は、何れもグレー諧調を表示するように制御されている。そのため、画素領域A1における1行分の複数の画素のそれぞれに対応して設けられた複数のデータ線Di+には、何れも2 Vの信号電圧が供給されている。このとき、画素領域A1の各画素に設けられた正極側のソースフォロワバッファの出力電圧(ノードNaの電圧)は、トランジスタTr3の基板効果が加わり2.5 Vを示している。

【0042】

画素領域A1の各画素に共通して供給されるゲート制御信号S+の立ち下がりにより、画素領域A1の各画素に設けられたトランジスタTr5はオンからオフに遷移する。このオンからオフへの遷移期間では、トランジスタTr5のゲート電圧が3.1 V (= ノードNaの電圧2.5 V + トランジスタTr5の閾値電圧0.6 V)以下になると、トランジスタTr5はオフしてソース-ドレイン間を非導通にする。

【0043】

10

20

30

40

50

ここで、画素領域 A 1 の各画素に設けられたトランジスタ T r 5 のゲート電圧が 3 . 1 V を超えている場合、各トランジスタ T r 5 のソース - ドレイン間は導通する。そのため、画素領域 A 1 の各画素に共通接続されたゲート制御信号線 S + には、各トランジスタ T r 5 のゲート - チャネル間容量が付加される。それに対し、画素領域 A 1 の各画素に設けられたトランジスタ T r 5 のゲート電圧が 3 . 1 V 以下に低下した場合、各トランジスタ T r 5 のソース - ドレイン間は非導通になる。そのため、画素領域 A 1 の各画素に共通接続されたゲート制御信号線 S + には、各トランジスタ T r 5 のゲート - チャネル間容量よりも小さなゲート - ソース間容量が付加される。したがって、画素領域 A 1 の各画素に共通して供給されるゲート制御信号 S + の立ち下がり波形は、3 . 1 V 以下に低下した場合、3 . 1 V より高い場合よりも速いスピード（大きなスルーレート）で立ち下がることとなる。

10

【 0 0 4 4 】

次に、画素領域 B 1 の各画素に共通して供給されるゲート制御信号 S + の立ち上がり波形について説明する。ここでは、画素領域 B 1 における複数の画素は、何れも画素領域 A 1 の画素と同様にグレー諧調を表示するように制御されている。そのため、画素領域 B 1 における複数の画素のそれぞれに対応して設けられたデータ線 D i + には、何れも 2 V の信号電圧が供給されている。それに対し、画素領域 B 2 における複数の画素は、画素領域 B 1 の画素と同じ行に設けられ、白諧調を表示するように制御されている。そのため、画素領域 B 2 における複数の画素のそれぞれに対応して設けられた複数のデータ線 D i + には、何れも 4 V の信号電圧が供給されている。

20

【 0 0 4 5 】

ここで、同じ行に設けられた複数の画素のうち、画素領域 B 2 の複数の画素が大部分（例えば 9 割以上）を占め、画素領域 B 1 の画素が残りの小部分（例えば 1 割以下）を占める。そのため、画素領域 B 1 の各画素に共通接続されたゲート制御信号線 S + には、画素領域 B 1 の画素のゲート容量が付加されるものの、画素領域 B 2 の複数の画素のゲート容量が支配的に付加されることとなる。

【 0 0 4 6 】

このとき、画素領域 B 2 の各画素に設けられた正極側のソースフォロワバッファの出力電圧（ノード N a の電圧）は、トランジスタ T r 3 の基板効果が加わり 4 . 6 V を示す。

【 0 0 4 7 】

画素領域 B 2 の各画素に共通して供給されるゲート制御信号 S + の立ち上がりにより、画素領域 B 2 の各画素に設けられたトランジスタ T r 5 はオフからオンに遷移する。このオフからオンへの遷移期間では、トランジスタ T r 5 のゲート電圧が 5 . 3 V（= ノード N a の電圧 4 . 6 V + トランジスタ T r 5 の基板効果を含んだ閾値電圧 0 . 7 V）より高くなると、トランジスタ T r 5 はオンしてソース - ドレイン間を導通させる。それにより、ノード N a の電圧 4 . 6 V は、トランジスタ T r 5 を介して、画素駆動電極 P E に印加されるようになる。

30

【 0 0 4 8 】

ここで、画素領域 B 2 の各画素に設けられたトランジスタ T r 5 のゲート電圧が 5 . 3 V 以下の場合、各トランジスタ T r 5 のソース - ドレイン間は導通しない。そのため、画素領域 B 2 の各画素に共通接続されたゲート制御信号線 S + には、各トランジスタ T r 5 のゲート - ソース間容量が付加される。それに対し、画素領域 B 2 の各画素に設けられたトランジスタ T r 5 のゲート電圧が 5 . 3 V を超えた場合、各トランジスタ T r 5 のソース - ドレイン間は導通する。そのため、画素領域 B 2 の各画素に共通接続されたゲート制御信号線 S + には、各トランジスタ T r 5 のゲート - ソース間容量よりも大きなゲート - チャネル間容量が付加される。したがって、画素領域 B 2 の各画素に共通して供給されるゲート制御信号 S + の立ち上がり波形は、5 . 3 V を超えた場合、5 . 3 V 以下の場合よりも遅いスピード（小さなスルーレート）で立ち上がることとなる。

40

【 0 0 4 9 】

即ち、画素領域 B 1 の各画素に共通して供給されるゲート制御信号 S + の立ち上がり波

50

形は、 5.3 V を超えた場合、 5.3 V 以下の場合よりも遅いスピード（小さなスルーレート）で立ち上がることとなる。

【0050】

なお、画素領域 B 1 の各画素に設けられたトランジスタ $T r 5$ は、ゲート電圧が 3.1 V を超えた場合にオンする。しかしながら、画素領域 B 1 の画素数は、画素領域 B 1, B 2 の画素数の 1 割以下である。そのため、画素領域 B 1 の各画素に共通接続されたゲート制御信号 $S +$ に付加されるゲート容量は、画素領域 B 1 の各画素に設けられたトランジスタ $T r 5$ がオフからオンに遷移してもほとんど変化せず、画素領域 B 2 の各画素に設けられたトランジスタ $T r 5$ がオフからオンに遷移したときに大きく変化する。そのため、画素領域 B 1 の各画素に共通して供給されるゲート制御信号 $S +$ の立ち上がり波形は、 5.3 V を超えた場合、 5.3 V 以下の場合よりも遅いスピード（小さなスルーレート）で立ち上がることとなる。

10

【0051】

続いて、画素領域 B 1 の各画素に共通して供給されるゲート制御信号 $S +$ の立ち下がり波形について説明する。ここでは、画素領域 B 1 における複数の画素は、何れも画素領域 A 1 の画素と同様にグレー階調を表示するように制御されている。そのため、画素領域 B 1 における複数の画素のそれぞれに対応して設けられたデータ線 $D i +$ には、何れも 2 V の信号電圧が供給されている。それに対し、画素領域 B 2 における複数の画素は、画素領域 B 1 の画素と同じ行に設けられ、白階調を表示するように制御されている。そのため、画素領域 B 2 における複数の画素のそれぞれに対応して設けられた複数のデータ線 $D i +$

20

【0052】

ここで、同じ行に設けられた複数の画素のうち、画素領域 B 2 の複数の画素が大部分（例えば 9 割以上）を占め、画素領域 B 1 の画素が残りの小部分（例えば 1 割以下）を占める。そのため、画素領域 B 1 の各画素に共通接続されたゲート制御信号線 $S +$ には、画素領域 B 1 の画素のゲート容量が付加されるものの、画素領域 B 2 の複数の画素のゲート容量が支配的に付加されることとなる。

【0053】

このとき、画素領域 B 2 の各画素に設けられた正極側のソースフォロワバッファの出力電圧（ノード $N a$ の電圧）は、トランジスタ $T r 3$ の基板効果が加わり 4.6 V を示す。

30

【0054】

画素領域 B 2 の各画素に共通して供給されるゲート制御信号 $S +$ の立ち下がりにより、画素領域 B 2 の各画素に設けられたトランジスタ $T r 5$ はオンからオフに遷移する。このオンからオフへの遷移期間では、トランジスタ $T r 5$ のゲート電圧が 5.3 V （= ノード $N a$ の電圧 4.6 V + トランジスタ $T r 5$ の基板効果を含んだ閾値電圧 0.7 V ）以下になると、トランジスタ $T r 5$ はオフしてソース - ドレイン間を非導通にする。

【0055】

ここで、画素領域 B 2 の各画素に設けられたトランジスタ $T r 5$ のゲート電圧が 5.3 V を超えている場合、各トランジスタ $T r 5$ のソース - ドレイン間は導通する。そのため、画素領域 B 2 の各画素に共通接続されたゲート制御信号線 $S +$ には、各トランジスタ $T r 5$ のゲート - チャネル間容量が付加される。それに対し、画素領域 B 2 の各画素に設けられたトランジスタ $T r 5$ のゲート電圧が 5.3 V 以下に低下した場合、各トランジスタ $T r 5$ のソース - ドレイン間は非導通になる。そのため、画素領域 B 2 の各画素に共通接続されたゲート制御信号線 $S +$ には、各トランジスタ $T r 5$ のゲート - チャネル間容量よりも小さなゲート - ソース間容量が付加される。したがって、画素領域 B 2 の各画素に共通して供給されるゲート制御信号 $S +$ の立ち下がり波形は、 5.3 V 以下に低下した場合、 5.3 V より高い場合よりも速いスピード（大きなスルーレート）で立ち下がることとなる。

40

【0056】

即ち、画素領域 B 1 の各画素に共通して供給されるゲート制御信号 $S +$ の立ち下がり波

50

形は、 5.3 V 以下に低下した場合、 5.3 V より高い場合よりも速いスピード（大きなスルーレート）で立ち下がることとなる。

【0057】

なお、画素領域B1の各画素に設けられたトランジスタTr5は、ゲート電圧が 3.1 V 以下に低下した場合にオフする。しかしながら、画素領域B1の画素数は、画素領域B1、B2の画素数の1割以下である。そのため、画素領域B1の各画素に共通接続されたゲート制御信号S+に付加されるゲート容量は、画素領域B1の各画素に設けられたトランジスタTr5がオンからオフに遷移してもほとんど変化せず、画素領域B2の各画素に設けられたトランジスタTr5がオンからオフに遷移したときに大きく変化する。そのため、画素領域B1の各画素に共通して供給されるゲート制御信号S+の立ち下がり波形は、 5.3 V 以下に低下した場合、 5.3 V より高い場合よりも速いスピード（大きなスルーレート）で立ち下がることとなる。

10

【0058】

図6は、図1に示す画素に設けられたスイッチングトランジスタTr5において発生するチャージインжекションを説明するための図である。

【0059】

図6に示すように、トランジスタTr5のチャネル領域には容量が形成されている。そのため、トランジスタTr5がオンしている場合には、トランジスタTr5のチャネル領域に形成された容量にも充電が行われ、トランジスタTr5がオンからオフに切り替わる時に、チャネル領域に蓄積された電荷がソース及びドレインに放出される。ここで、トランジスタTr5のソース側（ノードNa側）に放出される電荷は、入力源（ノードNa）によって吸収されるため、画素駆動電極PEに印加される駆動電圧VPEの誤差を生じさせない。それに対し、トランジスタTr5のドレイン側（画素駆動電極PE側）に放出される電荷は、液晶LCMに形成された液晶容量に蓄積されるため、画素駆動電極PEに印加される駆動電圧VPEの誤差を生じさせてしまう。本例では、トランジスタTr5がNチャネルMOSトランジスタであるため、画素駆動電極PEに印加される電圧VPEには負のオフセット電圧として現れる。このように、例えば、トランジスタTr5のチャネル領域に形成された容量から放出された電荷が、液晶LCMに形成された液晶容量に蓄積される現象を、チャージインжекションと称す。

20

【0060】

トランジスタTr5のチャージインжекションは、トランジスタTr5がオンからオフに遷移する期間中に発生する。そのため、画素駆動電極PEの電圧確定、及び、チャージインжекションによるオフセット量は、トランジスタTr5のオンオフを制御するゲート制御信号S+の立ち下がりスピードに依存する。

30

【0061】

ここで、画素領域A1の各画素に共通接続されたゲート制御信号S+の立ち下がりスピードと、画素領域B1の各画素に共通接続されたゲート制御信号S+の立ち下がりスピードとは異なる。そのため、画素領域A1の各画素に設けられたトランジスタTr5のチャージインжекションによるオフセット量と、画素領域B1の各画素に設けられたトランジスタTr5のチャージインжекションによるオフセット量とは異なるものとなる。そのため、画素領域A1の各画素に設けられた画素駆動電極PEへの駆動電圧VPEと、画素領域B1の各画素に設けられた画素駆動電極PEへの駆動電圧VPEとは異なるものとなる。その結果、画素領域B1は、ストリーキングとして視認されてしまう。

40

【0062】

このストリーキングは、トランジスタTr5のチャージインжекション量と、画素駆動電極PEに付加される容量との比によって決定される。例えば、トランジスタTr5のゲート長Lを $1\text{ }\mu\text{m}$ 、ゲート幅Wを $5\text{ }\mu\text{m}$ とした場合、ゲート面積は $5\text{ }\mu\text{m}^2$ であるから、画素駆動電極PE側へ放出されるチャージインжекション量は、トランジスタタイプやプロセスにもよるが、NチャネルMOSトランジスタの $0.18\text{ }\mu\text{m}$ プロセスルールでは、空乏層容量から約 $50\sim 60\text{ aC}$ となる。したがって、液晶容量が 1 fF のとき

50

、チャージインジェクションによる画素駆動電圧 V_{PE} の変動は、 $V = Q / C = (50e - 18C) / (1e - 15F)$ から $50 \sim 60 \text{ mV}$ となる。

【0063】

なお、全ての画素において同じストリーキングが発生するのであれば、チャージインジェクションが起きても問題は無い。しかしながら、図5に示すように、画素領域A1の各画素に共通接続されたゲート制御信号 $S+$ の立ち下がりスピードと、画素領域B1の各画素に共通接続されたゲート制御信号 $S+$ の立ち下がりスピードと、が異なる場合、画素領域A1の各画素に設けられた画素駆動電極 PE に印加される駆動電圧 V_{PE} と、画素領域B1の各画素に設けられた画素駆動電極 PE に印加される駆動電極 V_{PE} と、は異なってしまう。例えば、1行当たり1920個の画素が設けられたフルハイビジョンの場合、駆動電圧 V_{PE} の誤差は 30 mV 程度となる。それにより、画素領域B1の各画素の表示階調は、画素領域A1の各画素の表示階調と異なるため、ストリーキングとして視認されてしまう。

10

【0064】

図7は、画素領域A1の各画素の画素駆動電圧 V_{PE} 、及び、画素領域B1の各画素の画素駆動電圧 V_{PE} の動作を示す図である。

【0065】

図7に示すように、トランジスタ $Tr5$ のオン期間中、画素駆動電極 PE にはソースフォロワバッファから出力された電圧が印加されている(時刻 $t_0 \sim t_1$)。その後、トランジスタ $Tr5$ のオンからオフへの遷移期間中、トランジスタ $Tr5$ のオンオフを制御するゲート制御信号線 $S+$ が $High (5.5 \text{ V})$ から $Low (0 \text{ V})$ に遷移する(時刻 $t_1 \sim t_3$)。

20

【0066】

より具体的には、トランジスタ $Tr5$ のオンからオフへの遷移期間の初期(時刻 $t_1 \sim t_2$)では、ゲートフィードスルーが発生するため、画素駆動電極 PE に印加される画素駆動電圧 V_{PE} は、トランジスタ $Tr5$ のゲート-ドレイン間容量によってゲート電圧に引っ張られ、低下する。ここで、トランジスタ $Tr5$ は、ゲート電圧が、画素駆動電極 PE への印加電圧 V_{PE} と、トランジスタ $Tr5$ の閾値電圧と、を加算した電圧以下になるとオフする。そして、トランジスタ $Tr5$ がオフすると、画素駆動電極 PE はフローティング状態となる。このとき、トランジスタ $Tr5$ のチャージインジェクションにより、トランジスタ $Tr5$ のチャネル領域に形成された容量から画素駆動電極 PE 側に電荷が放出される。それにより、画素駆動電極 PE に印加される画素駆動電圧 V_{PE} は低下しようとする。しかしながら、トランジスタ $Tr5$ が完全にオフする前は、入力源(ノード Na)と画素駆動電極 PE とが導通しているため、チャージインジェクションにより画素駆動電極 PE 側に放出された電荷は、トランジスタ $Tr5$ 介して、入力源側に逃げる事ができる。そのため、画素領域A1の各画素の画素駆動電圧 V_{PE} と、画素領域B1の各画素の画素駆動電圧 V_{PE} と、の間に誤差は発生しない。

30

【0067】

その後、トランジスタ $Tr5$ のオンからオフへの遷移期間の後期(時刻 $t_2 \sim t_3$)では、トランジスタ $Tr5$ は、ゲート電圧が、画素駆動電極 PE への印加電圧 V_{PE} と、トランジスタ $Tr5$ の閾値電圧と、を加算した電圧よりもさらに低下するため、完全にオフする。このとき、画素駆動電圧 V_{PE} は、ゲートフィードスルーの発生により低下するだけでなく、チャージインジェクションの発生によりさらに低下する。なお、このとき、トランジスタ $Tr5$ のソース-ドレイン間は非導通となっているため、チャージインジェクションの発生により画素駆動電極 PE 側に放出された電荷は、入力源(ノード Na)側に逃げる事ができない。そのため、チャージインジェクションの発生により画素駆動電極 PE 側に放出される電荷が異なる場合、画素駆動電圧 V_{PE} の誤差となって現れる。

40

【0068】

要するに、トランジスタ $Tr5$ のオンからオフへの遷移期間では、画素駆動電圧 V_{PE} が、ゲートフィードスルーの発生により低下するとともに、チャージインジェクションの

50

発生により低下したうえで、最終的な値に確定する。そのため、トランジスタTr5のオンからオフへの遷移期間が異なると、チャージインジェクションの発生により画素駆動電極PEに蓄積される電荷の量(チャージインジェクション量)が異なってしまう。

【0069】

例えば、画素領域B1の各画素のように、トランジスタTr5のオンからオフへの遷移期間が短い(スルーレートが大きい)場合、トランジスタTr5が完全にオフするまでの時間が短くなるため、フローティング状態となった画素駆動電極PE側に放出されるチャージインジェクション量が増加してしまい、画素駆動電圧VPEの確定電圧が低くなってしまふ。それに対し、画素領域A1の各画素のように、トランジスタTr5のオンからオフへの遷移時間が長い(スルーレートが小さい)場合、トランジスタTr5が完全にオフするまでの時間が長くなるため、フローティング状態となった画素駆動電極PE側に放出されるチャージインジェクション量が減少し、画素駆動電圧VPEの確定電圧が高くなる。つまり、トランジスタTr5のオンからオフへの遷移期間の違いによって、フローティング状態となった画素駆動電極PE側に放出されるチャージインジェクション量が変化し、その結果、画素駆動電圧VPEの確定電圧が変化する。

10

【0070】

図7の例では、画素領域B1の各画素の画素駆動電圧VPEが、画素領域A1の各画素の画素駆動電圧VPEよりも30mV程度低い値で確定しており、ストリーキングとして視認されてしまふ。

【0071】

このように、本例では、同じ行に設けられた複数の画素のうち的大部分(例えば9割以上)の画素に白レベルの映像信号が印加され、残りの小部分(例えば1割以下)の画素にグレーレベルの映像信号が印加された場合、大部分の画素に印加された電圧レベルの映像信号の影響を受けて、小部分の画素に印加された電圧レベルの映像信号が変動してしまふ。その結果、液晶画面に表示される映像の品質が低下してしまふという問題があった。このストリーキング量は、上記の白レベルの映像信号とグレーレベルの映像信号の割合によって異なるが、映像品位を低下させる要因になっていた。

20

【0072】

そこで、各画素に対して、画素駆動電極PEに印加される電圧を保持する保持容量を新たに設けることにより、ストリーキングの発生を抑制して映像の品質を向上させることが可能な、本実施の形態にかかる液晶表示装置が見出された。

30

【0073】

<実施の形態1>

以下、図面を用いて本発明の実施形態について説明する。

【0074】

図8は、実施の形態1に係る液晶表示装置10の各画素の構成例を示す回路図である。本実施の形態にかかる液晶表示装置10は、液晶表示装置20と比較して、画素駆動電極PEに印加される電圧を保持する保持容量Cs3をさらに備える。液晶表示装置10のその他の構成については、液晶表示装置20と同様であるため、その説明を省略する。

【0075】

保持容量Cs3は、スイッチングトランジスタTr5, Tr6と画素駆動電極PEとの間のノードと、接地電圧端子Vssと、の間に設けられている。詳しくは後述するが、保持容量Cs3には、画素内の回路を形成しているメタル配線間に形成されるMIM(Metal-Insulator-Metal)容量や、基板上に形成された拡散電極とポリシリコン層との間に形成される容量、2層のポリシリコン層間に形成されるPIP(Poly-Insulator-Poly)容量などが用いられてもよい。

40

【0076】

保持容量Cs3は、チャージインジェクションにより画素駆動電極PE側に放出された電荷を吸収(保持)する。それにより、チャージインジェクションに起因した画素駆動電圧VPEの確定電圧の変動を抑制することができる。その結果、液晶表示装置10は、ス

50

トリーキングの発生を抑制することができるため、映像の品質を向上させることができる。

【0077】

なお、液晶の関係上、各画素の画素駆動電圧VPE間の誤差(ストリーキング)は、一般的に5mV以下に抑えることにより視認できなくなる。したがって、保持容量Cs3は、 $Q = CV$ の関係式より、以下の式(1)のように表すことができる。なお、液晶LCMには1fFの液晶容量が形成され、保持容量Cs3が無い場合における各画素の画素駆動電圧VPE間の誤差は30mVであるものとする。

【0078】

$$Cs3 = Q / V = (1fF \times 30mV / 5mV) - 1fF \dots (1)$$

10

【0079】

式(1)より、保持容量Cs3を5fF以上にすることで、ストリーキング量を5mV以下にすることができる。ここで、各トランジスタTr5, Tr6のゲート面積は $5\mu m^2$ である。そのため、保持容量Cs3は、(保持容量Cs1の容量値)/(各トランジスタTr5, Tr6のゲート面積)が、 $1fF / \mu m^2$ 以上となるように構成されるのが好ましい。

【0080】

(液晶表示装置10に設けられた各画素の第1構成例を示す断面模式図)

図9は、液晶表示装置10に設けられた各画素の第1構成例を示す断面模式図である。図9の例では、保持容量Cs3として、配線間に形成されたMIM容量が用いられている。

20

【0081】

図9に示すように、液晶表示装置10に設けられた各画素では、図示しない半導体基板上にウェル101が形成されている。ウェル101上にはトランジスタTr3~Tr6が形成されている。また、ウェル101上には、図示しないトランジスタTr1, Tr2, Tr7, Tr8も形成されている。

【0082】

より具体的には、ウェル101上には、トランジスタTr5, Tr6のそれぞれのドレインとなる共通拡散層(拡散電極)、トランジスタTr5, Tr3のそれぞれのソースとなる共通拡散層、トランジスタTr6, Tr4のそれぞれのソースとなる共通拡散層、トランジスタTr3のドレインとなる拡散層、及び、トランジスタTr4のドレインとなる拡散層が形成されている。これらの拡散層間に形成されるチャンネル領域上には、各トランジスタのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

30

【0083】

トランジスタTr1~Tr8の上方には、層間絶縁膜105をメタル間に介在させて、第1メタル層M1、第2メタル層M2、第3メタル層M3、第4メタル層M4、第5メタル層M5、及び、第6メタル層M6が積層されている。第6メタル層M6は、画素毎に形成される画素駆動電極PEを構成している。

【0084】

トランジスタTr3のドレインとなる拡散層は、コンタクト118及び第1メタル層M1を介して、接地電圧ラインVssに接続されている。トランジスタTr4のドレインとなる拡散層は、コンタクト118及び第1メタル層M1を介して、接地電圧ラインVssに接続されている。

40

【0085】

トランジスタTr5, Tr6の各ドレインを構成する共通拡散層は、コンタクト118、第1メタル層M1、スルーホール119a、第2メタル層M2、スルーホール119b、第3メタル層M3、スルーホール119c、第5メタル層M5、及び、スルーホール119dを介して、画素駆動電極PEを構成する第6メタル層M6に電氣的に接続されている。

【0086】

50

画素駆動電極 P E (第 6 メタル層 M 6) の上方には、画素駆動電極 P E と離間対向配置されるようにして、透明電極である共通電極 C E が設けられている。画素駆動電極 P E と共通電極 C E との間には、液晶 L C M が充填封入されている。画素駆動電極 P E、共通電極 C E、及び、液晶 L C M によって、液晶表示素子 L C が構成される。

【 0 0 8 7 】

第 3 メタル層 M 3、第 4 メタル層 M 4、及び、それらの間の層間絶縁膜 1 0 5 の組み合わせによって、保持容量 C s 1、C s 2 及び図示しない保持容量 C s 3 が構成されている。保持容量 C s 3 は、スルーホール 1 1 9 c、第 5 メタル層 M 5、及び、スルーホール 1 1 9 d を介して、画素駆動電極 P E (第 6 メタル層 M 6) に接続されている。

【 0 0 8 8 】

また、第 1 ~ 第 5 メタル層 M 1 ~ M 5 の各上面及び下面、及び、第 6 メタル層 M 6 の下面には、反射防止膜が形成されている。この反射防止膜は、T i、T i N 等の金属材料により形成されており、メタル層の一部として機能している。反射防止膜は、画素駆動電極 P E の間隙から照射された光を吸収しながら、吸収しきれなかった光を反射させる。したがって、反射防止膜は、反射を繰り返して反射光の光路長が長くなるほど反射光が減衰するような構造になっている。

【 0 0 8 9 】

図示しない光源からの光は、共通電極 C E 及び液晶 L C M を透過して画素駆動電極 P E (第 6 メタル層 M 6) に入射して反射され、元の入射経路を逆進して共通電極 C E を通して出射される。

【 0 0 9 0 】

ここで、画素の正極側の回路部分と画素の負極側の回路部分とは線対称となるように配置されている。換言すると、画素の正極側の回路部分と画素の負極側の回路部分とはミラー反転するようにレイアウト配置されている。図 9 の例では、画素の正極側の回路部分とは、トランジスタ T r 1、T r 3、T r 5、T r 7、保持容量 C s 1 及びデータ線 D i + のことである。画素の負極側の回路部分とは、トランジスタ T r 2、T r 4、T r 6、T r 8、保持容量 C s 2 及びデータ線 D i - のことである。ただし、トランジスタ T r 1 ~ T r 8 は、半導体基板のウェル 1 0 1 上に形成され、それ以外の回路及び配線は、第 1 ~ 第 6 メタル層 M 1 ~ M 6 に形成されている。

【 0 0 9 1 】

(液晶表示装置 1 0 に設けられた各画素の第 1 構成例を示す平面レイアウト図)

図 1 0 は、図 9 に示す画素の平面レイアウト図である。図 9 の断面模式図は、図 1 0 の A - A ' 断面を示したものである。図 1 0 の例では、第 3 メタル層 M 3 及び第 4 メタル層 M 4 のレイアウト構成が示されている。なお、便宜上、層間絶縁膜 1 0 5 は省略されており、第 4 メタル層 M 4 の下側に配置された第 3 メタル層 M 3 も図示されている。

【 0 0 9 2 】

図 1 0 に示すように、第 3 メタル層 M 3 及び第 4 メタル層において形成された構成要素及び配線は、画素の正極側の回路部分と画素の負極側回路部分との境界線を対象軸にして線対称となるように配置されている。

【 0 0 9 3 】

具体的には、第 4 メタル層 M 4 には、画素の正極側の回路部分(紙面の左側)において、保持容量 C s 1 用電極及びその接続配線が形成され、画素の負極側の回路部分(紙面の右側)において、保持容量 C s 2 用電極及びその接続配線が形成されている。また、画素の正極側及び負極側に跨って保持容量 C s 3 用電極が配置されている。さらに、画素の正極側の回路部分と画素の負極側の回路部分との境界線上には、画素駆動電極 P E への接続配線、電源電圧ライン V d d が配置されている。

【 0 0 9 4 】

第 3 メタル層 M 3 には、表面全体にわたって接地電圧ライン V s s が配置されている。この接地電圧ライン V s s は、各画素の中央部分に開口部を有する。第 4 メタル層 M 4 に配置された保持容量 C s 1 用電極は、層間絶縁膜 1 0 5 を挟んで、第 3 メタル層 M 3 にお

10

20

30

40

50

いて対向配置された領域の接地電圧ライン V_{ss} とともに、保持容量 C_{s1} を構成する。第4メタル層 M_4 に配置された保持容量 C_{s2} 用電極は、層間絶縁膜 105 を挟んで、第3メタル層 M_3 において対向配置された領域の接地電圧ライン V_{ss} とともに、保持容量 C_{s2} を構成する。第4メタル層 M_4 に配置された保持容量 C_{s3} 用電極は、層間絶縁膜 105 を挟んで、第3メタル層 M_3 において対向配置された領域の接地電圧ライン V_{ss} とともに、保持容量 C_{s3} を構成する。

【0095】

なお、第3メタル層 M_3 と第4メタル層 M_4 との間の層間絶縁膜 105 の膜厚は、例えば 100 nm 程度で形成されており、保持容量 C_{s1} 、 C_{s2} 、 C_{s3} の容量値を大きくすることができるようになっている。

【0096】

第4メタル層 M_4 の上部には図示しない第5メタル層 M_5 が配置されており、第5メタル層 M_5 は、第4メタル層 M_4 において形成された C_{s1} 用接続配線及び保持容量 C_{s1} 用電極に接続され、第4メタル層 M_4 において形成された C_{s2} 用接続配線及び保持容量 C_{s2} 用電極に接続され、かつ、第4メタル層 M_4 において形成された PE 用接続配線及び保持容量 C_{s3} 用電極に接続されている。さらに、保持容量 C_{s3} 用電極は、図示されていない第6メタル層 M_6 において形成された画素駆動電極 PE に接続されている。

【0097】

図11は、図9に示す各画素を別の方向から見た断面模式図である。図11の断面模式図は、図10の $B-B'$ 断面図を示したものである。図11を参照すると、第3メタル層 M_3 と第4メタル層 M_4 とそれらの間に設けられた層間絶縁膜 105 とにより、保持容量 C_{s3} が構成されている。図11に示すその他の構成要素については、基本的には図9に示す構成要素と同様であるため、その説明を省略する。

【0098】

(液晶表示装置 10 に設けられた各画素の第2構成例を示す断面模式図)

図12は、液晶表示装置 10 に設けられた各画素の第2構成例を示す断面模式図である。図12の例では、保持容量 C_{s3} として、基板上に形成された拡散電極 - ポリシリコン層間に形成された容量が用いられている。

【0099】

図12に示すように、液晶表示装置 10 に設けられた各画素では、図示しない半導体基板上にウェル 101 が形成されている。ウェル 101 上にはトランジスタ $Tr_3 \sim Tr_6$ が形成されている。また、ウェル 101 上には、図示しないトランジスタ Tr_1, Tr_2, Tr_7, Tr_8 も形成されている。

【0100】

より具体的には、ウェル 101 上には、トランジスタ Tr_5, Tr_6 のそれぞれのドレインとなる共通拡散層、トランジスタ Tr_5, Tr_3 のそれぞれのソースとなる共通拡散層、トランジスタ Tr_6, Tr_4 のそれぞれのソースとなる共通拡散層、トランジスタ Tr_3 のドレインとなる拡散層、及び、トランジスタ Tr_4 のドレインとなる拡散層が形成されている。これらの拡散層間に形成されるチャンネル領域上には、各トランジスタのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

【0101】

トランジスタ $Tr_1 \sim Tr_8$ の上方には、層間絶縁膜 105 をメタル間に介在させて、第1メタル層 M_1 、第2メタル層 M_2 、第3メタル層 M_3 、第4メタル層 M_4 、第5メタル層 M_5 、及び、第6メタル層 M_6 が積層されている。第6メタル層 M_6 は、画素毎に形成される画素駆動電極 PE を構成している。

【0102】

トランジスタ Tr_3 のドレインとなる拡散層は、コンタクト 118 及び第1メタル層 M_1 を介して、接地電圧ライン V_{ss} に接続されている。トランジスタ Tr_4 のドレインとなる拡散層は、コンタクト 118 及び第1メタル層 M_1 を介して、接地電圧ライン V_{ss} に接続されている。

10

20

30

40

50

【0103】

トランジスタTr5, Tr6の各ドレインを構成する共通拡散層は、コンタクト118、第1メタル層M1、スルーホール119a、第2メタル層M2、スルーホール119b、第3メタル層M3、スルーホール119c、第5メタル層M5、及び、スルーホール119dを介して、画素駆動電極PEを構成する第6メタル層M6に電氣的に接続されている。

【0104】

画素駆動電極PE(第6メタル層M6)の上方には、画素駆動電極PEと離間対向配置されるようにして、透明電極である共通電極CEが設けられている。画素駆動電極PEと共通電極CEとの間には、液晶LCMが充填封入されている。画素駆動電極PE、共通電極CE、及び、液晶LCMによって、液晶表示素子LCが構成される。

10

【0105】

第3メタル層M3、第4メタル層M4、及び、それらの間の層間絶縁膜105の組み合わせによって、保持容量Cs1, Cs2が構成されている。

【0106】

ウェル101に形成された拡散電極(GND電極)とポリシリコンとによって、保持容量Cs3が構成されている。保持容量Cs3は、コンタクト118、第1メタル層M1、スルーホール119a、第2メタル層M2、スルーホール119b、第3メタル層M3、スルーホール119c、第4メタル層M4、及び、スルーホール119dを介して、画素駆動電極PE(第6メタル層M6)に接続されている。

20

【0107】

基板上に形成された拡散電極-ポリシリコン層間に形成される容量は、電極間の絶縁膜として薄いゲート酸化膜を用いるため、配線間に形成されるMIM容量の場合と比較して、単位面積当たりの容量値を大きくすることができる。即ち、基板上に形成された拡散電極-ポリシリコン層間に形成される容量は、MIM容量よりも小型化が可能である。

【0108】

また、第1~第5メタル層M1~M5の各上面及び下面、及び、第6メタル層M6の下面には、反射防止膜が形成されている。この反射防止膜は、Ti、TiN等の金属材料により形成されており、メタル層の一部として機能している。反射防止膜は、画素駆動電極PEの間隙から照射された光を吸収しながら、吸収しきれなかった光を反射させる。したがって、反射防止膜は、反射を繰り返して反射光の光路長が長くなるほど反射光が減衰するような構造になっている。

30

【0109】

図示しない光源からの光は、共通電極CE及び液晶LCMを透過して画素駆動電極PE(第6メタル層M6)に入射して反射され、元の入射経路を逆進して共通電極CEを通して出射される。

【0110】

ここで、画素の正極側の回路部分と画素の負極側の回路部分とは線対称となるように配置されている。換言すると、画素の正極側の回路部分と画素の負極側の回路部分とはミラー反転するようにレイアウト配置されている。図12の例では、画素の正極側の回路部分とは、トランジスタTr1, Tr3, Tr5, Tr7、保持容量Cs1及びデータ線Di+のことである。画素の負極側の回路部分とは、トランジスタTr2, Tr4, Tr6, Tr8、保持容量Cs2及びデータ線Di-のことである。ただし、トランジスタTr1~Tr8は、半導体基板のウェル101上に形成され、それ以外の回路及び配線は、第1~第6メタル層M1~M6に形成されている。

40

【0111】

(液晶表示装置10に設けられた各画素の第3構成例を示す断面模式図)

図13は、液晶表示装置10に設けられた各画素の第3構成例を示す断面模式図である。図13の例では、保持容量Cs3として、2層のポリシリコン層間に形成されたPIP容量が用いられている。

50

【0112】

図13に示すように、液晶表示装置10に設けられた各画素では、図示しない半導体基板上にウェル101が形成されている。ウェル101上にはトランジスタTr3~Tr6が形成されている。また、ウェル101上には、図示しないトランジスタTr1, Tr2, Tr7, Tr8も形成されている。

【0113】

より具体的には、ウェル101上には、トランジスタTr5, Tr6のそれぞれのドレインとなる共通拡散層、トランジスタTr5, Tr3のそれぞれのソースとなる共通拡散層、トランジスタTr6, Tr4のそれぞれのソースとなる共通拡散層、トランジスタTr3のドレインとなる拡散層、及び、トランジスタTr4のドレインとなる拡散層が形成されている。これらの拡散層間に形成されるチャンネル領域上には、各トランジスタのゲートとなるポリシリコンがゲート酸化膜を介して形成されている。

10

【0114】

トランジスタTr1~Tr8の上方には、層間絶縁膜105をメタル間に介在させて、第1メタル層M1、第2メタル層M2、第3メタル層M3、第4メタル層M4、第5メタル層M5、及び、第6メタル層M6が積層されている。第6メタル層M6は、画素毎に形成される画素駆動電極PEを構成している。

【0115】

トランジスタTr3のドレインとなる拡散層は、コンタクト118及び第1メタル層M1を介して、接地電圧ラインVssに接続されている。トランジスタTr4のドレインとなる拡散層は、コンタクト118及び第1メタル層M1を介して、接地電圧ラインVssに接続されている。

20

【0116】

トランジスタTr5, Tr6の各ドレインを構成する共通拡散層は、コンタクト118、第1メタル層M1、スルーホール119a、第2メタル層M2、スルーホール119b、第3メタル層M3、スルーホール119c、第5メタル層M5、及び、スルーホール119dを介して、画素駆動電極PEを構成する第6メタル層M6に電氣的に接続されている。

【0117】

画素駆動電極PE(第6メタル層M6)の上方には、画素駆動電極PEと離間対向配置されるようにして、透明電極である共通電極CEが設けられている。画素駆動電極PEと共通電極CEとの間には、液晶LCMが充填封入されている。画素駆動電極PE、共通電極CE、及び、液晶LCMによって、液晶表示素子LCが構成される。

30

【0118】

第3メタル層M3、第4メタル層M4、及び、それらの間の層間絶縁膜105の組み合わせによって、保持容量Cs1, Cs2が構成されている。

【0119】

ウェル101に形成された分離酸化膜上には2層のポリシリコン(GND電極及びCs3用電極)が形成されている。これら2層のポリシリコンによって、保持容量Cs3が構成されている。保持容量Cs3は、コンタクト118、第1メタル層M1、スルーホール119a、第2メタル層M2、スルーホール119b、第3メタル層M3、スルーホール119c、第4メタル層M4、及び、スルーホール119dを介して、画素駆動電極PE(第6メタル層M6)に接続されている。

40

【0120】

2層のポリシリコン層間に形成されるPIP容量は、電極間の絶縁膜として、欠陥の少ない薄い高温成膜の酸化膜を用いることができるため、配線間に形成されるMIM容量の場合と比較して、単位面積当たりの容量値を大きくすることができる。即ち、PIP容量は、MIM容量よりも小型化が可能である。

【0121】

また、第1~第5メタル層M1~M5の各上面及び下面、及び、第6メタル層M6の下

50

面には、反射防止膜が形成されている。この反射防止膜は、Ti、TiN等の金属材料により形成されており、メタル層の一部として機能している。反射防止膜は、画素駆動電極PEの間隙から照射された光を吸収しながら、吸収しきれなかった光を反射させる。したがって、反射防止膜は、反射を繰り返して反射光の光路長が長くなるほど反射光が減衰するような構造になっている。

【0122】

図示しない光源からの光は、共通電極CE及び液晶LCMを透過して画素駆動電極PE（第6メタル層M6）に入射して反射され、元の入射経路を逆進して共通電極CEを通して出射される。

【0123】

ここで、画素の正極側の回路部分と画素の負極側の回路部分とは線対称となるように配置されている。換言すると、画素の正極側の回路部分と画素の負極側の回路部分とはミラー反転するようにレイアウト配置されている。図13の例では、画素の正極側の回路部分とは、トランジスタTr1, Tr3, Tr5, Tr7、保持容量Cs1及びデータ線Di+のことである。画素の負極側の回路部分とは、トランジスタTr2, Tr4, Tr6, Tr8、保持容量Cs2及びデータ線Di-のことである。ただし、トランジスタTr1~Tr8は、半導体基板のウェル101上に形成され、それ以外の回路及び配線は、第1~第6メタル層M1~M6に形成されている。

【0124】

以上のように、本実施の形態にかかる液晶表示装置は、各画素において、画素駆動電極PEに印加される電圧を保持する保持容量をさらに備える。それにより、本実施の形態にかかる液晶表示装置は、各画素において、チャージインジェクションの発生により画素駆動電極PEに向けて放出された電荷を吸収して、ストリーキングの発生を抑制することができるため、映像の品質を向上させることが可能となる。

【符号の説明】

【0125】

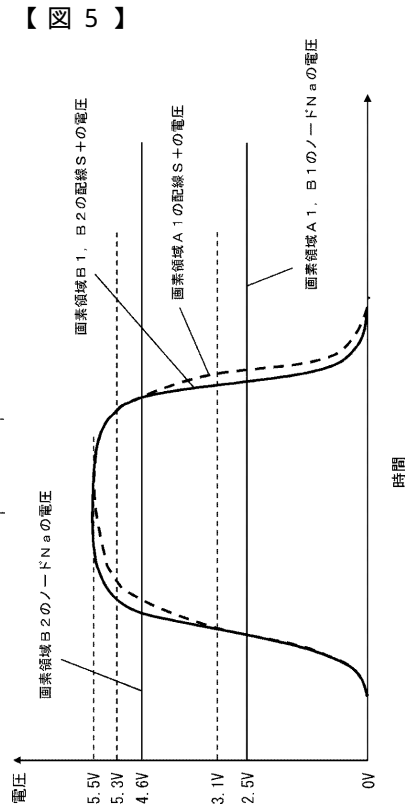
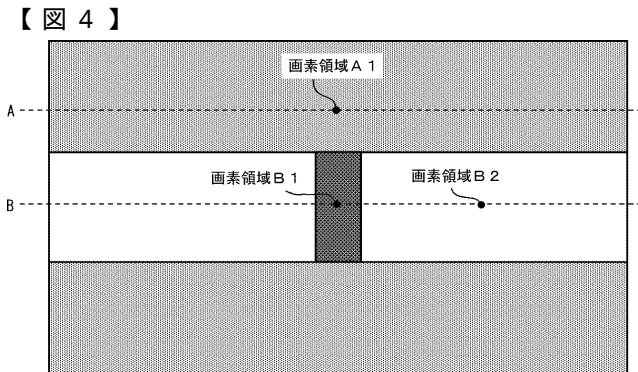
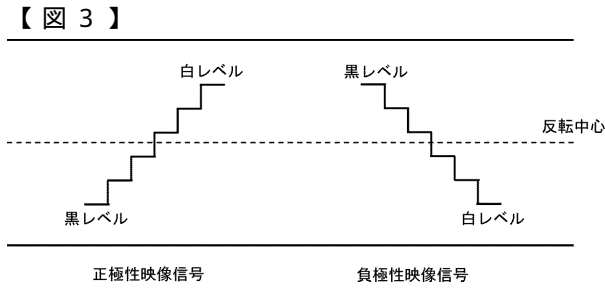
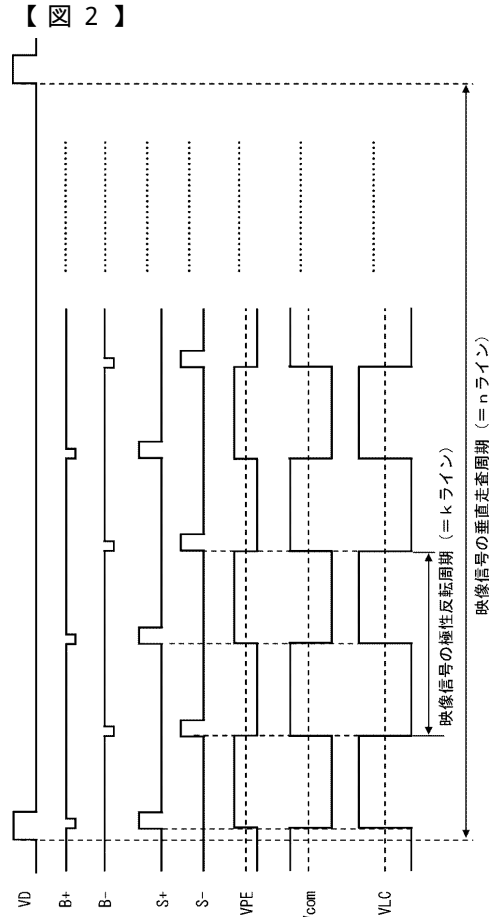
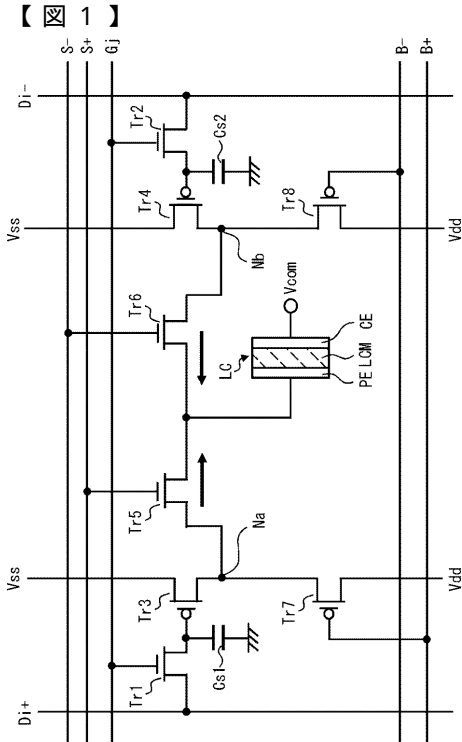
- 10 液晶表示装置
- 20 液晶表示装置
- CE 共通電極
- Cs1 保持容量
- Cs2 保持容量
- Cs3 保持容量
- LC 液晶表示素子
- LCM 液晶
- M1 第1メタル層
- M2 第2メタル層
- M3 第3メタル層
- M4 第4メタル層
- M5 第5メタル層
- M6 第6メタル層
- Na ノード
- Nb ノード
- PE 画素駆動電極
- Tr1~Tr8 トランジスタ
- 101 ウェル
- 105 層間絶縁膜
- 118 コンタクト
- 119a~119d スルーホール

10

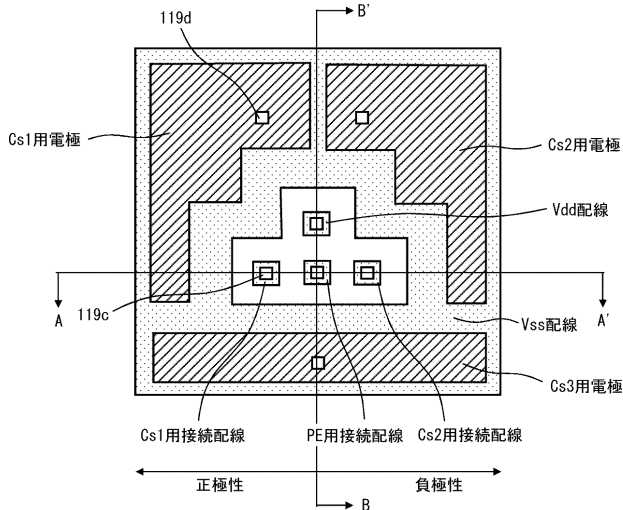
20

30

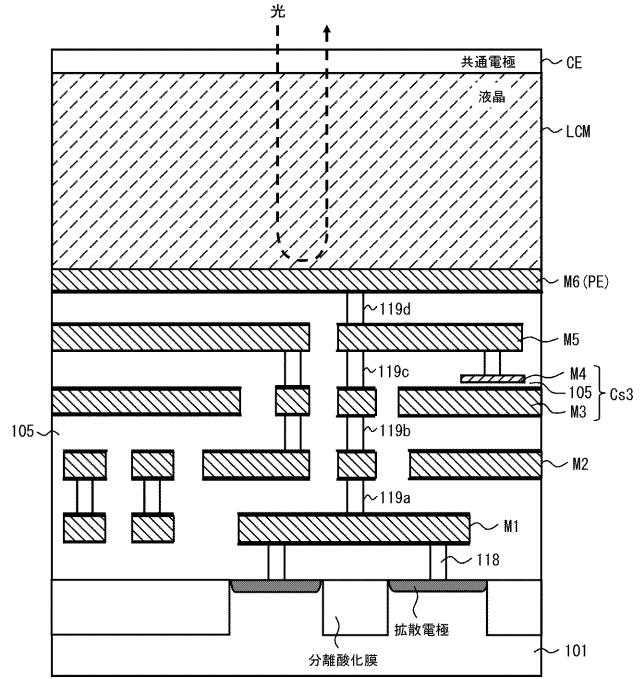
40



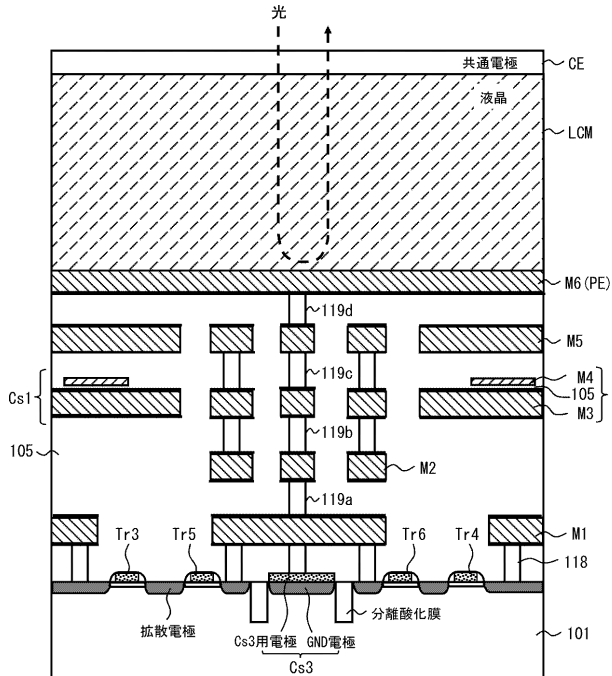
【図10】



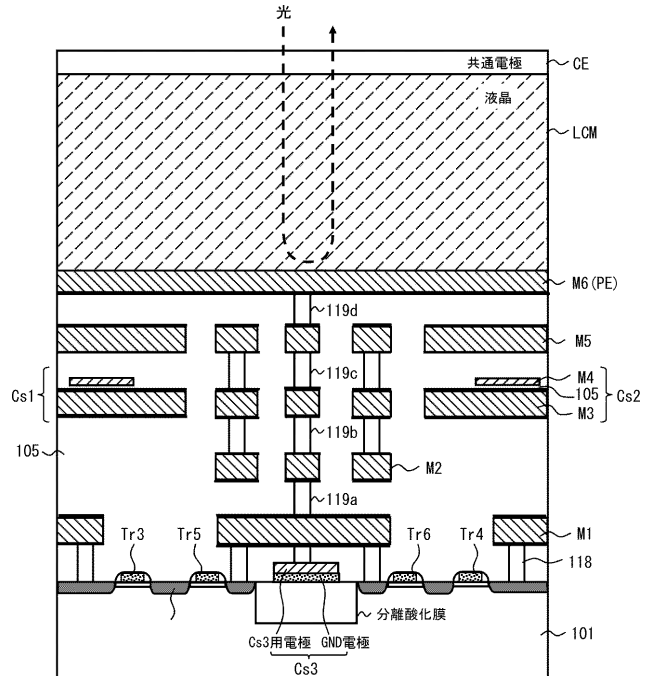
【図11】



【図12】



【図13】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 1 1 D
G 0 2 F	1/133	5 5 0
H 0 1 L	29/78	6 1 4

Fターム(参考) 5C080 AA10 BB05 DD10 DD26 FF11
5F110 CC02 EE09 EE25 GG28 GG29 NN02 NN73

专利名称(译)	液晶表示装置		
公开(公告)号	JP2018159895A	公开(公告)日	2018-10-11
申请号	JP2017058455	申请日	2017-03-24
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	岩佐隆行		
发明人	岩佐 隆行		
IPC分类号	G02F1/1368 G09G3/36 G09G3/20 G02F1/133 H01L29/786		
FI分类号	G02F1/1368 G09G3/36 G09G3/20.624.B G09G3/20.621.B G09G3/20.622.D G09G3/20.611.D G02F1/133.550 H01L29/78.614		
F-TERM分类号	2H192/AA24 2H192/CB22 2H192/CC24 2H192/CC64 2H192/DA01 2H192/DA42 2H192/DA65 2H192/DA81 2H192/GD61 2H193/ZA04 2H193/ZA05 2H193/ZA19 2H193/ZB07 2H193/ZC01 2H193/ZC24 2H193/ZE40 5C006/AC22 5C006/AC26 5C006/BB16 5C006/BC06 5C006/FA25 5C006/FA46 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD10 5C080/DD26 5C080/FF11 5F110/CC02 5F110/EE09 5F110/EE25 5F110/GG28 5F110/GG29 5F110/NN02 5F110/NN73		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种能够提高视频质量的液晶显示装置。根据一个实施例，液晶显示装置包括多个像素，每个像素包括液晶显示元件LC，其中液晶LC密封在像素驱动电极PE和公共电极CE之间用于采样和保持正极性图像信号的第一采样和保持电路，用于采样和保持负极性图像信号的第二采样保持电路，保持在第一采样保持电路中的正极性视频信号保持在第二采样保持电路中的负极性视频信号的极性和电压的周期短于视频信号的垂直扫描周期，并且交替地将电压提供给像素驱动电极PE，并且保持电容器Cs3用于将从开关提供的电压保持到像素驱动电极PE。

