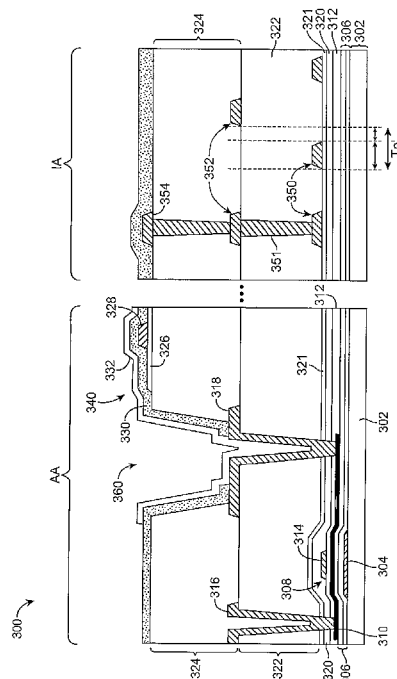




【特許請求の範囲】

【請求項 1】

基板と、
前記基板上に形成された薄膜トランジスタと、
前記薄膜トランジスタ上に形成されたパッシベーション層と、
前記パッシベーション層上に形成された誘電体ライナーと、
前記誘電体ライナー上に形成された導電性引き回し構造体と、
を備えたディスプレイ回路。

【請求項 2】

前記パッシベーション層は、窒化シリコンを含む、請求項 1 に記載のディスプレイ回路 10。

【請求項 3】

前記誘電体ライナーは、エッチング停止材料を含む、請求項 1 に記載のディスプレイ回路。

【請求項 4】

前記誘電体ライナー上で前記導電性引き回し構造体の上に形成された誘電体層を更に含む、請求項 1 に記載のディスプレイ回路。

【請求項 5】

前記誘電体層は、低 k 誘電体材料を含む、請求項 4 に記載のディスプレイ回路。

【請求項 6】

前記誘電体層上に形成された付加的な導電性引き回し構造体を更に備え、前記誘電体ライナー上に形成された導電性引き回し構造体、及び前記誘電体層上に形成された付加的な導電性引き回し構造体は、実質的に同様の抵抗率を示す、請求項 4 に記載のディスプレイ回路。 20

【請求項 7】

前記薄膜トランジスタは、前記導電性引き回し構造体より大きなシート抵抗を示す導電性材料から形成されたゲート構造体を含む、請求項 1 に記載のディスプレイ回路。

【請求項 8】

前記薄膜トランジスタのゲート構造体は、前記パッシベーション層に形成される、請求項 7 に記載のディスプレイ回路。 30

【請求項 9】

ディスプレイ回路を製造する方法において、
基板上に薄膜トランジスタを形成し、
前記薄膜トランジスタ上に低 k 誘電体層を形成し、及び
前記低 k 誘電体層に導電性引き回し経路を形成する、
ことを含む方法。

【請求項 10】

前記薄膜トランジスタ上にパッシベーション層を形成することを更に含み、そのパッシベーション層は、前記薄膜トランジスタと前記低 k 誘電体層との間に介在される、請求項 9 に記載の方法。 40

【請求項 11】

前記パッシベーション層と低 k 誘電体層との間に介在する酸化物ライナーを形成することを更に含み、その酸化物ライナー上に導電性引き回し経路を形成する、請求項 10 に記載の方法。

【請求項 12】

前記低 k 誘電体層上に別の誘電体層を形成し、及び
前記別の誘電体層上にディスプレイ回路のための共通電極を形成する、
ことを更に含む、請求項 9 に記載の方法。

【請求項 13】

前記低 k 誘電体層上に付加的な導電性引き回し経路を形成することを更に含み、前記導 50

電性引き回し経路及び前記付加的な導電性引き回し経路は、前記低 k 誘電体層を通して形成されたビアを使用して並列に短絡される、請求項 9 に記載の方法。

【請求項 14】

前記低 k 誘電体層上に付加的な導電性引き回し経路を形成することを更に含み、前記導電性引き回し経路及び前記付加的な導電性引き回し経路は、配線ピッチを減少するようにインターレースされる、請求項 9 に記載の方法。

【請求項 15】

前記低 k 誘電体層上に別の誘電体層を形成し、及び
前記別の誘電体層上に蓄積キャパシタを形成する、
ことを更に含む請求項 9 に記載の方法。

10

【請求項 16】

基板と、
前記基板上に形成された薄膜トランジスタと、
を備え、前記薄膜トランジスタは、
前記基板上に形成されたソース/ドレイン構造体、
前記ソース/ドレイン構造体上に形成された第 1 ゲート構造体、及び
前記第 1 ゲート構造体上に形成された第 2 ゲート構造体、
を含む電子装置ディスプレイ構造体。

【請求項 17】

前記第 1 ゲート構造体は、第 1 材料から形成され、そして前記第 2 ゲート構造体は、前記第 1 材料とは異なる第 2 材料から形成される、請求項 16 に記載の電子装置ディスプレイ構造体。

20

【請求項 18】

前記第 1 材料は、前記第 2 材料より大きなシート抵抗を示す、請求項 17 に記載の電子装置ディスプレイ構造体。

【請求項 19】

前記第 1 ゲート構造体上に形成されたパッシベーション層、及び
前記パッシベーション層上に形成された誘電体ライナー、
を更に備え、前記誘電体ライナー上に前記第 2 ゲート構造体が形成される、請求項 16 に記載の電子装置ディスプレイ構造体。

30

【請求項 20】

前記第 1 ゲート構造体に結合された第 1 ゲート線、及び
前記第 2 ゲート構造体に結合された第 2 ゲート線、
を備え、前記第 1 ゲート線は、前記第 2 ゲート線に直交する、請求項 16 に記載の電子装置ディスプレイ構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的に、電子装置に関するもので、より特定すれば、ディスプレイを伴う電子装置に関する。

40

【0002】

(関連出願の相互参照)

本出願は、2014 年 1 月 8 日出願された米国特許出願第 14 / 150 , 458 号の優先権を主張するもので、該出願は、参考としてここにそのまま援用される。

【背景技術】

【0003】

近年、移動電子装置は、その携帯性、多様性及び使用し易さから、非常にポピュラーなものとなってきた。スマートホンや、ポータブル音楽/ビデオプレーヤや、タブレットパーソナルコンピュータ (PC) のような多数の異なる形式の移動電子装置が、現在、市場で入手できるが、それらのほとんどは、幾つかの基本的なコンポーネントを共有して

50

いる。特に、タッチセンサパネル、タッチスクリーン、等は、種々の移動電子装置の入力装置として入手できる。特に、タッチスクリーンは、動作し易さ及び多様性から益々ポピュラーなものとなってきた。タッチスクリーンは、タッチ感知面をもつ透明のパネルであるタッチセンサパネルと；そのタッチセンサパネルの後方に一部分又は完全に配置されるLCDパネル又はOLEDパネルのようなディスプレイ装置であって、タッチ感知面がディスプレイ装置のビューエリアの少なくとも一部分をカバーするようなディスプレイ装置と；を備えている。

【0004】

典型的な移動電子装置のサイズがラップトップ又はデスクトップコンピュータに比して比較的小さいとすれば、移動電子装置の表示エリアを最大にすることがしばしば要望される。タッチスクリーンを伴う装置では、表示エリアを増大することで、より大きなタッチアクティブエリアにすることができる。典型的に、移動電子装置のディスプレイ/タッチアクティブエリアは、インアクティブなボーダーエリアによって一部分又は完全に包囲される。このボーダーエリアは、多くの場合、ディスプレイ及び/又はタッチセンサパネルから装置の回路へ信号を引き回すために予約される。あるタッチベース装置のボーダーエリアは、ディスプレイ/タッチアクティブエリアに比して既に比較的小さいが、それでもそのボーダーエリアを更に減少すれば、装置の全体的なサイズを増加せずに、装置のディスプレイ/タッチアクティブエリアに利用できるスペースを最大にする上で役立つ。

【発明の概要】

【発明が解決しようとする課題】

【0005】

それ故、ボーダーエリアを減少した電子ディスプレイを提供できることが望まれる。

【課題を解決するための手段】

【0006】

液晶ディスプレイを有する電子装置が提供される。液晶ディスプレイは、ガラス基板上に形成された表示ピクセル回路を含む。ガラス基板上には薄膜トランジスタ構造体が形成される。この薄膜トランジスタ構造体には、パッシベーション層が形成される（例えば、薄膜トランジスタのゲート導体の頂部には、窒化シリコンパッシベーションライナーが直接形成される）。

【0007】

窒化物パッシベーション層には誘電体ライナー（例えば、薄い酸化シリコン層）が形成される。この誘電体ライナーには第1の低k誘電体層が形成される。この第1の低k誘電体層には第2の低k誘電体層が形成される。第1及び第2の低k誘電体層は、バックライトの透過性を最大にするために実質的に同様の屈折率を有する材料から形成される。

【0008】

ディスプレイは、そのアクティブな領域に行列に配置された表示ピクセルのアレイを含む。アレイ内の各表示ピクセルは、導電性の引き回し経路（routing path）を経て関連コントロール回路に結合される。例えば、各表示ピクセルの各薄膜トランジスタは、ディスプレイドライバへ引き回される対応データ線、ゲートドライバへ引き回される少なくとも1つの対応ゲート線、並びに共通電極（ V_{com} ）ドライバ又は関連タッチセンサ/ドライバへ引き回される V_{com} に結合される。データ及びゲート線を関連ドライバ回路に結合する導電性の引き回し経路は、ディスプレイのインアクティブなボーダー領域に形成される。

【0009】

第1の導電性引き回し経路は、第1の低k誘電体層における誘電体ライナーに形成される。第2の導電性引き回し経路は、第2の低k誘電体層における第1の低k誘電体層に形成される。第2の低k誘電体層には、 V_{com} 電極及びピクセル蓄積キャパシタ回路が形成される。第1及び第2の導電性引き回し経路は、実質的に同様のシート抵抗を示す。パッシベーション層の下に形成されるTFETゲート導体は、第1及び第2の低k誘電体層に各々形成された第1及び第2の導電性引き回し経路より実質的に大きなシート抵抗を示す耐

10

20

30

40

50

高温材料から形成される（例えば、ゲート導電性材料は、第１及び第２の導電性引き回し経路を形成するのに使用される材料の少なくとも２倍の抵抗率を示す）。ある構成において、ピクセルアドレス能力を改善するために、アクティブなディスプレイ領域において第１の低ｋ誘電体層には付加的なＴＦＴゲート導体が形成される。

【００１０】

第１の低ｋ誘電体層に引き回し経路を使用することで、全引き回し抵抗が減少される。これは、巾を減少した引き回し経路を使用できるようにし、ディスプレイの周囲引き回し能力を改善すると共に、インアクティブなボーダーエリアを減少する。又、表示ピクセルアレイの関連する行列コントロール線ドライバを接続する配線のファンアウトピッチを減少する上で役立つように、第１及び第２の導電性引き回し経路をインターレースすることもできる。又、配線のファンアウトピッチを減少することは、インアクティブなボーダー領域を減少する上でも役立ち、アクティブなディスプレイ領域を最大にして、有用性を向上させることもできる。

【００１１】

本発明の更に別の特徴、その性質及び種々の効果は、添付図面及び以下の詳細な説明から明らかとなる。

【図面の簡単な説明】

【００１２】

【図１】本発明の実施形態によるポータブルコンピュータのようなディスプレイを伴う例示的電子装置の図である。

【図２】本発明の実施形態によるセルラー電話又は他のハンドヘルド装置のようなディスプレイを伴う例示的電子装置の図である。

【図３】本発明の実施形態によるタブレットコンピュータのようなディスプレイを伴う例示的電子装置の図である。

【図４】本発明の実施形態によるコンピュータ内蔵のコンピュータモニタのようなディスプレイを伴う例示的電子装置の図である。

【図５】本発明の実施形態によるディスプレイの断面側面図である。

【図６】本発明の実施形態による電子装置ディスプレイを動作するのに使用される回路を示す回路図である。

【図７】本発明の実施形態によるディスプレイにおける例示的表示ピクセルの回路図である。

【図８】本発明の実施形態による図６の例示的ディスプレイ回路の一部分の拡大図である。

【図９】Ｍ２引き回し構造体のみを含む従来 of 表示ピクセル回路の断面側面図である。

【図１０】本発明の実施形態によるＭ１ゲート構造体の上及びＭ２引き回し構造体の下の付加的な引き回し構造体を備えた例示的表示ピクセル回路の断面側面図である。

【図１１】本発明の実施形態によるＭ１ゲート構造体上に形成された付加的なゲート構造体を備えた例示的表示ピクセル回路の断面側面図である。

【図１２】本発明の実施形態による２つのゲート端子を有する例示的表示ピクセルの回路図である。

【図１３】本発明の実施形態による図９及び１０に示すタイプの表示ピクセル構造体を形成するための例示的ステップのフローチャートである。

【発明を実施するための形態】

【００１３】

本発明は、電子装置のディスプレイ／双方向タッチエリアを最大にするために電子装置のボーダーエリアを減少する方法及び回路に関する。より詳細には、従来のＭ１及びＭ２金属引き回し層（metal routing layer）間に付加的な金属引き回し構造体（metal routing structure）を形成することができる。この付加的な金属引き回し構造体は、Ｍ１金属引き回し層に形成される導体よりも実質的に低い抵抗を示す。それ故、付加的な金属引き回し構造体の使用は、引き回し抵抗を減少する上で役立ち、薄い引き回し経路を形成でき

るようにすると共に、M 2 金属引き回し層に形成される引き回し構造体に関連してインターレース型の信号引き回しも可能にする。薄い引き回しワイヤを形成しそして引き回し経路をインターレースする（ワイヤピッチを減少する）ことは、電子装置のボーダーエリアを減少する上で役立つ。

【0014】

ディスプレイが設けられるタイプの例示的な電子装置が図 1 に示されている。電子装置 10 は、コンピュータモニタのようなディスプレイに一体化されたコンピュータのようなコンピュータ、ラップトップコンピュータ、タブレットコンピュータ、若干小型のポータブル装置、例えば、腕時計装置、ペンダント装置、又は他のウェアラブル又はミニアチュア装置、セルラー電話、メディアプレーヤ、タブレットコンピュータ、ゲーム機、ナビゲーション装置、コンピュータモニタ、テレビジョン、又は他の電子装置である。

10

【0015】

図 1 に示すように、装置 10 は、ディスプレイ 14 のようなディスプレイを備えている。ディスプレイ 14 は、容量性タッチ電極又は他のタッチセンサコンポーネントを合体するタッチスクリーンでもよいし、或いはタッチ感知ではないディスプレイでもよい。ディスプレイ 14 は、液晶ディスプレイ（LCD）コンポーネントから形成された画像ピクセル、又は他の適当な表示ピクセル構造体を含む。ディスプレイ 14 が液晶ディスプレイピクセルを使用して形成された構成体をここで一例として時々取り上げる。しかしながら、これは、単なる例示に過ぎない。ディスプレイ 14 を形成するのに、必要に応じて、適当なタイプの表示技術が使用されてもよい。

20

【0016】

装置 10 は、ハウジング 12 のようなハウジングを有する。ケースとも称されるハウジング 12 は、プラスチック、ガラス、セラミック、繊維組成物、金属（例えば、ステンレススチール、アルミニウム、等）、他の適当な材料、或いは 2 つ以上のそれら材料の組み合わせで形成される。

【0017】

ハウジング 12 は、ハウジング 12 のある部分又は全部が単一の構造体として加工又は成形されるユニボディ構成を使用して形成されてもよいし、或いは複数構造体（例えば、内部フレーム構造体、ハウジング外面を形成する 1 つ以上の構造体、等）を使用して形成されてもよい。

30

【0018】

図 1 に示すように、ハウジング 12 は、複数の部分を有する。例えば、ハウジング 12 は、上部 12 A 及び下部 12 B を有する。上部 12 A は、下部 12 B に対して回転軸 16 の周りで回転できるようにヒンジを使用して下部 12 B に結合される。キーボード 18 のようなキーボード及びタッチパッド 20 のようなタッチパッドがハウジング部分 12 B にマウントされる。

【0019】

ディスプレイ 14 は、アクティブエリア A A のようなアクティブエリアと、エリア I A のようなインアクティブエリアとを有する。アクティブエリア A A は、例えば、装置 10 のユーザに画像を表示するために表示ピクセルがアクティブに使用されるディスプレイ 14 の中央の長方形エリアである。インアクティブエリア I A には、アクティブな表示ピクセルがない。図 1 の例では、インアクティブエリア I A は、ディスプレイ 14 のアクティブエリア A A の周囲を取り巻く長方形リングの形状を有する。

40

【0020】

インアクティブエリア I A には、回路及び他のコンポーネントが時々形成される。回路及び他のコンポーネントを装置 10 のユーザによる視界から隠すために、インアクティブエリア I A には、不透明なマスクが時々設けられる。不透明なマスクは、黒い顔料を含むポリマ材料のような不透明な材料で形成されるか、又は他の色の不透明なマスク材料から形成される。ここでは、一例として、ディスプレイ 14 の不透明なマスク材料が黒い見掛けを有する構成を時々取り上げる。しかしながら、これは、例示に過ぎない。装置 10 の

50

不透明なマスク層は、適当な色のものでよい。

【0021】

図2の例では、装置10は、ユーザの手の中に収まるに充分なほど小さいハウジングを使用して具現化される（例えば、図2の装置10は、セルラー電話のようなハンドヘルド電子装置である）。図2に示すように、装置10は、ハウジング12の前面にマウントされたディスプレイ14のようなディスプレイを備えている。ディスプレイ14は、アクティブな表示ピクセルで実質的に埋められるか、或いはアクティブな部分AAのようなアクティブな部分を取り巻くインアクティブな部分IAのようなインアクティブな部分を有する。ディスプレイ14は、ボタン22を受け入れる開口及びスピーカ部分24を受け入れる開口のような開口（例えば、ディスプレイ14のインアクティブ領域IA又はアクティブ領域AAの開口）を有する。

10

【0022】

図3は、電子装置10がタブレットコンピュータの形態で具現化された構成の電子装置10の斜視図である。図3に示すように、ディスプレイ14は、ハウジング12の上面（前面）にマウントされる。ボタン22を受け入れるために（例えば、アクティブ領域AAを取り巻くインアクティブ領域IAにおいて）ディスプレイ14には開口が形成される。

【0023】

図4は、コンピュータモニタへ一体化されたコンピュータの形態で具現化された構成の電子装置10の斜視図である。図4に示すように、ディスプレイ14は、ハウジング12の前面にマウントされる。スタンド26は、ハウジング12を支持するために使用される。ディスプレイ14は、アクティブ領域AAを取り巻くインアクティブ領域IAのようなインアクティブ領域を含む。

20

【0024】

必要に応じて、ディスプレイ14は、アクティブ領域AAの1つ以上の縁に沿ったインアクティブ領域IAのサイズを縮小又は排除するように構成される。インアクティブ領域IAが長方形のアクティブ領域AAの4つの全ての縁に沿って延びる構成は、一例として述べるものである。

【0025】

図1-4のディスプレイ14を形成するのに使用されるタイプのディスプレイの一部分の断面側面図が図5に示されている。図5に示したように、ディスプレイ14は、カラーフィルタ（CF）層28、及び薄膜トランジスタ（TFT）層30を備えている。カラーフィルタ層28は、ディスプレイ基板上に形成されたカラーフィルタ素子のアレイを含む。図5に示すように、カラーフィルタアレイ31は、ディスプレイ14のアクティブ領域AAにおいてカラーフィルタ基板29の内面に形成される。

30

【0026】

カラーフィルタ層28は、黒いマスク材料45のような不透明マスク材料の層も含む。黒いマスク材料45（黒いマスク層又は黒いマトリクス層とも称される）は、カラーフィルタ基板29の内面に形成され、そしてディスプレイ14のアクティブ領域AAを取り巻く不透明な周辺ボーダーを形成する。ディスプレイ14のアクティブ領域AA内には黒いマスク層45'のような不透明なマスク材料も形成される。黒いマスク材料45'は、色の混合を防止するためにアクティブ領域AAにおいて隣接着色ピクセル間に使用される。ディスプレイのアクティブ部分に使用される黒いマスク材料は、黒いマトリクス又は黒いマトリクス層とも称される。典型的な構成では、黒いマトリクス層45'には、アクティブエリアAA全体にわたりカラーフィルタ素子開口が分散されている。各開口には、カラーフィルタ素子（例えば、赤、緑又は青のカラーフィルタ素子）が設けられる。

40

【0027】

液晶（LC）層32は、液晶材料を含み、そしてカラーフィルタ層28と薄膜トランジスタ層30との間に挿入される。薄膜トランジスタ層30は、TFT基板30Bのような誘電体基板に形成されたディスプレイ回路30Aを含む。ディスプレイ回路30Aは、ディスプレイドライバ回路（例えば、1つ以上のディスプレイドライバ集積回路）と、薄膜

50

トランジスタ回路（例えば、ポリシリコントランジスタ回路又はアモルファスシリコントランジスタ回路）と、液晶層 32 に加えられる電界をコントロールするための金属線、キャパシタ、電極と、容量性タッチセンサ電極とを含む。

【0028】

ディスプレイ基板 29 及び 30B に使用される適当な材料は、平面ガラス基板、プラスチック基板、又は他の適当な基板材料のシートを含む。

【0029】

ディスプレイ 14 は、上部及び下部の偏光層 39 及び 40 を有する。バックライトユニット 41 は、ディスプレイ 14 のための裏側照明を与える。バックライト 41 は、発光ダイオードのストリップのような光源を含む。又、バックライト 41 は、光ガイドプレート及び背面反射器も含む。背面反射器は、光が漏れるのを防止するために光ガイドパネルの下面に配置される。光源からの光は、光ガイドパネルの縁へ注入され、そしてディスプレイ 14 を通過する方向 43 に上方へ散乱する。

10

【0030】

図 5 に示すディスプレイ 14 の層をカバーし且つ保護するために、カバーガラスの層のような任意のカバー層が使用される。ディスプレイ 14 に含まれる他の層は、光学的な膜層（例えば、1/4 波長プレート、半波長プレート、拡散膜、光学的接着剤、及び複屈折補償層）、シールド層（例えば、電界がディスプレイの動作を妨げるのを防止する）、ヒートシンク層（例えば、ディスプレイから熱を運び去る）、及び他の適当なディスプレイ層を含む。

20

【0031】

ディスプレイ 14 の層の 1 つ以上にタッチセンサ構造体が合体される。典型的なタッチセンサ構成では、インジウムスズ酸化物のような透明な導電性材料のパッド及び/又はストリップを使用して容量性タッチセンサ電極のアレイが具現化される。必要に応じて、他のタッチ技術が使用されてもよい（例えば、抵抗性タッチ、音響タッチ、光学的タッチ、等）。インジウムスズ酸化物又は他の透明な導電性材料又は非透明導体は、ディスプレイ 14 に信号線（例えば、データ、電力、コントロール信号、等を搬送する構造体）を形成するのに使用される。タッチセンサ構造体及び回路は、TFT 基板 30B 上にディスプレイ回路 30A と共に含まれる。

【0032】

白黒ディスプレイでは、カラーフィルタ層 28 が省略される。カラーディスプレイでは、カラーフィルタ層 28 を使用して、画像ピクセルのアレイに着色することができる。各画像ピクセルは、例えば、3 つの対応するサブピクセルを有する。各サブピクセルは、カラーフィルタアレイ 31 の個別のカラーフィルタ素子に関連付けられる。カラーフィルタ素子は、例えば、赤（R）のカラーフィルタ素子、青（B）のカラーフィルタ素子、及び緑（G）のカラーフィルタ素子を含む。これらの素子は、行列に配置される。例えば、カラーフィルタ素子は、ディスプレイ 14 の巾を横切ってストライプに（例えば、RGB パターン又は BRG パターンのような繰り返しパターンで）配置され、各列のカラーフィルタ素子が同じになるようにする（即ち、各列が全て赤の素子、全て青の素子、又は全て緑の素子を含むように）。各サブピクセルの光透過量をコントロールすることにより、望ましい色の画像を表示することができる。

30

40

【0033】

各サブピクセルを透過する光の量は、ディスプレイのコントロール回路及び電極を使用してコントロールすることができる。各サブピクセルは、例えば、透明なインジウムスズ酸化物電極が設けられる。液晶層の関連部分を通る電界をコントロールし、従って、サブピクセルの光透過量をコントロールするサブピクセル電極の信号は、薄膜トランジスタを使用して印加される。薄膜トランジスタは、データ線からデータ信号を受信し、そしてそれに関連するゲート線により返送されるときに、その薄膜トランジスタに関連した電極にデータ線信号を印加する。

【0034】

50

必要に応じて、電子装置 10 及びディスプレイ 14 には他の構成も使用される。図 1 - 5 の例は、単なる例示に過ぎない。

【0035】

ディスプレイ 14 及び装置 10 に使用されるタイプの回路を示す図が、図 6 に示されている。図 6 に示すように、ディスプレイ 14 は、入力 / 出力回路 102 及びコントロール回路 104 のような装置コンポーネント 100 に結合される。入力 / 出力回路 102 は、装置入力を受け取るためのコンポーネントを含む。例えば、入力 / 出力回路 102 は、オーディオ入力を受け取るためのマイクロホン、キーボード、キーパッド、或いは入力（例えば、ユーザからのキー押圧入力又はボタン押圧入力）を受け取るための他のボタン又はスイッチ、入力を収集するためのセンサ、例えば、加速度計、コンパス、光センサ、接近センサ、タッチセンサ（例えば、ディスプレイ 14 に関連したタッチセンサ又は個別のタッチセンサ）、或いは他の入力装置を含む。又、入力 / 出力回路 102 は、出力を供給するためのコンポーネントも含む。出力回路は、スピーカのようなコンポーネント、発光ダイオード、又は光出力を発生する他の発光装置、パイブレタ、及び出力を供給するための他のコンポーネントを含む。回路 102 の入力 / 出力ポートは、アナログ及び / 又はデジタル入力信号を受信するのに使用されると共に、アナログ及び / 又はデジタル出力信号を出力するのに使用される。回路 102 に使用される入力 / 出力ポートは、例えば、オーディオポート、デジタルデータポート、30 ピンコネクタ、9 ピンコネクタ、可逆コネクタに関連したポート、及びユニバーサルシリアルバスコネクタ及び他のデジタルデータコネクタに関連したポートを含む。

10

20

【0036】

コントロール回路 104 は、装置 10 の動作をコントロールするのに使用される。コントロール回路 104 は、揮発性及び不揮発性メモリ回路のようなストレージ回路、ソリッドステートドライブ、ハードドライブ、並びに他のメモリ及びストレージ回路を含む。コントロール回路 104 は、マイクロプロセッサ又は他のプロセッサにおける処理回路のような処理回路も含む。コントロール回路 104 を実施するのに 1 つ以上の集積回路が使用される。コントロール回路 104 に含まれる集積回路は、例えば、マイクロプロセッサ、デジタル信号プロセッサ、電力管理ユニット、基本帯域プロセッサ、マイクロコントローラ、特定用途向け集積回路、オーディオ及び / 又はビジュアル情報をハンドリングする回路、及び他のコントロール回路を含む。

30

【0037】

コントロール回路 104 は、装置 10 のソフトウェアを実行するのに使用される。例えば、コントロール回路 104 は、ディスプレイ 14 における画像（例えば、テキスト、ピクチャー、ビデオ、等）の表示に関連してコードを実行するように構成される。

【0038】

ディスプレイ 14 は、ピクセルアレイ 122 のようなピクセルアレイを備えている。ピクセルアレイ 122 は、ディスプレイドライバ回路 118 のようなディスプレイドライバ回路により発生されたコントロール信号を使用してコントロールされる。ディスプレイドライバ回路 118 は、1 つ以上の集積回路（IC）を使用して実施され、時々、ドライバ IC、ディスプレイドライバ集積回路、又はディスプレイドライバと称される。ピクセルアレイ 122 は、ガラス層のような基板上の薄膜トランジスタ回路から形成される。ガラス層は、時々、薄膜トランジスタ層又は薄膜トランジスタ基板層と称される。回路 118 のためのディスプレイドライバ集積回路は、薄膜トランジスタ基板の縁にマウントされる（一例として）。

40

【0039】

装置 10 の動作中に、コントロール回路 104 は、ディスプレイドライバ回路 118 にデータを与える。例えば、コントロール回路 104 は、経路 108 のような経路を使用して、ディスプレイ 14 に表示されるべきテキスト、グラフィック、ビデオ、又は他の画像に対応するデジタルデータをディスプレイドライバ回路 118 に供給する。ディスプレイドライバ回路 118 は、経路 108 に受信されるデータを、ピクセルアレイ 122 のピク

50

セルをコントロールするための信号に変換する。ピクセルアレイ 122 のピクセルをコントロールするための信号は、経路 119 のような経路を使用してゲートドライバ回路 116 のようなゲートドライバ回路に送られる。

【0040】

ピクセルアレイ 122 は、アクティブなディスプレイ領域 120（ディスプレイ 14 のアクティブ領域とも称される）を総体的に形成する表示ピクセル 110 の行及び列を含む。ゲートドライバ回路 116 及びドライバ回路 118 は、アクティブなディスプレイ領域 120 を取り巻くインアクティブなボーダー領域に配置される。ピクセルアレイ 122 の回路は、データ線 112 のデータ線信号及びゲート線 114 のゲート線信号のような信号を使用してコントロールされる。

10

【0041】

ピクセルアレイ 122 のピクセル 40 は、ディスプレイ 14 の液晶材料にまたがって電界を発生するためのポリシリコントランジスタ回路、アモルファスシリコントランジスタ回路、又は酸化物ベースのトランジスタ回路（例えば、InGaZnO トランジスタ）、及びその関連構造体のような薄膜トランジスタ回路を含む。ピクセル 40 を形成するのに使用される薄膜トランジスタ構造体は、基板（薄膜トランジスタ層又は薄膜トランジスタ基板とも称される）に配置される。薄膜トランジスタ（TFT）層は、平面ガラス基板、プラスチック基板、又は他の適当な基板材料のシートから形成される。

【0042】

ゲートドライバ回路 116 は、ゲート線 114 にゲート信号を発生するのに使用される。ゲートドライバ回路 116 のような回路は、薄膜トランジスタ層上の薄膜トランジスタから（例えば、ポリシリコントランジスタ回路、アモルファスシリコントランジスタ回路、又は InGaZnO トランジスタのような酸化物ベースのトランジスタ回路から）形成される。例えば、表示ピクセル 110 の薄膜トランジスタが InGaZnO トランジスタから形成される場合には、ゲートドライバ回路 116 の薄膜トランジスタも、InGaZnO トランジスタから形成される。ゲートドライバ回路 116 は、（図 6 に示すように）ピクセルアレイ 122 の左右両側に配置されるか、又はピクセルアレイ 122 の片側のみに配置される。

20

【0043】

ピクセルアレイ 122 のデータ線信号は、アナログ画像データ（例えば、ピクセル輝度レベルを表わす大きさをもつ電圧）を搬送する。ディスプレイ 14 に画像を表示するプロセスの間に、ディスプレイドライバ回路 118 は、コントロール回路 104 から経路 108 を経てデジタルデータを受け取り、そしてそれに対応するデータ信号を経路 112 に与える。

30

【0044】

データ線 112 のデータ線信号は、ピクセルアレイ 122 における表示ピクセル 110 の列に送られる。ゲート線信号は、各ゲート線 114 を使用しゲートドライバ回路 116 によりピクセルアレイ 122 におけるピクセル 110 の行に送られる。アレイ 122 において表示ピクセル 110 が配置される仕方を説明するのに使用される「行」及び「列」という用語は、単なる例示に過ぎず、交換可能である。一般的に、ディスプレイ 14 におけるピクセル 110 は、任意の適当な配列で編成される。

40

【0045】

図 7 は、ピクセルアレイ 122 における例示的な表示ピクセル 110 の回路図である。図 7 のピクセル 110 のようなピクセルは、アレイ 122 における各ゲート線 114 及びゲート線 112 の交点に配置される。

【0046】

データ信号 D は、データ線 112（図 6）の 1 つから端子 154 へ供給される。薄膜トランジスタ 150 のような薄膜トランジスタは、ゲートドライバ回路 116（図 6）からゲート線信号 G を受信するゲート 152 のようなゲート端子を有する。信号 G がアサートされると、トランジスタ 150 がターンオンし、そして信号 D が電圧 V_p としてノード 1

50

56へ送られる。ディスプレイ14のデータは、フレームで表示される。1つのフレームにおいて信号Gのアサートに続いて信号Gがデアサートされる。次いで、信号Gがアサートされて、トランジスタ52をターンオンし、そしてその後の表示フレームにおいて V_p の新たな値を捕獲する。

【0047】

ディスプレイ14は、ノード158に結合される共通電極を有する。共通電極(V_{com} 電極とも称される)を使用して、共通電極電圧 V_{com} のような共通電極電圧をアレイ122の各ピクセル110におけるノード158のようなノードに分配する。ピクセル110は、キャパシタ C_{ST} のような信号蓄積素子又は他の電荷蓄積素子を有する。蓄積キャパシタ C_{ST} は、ノード156と158との間に結合される。ピクセルの液晶材料(液晶材料160)を通る電界をコントロールするのに使用されるピクセル110内の電極構造によりノード156及び158を横切って平行プレートキャパシタンス C_{LC} が形成される。図7に示したように、電極構造体162は、ノード156に結合される。キャパシタンス C_{LC} は、ノード158における電極構造体162と共通電極 V_{com} との間のキャパシタンスに関連付けられる。

【0048】

データ線112と、(図7のゲートGのようなゲートに結合された)ゲート線114のゲート線信号は、ピクセル110を充電する(例えば、キャパシタンス C_{ST} 及び C_{LC} を充電する)のに使用される。ピクセル110が充電されると、電極構造体162は、ピクセル110における液晶材料160のピクセルサイズ部分を横切ってコントロールされた電界(即ち、 V_p と V_{com} との間の差に比例する大きさの電界)を印加する。蓄積キャパシタ C_{ST} に関連したキャパシタンスは、フレームとフレームとの間に(即ち、連続する信号Gのアサートとアサートとの間の期間に)信号Vを蓄積するのに使用される。蓄積キャパシタ C_{ST} (及びキャパシタンス C_{LC})の存在のために、 V_p の値(ひいては、液晶材料160を横切る関連する電界)が各フレームの期間中にノード156及び158を横切って維持される。

【0049】

液晶材料160を横切って発生される電界は、液晶材料160の液晶の配向を変化させる。これは、液晶材料160を通過する光の偏光を変化させる。偏光の変化は、アレイ122の各ピクセル110を透過する光の量をコントロールするのに使用される。

【0050】

図8は、図6のディスプレイ14の一部分の拡大図である。より詳細には、図8は、点線で示されたアクティブエリア120の縁を越えてデータ線112がどれほど延長できるかを示す。各データ線112は、各金属引き回し経路113を経てディスプレイドライバ118に接続される。このタイプの金属トレース113は、インアクティブボーダーエリアIAにおいて引き回される。金属トレース113が互いの経路に交差するのを防止するために、各トレース113は、図8に示したように、先ず、装置のx方向に(即ち、巾に沿って)引き回され、次いで、装置のy方向に(即ち、長さに沿って)平行に引き回される。これは、装置のボーダーエリアが全ての周囲金属引き回し部113を受け入れるに十分な広さであることを要求する。このため、ボーダー領域は、装置10の表面の著しい面積を占有する。ドライバICが、装置の巾又は長さを横切って分散された複数の引き回しトレースへ信号を駆動しなければならないこの構成は、引き回し「ファンアウト(fanout)」とも称される。

【0051】

高解像度のディスプレイは、比較的大きなファンアウトを要求し、これは、全体的な寸法が固定された装置においてアクティブエリア(即ち、表示/タッチアクティブエリア)として使用できるスペースに否定的な影響を及ぼす。タッチパネルの引き回しトレースによっても同じ問題が生じる。従って、高い有用性を与えるために、図1-4に示すような装置のボーダーエリアを減少して、そのアクティブエリアを最大にすることが望ましい。換言すれば、ボーダーエリアを狭めることにより、装置のディスプレイ及びタッチスクリ

ーンを広くすることができる。

【0052】

図9は、ディスプレイの薄膜トランジスタ層に形成される従来の表示ピクセル及び関連引き回し構造体200の断面側面図である。図9に示すように、薄膜トランジスタ208は、ガラス基板202に形成される。ガラス基板202において薄膜トランジスタ208の真下に金属の光シールド204がしばしば形成され、バックライトが薄膜トランジスタ208の動作を潜在的に妨げるのを防止する。

【0053】

次いで、ガラス基板202において光シールド204上に1つ以上の緩衝層206が形成される。緩衝層206上にポリシリコン210がパターン化されて、トランジスタ208のアクティブエリアを形成する。緩衝層206においてポリシリコン210の上にゲート絶縁層212が形成される。ゲート絶縁層212には金属ゲート導体214が形成され、トランジスタ208のゲート端子として働く。ゲート絶縁材料212にはゲート214の上に窒化シリコン層220が形成される。

【0054】

次いで、窒化シリコン層220上に酸化シリコン層222が形成される。層222、220及び212を通して金属コンタクト構造体216及び218が形成されて、ポリシリコン210とのコンタクトをなす。図9において、コンタクト216に結合されるポリシリコン210の部分は、対応するデータ線に結合されるトランジスタ208の第1のソース/ドレイン端子として働き（即ち、コンタクト216は、画像データ信号が供給されるところの金属引き回し経路に接続され）、一方、コンタクト218に結合されるポリシリコン210の部分は、対応するピクセルノードに結合されるトランジスタ208の第2のソース/ドレイン端子として働く（即ち、コンタクト218は、画像データ信号が一時的に蓄積されるピクセル電極構造体に接続される）。

【0055】

酸化シリコン層222にはアクリル系有機平坦化層224が形成される。平坦化層224には共通電極（ V_{com} ）層226が形成される。 V_{com} 層226には金属引き回し導体228が形成される。コンタクト218とピクセル電極層232との間に伝記的接続を形成するために（即ち、表示ピクセルコンタクトを形成するために）平坦化層224には開口が形成される。ピクセル電極層232と共通電極層226との間には絶縁材料230が介在される。 V_{com} 電極226と、この V_{com} 電極に重畳するピクセル電極232の一部分から、表示ピクセル蓄積キャパシタ240が形成される（即ち、 V_{com} 層226と、この V_{com} 層226に直接向いたピクセル電極層232の部分は、絶縁材料230により分離され、そして全体的には表示ピクセルのための蓄積キャパシタとして働く）。共通電極層226及びピクセル電極層232は、典型的に、薄膜トランジスタ層の上の液晶材料へのバックライトの通過を許す透明材料であるインジウムスズ酸化物から形成される。

【0056】

典型的に、薄膜トランジスタ208及びそれに関連したピクセル及び V_{com} 電極は、ディスプレイ14のアクティブエリアAA部分に形成される。アクティブエリアAAにおける表示ピクセルアレイ回路と、それに関連したコントロール回路（即ち、ディスプレイドライバ、ゲート線ドライバ、タッチドライバ及びセンサ回路、等）との間の引き回しは、インアクティブボーダーエリアIAで形成される。図9に示すように、窒化シリコン層220においてゲート絶縁層212上に金属引き回し構造体250が形成され、平坦化層224において酸化層222上に金属引き回し構造体252が形成され、そして平坦化層224上に金属引き回し構造体254が形成される。金属引き回し構造体250が形成される層は、一般的に、「M1」金属引き回し層と称される。金属引き回し構造体252が形成される層は、一般的に、「M2」金属引き回し層と称される。金属引き回し構造体254が形成される層は、一般的に、「M3」金属引き回し層と称される。それ故、引き回し構造体250、252及び254を形成するのに使用される材料は、各々、M1金属、M2金属及びM3金属とも称される。

10

20

30

40

50

【 0 0 5 7 】

従来の T F T ベースのディスプレイでは、M 1 金属の形成後に T F T 構造体への高温アニールプロセスの適用を持続できるようにするため、M 1 金属を耐高温材料から形成する必要がある。しかしながら、耐高温材料は、抵抗率が高いことで悩みがある。例えば、M 2 及び M 3 金属は、0.2 オーム / 平方未満のシート抵抗を示し、一方、耐高温 M 1 金属は、0.4 オーム / 平方より高いシート抵抗を示す（即ち、M 1 金属の抵抗率は、M 2 金属及び M 3 金属の 2 倍以上である）。高い M 1 抵抗は、一般的に、高い抵抗率を補償するために M 1 層の金属引き回し経路を比較的巾広にする必要があり、引き回しエリアを不当に増大する。

【 0 0 5 8 】

一般的に、ディスプレイのインアクティブボーダーは、引き回しファンアウトピッチを減少することにより（即ち、隣接する金属引き回しワイヤ間の距離を縮小することにより）減少される。図 9 を更に参照すれば、M 2 引き回し経路のピッチは、距離 T_p で示される。最小許容ピッチ T_p は、ファンアウトワイヤの密度を制限する現在の T F T 製造技術によってセットされる。金属ファンアウトピッチを減少する 1 つの方法は、インターレース型の金属引き回しによるものである。インターレース型金属引き回しは、M 1 及び M 2 の両方の層において異なる関連信号を引き回しさせて、隣接ワイヤ間の有効ピッチを減少する必要がある。しかしながら、M 1 及び M 2 金属のシート抵抗は、インターレース型引き回しの引き回し抵抗要件を満足するには、相違し過ぎる（即ち、インターレース型引き回しでは、異なる金属引き回し層におけるインターレース金属経路が引き回し性能要件を満足するために実質的に同様のシート抵抗を有する必要がある）。

【 0 0 5 9 】

装置表面のより広いエリアを表示及び / 又はタッチベース入力受信のためのアクティブエリアとして使用できるように全体的な寸法を増加せずに装置のインアクティブなボーダーエリアを最小にできる本開示の種々の実施形態を以下に説明する。種々の実施形態において、これは、M 1 及び M 2 金属引き回し層間に付加的な金属引き回し構造体を形成することにより達成できる。

【 0 0 6 0 】

本発明の実施形態によれば、図 9 の従来の T F T ディスプレイ構造体に比して改善された金属引き回し能力を示す表示ピクセル及び関連引き回し構造体 3 0 0 が提供される（例えば、図 1 0 を参照）。図 1 0 に示すように、薄膜トランジスタ 3 0 8 のような薄膜トランジスタは、ガラス又は他の誘電体材料から作られた透明基板 3 0 2 上に形成される。薄膜トランジスタ 3 0 8 は、図 7 を参照して説明された表示ピクセル薄膜トランジスタ 1 5 0 として働く。

【 0 0 6 1 】

光シールド 3 0 4 のような光シールド構造体は、基板 3 0 2 においてトランジスタ 3 0 8 の真下に形成され、そしてバックライトがトランジスタ 3 0 8 の動作を妨げるのを防止するように働く。緩衝層 3 0 6 のような 1 つ以上の緩衝層が基板 3 0 2 上及び光シールド 3 0 4 上に形成される。緩衝層 3 0 6 は、適当な透明誘電体材料から形成される。

【 0 0 6 2 】

トランジスタ 3 0 8 の活性材料 3 1 0 が緩衝層 3 0 6 上に形成される。活性材料 3 1 0 は、アモルファスシリコン又はポリシリコンの層である（一例として）。ゲート絶縁層 3 1 2 のようなゲート絶縁層が緩衝層 3 0 6 上及び活性材料上に形成される。ゲート絶縁層 3 1 2 上には、ゲート導体 3 1 4 のような導電性ゲート構造体が配置される。ゲート導体 3 1 4 は、薄膜トランジスタ 3 0 8 のゲート端子として働く。ゲート 3 1 4 の真下にある活性材料 3 1 0 の部分は、トランジスタ 3 0 8 のチャンネル領域として働く。

【 0 0 6 3 】

窒化シリコン層 3 2 0 のようなパッシベーション層がゲート絶縁層 3 1 2 上及びゲート 3 1 4 上に形成される。層 3 2 0 を堆積した後に、水素添加アニールプロセスを適用して、薄膜トランジスタ構造体 3 0 8 を不動態化する。ゲート 3 1 4 が形成される材料は、「

10

20

30

40

50

M 1」金属とも称される。その結果、ゲート導体 3 1 4 が形成される層 3 2 0 は、第 1 金属 (M 1) 引き回し層とも称される。

【0064】

酸化シリコンライナー 3 2 1 のような酸化層がパッシベーション層 3 2 0 上に形成される。層 3 2 1 は、その上に金属構造体を形成する間にエッチング停止層として働く。層 3 2 1 上には低 k 誘電体層 3 2 2 (例えば、誘電率 k が二酸化シリコンより小さい誘電体材料から形成された層) が形成される。層 3 2 2 は、アクリル系ホトレジスト又は他の感光材料、シロキサン系ポリマ、シリコン系誘電体、有機材料、これらの材料の組み合わせ、及び / 又は適当な低 k 誘電体層から形成される。

【0065】

トランジスタの活性材料 3 1 0 と電気的コンタクトをなすために、構造体 3 1 6 及び 3 1 8 のようなトランジスタソース / ドレインコンタクト構造体が層 3 2 2 を通して形成される。コンタクト構造体 3 1 6 及び 3 1 8 は、「ビア (via)」構造体とも称される。特に、ビア 3 1 6 にコンタクトする活性材料 3 1 0 の部分は、トランジスタ 3 0 8 の第 1 のソース / ドレイン領域として働き、一方、ビア 3 1 8 にコンタクトする活性材料 3 1 0 の部分は、トランジスタ 3 0 8 の第 2 のソース / ドレイン領域として働く。アクティブなソース / ドレイン領域上にゲート導体が形成される薄膜トランジスタは、一般的に、「トップ・ゲート」薄膜トランジスタと称される。これは、単なる例示に過ぎない。必要があれば、ピクセル 3 0 0 は、アクティブなソース / ドレイン領域下にゲート導体が形成される「ボトム・ゲート」薄膜トランジスタ構成体を使用して形成される。

【0066】

トランジスタのソース / ドレイン端子を他の表示ピクセル回路に接続するために、「M 2」金属引き回し経路とも称される金属引き回し構造体が層 3 2 2 上に形成される。一例として、層 3 2 2 上に形成された第 1 の M 2 金属引き回し経路は、ビア 3 1 6 を経て対応するデータ線 (例えば、図 7 のデータ線 D) に接続するように使用され、一方、層 3 2 2 上に形成された第 2 の M 2 金属引き回し経路は、ビア 3 1 8 を経て対応するピクセル電極ノード (例えば、図 7 においてピクセル電圧 V_p が蓄積されるノード 1 5 6) に接続するように使用される。

【0067】

層 3 2 2 には別の低 k 誘電体層が形成される。この層 3 2 4 は、平坦化層として働き、第 2 の金属 (M 2) 引き回し層とも称される。層 3 2 2 と同様に、層 3 2 4 は、アクリル系ホトレジスト又は他の感光材料、シロキサン系ポリマ、シリコン系誘電体、有機材料、これらの材料の組み合わせ、及び / 又は適当な低 k 誘電体層から形成される。一般的に、誘電体層を通して伝播するバックライトの透過度を最大にするために、層 3 2 2 及び 3 2 4 は、実質的に同様の屈折率を有する同じ材料で形成しなければならない (例えば、屈折率は、相違が 0.1 以下、0.08 以下、0.05 以下、0.01 以下、当てなければならない)

【0068】

低 k 誘電体平坦化層 3 2 4 には、 V_{com} 層 3 2 6 のような共通電極層が形成される。この共通電極層 3 2 6 は、表示ピクセルアレイ全体をカバーする透明導電性材料のブランケット膜として、又は付加的な引き回し経路によって相互接続された個別の V_{com} 領域として、又は容量性タッチ感知技術をサポートする他のパターン (例えば、透明導電性材料の水平及び垂直ストリップ) で形成される。 V_{com} 電極を他のディスプレイ回路に接続するために (例えば、異なる V_{com} 層を相互接続し、 V_{com} 層を関連 V_{com} ドライバ回路に接続し、 V_{com} 層をタッチセンサ回路に接続し、等々のために)、付加的な V_{com} 引き回し構造体 3 2 8 («M 3」金属引き回し経路とも称される) が V_{com} 層 3 2 6 上に形成される。

【0069】

ビア 3 1 8 とピクセル電極層 3 3 2 との間に電気的接続を形成して表示ピクセルコンタクト 3 6 0 (蓄積キャパシタを薄膜トランジスタ 3 0 8 に接続するコンタクト) を形成するために、平坦下層 3 2 4 には開口が形成される。ピクセル電極層 3 3 2 は、液晶材料 1

10

20

30

40

50

60 (図7) に電界を印加するフィンガー状の電極 (図10には示さず) を形成するパターンとされる。ピクセル電極層332と共通電極層326との間に絶縁材料330が形成される。 V_{com} 電極326、及び V_{com} 電極326と重畳するピクセル電極332の一部分は、蓄積キャパシタ340を形成する (例えば、蓄積キャパシタは、 V_{com} 層326、該 V_{com} 層326を直接向いたピクセル電極層332の一部分、及び2つの対向する平行導体間に介在する絶縁材料330を含む)。

【0070】

一般的に、共通電極326及びピクセル電極332は、薄膜トランジスタ層の上の液晶材料へのバックライトの通過を許すインジウムスズ酸化物又は他の適当な透明材料から形成される。光シールド構造体304及びM1ゲート構造体は、モリブデン、タンゲステン、その2つの組み合わせのような耐高温材料、及び/又は他の適当な耐高温材料から形成される。ビア316及び318、並びにM2及びM3金属引き回し構造体は、銅、アルミニウム、銀、金、タンゲステン、ニッケル、他の金属、それら材料の組み合わせ、及び/又はディスプレイ14においてデータ及びコントロール信号を引き回すのに適した他の導電性材料から形成される。

【0071】

典型的に、薄膜トランジスタ308及びそれに関連したピクセル及び V_{com} 電極は、ディスプレイ14のアクティブエリアAA部分に形成される。アクティブエリアAAの表示ピクセルアレイ回路と、それに関連したコントロール回路 (例えば、ディスプレイドライバ、ゲート線ドライバ、タッチドライバ及びセンサ回路、等) との間の引き回しは、インアクティブボーダーエリアIA内に形成される。図10に示すように、ゲート導体314は、パッシベーション層320においてゲート絶縁層312上に形成され、金属引き回し構造体350は、低k誘電体層322においてエッチング停止層321上に形成され、金属引き回し構造体352は、低k誘電体平坦化層324において低k誘電体層322上に形成され、そして金属引き回し構造体354は、平坦下層324上に形成される。

【0072】

ゲート構造体314が形成される層は、一般的に、「M1」又は第1/最下部の金属引き回し層と称される。金属引き回し構造体352が形成される層は、一般的に、「M2」又は第2の金属引き回し層と称される。金属引き回し構造体354が形成される層は、一般的に、「M3」又は第3の金属引き回し層と称される。金属引き回し経路350は、M1及びM2の金属引き回し層間に形成された付加的な金属引き回し構造体を表わす。それ故、金属引き回し経路350が形成される層322は、中間引き回し層又はサブM2 (又は「M2s」) 金属引き回し層と称される。それ故、引き回し構造体350、352及び354を形成するのに使用される材料は、各々、M2s金属、M2金属、及びM3金属と称される。M3金属引き回し層上に形成される金属引き回し層がもしあれば、一般的に、順次に、M4金属引き回し層、M5金属引き回し層、M6金属引き回し層、等々と称される。

【0073】

上述したように、M1引き回し構造体は、高い抵抗率を示す耐高温材料から形成される。それ故、M1金属引き回し層以外の金属引き回し層に導電性経路形態を使用して信号の引き回しを遂行することが望まれる。M2s金属引き回し構造体350がパッシベーション層320上に形成される (例えば、M2s引き回し構造体を形成する前に高温アニールプロセスが遂行される) ので、M2s金属は、耐高温材料を使用して形成する必要がなく、むしろ、M2及びM3金属引き回し経路を形成するのに使用される同じ低抵抗率材料を使用して形成することができる。例えば、M2s、M2及びM3金属引き回し構造体は、銅、アルミニウム、銀、金、ニッケル、それら材料の組み合わせ、及び/又は低いシート抵抗を示し且つディスプレイ14においてデータ及びコントロール信号を引き回すのに適した他の導電性材料 (即ち、シート抵抗が0.4オーム/平方未満、0.2オーム/平方未満、0.05オーム/平方未満、0.01オーム/平方未満、等の材料) から形成される。M2s及びM2金属は、実質的に同様の抵抗率レベルを示す。例えば、M2s及びM

2 金属引き回し経路は、両方とも、 0.047 オーム / 平方のシート抵抗を示す。このように M2s 金属の引き回し構造体を形成することで、抵抗率の低い導電性経路を形成でき、TFT ディスプレイ / タッチ構造体に対する全体的な引き回し能力を高める付加的な金属引き回し層が提供される。

【0074】

M2 及び M2s 金属引き回し経路が同じ信号を搬送するように並列に使用されるときには、より薄い個々の引き回し経路を形成することができる。というのは、2つの個別の経路を使用して同じ信号を搬送することで、引き回し抵抗が著しく減少するからである。図 10 に示すように、層 322 に形成される少なくとも幾つかの導電性引き回し経路 350、及び層 322 に形成される導電性引き回し経路は、層 322 を通して形成されたビア 351 を使用して並列に短絡される。一般的に、巾を減少した金属引き回し経路を使用することは、ファンアウトピッチを減少する上で役立ち、インアクティブなボーダーエリアを減少する。

【0075】

隣接する M2 及び M2s 金属引き回し経路を使用して異なる信号を搬送するシナリオでは、インターレース型金属引き回しを実施することができる。インターレース型金属引き回しを実施するために、第 1 の引き回し経路 350 は、M2s 引き回し層（例えば、層 322）に形成され、そして第 2 の引き回し経路 352 は、過剰な寄生的結合作用を経験することなく第 1 の引き回し経路 350 にできるだけ接近して M2 引き回し層（例えば、層 324）に形成される。この解決策を使用して M2s 及び M2 層に 3 つ以上の金属引き回し経路を形成することができる。このような構成では、回路 300 のエリア IA における隣接引き回しワイヤ間の有効ピッチ T_p' は、図 9 を参照して述べたように、回路 200 のエリア IA において M2 層に形成された隣接引き回しワイヤ間のピッチ T_p より小さい（例えば、同じ層に隣接する金属引き回し経路を形成するだけでなく異なる層に隣接する金属引き回し経路を形成することで、有効配線ピッチが減少される）。インターレース型引き回しによりピッチを減少することで、インアクティブなボーダーエリアを更に減少することができる。

【0076】

別の適当な構成では、M2s 金属引き回し層に付加的な TFT ゲート構造体が形成される。図 11 は、M1 ゲート導体 314 の上に付加的なゲート導体 351 が形成される実施例を示す。この実施例では、付加的なゲート導体 351 は、M2s 金属引き回し層においてエッチング停止層 321 上に直接形成される。各表示ピクセルにおいてトランジスタ 308 に対する 2 つ以上のゲート構造体を使用することで、ピクセルアドレス能力の改善が与えられる。

【0077】

図 12 は、二重ゲートトランジスタ 151 のようなマルチゲート薄膜トランジスタを有する表示ピクセル 110 の回路図である。図 12 に示すように、トランジスタ 151 は、対応するデータ線 112 に結合された第 1 のソース / ドレイン端子と、電圧 V_p が蓄積されるノード 156 に結合された第 2 のソース / ドレイン端子と、第 1 のゲート線 114 - 1 に結合された第 1 のゲート端子と、第 2 のゲート線 114 - 2 に結合された第 2 のゲート端子とを有する。第 1 のゲート線 114 - 1 は、トランジスタ 151 に第 1 のゲート信号 G1 を供給するために層 320 の M1 金属を使用して形成され、一方、第 2 のゲート線 114 - 2 は、トランジスタ 151 に第 2 のゲート信号 G2 を供給するために層 322 の M2s 金属を使用して形成される。図 12 の実施例では、ゲート線 114 - 1 は、水平に引き回され、一方、ゲート線 114 - 2 は、垂直に引き回される（即ち、ゲート線 114 - 1 は、ゲート線 114 - 2 に対して直交する）。これは、単に例示に過ぎない。別の例として、ゲート線 114 - 1 が垂直に引き回され、一方、ゲート線 114 - 2 が水平に引き回されてもよい。更に別の例として、ゲート線 114 - 1 及び 114 - 2 の両方が水平に引き回されてもよい。

【0078】

ゲート信号 G 1 及び G 2 は、トランジスタ 1 5 1 の動作をコントロールするために個別に使用されてもよいし又は一緒に使用されてもよい。1つの構成では、トランジスタ 1 5 1 をターンオンするためにゲート信号 G 1 及び G 2 の両方をアサートしなければならない（例えば、トランジスタ 1 5 1 がデータ信号を線 1 1 2 から蓄積ノード 1 5 6 へ通過できるようにするには信号 G 1 及び G 2 が同時に高にならねばならない）。別の構成では、トランジスタ 1 5 1 をターンオンするために2つのゲート信号の一方だけをアサートすればよい（例えば、トランジスタ 1 5 1 は、G 1 を高に駆動するか又は G 2 を高に駆動することでデータ信号を線 1 1 2 から蓄積ノード 1 5 6 へ通過させることができる）。図 1 2 の表示ピクセル 1 1 0 の残り部分（例えば、蓄積キャパシタ C_{ST} 、キャパシタンス C_{LC} を有する液晶材料、及び V_{com} 電極 1 5 8）についての説明は、図 7 を参照して既に述べたものと同様であり、ここでは繰り返し説明しない。図 1 2 の二重ゲート表示ピクセル構成は、単なる例示に過ぎず、本発明の範囲をそれに限定するものではない。必要に応じて、3つ以上のゲートコントロール線を有する表示ピクセルを実施することができる。

10

【0079】

図 1 3 は、図 1 0 及び 1 1 を参照して述べたタイプの TFT 構造体を形成するのに含まれる例示的ステップのフローチャートである。ステップ 5 0 0 において、基板 3 0 2 上に不透明の光シールド構造体 3 0 4 が形成される。ステップ 5 2 0 において、基板 3 0 2 上で光シールド 3 0 4 の上に1つ以上の緩衝層 3 0 6 が形成される。

【0080】

ステップ 5 0 4 において、緩衝層 3 0 6 上に薄膜トランジスタ構造体 3 0 8 が形成される（例えば、アクティブエリアポリシリコン材料及びそれに関連したソース/ドレインドーピング及び弱くドーパされたドレイン（LDD）領域、ゲート絶縁層、及び M 1 ゲート構造体を形成することができる）。ステップ 5 0 6 において、アニールプロセスを行ってソース/ドレイン領域を活性化する（例えば、ソース/ドレインドーパントを材料 3 1 0 において適切に拡散させる上で役立つように）。

20

【0081】

ステップ 5 0 8 において、薄膜トランジスタ構造体 3 0 8 の上にパッシベーション層 3 2 0（例えば、窒化シリコン層）が形成される。ステップ 5 1 0 において、水素添加アニールプロセスを行って、實際上、層 3 2 0 で薄膜トランジスタ 3 0 8 を不動態化する。

【0082】

ステップ 5 1 2 において、パッシベーション層 3 2 0 の上に薄い酸化層 3 2 1 が形成される。層 3 2 1 は、その上に金属を形成する間にエッチング停止層として働く。

30

【0083】

ステップ 5 1 4 において、エッチング停止層 3 2 1 に M 2 s 金属引き回し構造体が形成される。M 2 s 金属引き回し経路は、インアクティブボーダーエリアに形成されて、周辺信号引き回し（例えば、ゲート線引き回し、データ線引き回し、 V_{com} 引き回し、等）を与えると共に、アクティブなディスプレイエリア内にも形成されて付加的なゲートコントロールを与える（例えば、図 1 1 及び 1 2 を参照）。

【0084】

ステップ 5 1 6 において、層 3 2 1 上に第 1 の低 k 誘電体層 3 2 2 が形成される。ステップ 5 1 8 において、ホトリソグラフィー及びエッチングプロセスを経て第 1 の低 k 誘電体層 3 2 2 にコンタクトホールが形成される。ある構成では、層 3 2 2 は、感光材料から形成され、そして望ましいコンタクトホールを形成するように露出及び現像されるホトレジストのように使用される。

40

【0085】

ステップ 5 2 0 において、層 3 2 2 上で、アクティブ及びインアクティブの両エリアで M 2 金属引き回し構造体がパターン化される。

【0086】

ステップ 5 2 2 において、第 1 の低 k 誘電体層 3 2 2 上で、M 2 金属引き回し構造体の上に第 2 の低 k 誘電体層 3 2 4 が形成される。1つの構成では、第 1 及び第 2 の低 k 誘電

50

体層は、同じ低 k 誘電体材料から形成される。他の構成では、第 1 及び第 2 の低 k 誘電体層が、バックライト透過度を最大にする努力において実質的に同様の屈折率を有する異なる低 k 誘電体材料から形成される。

【0087】

ステップ 524 において、ホトリソグラフィー及びエッチングプロセスを経て第 2 の低 k 誘電体層 324 にコンタクトホールが形成される（例えば、層 324 は、耐ホトレジスト及びエッチング材料からも形成される）。ステップ 526 において、 V_{com} 電極 326、M3 金属引き回し構造体 328、蓄積キャパシタ、ピクセル電極 332、及び他の表示ピクセル構造体が形成される。

【0088】

図 13 のステップは、単なる例示に過ぎず、本発明の範囲をそれに限定するものではない。一般的に、LCD 及び他のタイプのディスプレイにおける TFT ディスプレイ / タッチ回路は、このように形成される。製造方法を特定の順序で説明したが、上述した動作と動作との間に他のステップを遂行することもでき、上述した動作を、それらが若干異なる時間に生じるように調整することもでき、等々であることを理解されたい。

【0089】

一実施形態によれば、基板と、基板上に形成された薄膜トランジスタと、薄膜トランジスタ上に形成されたパッシベーション層と、パッシベーション層上に形成された誘電体ライナーと、誘電体ライナー上に形成された導電性引き回し構造体とを備えたディスプレイ回路が提供される。

【0090】

別の実施形態によれば、パッシベーション層は、窒化シリコンを含む。

【0091】

別の実施形態によれば、誘電体ライナーは、エッチング停止材料を含む。

【0092】

別の実施形態によれば、ディスプレイ回路は、誘電体ライナー上で導電性引き回し構造体の上に形成された誘電体層を含む。

【0093】

別の実施形態によれば、誘電体層は、低 k 誘電体材料を含む。

【0094】

別の実施形態によれば、ディスプレイ回路は、誘電体層上に形成された付加的な導電性引き回し構造体を含み、誘電体ライナー上に形成された導電性引き回し構造体、及び誘電体層上に形成された付加的な導電性引き回し構造体は、実質的に同様の抵抗率を示す。

【0095】

別の実施形態によれば、薄膜トランジスタは、導電性引き回し構造体より大きなシート抵抗を示す導電性材料から形成されたゲート構造体を含む。

【0096】

別の実施形態によれば、薄膜トランジスタのゲート構造体は、パッシベーション層に形成される。

【0097】

一実施形態によれば、ディスプレイ回路を製造する方法において、基板上に薄膜トランジスタを形成し、薄膜トランジスタ上に低 k 誘電体層を形成し、及び低 k 誘電体層に導電性引き回し経路を形成することを含む方法が提供される。

【0098】

別の実施形態によれば、前記方法は、薄膜トランジスタ上にパッシベーション層を形成することを含み、そのパッシベーション層は、薄膜トランジスタと低 k 誘電体層との間に介在される。

【0099】

別の実施形態によれば、前記方法は、パッシベーション層と低 k 誘電体層との間に介在する酸化物ライナーを形成することを含み、その酸化物ライナー上に導電性引き回し経路

10

20

30

40

50

が形成される。

【 0 1 0 0 】

別の実施形態によれば、前記方法は、低 k 誘電体層上に別の誘電体層を形成し、及びその別の誘電体層上にディスプレイ回路のための共通電極を形成することを含む。

【 0 1 0 1 】

別の実施形態によれば、前記方法は、低 k 誘電体層上に付加的な導電性引き回し経路を形成することを含み、導電性引き回し経路及びその付加的な導電性引き回し経路は、低 k 誘電体層を通して形成されたビアを使用して並列に短絡される。

【 0 1 0 2 】

別の実施形態によれば、前記方法は、低 k 誘電体層上に付加的な導電性引き回し経路を形成することを含み、導電性引き回し経路及びその付加的な導電性引き回し経路は、配線ピッチを減少するようにインターレースされる。

【 0 1 0 3 】

別の実施形態によれば、前記方法は、低 k 誘電体層上に別の誘電体層を形成し、及びその別の誘電体層上に蓄積キャパシタを形成することを含む。

【 0 1 0 4 】

一実施形態によれば、基板と、基板上に形成された薄膜トランジスタとを備え、薄膜トランジスタは、基板上に形成されたソース/ドレイン構造体、ソース/ドレイン構造体上に形成された第 1 ゲート構造体、及び第 1 ゲート構造体上に形成された第 2 ゲート構造体を含む電子装置ディスプレイ構造体が提供される。

【 0 1 0 5 】

別の実施形態によれば、第 1 ゲート構造体は、第 1 材料から形成され、そして第 2 ゲート構造体は、第 1 材料とは異なる第 2 材料から形成される。

【 0 1 0 6 】

別の実施形態によれば、第 1 材料は、第 2 材料より大きなシート抵抗を示す。

【 0 1 0 7 】

別の実施形態によれば、電子装置ディスプレイ構造体は、第 1 ゲート構造体上に形成されたパッシベーション層と、そのパッシベーション層上に形成された誘電体ライナーとを備え、その誘電体ライナー上に第 2 ゲート構造体が形成される。

【 0 1 0 8 】

別の実施形態によれば、電子装置ディスプレイ構造体は、第 1 ゲート構造体に結合された第 1 ゲート線と、第 2 ゲート構造体に結合された第 2 ゲート線とを備え、第 1 ゲート線は、第 2 ゲート線に直交する。

【 0 1 0 9 】

以上、本発明の原理を例示したが、当業者であれば、本発明の精神及び範囲から逸脱せずに種々の変更がなされ得ることが明らかであろう。上述した実施形態は、個々に具現化されてもよいし又は任意の組み合わせで具現化されてもよい。

【 符号の説明 】

【 0 1 1 0 】

- 1 0 : 電子装置
- 1 2 : ハウジング
- 1 4 : ディスプレイ
- 1 8 : キーボード
- 2 0 : タッチパッド
- 2 8 : カラーフィルタ (C F) 層
- 2 9 : カラーフィルタ基板
- 3 0 : 薄膜トランジスタ (T F T) 層
- 3 1 : カラーフィルタアレイ
- 3 2 : 液晶 (L C) 層
- 3 9、4 0 : 偏光層

10

20

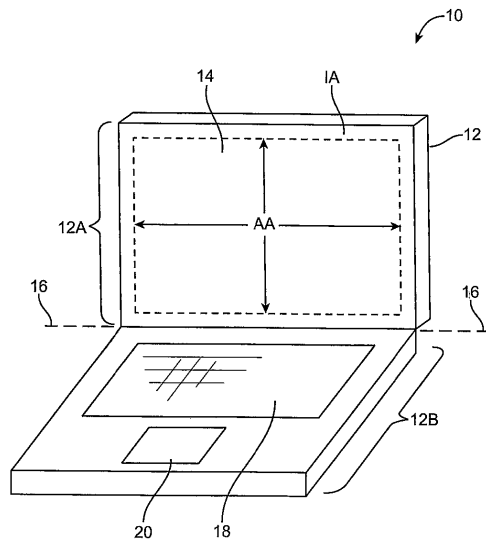
30

40

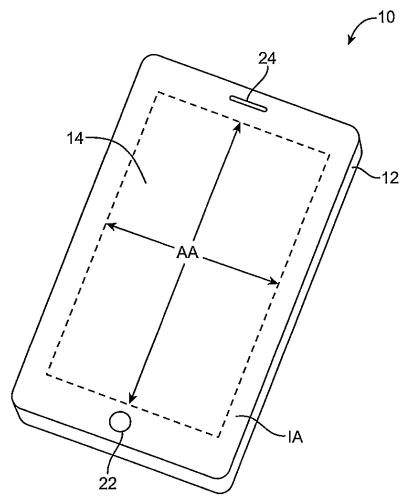
50

4 1 : バックライトユニット	
4 5 : 黒いマスク材料	
1 0 0 : 装置コンポーネント	
1 0 2 : 入力 / 出力回路	
1 0 4 : コントロール回路	
1 1 0 : 表示ピクセル	
1 1 2 : データ線	
1 1 4 : ゲート線	
1 1 6 : ゲートディスプレイ回路	
1 1 8 : ディスプレイドライバ回路	10
1 1 9 : 経路	
1 2 0 : アクティブディスプレイ領域	
1 2 2 : ピクセルアレイ	
3 0 0 : 表示ピクセル及び関連引き回し構造体	
3 0 2 : 透明基板	
3 0 6 : 緩衝層	
3 0 8 : 薄膜トランジスタ	
3 1 0 : 活性材料	
3 1 2 : ゲート絶縁体	
3 1 4 : ゲート導体	20
3 1 6、3 1 8 : コンタクト構造体	
3 2 0 : 窒化シリコン層 (パッシベーション層)	
3 2 1 : 酸化シリコンライナー	
3 2 2 : 低 k 誘電体層	
3 2 4 : 低 k 誘電体平坦化層	
3 2 6 : V_{com} 層	
3 2 8 : V_{com} 引き回し構造体	
3 3 0 : 絶縁材料	
3 3 2 : ピクセル電極層	
3 4 0 : 蓄積キャパシタ	30
3 5 0 : 金属引き回し経路	
3 6 0 : 表示ピクセルコンタクト	
A A : アクティブエリア	
I A : インアクティブエリア	

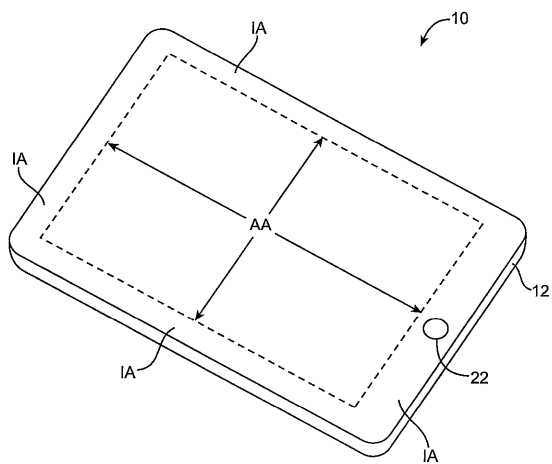
【図 1】



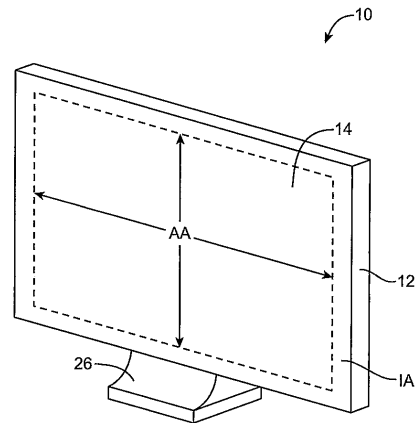
【図 2】



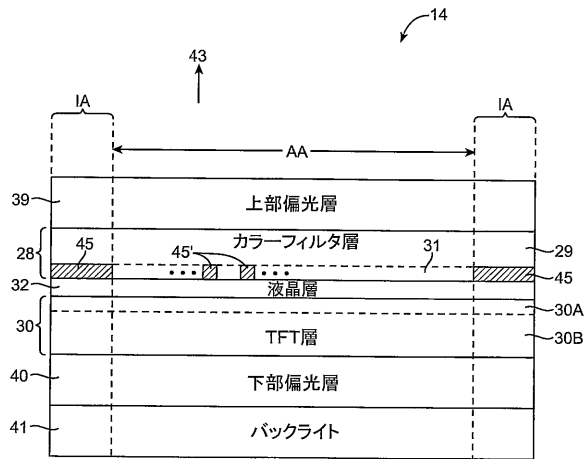
【図 3】



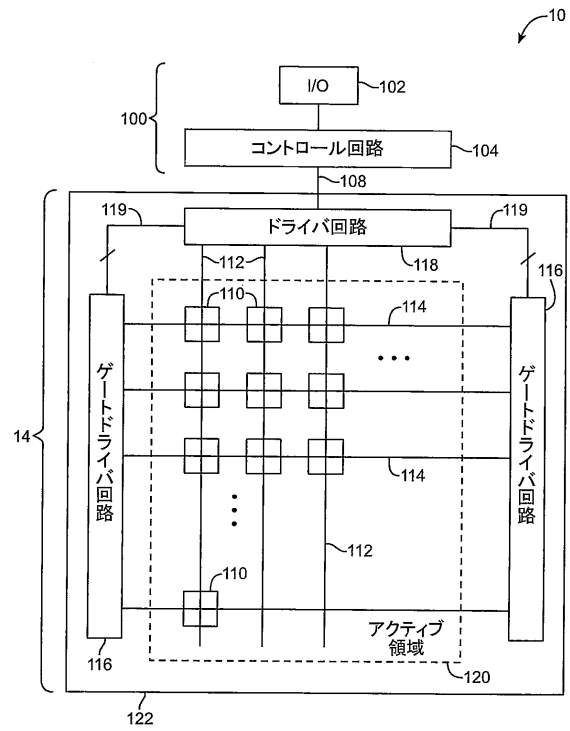
【図 4】



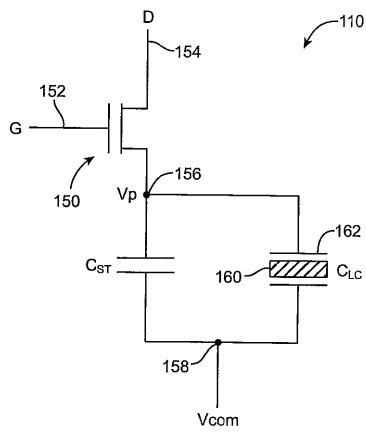
【図 5】



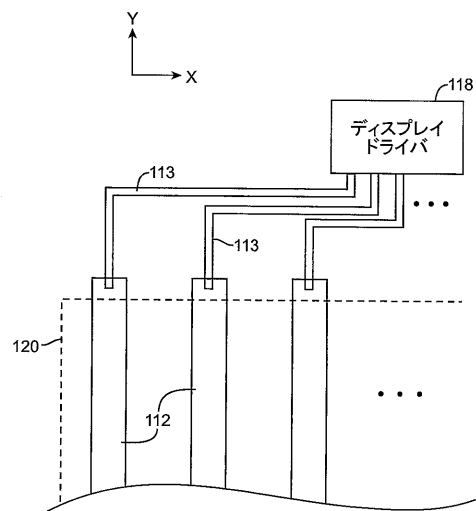
【図 6】



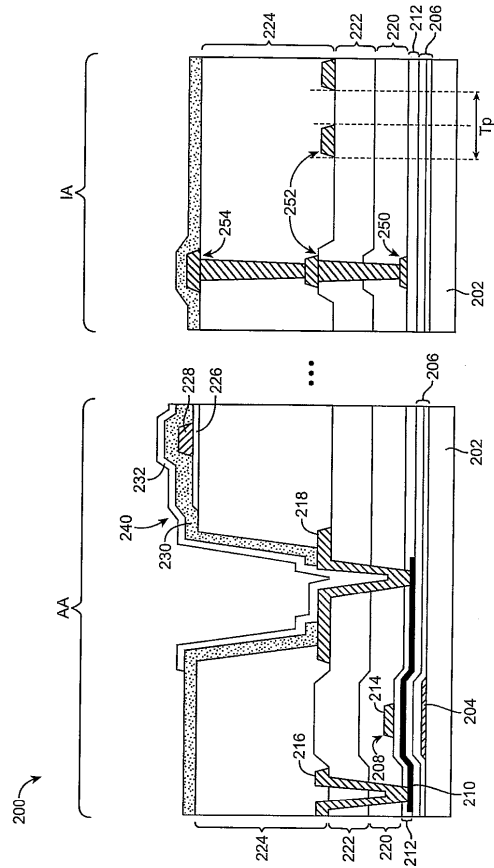
【図 7】



【図 8】

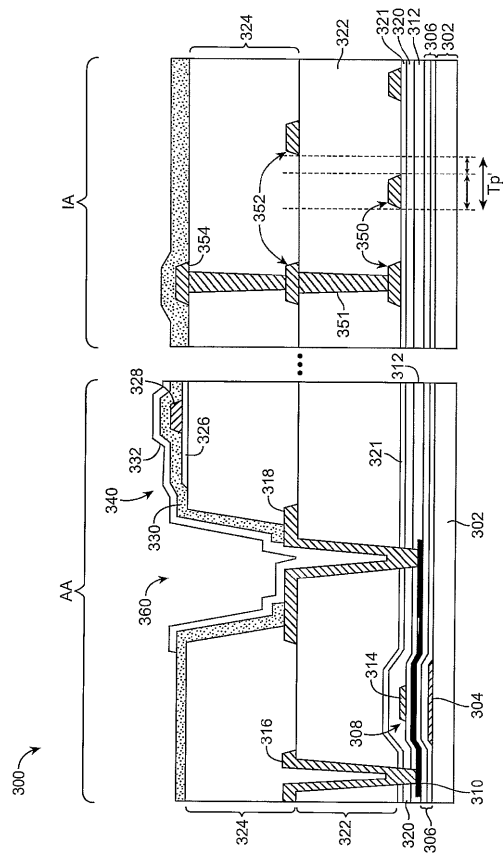


【図 9】

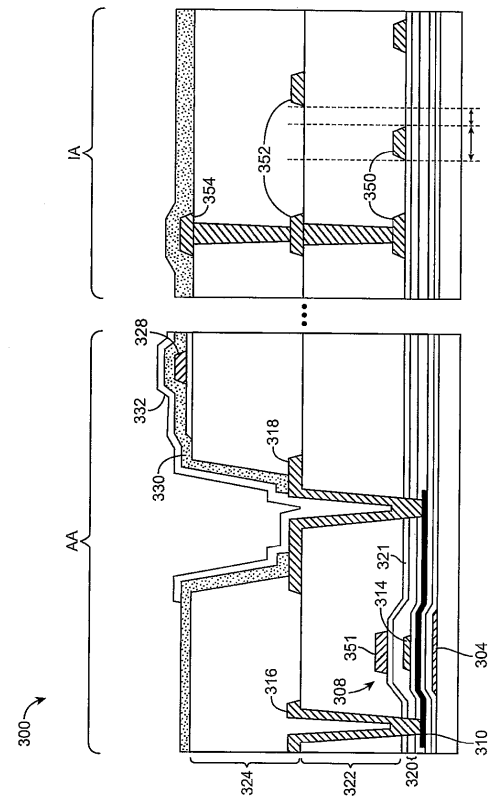


(従来技術)

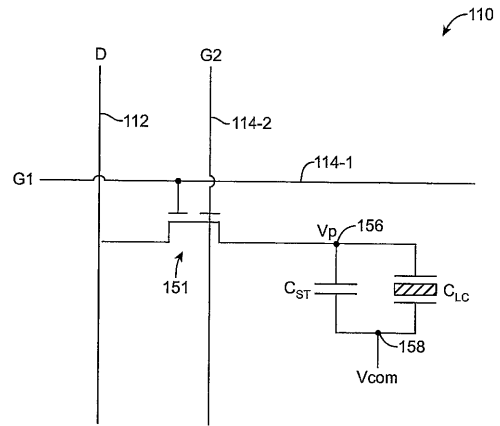
【図 10】



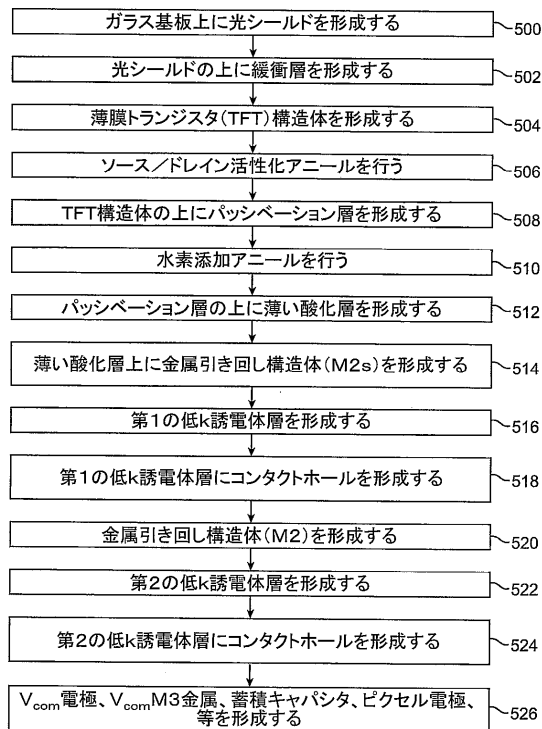
【図 11】



【図 12】



【図 13】



【手続補正書】

【提出日】平成30年7月2日(2018.7.2)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アクティブエリア及びインアクティブエリアを有するディスプレイであって、
基板と、

前記アクティブエリア内の前記基板上的薄膜トランジスタであって、アクティブ半導体材料層と、第1の金属層で形成されたゲート電極とを含む、薄膜トランジスタと、

前記薄膜トランジスタのソース・ドレイン端子において、前記アクティブ半導体材料層に電氣的に接続された第2の金属層で形成されたデータ線と、

前記第1の金属層と前記第2の金属層との間に置かれた誘電材料層と、

前記誘電材料層上に形成され、前記第1の金属層と前記第2の金属層との間に置かれた第3の金属層であって、前記データ線をディスプレイドライバに接続する導電性引き回り構造体を前記インアクティブエリア内に形成する第3の金属層と、

前記第2の金属層と重なり、前記第2の金属層と短絡される透明導電性材料層であって、前記アクティブエリア内にピクセル電極を形成する透明導電性材料層と、を備える、ディスプレイ。

【請求項2】

前記ゲート電極と前記アクティブ半導体材料層との間に置かれたゲート絶縁体層をさらに備える、請求項1に記載のディスプレイ。

【請求項 3】

前記誘電材料層と前記ゲート電極との間に置かれたパッシベーション層をさらに備える、請求項 1 に記載のディスプレイ。

【請求項 4】

前記誘電材料層上に形成された追加の誘電材料層をさらに備え、
前記第 3 の金属層は、前記誘電材料層と前記追加の誘電材料層との間に置かれている、請求項 1 に記載のディスプレイ。

【請求項 5】

前記追加の誘電材料層上に形成された平坦化層をさらに備え、
前記第 2 の金属層は、前記追加の誘電材料層と前記平坦化層との間に置かれている、請求項 4 に記載のディスプレイ。

【請求項 6】

前記平坦化層の上に形成された第 4 の金属層をさらに備え、
前記平坦化層は、前記第 4 の金属層と前記第 2 の金属層との間に置かれている、請求項 5 に記載のディスプレイ。

【請求項 7】

前記第 2 の金属層は、前記インアクティブエリア内に導電性引き回し構造体を形成し、
前記ディスプレイは、前記インアクティブエリア内に、前記第 2 の金属層によって形成された前記導電性引き回し構造体の少なくとも 1 つを、前記第 3 の金属層によって形成された前記導電性引き回し構造体に短絡する導電性ビアをさらに備える、請求項 1 に記載のディスプレイ。

【請求項 8】

前記薄膜トランジスタは、ゲート構造体の上に形成された追加のゲート構造体をさらに含む、請求項 1 に記載のディスプレイ。

【請求項 9】

前記ゲート構造体は、第 1 の材料で形成され、前記追加のゲート構造体は、前記第 1 の材料とは異なる第 2 の材料で形成されている、請求項 8 に記載のディスプレイ。

フロントページの続き

(74)代理人 100086771

弁理士 西島 孝喜

(74)代理人 100121979

弁理士 岩崎 吉信

(72)発明者 ユー チェン チェン

アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 8 3 - オー

(72)発明者 シー - チャン チャン

アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 8 3 - オー

(72)発明者 ヒロシ オーサワ

アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 8 3 - オー

(72)発明者 ティン - クオ チャン

アメリカ合衆国 9 5 0 1 4 カリフォルニア州 クパチーノ インフィニット ループ 1 エ
ムエス 8 3 - オー

F ターム(参考) 2H092 GA35 JA25 JA46 JB57 JB58 JB66 NA25 PA08 PA09 QA06

2H192 AA24 BB13 BC31 CB02 CB13 CC32 DA32 EA15 EA22 EA43

EA67 EA72 EA74 EA76 FA32 FA35 FA37 FA44 JA32

5C094 AA14 BA03 BA43 CA19 DA13 DB04 FB02 FB12 FB14 FB15

FB16 HA03 HA05 HA06 HA07 HA08

【外国語明細書】
2018146989000001.pdf

专利名称(译)	显示电路具有降低的金属布线电阻		
公开(公告)号	JP2018146989A	公开(公告)日	2018-09-20
申请号	JP2018120556	申请日	2018-06-26
[标]申请(专利权)人(译)	苹果公司		
申请(专利权)人(译)	苹果公司		
[标]发明人	ユーチェンチェン シーチャンチャン ヒロシオーサワ テインクオチャン		
发明人	ユー チェン チェン シー-チャン チャン ヒロシ オーサワ テイン-クオ チャン		
IPC分类号	G02F1/1345 G09F9/30 G02F1/1368		
CPC分类号	H01L27/124 H01L27/1248 H01L29/78633 H01L29/78645		
FI分类号	G02F1/1345 G09F9/30.338 G02F1/1368		
F-TERM分类号	2H092/GA35 2H092/JA25 2H092/JA46 2H092/JB57 2H092/JB58 2H092/JB66 2H092/NA25 2H092/PA08 2H092/PA09 2H092/QA06 2H192/AA24 2H192/BB13 2H192/BC31 2H192/CB02 2H192/CB13 2H192/CC32 2H192/DA32 2H192/EA15 2H192/EA22 2H192/EA43 2H192/EA67 2H192/EA72 2H192/EA74 2H192/EA76 2H192/FA32 2H192/FA35 2H192/FA37 2H192/FA44 2H192/JA32 5C094/AA14 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB04 5C094/FB02 5C094/FB12 5C094/FB14 5C094/FB15 5C094/FB16 5C094/HA03 5C094/HA05 5C094/HA06 5C094/HA07 5C094/HA08		
代理人(译)	田中真一郎 西岛隆义 岩崎良信		
优先权	14/150458 2014-01-08 US		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供边框面积减少的电子显示屏。显示器包括滤色器层和薄膜晶体管层。一层液晶材料放置在滤色器层和薄膜晶体管（TFT）层之间。TFT层包括形成在玻璃基板上的薄膜晶体管。在薄膜晶体管的层上形成钝化层。在钝化层上形成氧化物衬垫。在氧化物衬垫上形成第一低k介电层。在第一低k介电层上形成第二低k介电层。在第二低k介电层上形成公共电压电极及其相关的存储电容。在钝化层中形成薄膜晶体管栅极结构。在氧化物衬垫，第一低k介电层和第二低k介电层上形成导电布线结构。The 10

