

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-203862

(P2017-203862A)

(43) 公開日 平成29年11月16日(2017.11.16)

(51) Int. Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/133 (2006.01)	G02F 1/133 550	2H192
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621B	5C006
G02F 1/1368 (2006.01)	G09G 3/20 624B	5C080

審査請求 未請求 請求項の数 11 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2016-95029 (P2016-95029)
 (22) 出願日 平成28年5月11日 (2016.5.11)

(71) 出願人 000006013
 三菱電機株式会社
 東京都千代田区丸の内二丁目7番3号
 (74) 代理人 100088672
 弁理士 吉竹 英俊
 (74) 代理人 100088845
 弁理士 有田 貴弘
 (72) 発明者 安田 尚平
 東京都千代田区丸の内二丁目7番3号 三
 菱電機株式会社内
 Fターム(参考) 2H092 GA14 GA17 JA24 JB32 NA01
 PA06
 2H192 AA24 BB12 BB53 BC31 CC24
 CC62 DA72 GD61

最終頁に続く

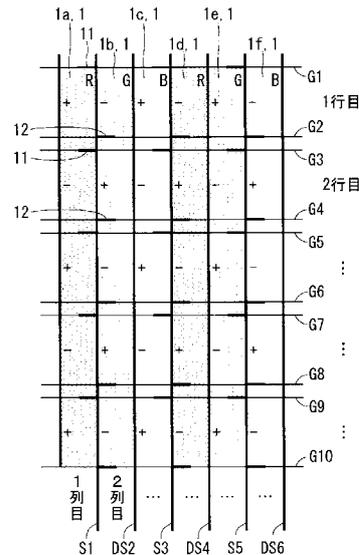
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】適切に表示品位を高めることが可能な技術を提供することを目的とする。

【解決手段】第1ゲート配線及び第2ゲート配線は、行単位の画素に対応して配設され、ソース配線は、列単位の画素に対応して配設され、ダミーソース配線は、各ソース配線に隣接して配設されている。第1薄膜トランジスタは、第1ゲート配線とソース配線とに接続され、行方向において隣り合う2つの画素の一方に、正及び負の電圧を選択的に印加可能である。第2薄膜トランジスタは、第2ゲート配線とソース配線とに接続され、2つの画素の他方に、正及び負の電圧を選択的に印加可能である。

【選択図】 図6



1, 1 a, 1 b, 1 c, 1 d, 1 e, 1 f : 画素
 1 1 : 第1 TFT
 1 2 : 第2 TFT
 G 1, G 3, G 5, G 7, G 9 : 奇数ゲート配線
 G 2, G 4, G 6, G 8, G 10 : 偶数ゲート配線
 S 1, S 3, S 5 : ソース配線
 D S 2, D S 4, D S 6 : ダミーソース配線

【特許請求の範囲】**【請求項 1】**

マトリクス状に配設された複数の画素を有する液晶表示装置であって、
行単位の画素に対応して配設された第 1 ゲート配線及び第 2 ゲート配線と、
列単位の画素に対応して配設されたソース配線と、
各前記ソース配線に隣接して配設されたダミーソース配線と、
前記第 1 ゲート配線と前記ソース配線とに接続され、行方向において隣り合う 2 つの画素の一方に、正及び負の電圧を選択的に印加可能な第 1 薄膜トランジスタと、
前記第 2 ゲート配線と前記ソース配線とに接続され、前記 2 つの画素の他方に、正及び負の電圧を選択的に印加可能な第 2 薄膜トランジスタと
を備える、液晶表示装置。

10

【請求項 2】

請求項 1 に記載の液晶表示装置であって、
前記ダミーソース配線には、前記ソース配線に入力される信号と極性が逆である信号が入力される、液晶表示装置。

【請求項 3】

請求項 2 に記載の液晶表示装置であって、
前記ダミーソース配線には、前記ソース配線に入力される信号と振幅が同じ信号が入力される、液晶表示装置。

20

【請求項 4】

請求項 1 から請求項 3 のうちのいずれか 1 項に記載の液晶表示装置であって、
断面視において前記ソース配線及び前記ダミーソース配線の上方に配設された共通電極をさらに備え、
平面視において前記ダミーソース配線が前記共通電極と重なる面積は、平面視において前記ソース配線が前記共通電極と重なる面積と同じかそれよりも小さい、液晶表示装置。

【請求項 5】

請求項 1 から請求項 3 のうちのいずれか 1 項に記載の液晶表示装置であって、
断面視において前記ソース配線及び前記ダミーソース配線の上方に配設された共通電極をさらに備え、
前記ソース配線と前記共通電極とが形成する容量は、前記ダミーソース配線と前記共通電極とが形成する容量と同じである、液晶表示装置。

30

【請求項 6】

請求項 1 から請求項 5 のうちのいずれか 1 項に記載の液晶表示装置であって、
前記ソース配線及び前記ダミーソース配線は、列単位の画素に対応して交互に配設されている、液晶表示装置。

【請求項 7】

請求項 1 から請求項 6 のうちのいずれか 1 項に記載の液晶表示装置であって、
列方向に隣り合う 2 つの画素の一方が、1 つの前記第 1 薄膜トランジスタにより電圧が印加される場合には、他方も別の前記第 1 薄膜トランジスタにより電圧が印加され、
列方向に隣り合う 2 つの画素の一方が、1 つの前記第 2 薄膜トランジスタにより電圧が印加される場合には、他方も別の前記第 2 薄膜トランジスタにより電圧が印加される、液晶表示装置。

40

【請求項 8】

マトリクス状に配設された複数の画素を有する液晶表示装置であって、
行単位の画素に対応して配設された第 1 ゲート配線及び第 2 ゲート配線と、
列単位の画素に対応して交互に配設された第 1 ソース配線及び第 2 ソース配線と、
前記第 1 ゲート配線と前記第 1 ソース配線とに接続され、行方向において隣り合う 2 つの画素の一方に、正及び負の電圧を選択的に印加可能な第 1 薄膜トランジスタと、
前記第 2 ゲート配線と前記第 2 ソース配線とに接続され、前記 2 つの画素の他方に、正

50

及び負の電圧を選択的に印加可能な第2薄膜トランジスタとを備える、液晶表示装置。

【請求項9】

請求項8に記載の液晶表示装置であって、

前記第2ソース配線には、前記第1ソース配線に入力される信号と極性が逆でかつ振幅が同じ信号が入力される、液晶表示装置。

【請求項10】

請求項8または請求項9に記載の液晶表示装置であって、

断面視において前記第1ソース配線及び前記第2ソース配線の上方に配設された共通電極をさらに備え、

前記第1ソース配線と前記共通電極とが形成する容量は、前記第2ソース配線と前記共通電極とが形成する容量と同じである、液晶表示装置。

【請求項11】

請求項8から請求項10のうちのいずれか1項に記載の液晶表示装置であって、

列方向に隣り合う2つの画素の一方が、1つの前記第1薄膜トランジスタにより電圧が印加される場合には、他方も別の前記第1薄膜トランジスタにより電圧が印加され、

列方向に隣り合う2つの画素の一方が、1つの前記第2薄膜トランジスタにより電圧が印加される場合には、他方も別の前記第2薄膜トランジスタにより電圧が印加される、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、マトリクス状に配設された複数の画素を有する液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置に対して、高解像度化、実装領域の小型化、低価格化などの様々な要求が、市場から求められている。

【0003】

液晶表示装置に求められる要求事項として狭額縁化がある。狭額縁化とは、実装領域を含む表示領域外の面積を縮小化することである。この狭額縁化に伴い、周辺領域に配置される共通配線（共通電極）の領域が減ってしまうので、共通配線の抵抗が上昇し、共通配線から表示領域内へ供給される共通電位の収束遅延が増大してしまう要因となる。

【0004】

また、液晶表示装置に求められる、狭額縁化以外の要求事項として高解像度化がある。この高解像度化に伴い、1ライン当たりの選択期間が減少していく傾向にある。これにより、画素への充電時間が短くなるので充電不足の問題が生じるが、ポリシリコン半導体や酸化物半導体等の充電能力の高いTFT（薄膜トランジスタ）を用いて対策することができる。しかし、選択期間の短縮化は、共通電位の収束性を悪化させてしまう要因となる。

【0005】

ところで、液晶表示装置では、液晶の特性として単一極性で電圧が長時間印加されると、DC電流によるヤキツキが起きる。そこで、画素へ印加する電圧の極性をサブピクセルごとに異ならせる反転駆動を行って、液晶にかかる電圧を交流化することにより、ヤキツキを生じにくくする技術がある。極性の反転駆動の方式としてフレーム反転駆動（図1）、ライン共通反転駆動（図2）、カラム反転駆動（図3）、ドット反転駆動（図4）等が知られている。

【0006】

しかしながら、反転駆動の方式によっては、表示品位の低下が起きる場合がある。例えば、フレーム反転駆動（図1）やカラム反転駆動（図3）では、輝度傾斜や縦方向でのク

10

20

30

40

50

ロストークが生じる場合がある。また例えば、ラインコモン反転駆動（図2）では、コモンの収束性起因による横方向でのクロストークが生じる場合がある。これらに対し、ドット反転駆動（図4）では、左右画素間及び上下画素間で極性が異なり、コモンの変動を打ち消す効果があり、コモン収束性によるクロストークは生じにくい。

【0007】

そこで、表示特性の面内均一性を得るため、ドット単位（例えば1×1、1×2、2×1単位）で上下左右の画素の極性を異ならせるドット反転駆動が採用されることが多い（例えば特許文献1）。

【0008】

しかしながら、ドット反転駆動でも、表示画像によっては、他の反転駆動方法と同様にクロストークなどの表示品位低下が生じる場合もある。

10

【0009】

図5にドット反転駆動での表示品位低下の例を示す。なお、図5の例では、ノーマリホワイト、1×1ドット反転駆動が適用されていることを前提として説明する。図5（a）に示すように、中間調表示が行われる灰色のバックグラウンド（図5（a）の白地部分）に灰黒の縦ストライプ（図5（a）のハッチング部分）を表示すると、選択ライン50におけるストライプ状の黒色表示部分（電圧の絶対値が大きい部分）では、“-+-”となっているため、極性の総和は負に偏る。

【0010】

図5（b）は、コモン電圧と選択ライン50上の各画素に充電された電圧とを示す図である。本来の最適コモン電圧の値が、図5（b）の太点線で示す位置であった場合に、図5（a）の表示におけるコモン電圧は、ソース-コモン間の容量結合により、図5（b）の太実線のように負の方向へシフトする。コモン電圧の遅延が大きく、シフトされたコモン電圧がゲート選択期間内に元の電圧へ戻らない場合、液晶へかかる実効電圧は、極性の偏りを維持したままとなる。このため、図5（a）の灰黒ストライプ表示部分51の灰色表示部分のうち、負極性で書き込んだR（赤色）の画素及びB（青色）の画素では、液晶へかかる実効電圧は大きくなり輝度が下がる。逆に、図5（a）の灰黒ストライプ表示部分51の灰色表示部分のうち、正極性で書き込んだG（緑色）の画素では輝度が上がる。したがって、緑に色づいたように表示される。また、図5（a）の灰色バックグラウンド部分52では、1画素ごとに明暗が見える横クロストークが視認される。

20

30

【0011】

以上のようにドット反転駆動でも、表示パターンによっては表示品位の低下が起きる。そこで、コモン変動による表示品位の低下を改善させるための方法として、ソース配線に補助信号線を重ねる技術（例えば特許文献2）や、ゲート蛇行配線構造において逆極性を印加する技術（例えば特許文献3）などが提案されている。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】特開昭61-275824号公報

【特許文献2】特許第4556433号公報

【特許文献3】特許第4547726号公報

40

【発明の概要】

【発明が解決しようとする課題】

【0013】

しかしながら、特許文献2の技術では、縦構造に制約があるため、層が少ない構造の製造には適さず、液晶パネル製造が高コスト化するという課題が生じる。また特許文献2の技術では、基板間の容量によるコモン変動を打ち消すことができない。一方、特許文献3の技術では、画素の平面レイアウトが複雑になり、画素の開口率が低下してしまうという課題が生じる。

【0014】

50

そこで、本発明は、上記のような問題点を鑑みてなされたものであり、適切に表示品位を高めることが可能な技術を提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明の第1局面に係る液晶表示装置は、マトリクス状に配設された複数の画素を有する液晶表示装置であって、行単位の画素に対応して配設された第1ゲート配線及び第2ゲート配線と、列単位の画素に対応して配設されたソース配線と、各前記ソース配線に隣接して配設されたダミーソース配線と、前記第1ゲート配線と前記ソース配線とに接続され、行方向において隣り合う2つの画素の一方に、正及び負の電圧を選択的に印加可能な第1薄膜トランジスタと、前記第2ゲート配線と前記ソース配線とに接続され、前記2つの画素の他方に、正及び負の電圧を選択的に印加可能な第2薄膜トランジスタとを備える。

10

【0016】

本発明の第2局面に係る液晶表示装置は、マトリクス状に配設された複数の画素を有する液晶表示装置であって、行単位の画素に対応して配設された第1ゲート配線及び第2ゲート配線と、列単位の画素に対応して交互に配設された第1ソース配線及び第2ソース配線と、前記第1ゲート配線と前記第1ソース配線とに接続され、行方向において隣り合う2つの画素の一方に、正及び負の電圧を選択的に印加可能な第1薄膜トランジスタと、前記第2ゲート配線と前記第2ソース配線とに接続され、前記2つの画素の他方に、正及び負の電圧を選択的に印加可能な第2薄膜トランジスタとを備える。

【発明の効果】

20

【0017】

本発明の第1局面によれば、行単位の画素に対応して配設された第1ゲート配線及び第2ゲート配線と、列単位の画素に対応して配設されたソース配線と、各ソース配線に隣接して配設されたダミーソース配線とを備える。これにより、コモン電位への影響を抑制することができるので、表示品位を高めることができる。

【0018】

本発明の第2局面によれば、行単位の画素に対応して配設された第1ゲート配線及び第2ゲート配線と、列単位の画素に対応して交互に配設された第1ソース配線及び第2ソース配線とを備える。これにより、コモン電位への影響を抑制することができるので、表示品位を高めることができる。

30

【図面の簡単な説明】

【0019】

【図1】フレーム反転駆動を説明するための平面図である。

【図2】ラインコモン反転駆動を説明するための平面図である。

【図3】カラム反転駆動を説明するための平面図である。

【図4】ドット反転駆動を説明するための平面図である。

【図5】ドット反転駆動において生じる表示品位の低下を説明するための平面図である。

【図6】実施の形態1に係る液晶表示装置の構成を模式的に示す平面図である。

【図7】実施の形態1に係る液晶表示装置の駆動を示すタイミングチャートである。

【図8】変形例に係る液晶表示装置の構成を模式的に示す平面図である。

40

【図9】実施の形態2に係る液晶表示装置の構成を示す平面図である。

【図10】実施の形態2に係る液晶表示装置の構成を示す断面図である。

【図11】第1関連液晶表示装置の構成を示す平面図である。

【図12】第1関連液晶表示装置の構成を示す断面図である。

【図13】第2関連液晶表示装置の構成を示す平面図である。

【図14】第2関連液晶表示装置の構成を示す断面図である。

【図15】実施の形態3に係る液晶表示装置の構成を模式的に示す平面図である。

【図16】実施の形態3に係る液晶表示装置の駆動を示すタイミングチャートである。

【発明を実施するための形態】

【0020】

50

< 実施の形態 1 >

図 6 は、本発明の実施の形態 1 に係る液晶表示装置の構成を模式的に示す平面図である。図 6 に示すように、本実施の形態 1 に係る液晶表示装置は、マトリクス状に配設された複数の画素 1 を有する。なお、図 6 では、複数の画素 1 が、横方向に 6 つずつ、縦方向に 5 つずつ配設されているが、画素 1 の横の個数及び縦の個数は、図 6 に示す個数に限ったものではない。また、以下に説明する液晶表示装置の各構成要素の個数も、図 6 に示す個数に限ったものではない。

【 0 0 2 1 】

以下では、図 6 の最も上側の行の画素 1 を、1 行目の画素 1 (画素 1 a , 1 b , 1 c , 1 d , 1 e , 1 f) とし、それより下側の行の画素 1 を、順に、2 行目の画素 1、3 行目の画素 1、...、と記して説明する。また以下では、図 6 の最も左側の列の画素 1 を、1 列目の画素 1 とし、それより右側の列の画素 1 を、順に、2 列目の画素 1、3 列目の画素 1、...、と記して説明する。

10

【 0 0 2 2 】

図 6 の液晶表示装置は、奇数ゲート配線 (第 1 ゲート配線) G 1 , G 3 , G 5 , G 7 , G 9 と、偶数ゲート配線 (第 2 ゲート配線) G 2 , G 4 , G 6 , G 8 , G 1 0 と、ソース配線 S 1 , S 3 , S 5 と、ダミーソース配線 D S 2 , D S 4 , D S 6 と、第 1 T F T (第 1 薄膜トランジスタ) 1 1 と、第 2 T F T (第 2 薄膜トランジスタ) 1 2 とを備える。なお、図 6 では、第 1 T F T 1 1 及び第 2 T F T 1 2 が、模式的に太線で示されている。

20

【 0 0 2 3 】

行単位の画素 1 に対応して、1 組の奇数ゲート配線及び偶数ゲート配線が配設されている。図 6 の例では、1 行目の画素 1 a ~ 1 f に対応して、奇数ゲート配線 G 1 及び偶数ゲート配線 G 2 が配設されている。奇数ゲート配線 G 1 は、平面視において 1 行目の画素 1 a ~ 1 f の上側に配設され、偶数ゲート配線 G 2 は、平面視において 1 行目の画素 1 a ~ 1 f の下側に配設されている。このように、多くの行単位の画素 1 は、1 組の奇数ゲート配線と偶数ゲート配線との間に挟まれるように配設されている。

【 0 0 2 4 】

一方、列単位の画素 1 に対応して、ソース配線が配設されている。そして、各ソース配線に隣接してダミーソース配線が配設されており、後で詳細に説明するように、ソース配線の電圧による影響を抑制することが可能となっている。本実施の形態 1 では、ソース配線及びダミーソース配線は、列単位の画素 1 に対応して交互に配設されている。図 6 の例では、1 列目の画素 1 の右側にソース配線 S 1 が配設され、2 列目の画素 1 の右側にダミーソース配線 D S 2 が配設され、...、5 列目の画素 1 の右側にソース配線 S 5 が配設され、6 列目の画素 1 の右側にダミーソース配線 D S 6 が配設されている。なお、ダミーソース配線 D S 2 , D S 4 , D S 6 は、図 6 の配置に限ったものではなく、1 列目、3 列目、5 列目の画素 1 の左側に配置されてもよい。

30

【 0 0 2 5 】

次に、第 1 T F T 1 1 の接続関係、及び、第 2 T F T 1 2 の接続関係について説明する。図 6 の例では、画素 1 a , 1 c , 1 e には、第 1 T F T 1 1 が対応して配設され、画素 1 b , 1 d , 1 f には、第 2 T F T 1 2 が対応して配設されている。

40

【 0 0 2 6 】

第 1 T F T 1 1 は、奇数ゲート配線 G 1 とソース配線 S 1 とに接続され、行方向において隣り合う 2 つの画素 (画素 1 a , 1 b) の一方 (画素 1 a) に、正及び負の電圧を選択的に印加可能となっている。第 2 T F T 1 2 は、偶数ゲート配線 G 2 とソース配線 S 1 とに接続され、行方向において隣り合う 2 つの画素 (画素 1 a , 1 b) の他方 (画素 1 b) に、正及び負の電圧を選択的に印加可能となっている。なお、第 1 T F T 1 1 及び第 2 T F T 1 2 のいずれも、ダミーソース配線とは接続されていない。

【 0 0 2 7 】

なお、画素 1 c、1 e の第 1 T F T 1 1 の接続関係も、画素 1 a の第 1 T F T 1 1 の接続関係と同様である。また、画素 1 d、1 f の第 2 T F T 1 2 の接続関係も、画素 1 b の

50

第 2 T F T 1 2 の接続関係と同様である。

【 0 0 2 8 】

さらに、2 行目以降の画素 1 の第 1 T F T 1 1 の接続関係は、1 行目の画素 1 a , 1 c , 1 e の第 1 T F T 1 1 の接続関係と同様であり、2 行目以降の画素 1 の第 2 T F T 1 2 の接続関係は、1 行目の画素 1 b , 1 d , 1 f の第 2 T F T 1 2 の接続関係と同様である。このため、列方向に隣り合う 2 つの画素 1 の一方が、1 つの第 1 T F T 1 1 により電圧が印加される場合には、当該 2 つの画素 1 の他方も別の第 1 T F T 1 1 薄膜トランジスタにより電圧が印加されることになる。一方、列方向に隣り合う 2 つの画素 1 の一方が、1 つの第 2 T F T 1 2 により電圧が印加される場合には、当該 2 つの画素 1 の他方も別の第 2 T F T 1 2 により電圧が印加されることになる。

10

【 0 0 2 9 】

図 7 は、本実施の形態 1 に係る信号線の駆動を示すタイミングチャートである。図 7 において、 S_x は、ソース配線に印加される電圧を示し、 S_{x+1} は、ダミーソース配線に印加される電圧を示している。 S_x 及び S_{x+1} のいずれも、High は正電圧の印加に対応し、Low は負電圧の印加に対応する。ゲート信号タイミングは、High が T F T のオンに対応し、Low が T F T のオフに対応する。

【 0 0 3 0 】

図 7 に示すように、本実施の形態 1 では、ダミーソース配線には、ソース配線に入力される信号と極性が逆でかつ振幅が同じ信号が入力される。

【 0 0 3 1 】

図 7 のような駆動によれば、奇数列の画素 1 に書き込まれる電圧の極性と、偶数列の画素 1 に書き込まれる電圧の極性とが異なる。そして、奇数列の画素 1 のそれぞれには、同極性の電圧が書き込まれ、偶数列の画素 1 のそれぞれには、同極性の電圧が書き込まれる。例えば、奇数ゲート配線 G 1 が選択されている場合（対応する第 1 T F T 1 1 がオン状態である場合）には、1 行目の奇数列の画素 1 a , 1 c , 1 e が正電圧（正極性）に充電され、偶数ゲート配線 G 2 が選択されている場合（対応する第 2 T F T 1 2 がオン状態である場合）には、1 行目の偶数列の画素 1 b , 1 d , 1 f が負電圧（負極性）に充電される。

20

【 0 0 3 2 】

奇数ゲート配線 G 1 及び偶数ゲート配線 G 2 の選択によって、1 行目の画素 1 a ~ 1 f が充電された後には、2 行目以降の画素 1 も充電される。なお、2 行目以降の画素 1 の充電は、書き込まれる電圧の極性を除けば、1 行目の画素 1 の充電と同じである。例えば、奇数ゲート配線 G 3 が選択されている場合には、2 行目の奇数列の画素 1 が負電圧（負極性）に充電され、偶数ゲート配線 G 4 が選択されている場合には、2 行目の偶数列の画素 1 が正電圧（正極性）に充電される。

30

【 0 0 3 3 】

これにより、図 6 に示すように、 1×1 のドット反転状態、つまり 1×1 のドット反転駆動を実現することができる。なお、フレームごとに書き込まれる電圧の極性は反転される。

【 0 0 3 4 】

ここで、本実施の形態 1 に係る液晶表示装置は、後述するように、断面視においてソース配線及びダミーソース配線の上方に配設されたコモン電極を備えている。そして、ソース配線とコモン電極とが形成する容量は、ダミーソース配線とコモン電極とが形成する容量と同じになっている。

40

【 0 0 3 5 】

図 6 に示す構成において、これらの容量を同じにし、かつ、図 7 のような駆動を行った場合、図 5 で説明した灰黒の縦ストライプを表示した場合に生じる横クロストークを抑制することができる。以下、これについて詳しく説明する。

【 0 0 3 6 】

まず、図 5 (a) と条件を同じにするため、図 6 において、選択ラインは 1 行目の画素

50

1であると仮定し、画素1a, 1b, 1cは、図5(a)の灰黒ストライプ表示部分51の灰色表示部分であると仮定し、画素1d, 1e, 1fは、図5(a)の灰黒ストライプ表示部分51の黒色表示部分であると仮定する。この場合、図6の黒色表示部分のRGBが“- + -”となり、図5と同じになる。

【0037】

奇数ゲート配線G1が選択された時、ソース配線S5によって、画素1eに正電圧が印加されるが、ダミーソース配線DS4には、当該正電圧と同じ大きさの負電圧が印加される。このため、画素1eに関して、コモン電圧を変動させる影響は互いに打ち消される。

【0038】

次に、偶数ゲート配線G2が選択された時、ソース配線S3によって、画素1dに負電圧が印加されるが、ダミーソース配線DS4には、その負電圧と同じ大きさの正電圧が印加される。このため、画素1eに関して、コモン電圧を変動させる影響は互いに打ち消される。これと同様に、画素1fに関して、コモン電圧を変動させる影響は互いに打ち消される。

10

【0039】

従来技術では、画素ごとに正負の電圧バランスがずれた場合、そのずれがコモン電位を変更させる原因となっていた。これに対し、本実施の形態1においては、ダミーソース配線には、ソース配線に入力される信号と極性が逆でかつ振幅が同じ信号を入力することができる。つまり、ソース配線から画素に電圧を印加する際には、その隣のダミーソース配線に、その電圧と大きさが同じでかつ逆極性の電圧を印加することができる。これにより、コモン電位への影響を抑制することができるので、表示品位を高めることができる。

20

【0040】

また本実施の形態1では、ソース配線及びダミーソース配線は、列単位の画素1に対応して交互に配設されているので、ダミーソース配線を介して隣り合う2つの画素のゲート選択期間が異なるように設定することができる。この結果、ダミーソース配線を、ソース配線の電圧と大きさが同じでかつ逆極性の電圧が印加される専用の配線、つまりコモン電圧変動の影響を打ち消すことに特化した配線として用いることができる。

【0041】

なお、ソース配線とコモン電極とが形成する容量は、ダミーソース配線とコモン電極とが形成する容量と多少異なっても、コモン電位への影響を抑制する効果はある程度得ることにはできる。ただし、この効果を高める観点から、本実施の形態1のように、これら容量を同じにすることが好ましい。

30

【0042】

また、以上の説明では、奇数ゲート配線が、平面視において行単位の画素の上側に配設され、偶数ゲート配線が、平面視において行単位の画素の下側に配設されていた。しかし、これは一例であって、奇数ゲート配線が、平面視において行単位の画素の下側に配設され、偶数ゲート配線が、平面視において行単位の画素の上側に配設されてもよい。

【0043】

また、以上の説明では、ソース配線が、奇数列の配線であり、ダミーソース配線が、偶数列の配線であった。しかし、これは一例であって、ダミーソース配線が、奇数列の配線であり、ソース配線が、偶数列の配線であってもよい。

40

【0044】

なお、ダミーソース配線に印加される電圧の大きさが、ソース配線の電圧と同じであれば、上述の効果を高めることができるが、多少異なっても逆極性の電圧であれば、上述の効果をある程度得ることができる。

【0045】

<変形例>

実施の形態1においては、ソース線とダミーソース線の本数が同一である構成について説明したが、必ずしも同一である必要は無い。図8に変形例を示す。図8においては、ダミー配線DS0が、画素領域の最外端の配線として設けられている。

50

【 0 0 4 6 】

本変形例のような構成によれば、画素表示領域内のどの画素もダミー配線と容量を形成することになるため、表示面内での均一性を向上させることができる。具体的には、図 8 の例において、仮に画素表示領域の最外端の配線であるダミー配線 D S 0 が設けられていない場合、最外端の 1 列目の画素 1 は、実質的にソース配線 S 1 とのみ容量を形成することになる。この場合、ソース配線 S 1 の電圧が変わるたびに、1 列目の画素 1 とソース配線 S 1 との間で形成される容量が変動し、1 列目の画素 1 の画素電位も変動する。このような画素電圧の変動により、1 列目の画素 1 の輝度も変動することになる。一方、1 列目の画素 1 以外の画素 1 においては、ゲート選択期間中のソース配線の電位の変動による影響は、逆極性の電圧となるダミー配線により打ち消され、ソース電位の変動による輝度の変動は抑制される。

10

【 0 0 4 7 】

これに対して図 8 のような本変形例によれば、1 列目の画素 1 においても、ゲート選択期間中のソース配線の電位の変動による影響は、逆極性の電圧となるダミー配線により打ち消されるので、ソース電位の変動による輝度の変動を抑制することができる。なお、図 8 のような本変形例においては、ソース配線の本数とダミーソース配線の本数とは異なるが、本数の違いとしては 1 本分の差にすぎない。このため、全体の総ソース配線の本数に対して、その差の影響は小さく、従来の構成に比べて表示品位を高めることができる。

【 0 0 4 8 】

< 実施の形態 2 >

20

本発明の実施の形態 2 では、実施の形態 1 で説明した画素の具体的な構造について説明する。ここでは、F F S (Fringe Field Switching) 方式の T F T アレイ基板を例にして説明する。

【 0 0 4 9 】

図 9 は、本実施の形態 2 に係る液晶表示装置 (T F T アレイ基板) の構成を示す平面図であり、図 1 0 は、本実施の形態 2 に係る液晶表示装置 (T F T アレイ基板) の構成を示す断面図である。具体的には、図 9 及び図 1 0 には、画素 1 b , 1 c の構成が示されている。

【 0 0 5 0 】

以下、画素 1 b の構成について主に説明するが、画素 1 c を含む他の画素 1 の構成についても同様である。また、以下の説明では、奇数ゲート配線 G 1 , G 3 , G 5 , G 7 , G 9 及び偶数ゲート配線 G 2 , G 4 , G 6 , G 8 , G 1 0 をまとめて「ゲート配線 G」と記し、ソース配線 S 1 , S 3 , S 5 をまとめて「ソース配線 S」と記し、ダミーソース配線 D S 2 , D S 4 , D S 6 をまとめて「ダミーソース配線 D S」と記すこともある。

30

【 0 0 5 1 】

画素 1 b の第 2 T F T 1 2 は、ゲート配線 G (偶数ゲート配線 G 2) と、半導体膜 1 3 と、ソース電極 1 4 と、ドレイン電極 1 5 とを備える。

【 0 0 5 2 】

ソース電極 1 4 は、ソース配線 S (ソース配線 S 1) と電氣的に接続されている。

【 0 0 5 3 】

40

図 1 0 の有機絶縁膜 1 6 は、ソース電極 1 4 及びドレイン電極 1 5 上に配設されており、画素電極 1 7 は、有機絶縁膜 1 6 上に配設されている。そして、ドレイン電極 1 5 は、有機絶縁膜 1 6 のコンタクトホール 1 8 を介して画素電極 1 7 と電氣的に接続されている。

【 0 0 5 4 】

ゲート配線 G (偶数ゲート配線 G 2) の電圧の印加に応じて、第 2 T F T 1 2 はオン状態またはオフ状態となる。第 2 T F T 1 2 がオン状態の場合には、ソース電極 1 4 からドレイン電極 1 5 に電流を流すことが可能となり、その結果として、ソース配線 S (ソース配線 S 1) の電圧が、画素電極 1 7 に印加される。

【 0 0 5 5 】

50

画素電極 17 上には、無機絶縁膜 19 を介してコモン電極 20 が配設され、コモン電極 20 上側には液晶層（図示せず）が配設されている。コモン電極 20 には、スリット 20 a が設けられている。

【0056】

画素電極 17 に電圧が印加された場合、電界が、画素電極 17 から、コモン電極 20 のスリット 20 a を介して液晶層に向かい、液晶層内にて水平方向（横方向）に向かってから、コモン電極 20 に向かう。このため、第 2 TFT 12 がオン状態の場合に、ソース配線 S（ソース配線 S1）の電圧を制御することにより、液晶層の液晶を、水平方向に向かう電界を用いて駆動することができる。この結果、液晶層の偏光状態、及び、画素 1 b の輝度を制御することができる。

10

【0057】

ここで、本実施の形態 2 に係る液晶表示装置に関連する第 1 液晶表示装置（以下「第 1 関連液晶表示装置」と記す）の構成と、本実施の形態 2 に係る液晶表示装置に関連する第 2 液晶表示装置（以下「第 2 関連液晶表示装置」と記す）の構成とについて説明する。

【0058】

図 11 は、第 1 関連液晶表示装置（TFT アレイ基板）の構成を示す平面図であり、図 12 は、第 1 関連液晶表示装置の構成を示す断面図である。なお、第 1 関連液晶表示装置では、平面視においてソース配線がコモン電極と重なる面積は、平面視においてダミーソース配線がコモン電極と重なる面積と同じになっている。これにより、ソース配線とコモン電極とが形成する容量は、ダミーソース配線とコモン電極とが形成する容量と同じになっている。

20

【0059】

さて、図 12 に示すように、第 1 関連液晶表示装置では、画素電極 17 とソース配線 S とが同層（ほぼ同じ高さ）に設けられている。このような構成では、画素電極 17 とソース配線 S の間の水平方向の距離を、短絡しない程度に大きくする必要があるので、開口率を増やすことが困難である。

【0060】

図 13 は、第 2 関連液晶表示装置（TFT アレイ基板）の構成を示す平面図であり、図 14 は、第 2 関連液晶表示装置の構成を示す断面図である。図 14 に示すように、第 2 関連液晶表示装置では、ソース配線 S 上に有機絶縁膜 16 が配設され、有機絶縁膜 16 上に画素電極 17 が配設されている。つまり、画素電極 17 とソース配線 S とが別層（異なる高さ）に設けられている。このような構成では、画素電極 17 とソース配線 S の間の水平方向の距離を、比較的小さくすることができるので、開口率を増やすことができる。

30

【0061】

図 10 に戻って、本実施の形態 2 に係る液晶表示装置でも、第 2 関連液晶表示装置と同様に、画素電極 17 とソース配線 S とが別層（異なる高さ）に設けられているので、同様に開口率を増やすことができる。

【0062】

また本実施の形態 2 では、有機絶縁膜 16 上に画素電極 17 だけでなく、ダミーソース配線 DS が配設されている。このような構成によれば、ゲート配線 G とダミーソース配線 DS との間の距離を長くすることができるので、ゲート配線 G とダミーソース配線 DS との間の容量を小さくすることができる。この結果、第 1 及び第 2 関連液晶表示装置に比べて、1 つのゲート配線 G の容量を軽減することができるので、ゲート電圧の立上り遅延に起因する充電特性の低下や、ゲート電圧の立下り遅延に起因する逆極性への充電特性の低下を抑制することができる。

40

【0063】

また本実施の形態 2 における、ダミーソース配線 DS とコモン電極 20 との間の距離は、第 2 関連液晶表示装置における、ダミーソース配線 DS とコモン電極 20 との間の距離よりも短くなる。このため、ダミーソース配線 DS とコモン電極 20 とが形成する容量が同じである場合には、本実施の形態 2 に係るダミーソース配線 DS の幅及び面積は、第 2

50

関連液晶表示装置に係るダミーソース配線 DS の幅及び面積よりも小さくなる。このため、本実施の形態 2 によれば、開口率を増やすことができるとともに、1つのゲート配線 G の容量をより軽減することができる。

【0064】

なお、以上の説明では、FFS方式の液晶表示装置を例にして説明した。しかし本実施の形態 2 に係る液晶表示装置は、この方式に限ったものではなく、コモン電極やソース配線などの配線を有する任意の液晶表示装置に適用することができる。また、表示品位を高めるだけでよいのであれば、第1関連液晶表示装置の構成、または、第2関連液晶表示装置の構成を用いてもよい。換言すれば、平面視においてダミーソース配線がコモン電極と重なる面積は、平面視においてソース配線がコモン電極と重なる面積と同じかそれよりも小さくなればよい。

10

【0065】

<実施の形態 3>

図15は、本発明の実施の形態 3 に係る液晶表示装置の構成を示す平面図である。以下、本実施の形態 3 で説明する構成要素のうち、実施の形態 1 と同じまたは類似する構成要素については同じ参照符号を付し、異なる構成要素について主に説明する。

【0066】

実施の形態 1 に係る液晶表示装置(図6)は、ソース配線 $S1, S3, S5$ と、ダミーソース配線 $DS2, DS4, DS6$ とを備えていた。これに対して本実施の形態 3 に係る液晶表示装置(図15)は、奇数ソース配線(第1ソース配線) $OS1, OS3, OS5$, $OS7$ と、偶数ソース配線(第2ソース配線) $ES2, ES4, ES6$ とを備える。

20

【0067】

本実施の形態 3 では、列単位の画素 1 に対応して、奇数ソース配線及び偶数ソース配線が交互に配設されている。図15の例では、1列目の画素 1 の左側に奇数ソース配線 $OS1$ が配設され、2列目の画素 1 の左側に偶数ソース配線 $ES2$ が配設され、...、5列目の画素 1 の左側に奇数ソース配線 $OS5$ が配設され、6列目の画素 1 の左側に偶数ソース配線 $ES6$ が配設されている。

【0068】

第1 TFT 11 は、奇数ゲート配線 $G1$ と奇数ソース配線 $OS1$ とに接続され、行方向において隣り合う2つの画素(画素 1 a, 1 b)の一方(画素 1 a)に、正及び負の電圧を選択的に印加可能となっている。第2 TFT 12 は、偶数ゲート配線 $G2$ と偶数ソース配線 $ES1$ とに接続され、行方向において隣り合う2つの画素(画素 1 a, 1 b)の他方(画素 1 b)に、正及び負の電圧を選択的に印加可能となっている。

30

【0069】

なお、画素 1 c、1 e の第1 TFT 11 の接続関係も、画素 1 a の第1 TFT 11 の接続関係と同様である。また、画素 1 d、1 f の第2 TFT 12 の接続関係も、画素 1 b の第2 TFT 12 の接続関係と同様である。

【0070】

さらに、2行目以降の画素 1 の第1 TFT 11 の接続関係は、1行目の画素 1 a, 1 c, 1 e の第1 TFT 11 の接続関係と同様であり、2行目以降の画素 1 の第2 TFT 12 の接続関係は、1行目の画素 1 b, 1 d, 1 f の第2 TFT 12 の接続関係と同様である。このため、列方向に隣り合う2つの画素 1 の一方が、1つの第1 TFT 11 により電圧が印加される場合には、当該2つの画素 1 の他方も別の第1 TFT 11 薄膜トランジスタにより電圧が印加されることになる。一方、列方向に隣り合う2つの画素 1 の一方が、1つの第2 TFT 12 により電圧が印加される場合には、当該2つの画素 1 の他方も別の第2 TFT 12 により電圧が印加されることになる。

40

【0071】

図16は、本実施の形態 3 に係る信号線の駆動を示すタイミングチャートである。図16において、 S_x 及び S_{x+2} は、奇数ソース配線に印加される電圧を示し、 S_{x+1} 及び S_{x+3} は、偶数ソース配線に印加される電圧を示している。 S_x, S_{x+1}, S_{x+2}

50

S_{x+3} のいずれも、High はコモン電位に対して正電圧の印加に対応し、Low はコモン電位に対して負電圧の印加に対応する。ゲート信号タイミングは、High が T F T のオンに対応し、Low が T F T のオフに対応する。

【0072】

図16に示すように、本実施の形態3では、偶数ソース配線には、奇数ソース配線に入力される信号と極性が同じでかつ振幅が同じ信号が入力される。ただし、偶数ソース配線に入力される信号の振幅と、奇数ソース配線に入力される信号の振幅とは、多少異なってもよい。

【0073】

図16のような駆動によれば、奇数列の画素1に書き込まれる電圧の極性と、偶数列の画素1に書き込まれる電圧の極性とは、互いに隣接する横2つの画素1を単位として同じになる。例えば、奇数ゲート配線G1が選択されている時（対応する第1 T F T 11がオン状態である時）には、1行目の奇数列の画素1a, 1eが正電圧（正極性）に充電されるように奇数ソース配線OS1, OS5には正極性の電圧が印加されている。なお、この時、偶数ソース配線ES2, ES6は、奇数ソース配線OS1, OS5とは逆極性となっているため、負極性の電圧が印加されている。

【0074】

次に、偶数ゲート配線G2が選択されている時（対応する第2 T F T 12がオン状態である時）には、奇数ソース配線OS1, OS5の極性と、偶数ソース配線ES2, ES6の極性とは、奇数ゲート配線G1が選択されている時のそれらの極性と逆転する。このため、偶数ソース配線ES2, ES6には正極性の電圧が印加されることになり、1行目の偶数列の画素1b, 1fも正電圧（正極性）に充電される。

【0075】

一方、上記と極性を逆にすると、画素1c, 1dに関する状況となる。すなわち、奇数ゲート配線G1が選択されている時には、1行目の奇数列の画素1cが負電圧（負極性）に充電されるように奇数ソース配線OS3には負極性の電圧が印加されている。なお、この時、偶数ソース配線ES4はソース配線OS3とは逆極性となっているため、正極性の電圧が印加されている。次に、偶数ゲート配線G2が選択されている時には、奇数ソース配線OS3の極性と、偶数ソース配線ES4の極性とは、奇数ゲート配線G1が選択されている時のそれらの極性と逆転する。このため、偶数ソース配線ES4には負極性の電圧が印加されることになり、1行目の偶数列の画素1dも負電圧（負極性）に充電される。

【0076】

奇数ゲート配線G1及び偶数ゲート配線G2の選択によって、1行目の画素1a~1fが充電された後には、2行目以降の画素1も充電される。なお、2行目以降の画素1の充電は、書き込まれる電圧の極性を除けば、1行目の画素1の充電と同じである。例えば、奇数ゲート配線G3が選択されている場合には、2行目の奇数ソース配線OS1, OS5に接続されている奇数列の画素1が負電圧（負極性）に充電され、偶数ゲート配線G4が選択されている場合にも、2行目の偶数ソース配線ES2, ES6に接続されている偶数列の画素1が負電圧（負極性）に充電される。

【0077】

これにより、図15に示すように、 2×1 のドット反転状態、つまり 2×1 のドット反転駆動を実現することができる。なお、フレームごとに書き込まれる電圧の極性は反転される。

【0078】

以上のような本実施の形態3に係る液晶表示装置によれば、実施の形態1と同様に、コモン電位への影響を抑制することができるので、表示品位を高めることができる。より詳しく説明すると、実施の形態1においては、ソース配線と逆極性を有してコモン電圧変動の影響を打ち消すことに特化したダミーソース配線をソース配線と交互に設けた構成であったが、実施の形態3においてはかかるダミーソース配線を設けることなく、ソース配線の極性をゲート配線の選択ごとに逆転することにより、同様の効果が得られる。

10

20

30

40

50

【 0 0 7 9 】

なお、本実施の形態3においても実施の形態1と同様に、奇数ソース配線と共通電極とが形成する容量は、偶数ソース配線と共通電極とが形成する容量と同じになるように構成されてもよい。このように構成した場合には、共通電位への影響を抑制する効果を高めることができる。

【 0 0 8 0 】

また、以上に説明した奇数ゲート配線と偶数ゲート配線の配置を入れ替えてもよいし、以上に説明した奇数ソース配線と偶数ソース配線の配置を入れ替えてもよい。また、本実施の形態3の画素の構造として、実施の形態2に係る液晶表示装置の構成、第1関連液晶表示装置の構成、及び、第2関連液晶表示装置の構成と同様の構成を用いてもよい。

10

【 0 0 8 1 】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

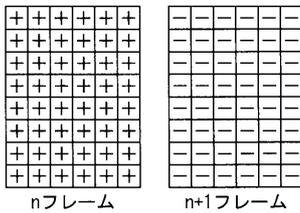
【 符号の説明 】

【 0 0 8 2 】

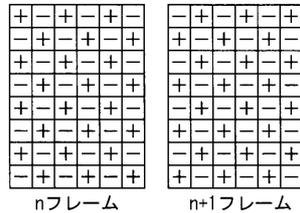
1, 1 a, 1 b, 1 c, 1 d, 1 e, 1 f 画素、1 1 第1 TFT、1 2 第2 TFT、G 1, G 3, G 5, G 7, G 9 奇数ゲート配線、G 2, G 4, G 6, G 8, G 1 0 偶数ゲート配線、S 1, S 3, S 5 ソース配線、D S 2, D S 4, D S 6 ダミーソース配線、O S 1, O S 3, O S 5, O S 7 奇数ソース配線、E S 2, E S 4, E S 6 偶数ソース配線。

20

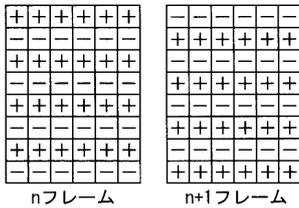
【 図 1 】



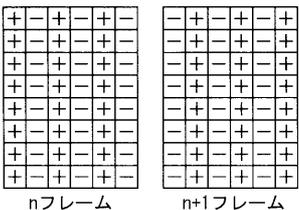
【 図 4 】



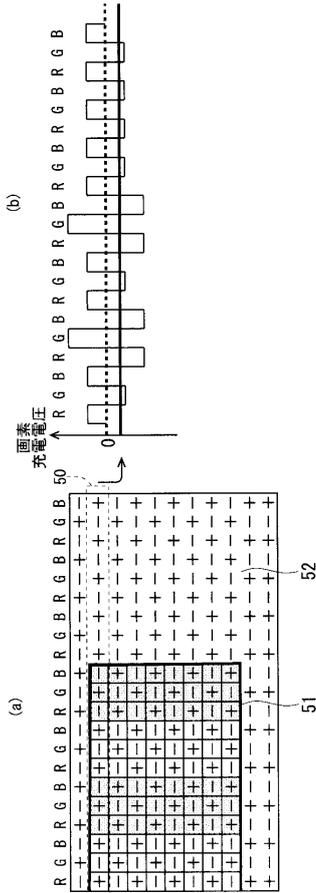
【 図 2 】



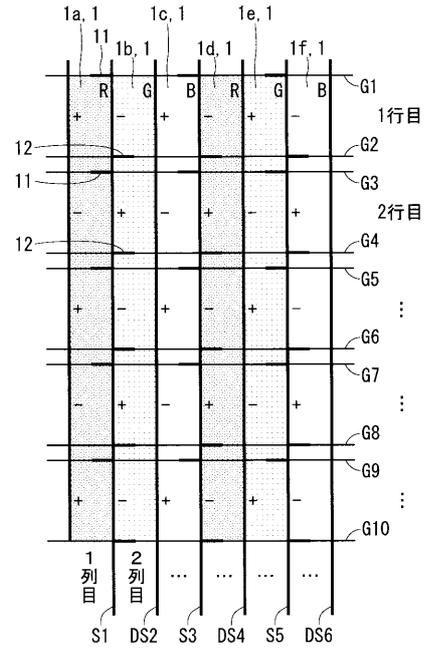
【 図 3 】



【 図 5 】

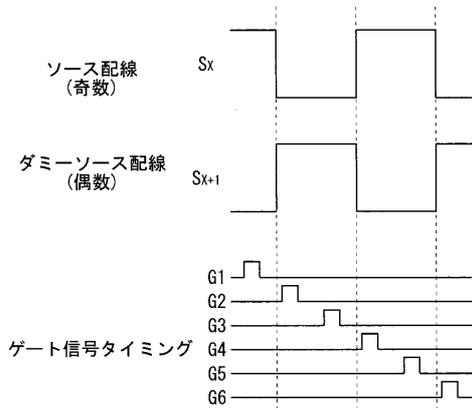


【 図 6 】

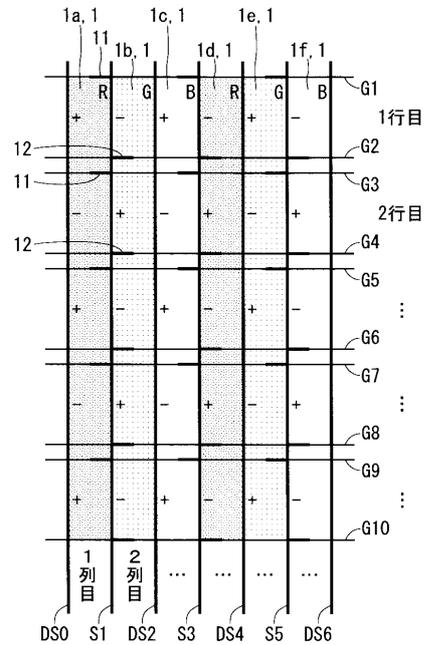


1, 1 a, 1 b, 1 c, 1 d, 1 e, 1 f : 画素
 1 1 : 第 1 T F T
 1 2 : 第 2 T F T
 G 1, G 3, G 5, G 7, G 9 : 奇数ゲート配線
 G 2, G 4, G 6, G 8, G 1 0 : 偶数ゲート配線
 S 1, S 3, S 5 : ソース配線
 D S 2, D S 4, D S 6 : ダミーソース配線

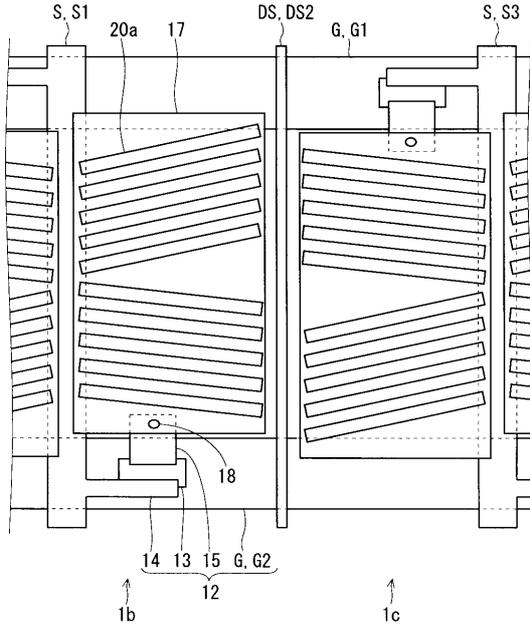
【 図 7 】



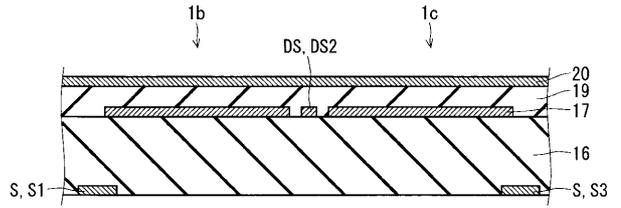
【 図 8 】



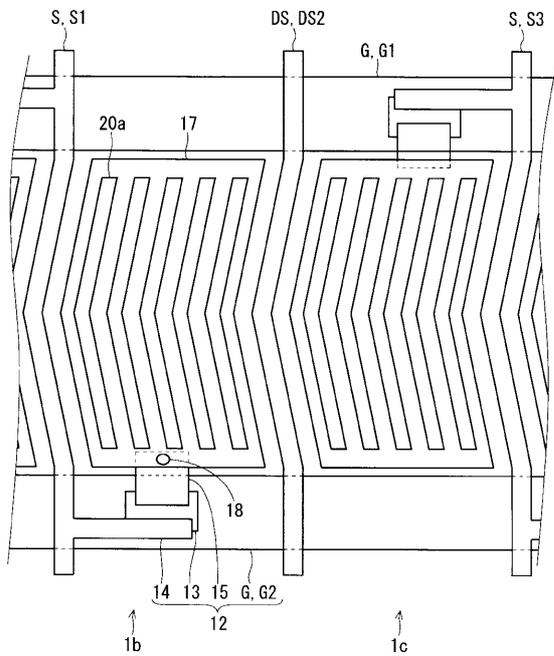
【 図 9 】



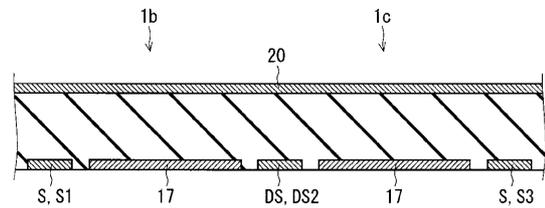
【 図 10 】



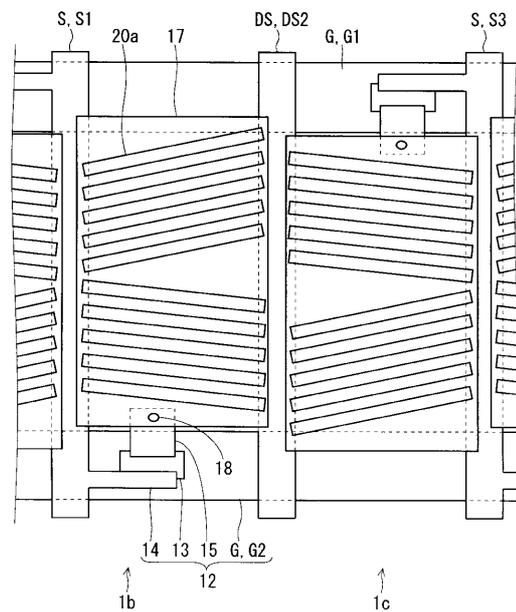
【 図 11 】



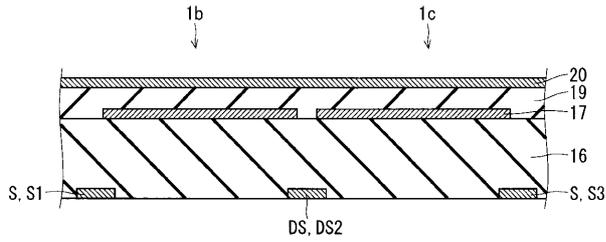
【 図 12 】



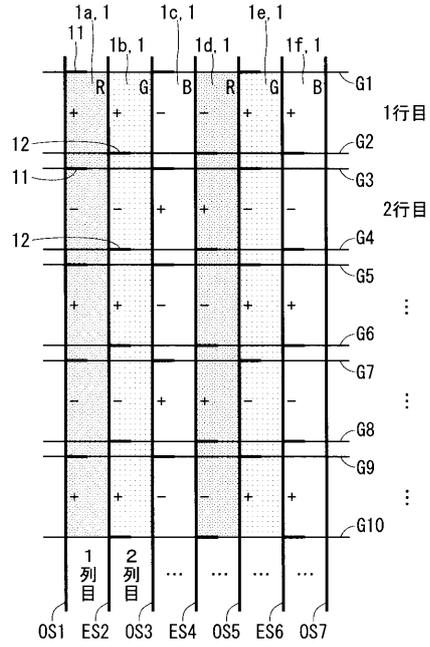
【 図 13 】



【 図 1 4 】

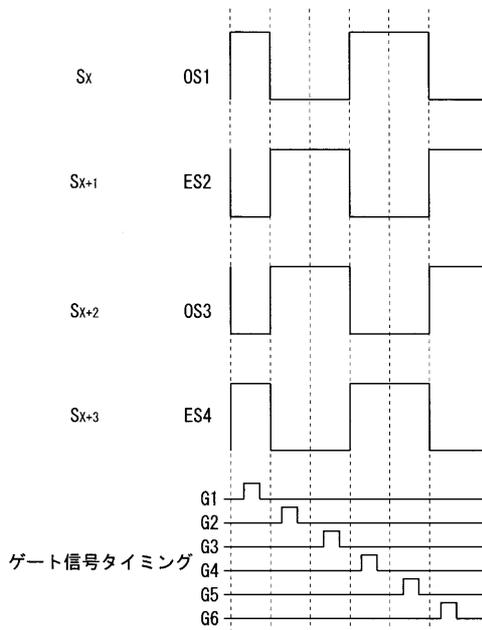


【 図 1 5 】



OS 1, OS 3, OS 5, OS 7 : 奇数ソース配線
 ES 2, ES 4, ES 6 : 偶数ソース配線

【 図 1 6 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 2 2 P
	G 0 9 G 3/20	6 3 1 U
	G 0 9 G 3/20	6 8 0 G
	G 0 9 G 3/20	6 2 3 C
	G 0 2 F 1/1368	

F ターム(参考) 2H193 ZA04 ZB02 ZB03 ZC13 ZC14 ZC25 ZC36 ZQ16
5C006 AA22 AC11 AC24 AC26 AF44 AF51 AF59 AF71 BB16 BB27
BC23 FA16 FA34 FA37 FA41 FA51
5C080 AA10 BB05 CC03 DD22 EE30 FF11 JJ02 JJ04 JJ06

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017203862A	公开(公告)日	2017-11-16
申请号	JP2016095029	申请日	2016-05-11
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	安田尚平		
发明人	安田 尚平		
IPC分类号	G02F1/1343 G02F1/133 G09G3/36 G09G3/20 G02F1/1368		
FI分类号	G02F1/1343 G02F1/133.550 G09G3/36 G09G3/20.621.B G09G3/20.624.B G09G3/20.622.P G09G3/20.631.U G09G3/20.680.G G09G3/20.623.C G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/JA24 2H092/JB32 2H092/NA01 2H092/PA06 2H192/AA24 2H192/BB12 2H192/BB53 2H192/BC31 2H192/CC24 2H192/CC62 2H192/DA72 2H192/GD61 2H193/ZA04 2H193/ZB02 2H193/ZB03 2H193/ZC13 2H193/ZC14 2H193/ZC25 2H193/ZC36 2H193/ZQ16 5C006/AA22 5C006/AC11 5C006/AC24 5C006/AC26 5C006/AF44 5C006/AF51 5C006/AF59 5C006/AF71 5C006/BB16 5C006/BB27 5C006/BC23 5C006/FA16 5C006/FA34 5C006/FA37 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD22 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ04 5C080/JJ06		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种能够适当提高显示质量的技术。 解决方案：第一栅极布线和第二栅极布线以行为基础对应于像素布置，源极布线以列为基础对应于像素布置，为每个源提供虚设源布线并且布置在布线附近。第一薄膜晶体管连接到第一栅极布线和源极布线，并且能够选择性地将正电压和负电压施加到行方向上的两个相邻像素中的一个。第二薄膜晶体管连接到第二栅极布线和源极布线，并且正电压和负电压可以选择性地施加到两个像素中的另一个。 点域6

