

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2017-161913

(P2017-161913A)

(43) 公開日 平成29年9月14日 (2017.9.14)

(51) Int. Cl.	F I	テーマコード (参考)
GO2F 1/1368 (2006.01)	GO2F 1/1368	2H192
HO1L 29/786 (2006.01)	HO1L 29/78 618B	5F110
HO1L 21/336 (2006.01)	HO1L 29/78 612Z	
	HO1L 29/78 619A	

審査請求 有 請求項の数 4 O L (全 29 頁)

(21) 出願番号	特願2017-76383 (P2017-76383)	(71) 出願人	000153878
(22) 出願日	平成29年4月7日 (2017.4.7)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2015-164404 (P2015-164404) の分割	(72) 発明者	山崎 舜平
原出願日	平成22年12月13日 (2010.12.13)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2009-288312 (P2009-288312)		半導体エネルギー研究所内
(32) 優先日	平成21年12月18日 (2009.12.18)	Fターム (参考)	2H192 AA24 CB05 CB13 CB37 CB83
(33) 優先権主張国	日本国 (JP)		CC32 CC72 DA12 EA74 HA13
(31) 優先権主張番号	特願2010-92111 (P2010-92111)		HA14 HA44 HA47 HA90 HB04
(32) 優先日	平成22年4月13日 (2010.4.13)		HB13
(33) 優先権主張国	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 液晶表示装置

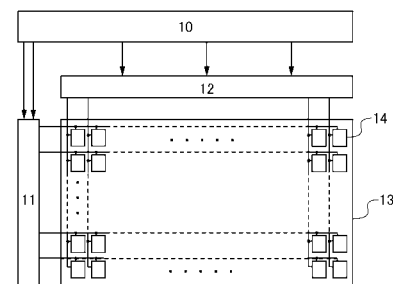
(57) 【要約】 (修正有)

【課題】液晶表示装置の消費電力を低減すること及び表示の劣化を抑制すること。また、温度などの外部因子による表示の劣化を抑制すること。

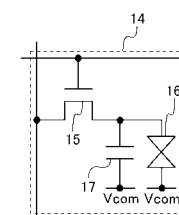
【解決手段】各画素に設けられるトランジスタ15として、チャンネル形成領域が酸化物半導体層によって構成されるトランジスタ15を適用する。なお、当該酸化物半導体層を高純度化することで、トランジスタ15の室温におけるオフ電流値を10 aA/μm以下且つ85におけるオフ電流値を100 aA/μm以下とすることが可能である。そのため、液晶表示装置の消費電力を低減すること及び表示の劣化を抑制することが可能になる。また、上述したようにトランジスタ15は、85という高温においてもオフ電流値を100 aA/μm以下とすることが可能である。そのため、温度などの外部因子による液晶表示装置の表示の劣化を抑制することができる。

【選択図】 図1

(A)



(B)



【特許請求の範囲】

【請求項 1】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

動画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さいことを特徴とする液晶表示装置。

【請求項 2】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

基板温度が -30°C であり、ソース・ドレイン間電圧が 6V であり、且つゲート電圧が -5V 又は -10V である場合の前記トランジスタのソース・ドレイン電流は、 $1 \times 10^{-12}\text{A}$ 以下であり、

基板温度が 120°C であり、ソース・ドレイン間電圧が 6V であり、且つゲート電圧が -5V 又は -10V である場合の前記トランジスタのソース・ドレイン電流は、 $1 \times 10^{-12}\text{A}$ 以下であり、

動画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さいことを特徴とする液晶表示装置。

【請求項 3】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記トランジスタは、前記酸化物半導体層下方にゲート電極を有し、

前記トランジスタは、前記酸化物半導体層上方にソース電極及びドレイン電極を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方に第1の絶縁層が設けられており、

前記第1の絶縁層上方に第2の絶縁層が設けられており、

前記第1の絶縁層は、前記酸化物半導体層と接する領域を有し、

前記第1の絶縁層は、酸素と、珪素と、を有し、

前記第2の絶縁層は、窒素と、珪素と、を有し、

動画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さいことを特徴とする液晶表示装置。

【請求項 4】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記トランジスタは、前記酸化物半導体層下方にゲート電極を有し、

前記トランジスタは、前記酸化物半導体層上方にソース電極及びドレイン電極を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方に第1の絶縁層が設けられており、

前記第1の絶縁層上方に第2の絶縁層が設けられており、

前記第1の絶縁層は、前記酸化物半導体層と接する領域を有し、

前記第 1 の絶縁層は、酸素と、珪素と、を有し、

前記第 2 の絶縁層は、窒素と、珪素と、を有し、

基板温度が - 3 0 であり、ソース - ドレイン間電圧が 6 V であり、且つゲート電圧が - 5 V 又は - 1 0 V である場合の前記トランジスタのソース - ドレイン電流は、 1×10^{-12} A 以下であり、

基板温度が 1 2 0 であり、ソース - ドレイン間電圧が 6 V であり、且つゲート電圧が - 5 V 又は - 1 0 V である場合の前記トランジスタのソース - ドレイン電流は、 1×10^{-12} A 以下であり、

動画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する場合に前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さいことを特徴とする液晶表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及び該液晶表示装置を有する電子機器に関する。

【背景技術】

【0002】

液晶表示装置は、テレビ受像機などの大型表示装置から携帯電話などの小型表示装置に至るまで普及している。そのため、液晶表示装置の開発としては、低コスト化又は高付加価値化を目的とした開発が行われている。特に近年では、地球環境への関心が高まり、低消費電力型の液晶表示装置の開発が注目されている。

20

【0003】

特許文献 1 では、液晶表示装置における消費電力を低減する技術が開示されている。具体的には、全ての走査線及びデータ信号線を非選択状態とする休止期間に、全データ信号線を電氣的にデータ信号ドライバから切り離してハイインピーダンス状態とする液晶表示装置が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 0 1 - 3 1 2 2 5 3 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0005】

一般的に液晶表示装置は、マトリクス状に配列された複数の画素が設けられた画素部を有する。当該画素は、画像信号の入力を制御するトランジスタと、入力される画像信号に応じた電圧が印加される液晶素子と、該液晶素子に印加される電圧を保持する補助容量とを有する。なお、当該液晶素子は印加される電圧に応じて配向が変化する液晶材料を有し、当該液晶材料の配向を制御することによって各画素の表示が制御される。

【0006】

特許文献 1 で開示される液晶表示装置では、休止期間において、画素部に含まれる各画素に対して画像信号が入力されない。すなわち、各画素内に画像信号を保持したまま、画像信号の入力を制御するトランジスタがオフ状態を維持する期間が長期化する。そのため、当該トランジスタを介した画像信号のリークが各画素の表示に対して与える影響が顕在化する。具体的には、液晶素子に印加される電圧が低下し、当該液晶素子を有する画素の表示の劣化（変化）が顕在化する。

40

【0007】

さらに、当該トランジスタを介した画像信号のリークは、トランジスタの動作温度によって変動する。具体的には、動作温度の上昇に伴い、トランジスタを介した画像信号のリークが増加する。そのため、特許文献 1 で開示される液晶表示装置は、環境の変動が大きい屋外などにおいて使用した際に、表示品質を一定に保つことが困難である。

50

【 0 0 0 8 】

そこで、本発明の一態様は、液晶表示装置の消費電力を低減すること及び表示の劣化（表示品質の低下）を抑制することを課題の一とする。

【 0 0 0 9 】

また、本発明の一態様は、温度などの外部因子に対する表示の劣化（表示品質の低下）が抑制された液晶表示装置を提供することを課題の一とする。

【課題を解決するための手段】

【 0 0 1 0 】

上述した課題は、各画素に設けられるトランジスタとして、チャンネル形成領域が酸化物半導体層によって構成されるトランジスタを適用することで解決できる。なお、当該酸化物半導体層は、電子供与体（ドナー）となる不純物（水素又は水など）を徹底的に除去することにより高純度化された酸化物半導体層である。当該トランジスタでは、チャンネル長 $10\ \mu\text{m}$ の場合において、室温におけるチャンネル幅 $1\ \mu\text{m}$ 当たりのオフ電流値を $10\ \text{aA}$ ($1 \times 10^{-17}\ \text{A}$) 以下とすることが可能である（これを $10\ \text{aA} / \mu\text{m}$ と表す）。

10

【 0 0 1 1 】

また、当該酸化物半導体層は、 $2.0\ \text{eV}$ 以上、好ましくは $2.5\ \text{eV}$ 以上、より好ましくは $3.0\ \text{eV}$ 以上のバンドギャップを有する。加えて、当該酸化物半導体層は、高純度化されることで、導電型が限りなく真性型に近づく。そのため、当該酸化物半導体層では、熱励起に起因するキャリアの発生を抑制することができる。その結果、当該トランジスタの動作温度の上昇に伴うオフ電流の増加を低減することができる。具体的には、チャンネル長 $10\ \mu\text{m}$ の場合において、 85°C におけるチャンネル幅 $1\ \mu\text{m}$ 当たりのオフ電流値を $100\ \text{aA}$ ($1 \times 10^{-16}\ \text{A}$) 以下とすることが可能である（これを $100\ \text{aA} / \mu\text{m}$ と表す）。

20

【 0 0 1 2 】

具体的には、本発明の一態様は、走査線駆動回路によってスイッチングが制御されるトランジスタと、一方の端子に信号線駆動回路から前記トランジスタを介して画像信号が入力され、他方の端子に共通電位が供給されることで、前記画像信号に応じた電圧が印加される液晶素子と、前記液晶素子に印加される電圧を保持する容量素子と、を有する複数の画素がマトリクス状に配列された液晶表示装置であって、前記走査線駆動回路及び前記信号線駆動回路の動作を制御し、前記画素への前記画像信号の入力を選択する制御回路を有し、前記トランジスタは、チャンネル形成領域が酸化物半導体層によって構成され、オフ状態の前記トランジスタを介した前記画像信号のリークが、前記液晶素子を介した前記画像信号のリークよりも小さいことを特徴とする液晶表示装置である。

30

【発明の効果】

【 0 0 1 3 】

本発明の一態様の液晶表示装置は、各画素に設けられるトランジスタとして、チャンネル形成領域が酸化物半導体層によって構成されるトランジスタを適用する。なお、当該酸化物半導体層を高純度化することで、当該トランジスタの室温におけるオフ電流値を $10\ \text{aA} / \mu\text{m}$ 以下且つ 85°C におけるオフ電流値を $100\ \text{aA} / \mu\text{m}$ 以下とすることが可能である。そのため、当該トランジスタを介した画像信号のリークを低減することができる。すなわち、当該トランジスタを有する画素への画像信号の書き込み頻度を低減した場合における表示の劣化（変化）を抑制することができる。その結果、当該液晶表示装置の消費電力を低減すること及び表示の劣化（表示品質の低下）を抑制することが可能になる。

40

【 0 0 1 4 】

また、上述したように当該トランジスタは、 85°C という高温においてもオフ電流値を $100\ \text{aA} / \mu\text{m}$ 以下とすることが可能である。すなわち、当該トランジスタは、動作温度の上昇に伴うオフ電流値の増加が著しく小さいトランジスタである。そのため、当該トランジスタを液晶表示装置の各画素に設けられるトランジスタとして適用することで、温度などの外部因子が当該画素における画像信号のリークに与える影響を低減することができる。つまり、当該液晶表示装置は、環境の変動が大きい屋外などにおいて使用した場合

50

であっても、表示の劣化（表示品質の低下）を抑制することが可能な液晶表示装置である。

【図面の簡単な説明】

【0015】

【図1】（A）、（B）実施の形態1に係る液晶表示装置を説明する図。

【図2】実施の形態1に係る液晶表示装置を説明する図。

【図3】（A）～（C）実施の形態1に係る液晶表示装置を説明する図。

【図4】（A）～（D）実施の形態2に係るトランジスタを説明する図。

【図5】（A）、（B）実施の形態3に係る液晶表示装置を説明する図。

【図6】（A）～（F）実施の形態4に係る電子機器を説明する図。

【図7】実施例1に係るトランジスタの初期特性を示す図。

【図8】（A）、（B）実施例1に係るトランジスタの評価用素子の上面図。

【図9】（A）、（B）実施例1に係るトランジスタの評価用素子のV_g-I_d特性を示す図。

【発明を実施するための形態】

【0016】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0017】

なお、トランジスタのソース端子及びドレイン端子は、トランジスタの構造や動作条件等によって替わる。そこで、本書類においては、トランジスタのソース及びドレインの役割を果たす端子の一方を第1端子、他方を第2端子と表記し、区別することとする。

【0018】

また、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。また、本明細書にて用いる「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0019】

（実施の形態1）

本実施の形態では、アクティブマトリクス型の液晶表示装置の一例について示す。具体的には、画素部に対する画像信号の入力を選択することが可能なアクティブマトリクス型の液晶表示装置について図1～図3を参照して説明する。

【0020】

本実施の形態の液晶表示装置の構成例について図1を参照して以下に説明する。図1（A）は、液晶表示装置の構成例を示す図である。図1（A）に示す液晶表示装置は、制御回路10と、走査線駆動回路11と、信号線駆動回路12と、画素部13とを有する。さらに、画素部13は、マトリクス状に配列された複数の画素14を有する。図1（B）は、画素14の構成例を示す図である。図1（B）に示す画素14は、ゲート端子が走査線駆動回路11に電氣的に接続され、第1端子が信号線駆動回路12に電氣的に接続されたトランジスタ15と、一方の端子がトランジスタ15の第2端子に電氣的に接続され、他方の端子が共通電位（V_{com}）を供給する配線に電氣的に接続された液晶素子16と、一方の端子がトランジスタ15の第2端子及び液晶素子16の一方の端子に電氣的に接続され、他方の端子が共通電位（V_{com}）を供給する配線に電氣的に接続される容量素子17とを有する。

【0021】

本実施の形態の液晶表示装置は、走査線駆動回路11によってトランジスタ15のスイッチングを制御し、信号線駆動回路12からトランジスタ15を介して液晶素子16に画

10

20

30

40

50

像信号が入力される。なお、液晶素子 16 は、一方の端子及び他方の端子に挟持された液晶層を有する。該液晶層には当該画像信号と共通電位 (Vcom) の電位差分の電圧が印加され、当該電圧によって該液晶層の配向状態が制御される。本実施の形態の液晶表示装置では、当該配向を利用して各画素 14 の表示を制御している。なお、容量素子 17 は、液晶素子 16 に印加される電圧を保持するために設けられている。

【0022】

加えて、本実施の形態に示した液晶表示装置は、制御回路 10 によって、走査線駆動回路 11 及び信号線駆動回路 12 の動作を制御することで、画素部 13 への画像信号の入力を選択することが可能である。

【0023】

次いで、本実施の形態の液晶表示装置の構成要素の具体例について説明する。

【0024】

< 制御回路 10 >

図 2 は、制御回路 10 の構成例を示す図である。図 2 に示す制御回路 10 は、信号生成回路 20 と、記憶回路 21 と、比較回路 22 と、選択回路 23 と、表示制御回路 24 とを有する。

【0025】

信号生成回路 20 は、走査線駆動回路 11 及び信号線駆動回路 12 を動作させ、画素部 13 に画像を形成するための信号を生成する回路である。具体的には、画素部 13 にマトリクス状に配列された複数の画素に対して入力される画像信号 (Data)、走査線駆動回路 11 又は信号線駆動回路 12 の動作を制御する信号 (例えば、スタートパルス信号 (SP)、クロック信号 (CK) など)、並びに電源電圧である高電源電位 (Vdd) 及び低電源電位 (Vss) などを生成し、出力する回路である。なお、図 2 に示す制御回路 10 においては、信号生成回路 20 は、記憶回路 21 に対して画像信号 (Data) を出力し、表示制御回路 24 に対して走査線駆動回路 11 又は信号線駆動回路 12 の動作を制御する信号を出力する。また、信号生成回路 20 から記憶回路 21 に対して出力される画像信号 (Data) がアナログ信号である場合には、A/D コンバータなどを介して、当該画像信号 (Data) をデジタル信号に変換することもできる。

【0026】

記憶回路 21 は、画素部 13 において、第 1 の画像を形成するための画像信号乃至第 n の画像 (n は、2 以上の自然数) を形成するための画像信号を記憶するための複数のメモリ 25 を有する。なお、メモリ 25 は、DRAM (Dynamic Random Access Memory)、SRAM (Static Random Access Memory) などの記憶素子を用いて構成すればよい。また、メモリ 25 は、画素部 13 において形成される画像毎に画像信号を記憶する構成であればよく、メモリ 25 の数は、特定の数に限定されない。加えて、複数のメモリ 25 が記憶する画像信号は、比較回路 22 及び選択回路 23 により選択的に読み出される。

【0027】

比較回路 22 は、記憶回路 21 に記憶された第 k の画像 (k は、1 以上 n 未満の自然数) を形成するための画像信号及び第 k + 1 の画像を形成するための画像信号を選択的に読み出して、当該画像信号の比較を行い、差分を検出する回路である。なお、第 k の画像及び第 k + 1 の画像は、画素部 13 において連続して表示される画像である。比較回路 22 での画像信号の比較により、差分が検出された場合、当該画像信号によって形成される 2 枚の画像は動画であると判断される。一方、比較回路 22 での画像信号の比較により、差分が検出されない場合、当該画像信号によって形成される 2 枚の画像は静止画であると判断される。すなわち、比較回路 22 は、比較回路 22 での差分の検出によって連続して表示される画像を形成するための画像信号が、動画を表示するための画像信号であるか、静止画を表示するための画像信号であるかを判断する回路である。なお、比較回路 22 は、当該差分が一定のレベルを超えたときに、差分を検出したと判断されるように設定してもよい。

10

20

30

40

50

【 0 0 2 8 】

選択回路 2 3 は、比較回路 2 2 で検出された差分を基に、画素部への画像信号の出力を選択する回路である。具体的には、選択回路 2 3 は、比較回路 2 2 で、差分が検出された画像を形成するための画像信号は出力し、差分が検出されない画像を形成するための画像信号は出力しない回路である。

【 0 0 2 9 】

表示制御回路 2 4 は、スタートパルス信号 (S P)、クロック信号 (C K)、高電源電位 (V d d)、及び低電源電位 (V s s) などの制御信号の走査線駆動回路 1 1 及び信号線駆動回路 1 2 への供給を制御する回路である。具体的には、比較回路 2 2 により動画と判断された場合 (連続して表示される画像に差分が検出された場合) には、選択回路 2 3 から供給された画像信号 (D a t a) を信号線駆動回路 1 2 に出力するとともに、走査線駆動回路 1 1 及び信号線駆動回路 1 2 に対して、制御信号 (スタートパルス信号 (S P)、クロック信号 (C K)、高電源電位 (V d d)、及び低電源電位 (V s s) など) を供給する。一方、比較回路 2 2 により静止画と判断された場合 (連続して表示される画像に差分が検出されない場合) には、選択回路 2 3 から画像信号 (D a t a) が供給されないとともに、走査線駆動回路 1 1 及び信号線駆動回路 1 2 に対して、制御信号 (スタートパルス信号 (S P)、クロック信号 (C K)、高電源電位 (V d d)、及び低電源電位 (V s s) など) を供給しない。すなわち、比較回路 2 2 により静止画と判断された場合 (連続して表示される画像に差分が検出されない場合) には、走査線駆動回路 1 1 及び信号線駆動回路 1 2 の動作を完全に停止させる。ただし、静止画と判断される期間が短い場合には、高電源電位 (V d d) 及び低電源電位 (V s s) を供給し続ける構成とすることもできる。なお、高電源電位 (V d d) 及び低電源電位 (V s s) が供給されるとは、ある配線の電位が高電源電位 (V d d) 又は低電源電位 (V s s) に固定されることである。すなわち、ある電位状態にある当該配線が、高電源電位 (V d d) 又は低電源電位 (V s s) に変化することになる。当然、当該電位の変化には電力消費が伴う。そのため、頻繁に高電源電位 (V d d) 及び低電源電位 (V s s) の供給の停止及び再供給を行うことで、結果的に、消費電力が増大する可能性がある。そのような場合には、高電源電位 (V d d) 及び低電源電位 (V s s) を供給し続ける構成とすることが好ましい。なお、上述した説明において、信号を「供給しない」とは、当該信号を供給する配線において所定の電位とは異なる電位が供給される、又は当該配線の電位が浮遊状態になることを指すこととする。

【 0 0 3 0 】

制御回路 1 0 において、上述したように走査線駆動回路 1 1 及び信号線駆動回路 1 2 の動作を制御することで液晶表示装置の消費電力を低減することが可能である。

【 0 0 3 1 】

< トランジスタ 1 5 >

トランジスタ 1 5 は、チャネル形成領域が酸化物半導体層によって構成されるトランジスタである。該酸化物半導体層は、電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物 (水素化合物ともいう) などの不純物を意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料である酸素を供給することによって、高純度化及び電氣的に I 型 (真性) 化された酸化物半導体層である。なお、当該酸化物半導体は、2 e V 以上、好ましくは 2 . 5 e V 以上、より好ましくは 3 . 0 e V 以上のバンドギャップを有する。

【 0 0 3 2 】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく (ゼロに近い)、キャリア密度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロにする。酸化物半導体層中にキャリアが極めて少ないため、オフ電流値を低くすることができる。オフ電流値は低ければ低いほど好ましい。そのため、上述したトランジスタにおいては、チャネル幅 (w) が $1 \mu\text{m}$ あたりの室温におけるオフ電流値を $10 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-17} \text{ A} / \mu\text{m}$) 以下に

すること、及び 85 におけるオフ電流値を $100 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-16} \text{ A} / \mu\text{m}$) 以下にすることが可能である。なお、一般に、アモルファスシリコンを具備するトランジスタでは、室温におけるオフ電流値は $1 \times 10^{-13} \text{ A} / \mu\text{m}$ 以上となる。さらに、pn 接合がなく、ホットキャリア劣化がないため、これらにトランジスタの電気的特性が影響を受けない。これにより、各画素 14 の画像信号の保持期間を長くすることができる。つまり、静止画を表示する際の画像信号の再書き込みの間隔を長くすることができる。例えば、画像信号の書き込みの間隔を 10 秒以上、好ましくは 30 秒以上、さらに好ましくは 1 分以上 10 分未満とすることができる。書き込む間隔を長くすると、消費電力を抑制する効果を高くできる。

【0033】

なお、トランジスタのオフ電流の流れ難さをオフ抵抗率として表すことができる。オフ抵抗率とは、トランジスタがオフのときのチャネル形成領域の抵抗率であり、オフ抵抗率はオフ電流から算出することができる。

【0034】

具体的には、オフ電流とドレイン電圧との値が分かればオームの法則からトランジスタがオフのときの抵抗値（オフ抵抗 R ）を算出することができる。そして、チャネル形成領域の断面積 A とチャネル形成領域の長さ（ソースドレイン電極間の距離に相当する） L が分かれば $\rho = RA / L$ の式（ R はオフ抵抗）からオフ抵抗率 ρ を算出することができる。

【0035】

ここで、断面積 A は、チャネル形成領域の膜厚を d とし、チャネル幅を W とするとき、 $A = dW$ から算出することができる。また、チャネル形成領域の長さ L はチャネル長 L である。以上のように、オフ電流からオフ抵抗率を算出することができる。

【0036】

本実施の形態の酸化物半導体層を具備するトランジスタのオフ抵抗率は $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上が好ましく、さらには $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上がより好ましい。

【0037】

このように酸化物半導体層に含まれる水素を徹底的に除去することにより高純度化された酸化物半導体層をトランジスタのチャネル形成領域に用いたトランジスタは、オフ電流値を極めて低くすることができる。つまり、トランジスタがオフ状態にある時、酸化物半導体層を絶縁体とみなして回路設計を行うことができる。一方で、酸化物半導体層を具備するトランジスタは、オン状態においては、アモルファスシリコン層を具備するトランジスタよりも高い電流供給能力を見込むことができる。

【0038】

また、低温ポリシリコン層を具備するトランジスタでは、酸化物半導体層を具備するトランジスタと比べて、室温におけるオフ電流値が 10000 倍程度大きい値であると見積もって設計等を行っている。そのため、酸化物半導体層を具備するトランジスタでは、低温ポリシリコン層を具備するトランジスタに比べて、保持容量が同等（0.1 pF 程度）である際、電圧の保持期間を 10000 倍程度に引き延ばすことができる。一例として、動画表示を毎秒 60 フレームで行う場合、1 回の信号書き込みによる保持期間を 10000 倍の 160 秒程度とすることができる。そして、少ない画像信号の書き込み回数でも、表示部での静止画の表示を行うことができる。

【0039】

保持期間を長くすることで、画素への画像信号の供給を行う頻度を低減することができる。特に、上述したような、画像信号を選択的に画素部に入力することが可能な液晶表示装置に対しては、上述したトランジスタを適用する効果が大きい。すなわち、当該液晶表示装置においては、長期間に渡って画像信号が画素へ入力されない可能性があるが、上述したトランジスタを画素への画像信号の入力を制御するトランジスタとして適用することで、当該画素の表示の劣化（変化）を抑制することができる。

【0040】

また、当該トランジスタを画素への画像信号の入力を制御するスイッチとして適用する

10

20

30

40

50

ことによって、画素に設けられる容量素子のサイズを縮小することが可能になる。これにより、当該画素の開口率を向上させること及び当該画素への画像信号の入力を高速に行うことなどが可能になる。

【0041】

< 液晶素子 16 及び容量素子 17 >

画像信号の入力を制御するトランジスタ 15 として上述したトランジスタを適用する場合、液晶素子 16 が有する液晶材料として固有抵抗率が高い物質を適用することが好ましい。ここで、図 3 を参照してその理由について説明する。なお、図 3 は、アモルファスシリコン層を具備するトランジスタを有する画素及び上述した酸化物半導体層を具備するトランジスタを有する画素における画像信号のリークの経路を示した模式図である。

10

【0042】

図 1 (B) に示したように、当該画素は、トランジスタ 15 と、液晶素子 16 と、容量素子 17 とによって構成され、トランジスタ 15 がオフ状態にある場合、図 3 (A) に示す回路と等価である。すなわち、トランジスタ 15 を抵抗 ($R_{T_{off}}$) によって表し、液晶素子 16 を抵抗 (R_{LC}) 及び容量 (C_{LC}) によって表した回路と等価である。画像信号が当該画素に入力されると、当該画像信号は、容量素子 17 の容量 (C_S) 及び液晶素子 16 の容量 (C_{LC}) に保存される。その後、トランジスタ 15 がオフ状態となると、図 3 (B)、(C) に示すようにトランジスタ 15 及び液晶素子 16 を介して、画像信号がリークする。なお、図 3 (B) は、トランジスタ 15 がアモルファスシリコン層を具備するトランジスタである場合の画像信号のリークを表す模式図であり、図 3 (C) は、トランジスタ 15 が酸化物半導体層を具備するトランジスタである場合の画像信号のリークを表す模式図である。アモルファスシリコン層を具備するトランジスタのオフ抵抗値は、液晶素子の抵抗値より低い。そのため、図 3 (B) に示すように、画像信号のリークは、アモルファスシリコン層を具備するトランジスタを介したリークが主となる (図 3 (B) 中、経路 A 及び経路 B を経るリークが主となる)。一方、高純度化された酸化物半導体層を具備するトランジスタのオフ抵抗値は、液晶素子の抵抗値より高い。そのため、図 3 (C) に示すように、画像信号のリークは、液晶素子を介したリークが主となる (図 3 (C) 中、経路 C 及び経路 D を経るリークが主となる)。

20

【0043】

すなわち、従来においては、液晶表示装置の各画素における画像信号の保持特性は、各画素に設けられるトランジスタの特性を律速点としていたが、高純度化された酸化物半導体層を具備するトランジスタを各画素に設けられるトランジスタに適用することで、液晶素子の抵抗値が律速点になる。そのため、液晶素子 16 が有する液晶材料として固有抵抗率の高い物質を適用することが好ましい。

30

【0044】

具体的には、画素に、高純度化された酸化物半導体層を具備するトランジスタを有する液晶表示装置においては、液晶材料の固有抵抗率は、 $1 \times 10^{12} \Omega \cdot \text{cm}$ 以上であり、好ましくは $1 \times 10^{13} \Omega \cdot \text{cm}$ を超えていることであり、さらに好ましくは $1 \times 10^{14} \Omega \cdot \text{cm}$ を超えていることが好ましい要件となる。なお、当該液晶材料を用いて液晶素子を構成した場合の抵抗は、配向膜及びシール材からの不純物が混入する可能性もあり、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、より好ましくは $1 \times 10^{12} \Omega \cdot \text{cm}$ を超えていることが好ましい要件となる。また、本明細書における固有抵抗率の値は、20 で測定した値とする。

40

【0045】

また、静止画表示における保持期間において、液晶素子 16 の他方の端子への共通電位 (V_{com}) の供給を行わず、当該端子を浮遊状態とすることもできる。具体的には、当該端子と、共通電位 (V_{com}) を与える電源との間にスイッチを設け、書き込み期間中はスイッチをオンにして電源から共通電位 (V_{com}) を与えた後、残りの保持期間においてはスイッチをオフにして浮遊状態とすればよい。該スイッチについても、前述した高純度化された酸化物半導体層を具備するトランジスタを用いることが好ましい。液晶素子

50

16の他方の端子を浮遊状態とすることで、不正パルスなどによる、画素14における表示の劣化(変化)を低減することができる。なぜなら、トランジスタ15がオフ状態にある場合にトランジスタ15の第1端子の電位が不正パルスによって変動すると、容量結合によって液晶素子16の一方の端子の電位も変動する。この時、液晶素子16の他方の端子に共通電位(Vcom)が供給された状態であると、当該変動は液晶素子16に印加される電圧値の変化に直結するのに対し、液晶素子の他方の端子が浮遊状態にあると、当該端子の電位も容量結合により変動する。そのため、トランジスタ15の第1端子の電位が不正パルスによって変動した場合であっても、液晶素子16に印加される電圧値の変化を低減することができ、画素14における表示の劣化(変化)を低減することができる。

【0046】

また、容量素子17の容量(C_s)の大きさは、各画素に設けられたトランジスタのオフ電流等を考慮して設定されるものである。ただし、上述したように、高純度化した酸化物半導体層を具備するトランジスタを画素が有するトランジスタに適用することで、容量素子17の設計に要求される条件が大きく変化する。以下に具体的な数値を挙げて当該内容について説明する。

【0047】

一般的に画素が有するトランジスタとしてアモルファスシリコン層を具備するトランジスタを適用した場合のオフ抵抗値は、 $1 \times 10^{12} \Omega$ 程度であり、液晶素子の抵抗値は $1 \times 10^{15} \Omega$ 程度である。そのため、画素が有するトランジスタを高純度化された酸化物半導体層を具備するトランジスタとすることで、当該画素における画像信号のリークを1/1000程度にまで低減することが可能である。すなわち、容量素子17の容量(C_s)の大きさを1/1000程度にまで低減すること、又は当該画素において静止画を表示する場合の画像信号の書き込みの頻度を1/1000程度にまで低減することができる。例えば、1秒間に60回の画像信号の書き込みを行っている場合は、15秒間に1回程度にまで当該書き込みの頻度を低減することが可能である。また、容量素子17として、50fF程度の容量を有する素子を適用することで、画素において画像信号を30秒程度保持し得る。一例として、各画素において画像信号を5秒以上5分以下保持するためには、容量素子17の容量(C_s)が0.5pF以上であることが好ましく、1pF以上であることがより好ましい。なお、上述した説明における各種の数値は、概算値であることを付記する。

【0048】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【0049】

(実施の形態2)

本実施の形態では、実施の形態1に示したトランジスタの一例について図4(A)~(D)を参照して説明する。

【0050】

図4(A)~(D)は、実施の形態1に示したトランジスタの具体的な構成及び作製工程の具体例を示す図である。なお、図4(A)~(D)に示す薄膜トランジスタ410は、チャンネルエッチ型と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。また、図4(A)~(D)には、シングルゲート構造の薄膜トランジスタを示すが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造の薄膜トランジスタとすることができる。

【0051】

以下、図4(A)~(D)を参照して、基板400上に薄膜トランジスタ410を作製する工程について説明する。

【0052】

まず、絶縁表面を有する基板400上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層411を形成する。なお、当該工程において用いられるレジス

10

20

30

40

50

トマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減することができる。

【0053】

絶縁表面を有する基板400に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730以上のものを用いると良い。

【0054】

下地膜となる絶縁膜を基板400とゲート電極層411の間に設けてもよい。下地膜は、基板400からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

【0055】

また、ゲート電極層411の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0056】

例えば、ゲート電極層411の2層の積層構造としては、アルミニウム層上にモリブデン層を積層した2層構造、銅層上にモリブデン層を積層した2層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した2層構造、窒化チタン層とモリブデン層を積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した3層構造とすることが好ましい。

【0057】

次いで、ゲート電極層411上にゲート絶縁層402を形成する。

【0058】

ゲート絶縁層402は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、若しくは酸化アルミニウム層を単層で又は積層して形成することができる。例えば、成膜ガスとして、シラン(SiH_4)、酸素及び窒素を用いてプラズマCVD法により酸化窒化シリコン層を形成すればよい。また、ゲート絶縁層として酸化ハフニウム(HfO_x)、酸化タンタル(TaO_x)等のHigh-k材料を用いることもできる。ゲート絶縁層402の膜厚は、100nm以上500nm以下とし、積層の場合は、例えば、膜厚50nm以上200nm以下の第1のゲート絶縁層と、第1のゲート絶縁層上に膜厚5nm以上300nm以下の第2のゲート絶縁層とを積層して形成する。

【0059】

ここでは、ゲート絶縁層402としてプラズマCVD法により膜厚100nm以下の酸化窒化シリコン層を形成する。

【0060】

また、ゲート絶縁層402として、高密度プラズマ装置を用い、酸化窒化シリコン膜の形成を行ってもよい。ここで高密度プラズマ装置とは、 $1 \times 10^{11} / \text{cm}^3$ 以上のプラズマ密度を達成できる装置を指している。例えば、3kW~6kWのマイクロ波電力を印加してプラズマを発生させて、絶縁膜の成膜を行う。

【0061】

チャンバーに材料ガスとしてシラン(SiH_4)、亜酸化窒素(N_2O)、及び希ガスを導入し、10Pa~30Paの圧力で高密度プラズマを発生させてガラス等の絶縁表面を有する基板上に絶縁膜を形成する。その後、シラン(SiH_4)の供給を停止し、大気に曝すことなく亜酸化窒素(N_2O)と希ガスを導入して絶縁膜表面にプラズマ処理を行ってもよい。少なくとも亜酸化窒素(N_2O)と希ガスを導入して絶縁膜表面に行われ

10

20

30

40

50

るプラズマ処理は、絶縁膜の成膜より後に行う。上記プロセス順序を経た絶縁膜は、膜厚が薄く、例えば100nm未満であっても信頼性を確保することができる絶縁膜である。

【0062】

ゲート絶縁層402の形成の際、チャンバーに導入するシラン(SiH_4)と亜酸化窒素(N_2O)の流量比は、1:10から1:200の範囲とする。また、チャンバーに導入する希ガスとしては、ヘリウム、アルゴン、クリプトン、キセノンなどを用いることができるが、中でも安価であるアルゴンを用いることが好ましい。

【0063】

また、高密度プラズマ装置により得られた絶縁膜は、一定した厚さの膜形成ができるため段差被覆性に優れている。また、高密度プラズマ装置により得られる絶縁膜は、薄い膜の厚みを精密に制御することができる。

10

【0064】

上記プロセス順序を経た絶縁膜は、従来の平行平板型のPCVD装置で得られる絶縁膜とは大きく異なり、同じエッチャントを用いてエッチング速度を比較した場合において、平行平板型のPCVD装置で得られる絶縁膜の10%以上または20%以上遅く、高密度プラズマ装置で得られる絶縁膜は緻密な膜と言える。

【0065】

なお、後の工程でi型化又は実質的にi型化される酸化物半導体層(高純度化された酸化物半導体層)は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体層に接するゲート絶縁層は、高品質化が要求される。従って μ 波(2.45GHz)を用いた高密度プラズマCVD装置は、緻密で絶縁耐圧の高い高品質な絶縁膜を形成できるので好ましい。高純度化された酸化物半導体層と高品質ゲート絶縁層が密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できることが重要である。

20

【0066】

次いで、ゲート絶縁層402上に、膜厚2nm以上200nm以下の酸化物半導体膜430を形成する。なお、酸化物半導体膜430をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層402の表面に付着している粉状物質(パーティクル、ゴミともいう)を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側にRF電源を用いて電圧を印加して基板にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

30

【0067】

酸化物半導体膜430は、In-Ga-Zn-O系、In-Sn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体膜を用いる。本実施の形態では、酸化物半導体膜430として、In-Ga-Zn-O系金属酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図4(A)に相当する。また、酸化物半導体膜430は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素の混合雰囲気下においてスパッタ法により形成することができる。また、スパッタ法を用いる場合、 SiO_2 を2重量%以上10重量%以下含むターゲットを用いて成膜を行い、酸化物半導体膜430に結晶化を阻害する SiO_x ($x>0$)を含ませ、後の工程で行う脱水化または脱水素化のための加熱処理の際に結晶化してしまうのを抑制することができる。

40

【0068】

ここでは、In、Ga、及びZnを含む金属酸化物ターゲット(In_2O_3 : Ga_2O_3 : $\text{ZnO}=1:1:1$ [mol]、 $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$ [atom])

50

を用いて、基板とターゲットの間との距離を100mm、圧力0.2Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン:酸素=30sccm:20sccm、酸素流量比率40%)雰囲気下で成膜する。なお、パルス直流(DC)電源を用いると、成膜時に発生する粉状物質が軽減でき、膜厚分布も均一となるために好ましい。In-Ga-Zn-O系膜の膜厚は、5nm以上200nm以下とする。本実施の形態では、酸化物半導体膜として、In-Ga-Zn-O系金属氧化物ターゲットを用いてスパッタ法により膜厚20nmのIn-Ga-Zn-O系膜を成膜する。また、In、Ga、及びZnを含む金属氧化物ターゲットとして、In:Ga:Zn=1:1:1[atom]、又はIn:Ga:Zn=1:1:2[atom]の組成比を有するターゲットを用いることもできる。

10

【0069】

スパッタ法にはスパッタ用電源に高周波電源を用いるRFスパッタ法とDCスパッタ法があり、さらにパルスのバイアスを与えるパルスDCスパッタ法もある。RFスパッタ法は主に絶縁膜を成膜する場合に用いられ、DCスパッタ法は主に金属膜を成膜する場合に用いられる。

【0070】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

20

【0071】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタ法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるECRスパッタ法を用いるスパッタ装置がある。

【0072】

また、スパッタ法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタ法や、成膜中に基板にも電圧をかけるバイアスパッタ法もある。

【0073】

次いで、酸化物半導体膜430を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、当該工程において用いられるレジストマスクは、インクジェット法によって形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0074】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400以上750以下、好ましくは400以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層431を得る(図4(B)参照)。

【0075】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

40

50

【0076】

例えば、第1の加熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

【0077】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

【0078】

また、第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜430に対して行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、第2のフォトリソグラフィ工程を行う。

【0079】

酸化物半導体層に対する脱水化または脱水素化の加熱処理は、酸化物半導体層の形成後、酸化物半導体層上にソース電極層及びドレイン電極層を積層させた後、ソース電極層及びドレイン電極層上に保護絶縁膜を形成した後、のいずれで行っても良い。

【0080】

また、ゲート絶縁層402に開口部を形成する場合、その工程は酸化物半導体膜430に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

20

【0081】

なお、ここでの酸化物半導体膜430のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

【0082】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス(塩素系ガス、例えば塩素(Cl_2)、三塩化硼素(BCl_3)、四塩化シリコン(SiCl_4)、四塩化炭素(CCl_4)など)が好ましい。

【0083】

また、フッ素を含むガス(フッ素系ガス、例えば四弗化炭素(CF_4)、六弗化硫黄(SF_6)、三弗化窒素(NF_3)、トリフルオロメタン(CHF_3)など)、臭化水素(HBr)、酸素(O_2)、これらのガスにヘリウム(He)やアルゴン(Ar)などの希ガスを添加したガス、などを用いることができる。

30

【0084】

ドライエッチング法としては、平行平板型RIE(Reactive Ion Etching)法や、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件(コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等)を適宜調節する。

40

【0085】

ウェットエッチングに用いるエッチング液としては、リン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N(関東化学社製)を用いてもよい。

【0086】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0087】

50

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0088】

次いで、ゲート絶縁層402、及び酸化物半導体層431上に、金属導電膜を形成する。金属導電膜をスパッタ法や真空蒸着法で形成すればよい。金属導電膜の材料としては、アルミニウム（Al）、クロム（Cr）、銅（Cu）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）から選ばれた元素、上述した元素を成分とする合金、又は上述した元素を組み合わせた合金等が挙げられる。また、マンガン（Mn）、マグネシウム（Mg）、ジルコニウム（Zr）、ベリリウム（Be）、イットリウム（Y）のいずれか一または複数から選択された材料を用いてもよい。また、金属導電膜は、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、銅又は銅を主成分とする膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、窒化タンタル膜又は窒化銅膜上に銅膜を積層する2層構造、チタン膜上にアルミニウム膜を積層し、さらにアルミニウム膜上にチタン膜を積層する3層構造などが挙げられる。また、アルミニウム（Al）に、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素を単数、又は複数組み合わせた膜、合金膜、もしくは窒化膜を用いてもよい。

10

【0089】

金属導電膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を金属導電膜に持たせることが好ましい。

20

【0090】

第3のフォトリソグラフィ工程により金属導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層415a、ドレイン電極層415bを形成した後、レジストマスクを除去する（図4（C）参照）。

【0091】

なお、金属導電膜のエッチングの際に、酸化物半導体層431は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

【0092】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層431は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、当該工程において用いるレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

30

【0093】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、アッシングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

【0094】

次いで、亜酸化窒素（ N_2O ）、窒素（ N_2 ）、またはアルゴン（Ar）などのガスを用いたプラズマ処理を行う。このプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去する。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0095】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層416を形成する。

50

【0096】

酸化物絶縁層416は、少なくとも1nm以上の膜厚とし、スパッタ法など、酸化物絶縁層416に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。酸化物絶縁層416に水素が含まれると、その水素の酸化物半導体層への侵入が生じ酸化物半導体層431のバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成される。よって、酸化物絶縁層416はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

【0097】

ここでは、酸化物絶縁層416として膜厚200nmの酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300以下とすればよく、本実施の形態では100とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化シリコン膜を形成することができる。

10

【0098】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200以上400以下、例えば250以上350以下）を行う。例えば、窒素雰囲気下で250、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が酸化物絶縁層416と接した状態で加熱される。これにより、酸化物半導体層の一部（チャネル形成領域）に酸素が供給される。

20

【0099】

以上の工程を経ることによって、酸化物半導体層に対して脱水化または脱水素化のための加熱処理を行った後、酸化物半導体層の一部（チャネル形成領域）を選択的に酸素過剰な状態とする。その結果、ゲート電極層411と重なるチャネル形成領域413はI型となり、ソース電極層415aに重なるソース領域414aと、ドレイン電極層415bに重なるドレイン領域414bとが自己整合的に形成される。以上の工程で薄膜トランジスタ410が形成される。

【0100】

85、 2×10^6 V/cm、12時間のゲートバイアス・熱ストレス試験（BT試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された未結合手がしきい値電圧（ V_{th} ）のドリフトを誘発することとなる。これに対して、酸化物半導体の不純物、特に水素や水等を極力除去し、上述の高密度プラズマCVD装置を用いて緻密で絶縁耐压の高い高品質な絶縁膜とし、酸化物半導体との界面特性を良好にすることにより、BT試験に対しても安定なトランジスタを得ることができる。

30

【0101】

さらに大気中、100以上200以下、1時間以上30時間以下での加熱処理を行ってもよい。ここでは150で10時間加熱処理を行う。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁膜の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、酸化物半導体層から酸化物絶縁層中に水素をとりこむことができる。

40

【0102】

なお、ドレイン電極層415bと重畳した酸化物半導体層においてドレイン領域414bを形成することにより、薄膜トランジスタの信頼性の向上を図ることができる。具体的には、ドレイン領域414bを形成することで、ドレイン電極層415bからドレイン領域414b、チャネル形成領域413にかけて、導電性を段階的に変化させうるような構造とすることができる。

50

【 0 1 0 3 】

また、酸化物半導体層におけるソース領域又はドレイン領域は、酸化物半導体層の膜厚が 15 nm 以下と薄い場合は膜厚方向全体にわたって形成されるが、酸化物半導体層の膜厚が 30 nm 以上 50 nm 以下とより厚い場合は、酸化物半導体層の一部、ソース電極層又はドレイン電極層と接する領域及びその近傍が低抵抗化しソース領域又はドレイン領域が形成され、酸化物半導体層においてゲート絶縁層に近い領域は I 型とすることもできる。

【 0 1 0 4 】

酸化物絶縁層 416 上にさらに保護絶縁層を形成してもよい。例えば、RF スパッタ法を用いて窒化シリコン膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH⁻などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、酸化窒化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層 403 を、窒化シリコン膜を用いて形成する（図 4（D）参照）。

10

【 0 1 0 5 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【 0 1 0 6 】

（実施の形態 3）

20

本実施の形態では、実施の形態 1 で示す液晶表示装置において、タッチパネル機能を付加した液晶表示装置の構成について、図 5（A）、（B）を用いて説明する。

【 0 1 0 7 】

図 5（A）は、本実施の形態の液晶表示装置の概略図である。図 5（A）には、実施の形態 1 の液晶表示装置である液晶表示パネル 501 にタッチパネルユニット 502 を重畳して設け、筐体 503 にて合着させる構成について示している。タッチパネルユニット 502 は、抵抗膜方式、表面型静電容量方式、投影型静電容量方式等を適宜用いることができる。

【 0 1 0 8 】

図 5（A）に示すように、液晶表示パネル 501 とタッチパネルユニット 502 とを別々に作製し重畳することにより、タッチパネル機能を付加した液晶表示装置の作製に係るコストの削減を図ることができる。

30

【 0 1 0 9 】

図 5（A）とは異なるタッチパネル機能を付加した液晶表示装置の構成について、図 5（B）に示す。図 5（B）に示す液晶表示装置 504 は、複数設けられる画素 505 に光センサ 506、液晶素子 507 を有する。そのため、図 5（A）とは異なり、タッチパネルユニット 502 を重畳して作製する必要がなく、液晶表示装置の薄型化を図ることができる。なお、走査線駆動回路 508、信号線駆動回路 509、光センサ用駆動回路 510 を画素 505 と同じ基板上に作製することで、液晶表示装置の小型化を図ることができる。なお、光センサ 506 は、アモルファスシリコンなどを用いて形成し、酸化物半導体を用いたトランジスタと重畳して形成する構成としてもよい。

40

【 0 1 1 0 】

タッチパネルの機能を付加した液晶表示装置において、酸化物半導体層を具備するトランジスタを用いることで、静止画の表示の際の、画像の保持特性を向上させることができる。そしてその間の、駆動回路部の動作を停止することで低消費電力化を図ることができる。

【 0 1 1 1 】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容の一部又は実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【 0 1 1 2 】

50

(実施の形態 4)

本実施の形態では、実施の形態 1 で得られる液晶表示装置を搭載した電子機器の例について図 6 を参照して説明する。なお、実施の形態 1 に係る液晶表示装置は、電子機器において表示部として利用される。

【0113】

図 6 (A) は、ノート型のパーソナルコンピュータを示す図であり、本体 2201、筐体 2202、表示部 2203、キーボード 2204 などによって構成されている。当該パーソナルコンピュータの表示部などとして実施の形態 1 に示した液晶表示装置を適用することは、消費電力の低減のみならず、長時間使用における眼精疲労の低減という意味でも効果が大きい。以下、その理由について述べる。パーソナルコンピュータなどは、主として使用者の操作によって表示が変化する。すなわち、使用者による操作の合間には、当該パーソナルコンピュータには静止画が表示されることになる。また、一般に液晶表示装置においては、液晶材料の劣化を抑制するために反転駆動が行われる。静止画を表示している期間において該反転駆動を行うと、使用者が画像のちらつきを視認する可能性がある。当該ちらつきは、使用者の眼精疲労を助長することになる。一方、実施の形態 1 に示した液晶表示装置は、静止画の表示期間において、各画素において画像信号を長期間に渡って保持することが可能であり、使用者に視認されるちらつきを軽減することができる。そのため、パーソナルコンピュータなどにおいて、実施の形態 1 に示した液晶表示装置を適用することは、使用者の眼精疲労を低減する効果が大きいと言える。

【0114】

図 6 (B) は、携帯情報端末 (PDA) を示す図であり、本体 2211 には表示部 2213 と、外部インターフェイス 2215 と、操作ボタン 2214 等が設けられている。また、操作用の付属品としてスタイラス 2212 がある。

【0115】

図 6 (C) は、電子ペーパーの一例として、電子書籍 2220 を示す図である。電子書籍 2220 は、筐体 2221 および筐体 2223 の 2 つの筐体で構成されている。筐体 2221 および筐体 2223 は、軸部 2237 により一体とされており、該軸部 2237 を軸として開閉動作を行うことができる。このような構成により、電子書籍 2220 は、紙の書籍のように用いることが可能である。

【0116】

筐体 2221 には表示部 2225 が組み込まれ、筐体 2223 には表示部 2227 が組み込まれている。表示部 2225 および表示部 2227 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 6 (C) では表示部 2225) に文章を表示し、左側の表示部 (図 6 (C) では表示部 2227) に画像を表示することができる。

【0117】

また、図 6 (C) では、筐体 2221 に操作部などを備えた例を示している。例えば、筐体 2221 は、電源 2231、操作キー 2233、スピーカー 2235などを備えている。操作キー 2233 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2220 は、電子辞書としての機能を持たせた構成としてもよい。

【0118】

また、電子書籍 2220 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0119】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可

10

20

30

40

50

能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。

【0120】

図6(D)は、携帯電話機を示す図である。当該携帯電話機は、筐体2240および筐体2241の二つの筐体で構成されている。筐体2241は、表示パネル2242、スピーカー2243、マイクロフォン2244、ポインティングデバイス2246、カメラ用レンズ2247、外部接続端子2248などを備えている。また、筐体2240は、当該携帯電話機の充電を行う太陽電池セル2249、外部メモリスロット2250などを備えている。また、アンテナは筐体2241内部に内蔵されている。

【0121】

表示パネル2242はタッチパネル機能を備えており、図6(D)には映像表示されている複数の操作キー2245を点線で示している。なお、当該携帯電話は、太陽電池セル2249から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

【0122】

表示パネル2242は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル2242と同一面上にカメラ用レンズ2247を備えているため、テレビ電話が可能である。スピーカー2243およびマイクロフォン2244は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体2240と筐体2241はスライドし、図6(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0123】

外部接続端子2248はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット2250に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0124】

図6(E)は、デジタルカメラを示す図である。当該デジタルカメラは、本体2261、表示部(A)2267、接眼部2263、操作スイッチ2264、表示部(B)2265、バッテリー2266などによって構成されている。

【0125】

図6(F)は、テレビジョン装置を示す図である。テレビジョン装置2270では、筐体2271に表示部2273が組み込まれている。表示部2273により、映像を表示することが可能である。なお、ここでは、スタンド2275により筐体2271を支持した構成を示している。

【0126】

テレビジョン装置2270の操作は、筐体2271が備える操作スイッチや、別体のリモコン操作機2280により行うことができる。リモコン操作機2280が備える操作キー2279により、チャンネルや音量の操作を行うことができ、表示部2273に表示される映像を操作することができる。また、リモコン操作機2280に、当該リモコン操作機2280から出力する情報を表示する表示部2277を設ける構成としてもよい。

【0127】

なお、テレビジョン装置2270は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向(送信者から受信者)または双方向(送信者と受信者間、あるいは受信者間同士など)の情報通信を行うことが可能である。

【0128】

なお、本実施の形態の内容又は該内容の一部は、他の実施の形態の内容若しくは該内容

10

20

30

40

50

の一部又は実施例の内容若しくは該内容の一部と自由に組み合わせることが可能である。

【実施例 1】

【0129】

本実施例では、評価用素子（TEGとも呼ぶ）を用いたオフ電流の測定値について以下に説明する。

【0130】

図7に $L/W = 3\ \mu\text{m} / 50\ \mu\text{m}$ のトランジスタを200個並列に接続することで作製した、 $L/W = 3\ \mu\text{m} / 10000\ \mu\text{m}$ のトランジスタの初期特性を示す。また、上面図を図8（A）に示し、その一部を拡大した上面図を図8（B）に示す。図8（B）の点線で囲んだ領域が $L/W = 3\ \mu\text{m} / 50\ \mu\text{m}$ 、 $L_{ov} = 1.5\ \mu\text{m}$ の1段分のトランジスタである。なお、ここでは、 L_{ov} とはソース又はドレインと酸化物半導体層が重畳する領域のチャネル長方向における長さを表している。トランジスタの初期特性を測定するため、基板温度を室温とし、ソース・ドレイン間電圧（以下、ドレイン電圧または V_d という）を10Vとし、ソース・ゲート間電圧（以下、ゲート電圧または V_g という）を-20V～+20Vまで変化させたときのソース・ドレイン電流（以下、ドレイン電流または I_d という）の変化特性、すなわち $V_g - I_d$ 特性を測定した。なお、図7では、 V_g を-20V～+5Vまでの範囲で示している。

10

【0131】

図7に示すようにチャネル幅 W が10000 μm のトランジスタは、 V_d が1V及び10Vにおいてオフ電流は 1×10^{-13} [A]以下となっており、測定機（半導体パラメータ・アナライザ、Agilent 4156C；Agilent社製）の分解能（100fA）以下となっている。すなわち、チャネル長が3 μm である場合、当該トランジスタのチャネル幅1 μm あたりのオフ電流値は、10aA/ μm 以下であると見積もられる。なお、チャネル長が3 μm 以上であれば、当該トランジスタのオフ電流値は10aA/ μm 以下であると見積もられることも付記する。

20

【0132】

測定したトランジスタの作製方法について説明する。

【0133】

まず、ガラス基板上に下地層として、CVD法により窒化珪素層を形成し、窒化珪素層上に酸化窒化珪素層を形成した。酸化窒化珪素層上にゲート電極層としてスパッタ法によりタングステン層を形成した。ここで、タングステン層を選択的にエッチングしてゲート電極層を形成した。

30

【0134】

次に、ゲート電極層上にゲート絶縁層としてCVD法により厚さ100nmの酸化窒化珪素層を形成した。

【0135】

次に、ゲート絶縁層上に、スパッタ法によりIn-Ga-Zn-O系金属酸化物ターゲット（モル数比で、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$ ）を用いて、厚さ50nmの酸化物半導体層を形成した。ここで、酸化物半導体層を選択的にエッチングし、島状の酸化物半導体層を形成した。

40

【0136】

次に、酸化物半導体層に対しクリーンオープンにて窒素雰囲気下、450℃、1時間の第1の熱処理を行った。

【0137】

次に、酸化物半導体層上にソース電極層及びドレイン電極層としてチタン層（厚さ150nm）をスパッタ法により形成した。ここで、ソース電極層及びドレイン電極層を選択的にエッチングし、1つのトランジスタのチャネル長 L を3 μm 、チャネル幅 W を50 μm とし、200個を並列とすることで、 $L/W = 3\ \mu\text{m} / 10000\ \mu\text{m}$ となるようにした。

【0138】

50

次に、酸化物半導体層に接するように保護絶縁層としてリアクティブスパッタ法により酸化珪素層を膜厚300nmで形成した。ここで、保護層である酸化珪素層を選択的にエッチングし、ゲート電極層、ソース電極層及びドレイン電極層上に開口部を形成した。その後、窒素雰囲気下、250℃、1時間の第2の熱処理を行った。

【0139】

そして、 $V_g - I_d$ 特性を測定する前に150℃、10時間の加熱を行った。

【0140】

以上の工程により、ボトムゲート型のトランジスタを作製した。

【0141】

図7に示すようにトランジスタのオフ電流が 1×10^{-13} [A]程度であるのは、上記作製工程において酸化物半導体層中における水素濃度を十分に低減できたためである。酸化物半導体層中の水素濃度は、 1×10^{16} atoms/cm³以下とする。なお、酸化物半導体層中の水素濃度の値は、二次イオン質量分析法(SIMS: Secondary Ion Mass Spectroscopy)で得られたものである。

10

【0142】

また、In-Ga-Zn-O系酸化物半導体を用いる例を示したが、特に限定されず、他の酸化物半導体材料、例えば、In-Sn-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、In-Sn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系などを用いることができる。また、酸化物半導体材料として、 AlO_x を2.5~10wt%混入させたIn-Al-Zn-O系や、 SiO_x を2.5~10wt%混入させたIn-Zn-O系を用いることもできる。

20

【0143】

また、キャリア測定機で測定される酸化物半導体層のキャリア密度は、 1×10^{14} /cm³未満、好ましくは 1×10^{12} /cm³以下である。即ち、酸化物半導体層のキャリア密度は、限りなくゼロに近くすることができる。

【0144】

また、トランジスタのチャネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、オフ電流値が極めて小さいため、さらに低消費電力化も図ることができる。

30

【0145】

また、トランジスタのオフ状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。

【0146】

続いて、本実施例で作製したトランジスタに対してオフ電流の温度特性を評価した。温度特性は、トランジスタが使われる最終製品の耐環境性や、性能の維持などを考慮する上で重要である。当然ながら、変化量が小さいほど好ましく、製品設計の自由度が増す。

【0147】

温度特性は、恒温槽を用い、-30℃、0℃、25℃、40℃、60℃、80℃、100℃、及び120℃のそれぞれの温度でトランジスタを形成した基板を一定温度とし、ドレイン電圧を6V、ゲート電圧を-20V~+20Vまで変化させて $V_g - I_d$ 特性を取得した。

40

【0148】

図9(A)に示すのは、上記それぞれの温度で測定した $V_g - I_d$ 特性を重ね書きしたものであり、点線で囲むオフ電流の領域を拡大したものを図9(B)に示す。図中の矢印で示す右端の曲線が-30℃、左端が120℃で取得した曲線で、その他の温度で取得した曲線は、その間に位置する。オン電流の温度依存性はほとんど見られない。一方、オフ電流は拡大図の図9(B)においても明かであるように、ゲート電圧が-20V近傍を除いて、全ての温度で測定機の分解能近傍の 1×10^{-12} [A]以下となっており、温度依存性も見えていない。すなわち、120℃の高温においても、オフ電流が 1×10^{-12} [A]以下を維持しており、チャネル幅Wが10000μmであることを考慮すると、

50

オフ電流が非常に小さいことがわかる。すなわち、チャネル長が $3\ \mu\text{m}$ である場合、当該トランジスタのチャネル幅 $1\ \mu\text{m}$ あたりのオフ電流値は、 $100\ \text{aA}/\mu\text{m}$ 以下であると見積もられる。なお、チャネル長が $3\ \mu\text{m}$ 以上であれば、当該トランジスタのオフ電流値は $100\ \text{aA}/\mu\text{m}$ 以下であると見積もられることも付記する。また、図 9 のデータは、本実施例で作製したトランジスタは、 -30 以上 120 以下であれば、オフ電流値が $100\ \text{aA}/\mu\text{m}$ 以下となることを示すものであり、当然 85 におけるオフ電流値も $100\ \text{aA}/\mu\text{m}$ となると見積もられることを付記する。すなわち、図 9 のデータは、本実施例で作製したトランジスタを各画素に設けられるトランジスタとして適用した液晶表示装置に対して、 85 の恒温保存試験を行った場合、当該画素の画像信号のリークが低減され、表示の劣化（変化）が抑制されることを示しているといえる。

10

【0149】

上記のように高純度化された酸化物半導体（purified OS）を用いたトランジスタは、オフ電流の温度依存性がほとんど現れない。これは、酸化物半導体が高純度化されることによって、導電型が限りなく真性型に近づき、フェルミ準位が禁制帯の中央に位置するため、温度依存性を示さなくなると言える。また、これは、酸化物半導体のバンドギャップが大きく、熱励起キャリアが極めて少ないことにも起因する。また、ソース領域及びドレイン領域は縮退した状態にあるのでやはり温度依存性が現れない要因となっている。トランジスタの動作は、縮退したソース領域から酸化物半導体に注入されたキャリアによるものがほとんどであり、キャリア密度の温度依存性がないことから上記特性（オフ電流の温度依存性無し）を説明することができる。

20

【0150】

以上の結果は、キャリア密度を $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 以下としたトランジスタが、室温におけるオフ電流値が $10\ \text{aA}/\mu\text{m}$ 以下であり且つ 85 におけるオフ電流値が $100\ \text{aA}/\mu\text{m}$ 以下となることを示すものである。また、当該トランジスタを液晶表示装置の各画素が有するトランジスタとして適用することで、当該液晶表示装置の消費電力を低減すること及び表示の劣化（表示品質の低下）を抑制することが可能であることを示すものである。さらには、温度などの外部因子に起因する表示の劣化（変化）が低減された液晶表示装置を提供することが可能であることを示すものである。

30

【符号の説明】

【0151】

10	制御回路
11	走査線駆動回路
12	信号線駆動回路
13	画素部
14	画素
15	トランジスタ
16	液晶素子
17	容量素子
20	信号生成回路
21	記憶回路
22	比較回路
23	選択回路
24	表示制御回路
25	メモリ
400	基板
402	ゲート絶縁層
403	保護絶縁層
410	薄膜トランジスタ
411	ゲート電極層

40

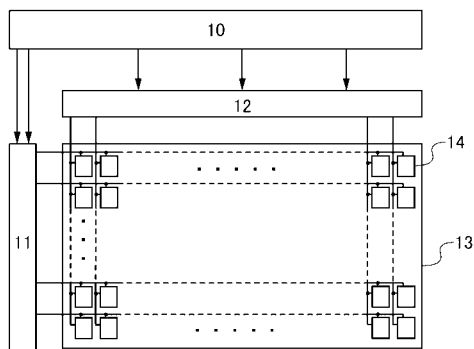
50

4 1 3	チャネル形成領域	
4 1 4 a	ソース領域	
4 1 4 b	ドレイン領域	
4 1 5 a	ソース電極層	
4 1 5 b	ドレイン電極層	
4 1 6	酸化物絶縁層	
4 3 0	酸化物半導体膜	
4 3 1	酸化物半導体層	
5 0 1	液晶表示パネル	
5 0 2	タッチパネルユニット	10
5 0 3	筐体	
5 0 4	液晶表示装置	
5 0 5	画素	
5 0 6	光センサ	
5 0 7	液晶素子	
5 0 8	走査線駆動回路	
5 0 9	信号線駆動回路	
5 1 0	光センサ用駆動回路	
2 2 0 1	本体	
2 2 0 2	筐体	20
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	30
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	40
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	50

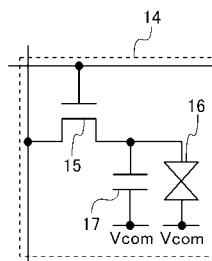
2 2 6 5	表示部 (B)
2 2 6 6	バッテリー
2 2 6 7	表示部 (A)
2 2 7 0	テレビジョン装置
2 2 7 1	筐体
2 2 7 3	表示部
2 2 7 5	スタンド
2 2 7 7	表示部
2 2 7 9	操作キー
2 2 8 0	リモコン操作機

【図 1】

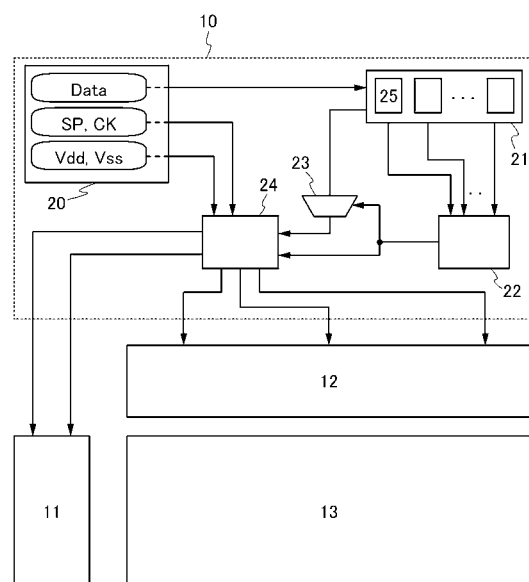
(A)



(B)

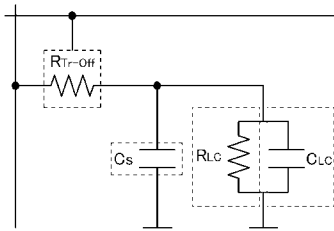


【図 2】

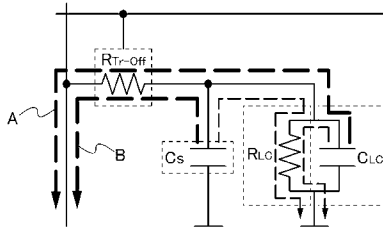


【図 3】

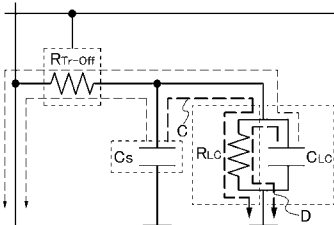
(A)



(B)

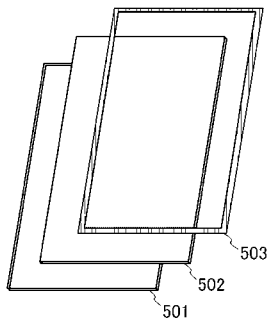


(C)

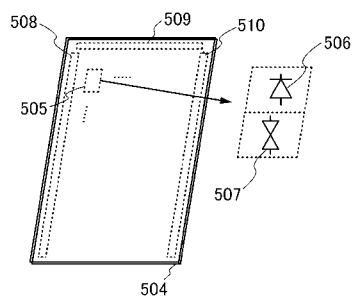


【図 5】

(A)

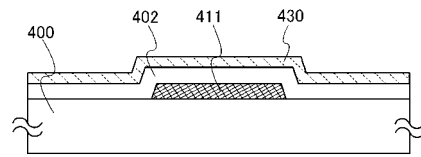


(B)

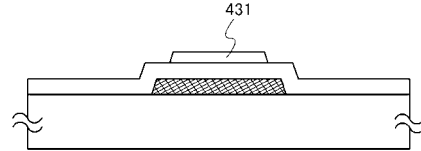


【図 4】

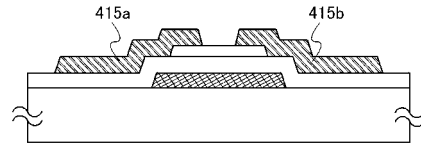
(A)



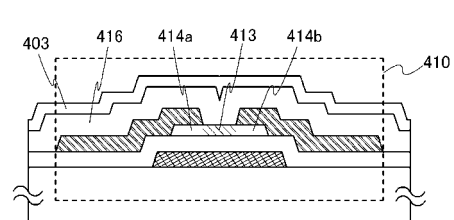
(B)



(C)

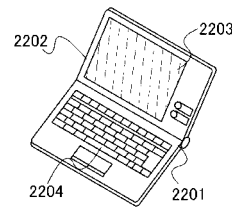


(D)

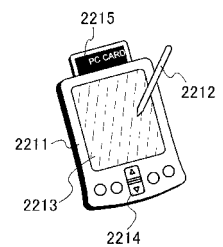


【図 6】

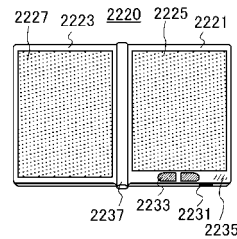
(A)



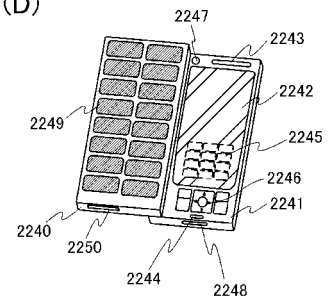
(B)



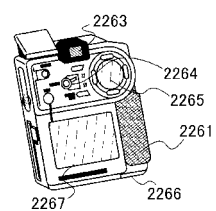
(C)



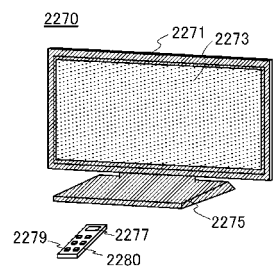
(D)



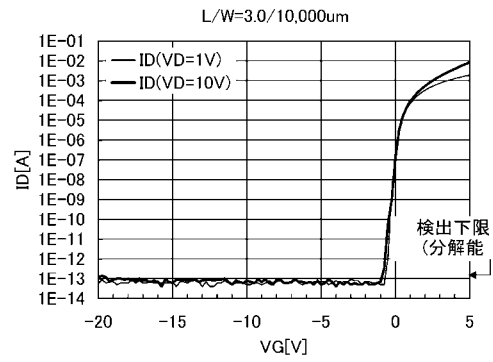
(E)



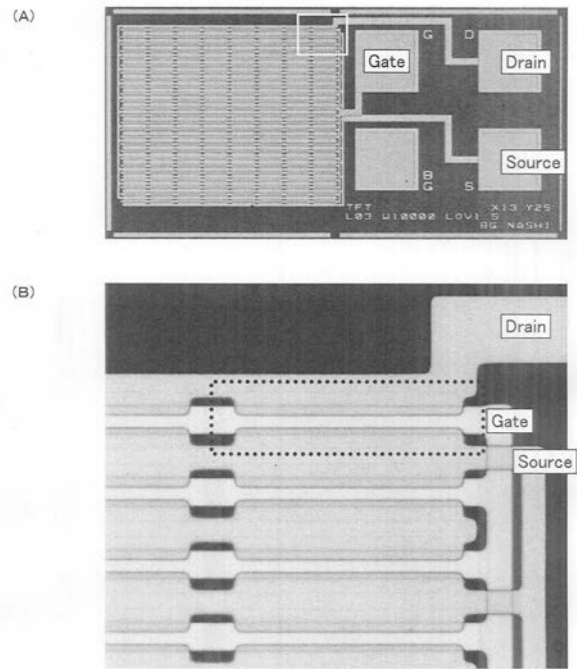
(F)



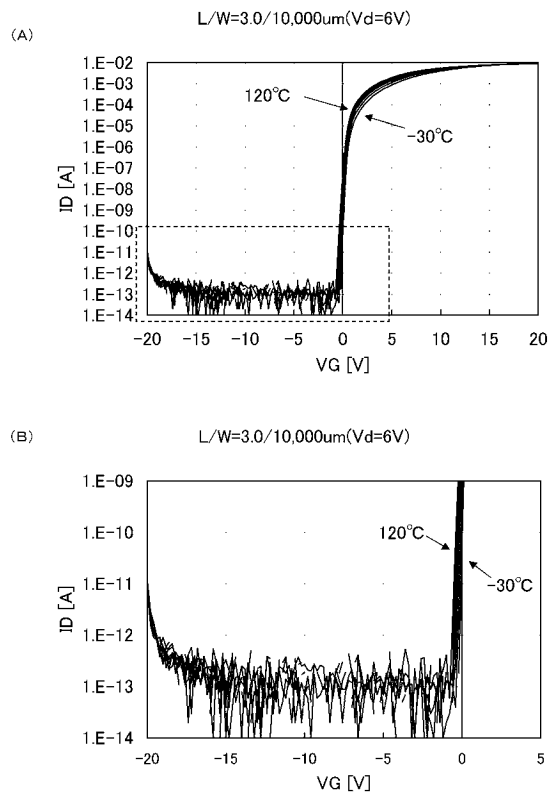
【 図 7 】



【 図 8 】



【 図 9 】



【手続補正書】

【提出日】平成29年4月7日(2017.4.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{-11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

動画を表示する第1の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する第2の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さく、

前記第2の期間は、走査線駆動回路へのクロック信号の供給が停止している期間を有することを特徴とする液晶表示装置。

【請求項2】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{-11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

基板温度が -30°C であり、ソース・ドレイン間電圧が6Vであり、且つゲート電圧が -5V 又は -10V である場合の前記トランジスタのソース・ドレイン電流は、 $1 \times 10^{-12}\text{A}$ 以下であり、

基板温度が 120°C であり、ソース・ドレイン間電圧が6Vであり、且つゲート電圧が -5V 又は -10V である場合の前記トランジスタのソース・ドレイン電流は、 $1 \times 10^{-12}\text{A}$ 以下であり、

動画を表示する第1の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する第2の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さく、

前記第2の期間は、走査線駆動回路へのクロック信号の供給が停止している期間を有することを特徴とする液晶表示装置。

【請求項3】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{-11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、Inと、Gaと、Znと、を有し、

前記トランジスタは、前記酸化物半導体層下方にゲート電極を有し、

前記トランジスタは、前記酸化物半導体層上方にソース電極及びドレイン電極を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方に第1の絶縁層が設けられており、

前記第1の絶縁層上方に第2の絶縁層が設けられており、

前記第1の絶縁層は、前記酸化物半導体層と接する領域を有し、

前記第1の絶縁層は、酸素と、珪素と、を有し、

前記第2の絶縁層は、窒素と、珪素と、を有し、

動画を表示する第1の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する第2の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さく、

前記第 2 の期間は、走査線駆動回路へのクロック信号の供給が停止している期間を有することを特徴とする液晶表示装置。

【請求項 4】

画素に、液晶素子と、酸化物半導体層にチャネル形成領域を有するトランジスタと、を有し、

前記液晶素子が有する液晶材料の固有抵抗率は、 $1 \times 10^{11} \Omega \cdot \text{cm}$ 以上であり、

前記酸化物半導体層は、In と、Ga と、Zn と、を有し、

前記トランジスタは、前記酸化物半導体層下方にゲート電極を有し、

前記トランジスタは、前記酸化物半導体層上方にソース電極及びドレイン電極を有し、

前記酸化物半導体層上方、前記ソース電極上方及び前記ドレイン電極上方に第 1 の絶縁層が設けられており、

前記第 1 の絶縁層上方に第 2 の絶縁層が設けられており、

前記第 1 の絶縁層は、前記酸化物半導体層と接する領域を有し、

前記第 1 の絶縁層は、酸素と、珪素と、を有し、

前記第 2 の絶縁層は、窒素と、珪素と、を有し、

基板温度が -30 であり、ソース - ドレイン間電圧が 6 V であり、且つゲート電圧が -5 V 又は -10 V である場合の前記トランジスタのソース - ドレイン電流は、 $1 \times 10^{-12} \text{ A}$ 以下であり、

基板温度が 120 であり、ソース - ドレイン間電圧が 6 V であり、且つゲート電圧が -5 V 又は -10 V である場合の前記トランジスタのソース - ドレイン電流は、 $1 \times 10^{-12} \text{ A}$ 以下であり、

動画を表示する第 1 の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度よりも、静止画を表示する第 2 の期間において前記トランジスタを介して前記液晶素子に画像信号を入力する頻度は小さく、

前記第 2 の期間は、走査線駆動回路へのクロック信号の供給が停止している期間を有することを特徴とする液晶表示装置。

フロントページの続き

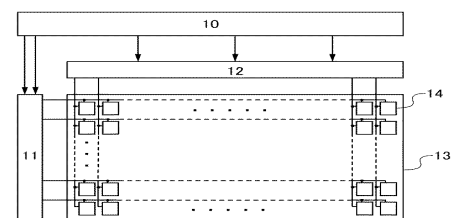
F ターム(参考) 5F110 AA06 AA09 BB01 CC07 DD02 DD07 DD13 DD14 DD15 DD17
EE01 EE02 EE03 EE04 EE06 EE14 EE15 EE44 FF01 FF02
FF03 FF04 FF09 FF28 FF29 FF30 GG01 GG06 GG24 GG25
GG28 GG29 GG33 GG34 GG35 GG43 GG57 GG58 HJ30 HK02
HK03 HK04 HK06 HK21 HK22 HK32 HK33 NN03 NN04 NN22
NN23 NN24 NN34 NN40 NN72 QQ02

专利名称(译)	液晶表示装置		
公开(公告)号	JP2017161913A	公开(公告)日	2017-09-14
申请号	JP2017076383	申请日	2017-04-07
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平		
发明人	山崎 舜平		
IPC分类号	G02F1/1368 H01L29/786 H01L21/336		
CPC分类号	G09G3/3648 G09G2310/04 G09G2320/0214 G09G2320/103 H01L27/1225 H01L29/7869 G02F1/1368 G06F3/044 H01L29/78609 G02F1/13338 G02F1/136286 G06F3/0412 G06F3/045 G09G3/3677 G09G2300/0426 G09G2310/08 G09G2320/0247 G09G2320/043 G09G2330/021 H01L21/02483 H01L27/1255		
FI分类号	G02F1/1368 H01L29/78.618.B H01L29/78.612.Z H01L29/78.619.A		
F-TERM分类号	2H192/AA24 2H192/CB05 2H192/CB13 2H192/CB37 2H192/CB83 2H192/CC32 2H192/CC72 2H192/DA12 2H192/EA74 2H192/HA13 2H192/HA14 2H192/HA44 2H192/HA47 2H192/HA90 2H192/HB04 2H192/HB13 5F110/AA06 5F110/AA09 5F110/BB01 5F110/CC07 5F110/DD02 5F110/DD07 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE01 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE15 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF09 5F110/FF28 5F110/FF29 5F110/FF30 5F110/GG01 5F110/GG06 5F110/GG24 5F110/GG25 5F110/GG28 5F110/GG29 5F110/GG33 5F110/GG34 5F110/GG35 5F110/GG43 5F110/GG57 5F110/GG58 5F110/HJ30 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK21 5F110/HK22 5F110/HK32 5F110/HK33 5F110/NN03 5F110/NN04 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN34 5F110/NN40 5F110/NN72 5F110/QQ02		
优先权	2009288312 2009-12-18 JP 2010092111 2010-04-13 JP		
其他公开文献	JP2017161913A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了降低液晶显示装置的功耗并抑制显示的恶化。此外，为了抑制由于温度等外部因素导致的显示器劣化。 解决方案：作为设置在每个像素中的晶体管15，施加沟道形成区域由氧化物半导体层构成的晶体管15。通过提高氧化物半导体层的纯度，可以使晶体管15的截止电流值在室温下为10aA / μm 以下，并且截止电流值在85°C至100aA / μm 以下。因此，可以降低液晶显示装置的功耗，并且可以抑制显示的劣化。此外，如上所述，即使在85°C的高温下，晶体管15也可以将截止电流值设定为100aA / μm 以下。

(A)



(B)

