

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-177034

(P2016-177034A)

(43) 公開日 平成28年10月6日(2016.10.6)

(51) Int.Cl.	F I	テーマコード(参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
	G09G 3/20 612T	
	G09G 3/20 622D	

審査請求 未請求 請求項の数 3 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2015-55795 (P2015-55795)
 (22) 出願日 平成27年3月19日 (2015.3.19)

(71) 出願人 308036402
 株式会社 JVCケンウッド
 神奈川県横浜市神奈川区守屋町3丁目12番地
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100101247
 弁理士 高橋 俊一
 (72) 発明者 古屋 正人
 神奈川県横浜市神奈川区守屋町3丁目12番地
 Fターム(参考) 2H193 ZA04 ZA07 ZA19 ZB09 ZB13
 ZC16 ZD34 ZE10 ZF23 ZF31
 ZH44 ZH53

最終頁に続く

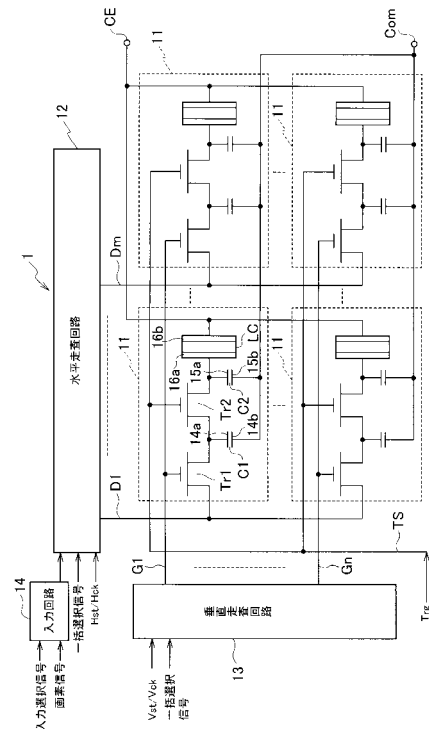
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】表示画像のコントラストの均一化を向上させることができる液晶表示装置を提供する。

【解決手段】画素回路11は、マトリクス状に配列され、入射した光が液晶LCに印加される電位差に応じて変調される画素部と、画素信号の画素信号電圧を印加して液晶を駆動する駆動部とを備える。入力部は、水平走査回路12、垂直走査回路13及び入力回路14で構成され、基準電圧を生成する基準電圧供給回路61を備え、前フレームの画素信号が第1保持容量部C1から第2保持容量部C2に転送された後、次フレームの画素信号が第1保持容量部C1に入力されるまでの垂直ブランキング期間内に、基準電圧供給回路61で生成された基準電圧を第1トランジスタTr1を介してすべての画素回路11の第1保持容量部C1に供給する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

マトリックス状に配列された複数の画素回路と、
前記画素回路に画素信号または基準電圧を選択的に供給する入力部と、
を有し、

前記画素回路は、

画素電極と共通電極とによって挟まれた液晶を備え、前記液晶は前記画素電極に印加される電圧と前記共通電極に印加される電圧との電位差に応じて駆動され、入射した光が前記液晶にて前記電位差に応じて変調される画素部と、

選択的に画素信号を入力する第 1 トランジスタと、前記第 1 トランジスタを介して選択的に入力された画素信号を保持する第 1 保持容量部と、前記第 1 保持容量部に保持された画素信号を転送する第 2 トランジスタと、前記第 2 トランジスタを介して転送された画素信号を保持する第 2 保持容量部とを備え、前記複数の画素回路のすべての前記第 1 保持容量部に保持された画素信号を、前記複数の画素回路のすべての前記第 2 保持容量部に一括して転送し、前記第 2 保持容量部に保持された画素信号に応じた電圧を前記画素電極に印加して前記液晶を駆動する駆動部と、
を備え、

前記入力部は、基準電圧を生成する基準電圧供給回路を備え、前フレームの画素信号が前記第 1 保持容量部から前記第 2 保持容量部に転送された後、次フレームの画素信号が前記第 1 保持容量部に入力されるまでの垂直ブランキング期間内に、前記基準電圧供給回路で生成された基準電圧を前記第 1 トランジスタを介してすべての前記画素回路の前記第 1 保持容量部に供給し、

前記第 1 保持容量部は、前記入力部により基準電圧が供給された後、前記垂直ブランキング期間が終了して次フレームの画素信号が入力されるまでの間基準電圧を保持することを特徴とする液晶表示装置。

【請求項 2】

前記入力部は、すべての前記画素回路を、画素信号が前記画素回路に書き込める書き込み状態にし、基準電圧を一括してすべての前記画素回路に供給し、基準電圧をすべての前記画素回路の前記第 1 保持容量部に一括して書き込むことを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

前記基準電圧は、液晶 LC を白色表示する際の駆動電圧と黒色表示する際の駆動電圧との中間の中間電圧に設定されることを特徴とする請求項 1 または 2 に記載の液晶表示装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、複数の画素回路の液晶に一括して画素信号を供給して液晶を駆動する反射型の液晶表示装置に関する。

【背景技術】**【0002】**

従来、この種の技術としては、例えば以下に示す特許文献 1 に記載されたものが知られている。特許文献 1 には、シリコン基板上にマトリックス状に配置された複数の画素回路を備えた反射型の液晶表示装置が記載されている。画素回路は、画素信号が第 2 のトランジスタを介して第 2 のコンデンサに書き込まれて保持され、保持された画素信号は第 1 のトランジスタを介して第 1 のコンデンサに転送されて保持される。第 1 のコンデンサに保持された画素信号は、液晶表示素子の反射電極に印加され、液晶表示素子が駆動される。

【先行技術文献】**【特許文献】****【0003】**

【特許文献1】特開2004-133147号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

上記従来の液晶表示装置において、第1のコンデンサが画素信号を保持する一方の電極端子と第2のコンデンサが画素信号を保持する一方の電極端子との間には、寄生容量が形成されていた。これにより、第1のコンデンサが画素信号を保持する一方の電極端子と第2のコンデンサが画素信号を保持する一方の電極端子とは、この寄生容量により容量結合されていた。

【0005】

この寄生容量の容量値が第1のコンデンサの容量値に対して無視できないほどの値になると、寄生容量による電圧のクロストークが生じる。すなわち、第2のコンデンサに保持された画素信号に応じた電圧が寄生容量を介して第1のコンデンサの一方の電極端子にクロストークする。

【0006】

クロストークが生じると、第1のコンデンサに保持された画素信号に応じた電圧が変動する。画素信号に応じた電圧が変動すると、液晶表示された画像のコントラストが不均一になる。すなわち、従来の液晶表示装置は、液晶表示された画像の上下方向に対してコントラストが傾斜状に変化するという不具合を招いていた。

【0007】

本発明の目的は、寄生容量によるクロストークに起因する表示画像におけるコントラストの変化を抑制し、表示画像のコントラストの均一化を向上させることができる液晶表示装置を提供することである。

【課題を解決するための手段】

【0008】

本発明は、マトリクス状に配列された複数の画素回路と、前記画素回路に画素信号または基準電圧を選択的に供給する入力部と、を有し、前記画素回路は、画素電極と共通電極とによって挟まれた液晶を備え、前記液晶は前記画素電極に印加される電圧と前記共通電極に印加される電圧との電位差に応じて駆動され、入射した光が前記液晶にて前記電位差に応じて変調される画素部と、選択的に画素信号を入力する第1トランジスタと、前記第1トランジスタを介して選択的に入力された画素信号を保持する第1保持容量部と、前記第1保持容量部に保持された画素信号を転送する第2トランジスタと、前記第2トランジスタを介して転送された画素信号を保持する第2保持容量部とを備え、前記複数の画素回路のすべての前記第1保持容量部に保持された画素信号を、前記複数の画素回路のすべての前記第2保持容量部に一括して転送し、前記第2保持容量部に保持された画素信号に応じた電圧を前記画素電極に印加して前記液晶を駆動する駆動部と、を備え、前記入力部は、基準電圧を生成する基準電圧供給回路を備え、前フレームの画素信号が前記第1保持容量部から前記第2保持容量部に転送された後、次フレームの画素信号が前記第1保持容量部に入力されるまでの垂直ブランキング期間内に、前記基準電圧供給回路で生成された基準電圧を前記第1トランジスタを介してすべての前記画素回路の前記第1保持容量部に供給し、前記第1保持容量部は、前記入力部により基準電圧が供給された後、前記垂直ブランキング期間が終了して次フレームの画素信号が入力されるまでの間基準電圧を保持することを特徴とする液晶表示装置を提供する。

【発明の効果】

【0009】

本発明の液晶表示装置によれば、表示画像のコントラストの均一化を向上させることができる。

【図面の簡単な説明】

【0010】

【図1】本発明の第1実施形態に係る液晶表示装置の構成を示す構成図である。

10

20

30

40

50

【図 2】本発明の第 1 実施形態に係る液晶表示装置の水平走査回路の構成を示す構成図である。

【図 3】本発明の第 1 実施形態に係る液晶表示装置の水平走査回路に係る諸信号の変化を示すタイミングチャートである。

【図 4】本発明の第 1 実施形態に係る液晶表示装置の垂直走査回路の構成を示す構成図である。

【図 5】本発明の第 1 実施形態に係る液晶表示装置の垂直走査回路に係る諸信号の変化を示すタイミングチャートである。

【図 6】本発明の第 1 実施形態に係る液晶表示装置の入力回路の構成を示す構成図である。

10

【図 7】液晶の駆動電圧と透過率との特性の一例を示す図である。

【図 8】液晶に印加される電圧と液晶の駆動態様とを模式的に示す図である。

【図 9】本発明の第 1 実施形態に係る液晶表示装置の液晶表示画面における代表的な画素の配置を示す模式図である。

【図 10】従来の液晶表示装置の諸信号の変化を示すタイミングチャートである。

【図 11】本発明の第 1 実施形態に係る液晶表示装置の諸信号の変化を示すタイミングチャートである。

【図 12】本発明の第 1 実施形態に係る液晶表示装置における、液晶表示画面上の代表的な画素の位置と液晶駆動実効電圧との関係を示す模式図である。

【図 13】本発明の第 2 実施形態に係る液晶表示装置の水平走査回路の構成を示す構成図である。

20

【図 14】本発明の第 2 実施形態に係る液晶表示装置の水平走査回路に係る諸信号の変化を示すタイミングチャートである。

【発明を実施するための形態】

【0011】

以下、図面を用いて本発明を実施するための実施形態を説明する。

【0012】

(第 1 実施形態)

図 1 を参照して、本発明の第 1 実施形態に係る液晶表示装置の回路構成を説明する。図 1 において、液晶表示装置 1 は、画素回路 1 1、水平走査回路 1 2、垂直走査回路 1 3 及び入力回路 1 4 を備えている。

30

【0013】

画素回路 1 1 は、 m 本の列データ線 D ($D_1 \sim D_m$) と n 本の行走査線 G ($G_1 \sim G_n$) との各交差部にマトリクス状に複数 ($m \times n$ 個) 配列されている。複数の画素回路 1 1 は、すべて同一に構成されている。したがって、ここでは、列データ線 D_1 と行走査線 G_1 との交差部に配置された画素回路 1 1 を代表して、画素回路 1 1 の構成を説明する。

【0014】

画素回路 1 1 は、第 1 トランジスタ T_{r1} 、第 2 トランジスタ T_{r2} 、第 1 保持容量部 C_1 、第 2 保持容量部 C_2 、及び液晶 LC を備えている。

【0015】

40

第 1 トランジスタ T_{r1} は、スイッチングトランジスタであり、例えば N チャネルの MOS 型の電界効果トランジスタで構成されている。第 1 トランジスタ T_{r1} は、ゲート端子が行走査線 G_1 に接続され、ドレイン端子が列データ線 D_1 に接続されている。第 1 トランジスタ T_{r1} は、行走査線 G_1 に与えられる行選択信号に応じて導通制御され、列データ線 D_1 に与えられる画素信号を選択的に画素回路 1 1 に入力する。

【0016】

第 2 トランジスタ T_{r2} は、転送トランジスタであり、例えば N チャネルの MOS 型の電界効果トランジスタで構成されている。第 2 トランジスタ T_{r2} は、ゲート端子がトリガ信号線 TS に接続され、ドレイン端子が第 1 トランジスタ T_{r1} のソース端子に接続されている。第 2 トランジスタ T_{r2} は、トリガ信号線 TS に与えられるトリガ信号 (T_r

50

g) に応じて導通制御される。第2トランジスタTr2は、第1保持容量部C1に保持された画素信号を第2保持容量部C2に転送する。

【0017】

第1保持容量部C1は、例えば金属からなる第1電極部14a及び第2電極部14bで誘電体(図示せず)を挟んだ、所謂MIM(Metal-Insulator-Metal)構造で構成されている。第1保持容量部C1は、第1電極部14aが第1トランジスタTr1のソース端子及び第2トランジスタTr2のドレイン端子に接続され、第2電極部14bが基準電位共通端子Comに接続されている。基準電位共通端子Comには、予め設定された基準電位Vcom、例えば接地電位が与えられる。第1保持容量部C1は、第1トランジスタTr1を介して選択的に入力された画素信号を保持する。

10

【0018】

第2保持容量部C2は、例えば金属からなる第1電極部15a及び第2電極部15bで誘電体(図示せず)を挟んだ、所謂MIM(Metal-Insulator-Metal)構造で構成されている。第2保持容量部C2は、第1電極部15aが第2トランジスタTr2のソース端子に接続され、第2電極部15bが基準電位共通端子Comに接続されている。第2保持容量部C2は、第2トランジスタTr2を介して第1保持容量部C1から転送された画素信号を保持する。

【0019】

液晶LCは、光反射性を有する画素電極16aと、画素電極16aに離間して対向配置された共通電極16bとの間に充填封止されて構成されている。画素電極16aは、第2トランジスタTr2のソース端子及び第2保持容量部C2の第1電極部15aに接続されている。共通電極16bは、共通電極端子CEに接続されている。共通電極端子CEには、画素電極16aに与えられる画素信号に応じた電圧に応じて予め設定された共通電極電圧Vceが与えられる。

20

【0020】

液晶LCは画素電極16aに与えられる画素信号に応じた電圧と、共通電極16bに与えられる共通電極電圧Vceとの電位差に応じて駆動される。

【0021】

上述のように、画素回路11は、画素電極16aと共通電極16bに挟まれた液晶LCを備えた画素部と、第1トランジスタTr1、第2トランジスタTr2、第1保持容量部C1、及び第2保持容量部を備えた駆動部とを備えている。

30

【0022】

画素部では、液晶LCは画素電極16aに印加される電圧と共通電極16bに印加される電圧との電位差に応じて駆動され、入射した光が液晶LCにて電位差に応じて変調される。

【0023】

水平走査回路12には、列データ線D(D1~Dm)が接続されている。水平走査回路12は、水平同期信号(Hst)、水平走査用のクロック信号(Hck)、入力回路14から出力される出力信号及び一括選択信号を入力する。

【0024】

水平走査回路12は、水平同期信号、水平走査用のクロック信号に基づいて、入力回路14から出力される出力信号のうち、画素信号を列データ線D1~Dmに順次、1水平走査期間単位で出力する。

40

【0025】

水平走査回路12は、入力回路14から出力される出力信号のうち、後述する基準電圧を入力する。水平走査回路12は、一括選択信号に基づいて、垂直ブランキング期間の間に基準電圧を一括してすべての列データ線D1~Dmに出力する。したがって、水平走査回路12は、垂直ブランキング期間内に基準電圧を一括してすべての画素回路11に出力する。

【0026】

50

垂直走査回路 1 3 には、行走査線 G 1 ~ G n が接続されている。垂直走査回路 1 3 は、垂直同期信号 (V s t)、垂直走査用のクロック信号 (V c k) を入力する。垂直走査回路 1 3 は、垂直同期信号、垂直走査用のクロック信号に基づいて、例えば行走査線 G 1 から行走査線 G n に順次行選択信号を 1 水平走査期間単位で供給する。

【 0 0 2 7 】

垂直走査回路 1 3 は、水平走査回路 1 2 に入力されるのと同じ一括選択信号を入力する。垂直走査回路 1 3 は、一括選択信号に基づいて、行走査線 G 1 ~ G n を一括して選択する。

【 0 0 2 8 】

入力回路 1 4 は、画素信号及び入力選択信号を入力する。入力回路 1 4 は、入力選択信号に基づいて、画素信号または基準電圧を選択する、入力回路 1 4 は、選択した画素信号または基準電圧を水平走査回路 1 2 に出力する。

10

【 0 0 2 9 】

入力回路 1 4 は、画素信号と入力選択信号とを入力する。入力回路 1 4 は、入力選択信号に基づいて、画素信号または基準電圧を択一的に選択する。入力回路 1 4 は、入力選択信号が例えばロウレベルで画素信号を選択し、入力選択信号が例えばハイレベルで基準電圧を選択する。入力回路 1 4 は、選択した画素信号または基準電圧を水平走査回路 1 2 に出力する。入力回路 1 4 は、基準電圧を内部で生成する。

【 0 0 3 0 】

水平走査回路 1 2、垂直走査回路 1 3 及び入力回路 1 4 は、画素回路 1 1 に画素信号または基準電圧を選択的に供給する入力部を構成する。

20

【 0 0 3 1 】

したがって、入力部は、前フレームの画素信号が第 1 保持容量部 C 1 から第 2 保持容量部 C 2 に転送された後、垂直ブランキング期間内に、基準電圧を第 1 トランジスタ T r 1 を介してすべての画素回路 1 1 の第 1 保持容量部 C 1 に供給する。

【 0 0 3 2 】

図 2 は水平走査回路 1 2 の一構成を示す構成図である。

【 0 0 3 3 】

図 2 において、水平走査回路 1 2 は、シフトレジスタ回路 2 1、オアゲート回路 2 2、バッファ回路 2 3 及びスイッチ回路 2 4 を備えている。

30

【 0 0 3 4 】

シフトレジスタ回路 2 1 は、水平同期信号 (H s t) 及び水平走査用のクロック信号 (H c k) を入力する。シフトレジスタ回路 2 1 の出力は、列データ線 D 1 ~ D m に対応して設けられている。

【 0 0 3 5 】

シフトレジスタ回路 2 1 は、水平同期信号が入力されると、水平走査用のクロック信号のシフト動作を開始し、水平走査用のクロック信号を順次シフトする。シフトレジスタ回路 2 1 は、シフトした水平走査用のクロック信号を順次オアゲート回路 2 2 の一方の入力端子に出力する。

【 0 0 3 6 】

オアゲート回路 2 2 は、列データ線 D 1 ~ D m に対応して設けられている。オアゲート回路 2 2 は、一方の入力端子にシフトレジスタ回路 2 1 から出力された水平走査用のクロック信号を入力し、他方の入力端子に一括選択信号を入力する。

40

【 0 0 3 7 】

オアゲート回路 2 2 は、一括選択信号がロウレベルのときには、水平走査用のクロック信号をバッファ回路 2 3 に出力する。一方、オアゲート回路 2 2 は、一括選択信号がハイレベルのときには、水平走査用のクロック信号にかかわらずハイレベルの信号をバッファ回路 2 3 に出力する。

【 0 0 3 8 】

バッファ回路 2 3 は、列データ線 D 1 ~ D m に対応して設けられている。バッファ回路

50

23は、オアゲート回路22から出力された出力信号を入力する。バッファ回路23は、入力したオアゲート回路22の出力信号を正転及び反転して、スイッチング信号を生成する。

【0039】

すなわち、バッファ回路23は、オアゲート回路22から出力された出力信号がハイレベルのときには、正転の出力端子からハイレベルのスイッチング信号を出力し、反転の出力端子からロウレベルのスイッチング信号を出力する。一方、バッファ回路23は、オアゲート回路22から出力された出力信号がロウレベルのときには、正転の出力端子からロウレベルのスイッチング信号を出力し、反転の出力端子からハイレベルのスイッチング信号を出力する。

10

【0040】

バッファ回路23は、生成したスイッチング信号をスイッチ回路24に与える。

【0041】

スイッチ回路24は、列データ線D1～Dmに対応して設けられている。スイッチ回路24は、入力回路14から与えられる画素信号または基準電圧を入力する。スイッチ回路24は、バッファ回路23から与えられたスイッチング信号に基づいて、オン状態またはオフ状態にスイッチングされる。

【0042】

スイッチ回路24は、ここでは正転の出力端子からハイレベルのスイッチング信号が出力され、反転の出力端子からロウレベルのスイッチング信号が出力されたときにオン状態となるものとする。一方、スイッチ回路24は、正転の出力端子からロウレベルのスイッチング信号が出力され、反転の出力端子からハイレベルのスイッチング信号が出力されたときにオフ状態となるものとする。

20

【0043】

スイッチ回路24は、オン状態になると、入力された画素信号または基準電圧を対応する列データ線D1～Dmに与える。

【0044】

スイッチ回路24は、例えばPチャネルのFETとNチャネルのFETとで構成されたトランスファゲートで構成することができる。この構成では、PチャネルのFETにロウレベルのスイッチング信号が与えられ、NチャネルのFETにハイレベルのスイッチング信号が与えられることにより、スイッチ回路24はオン状態に制御される。一方、PチャネルのFETにハイレベルのスイッチング信号が与えられ、NチャネルのFETにロウレベルのスイッチング信号が与えられることにより、スイッチ回路24はオフ状態に制御される。

30

【0045】

水平走査回路12は、上記構成において、シフトレジスタ回路21によってシフトされたクロック信号に基づいて画素信号をサンプリングする。水平走査回路12は、サンプリングした画素信号を対応する列データ線D1～Dmに順次出力し、列データ線D1～Dmを介して画素回路11に画素信号を供給する。

【0046】

一方、水平走査回路12は、一括選択信号がハイレベルとなり、一括選択信号が基準信号を一括してすべての画素回路11に書き込むことを指示した場合には、基準電圧をすべての列データ線D1～Dmに一括して出力する。これにより、水平走査回路12は、基準電圧を列データ線D1～Dmを介してすべての画素回路11に一括して供給する。

40

【0047】

図3は図2に示す水平走査回路12の動作を示すタイミングチャートである。

【0048】

図3において、垂直ブランキング期間の前後の垂直走査期間では、後述する正極性と負極性による交流駆動で液晶LCが駆動され、画像を構成するフレーム単位で画像が液晶表示される。

50

【 0 0 4 9 】

一方、垂直ブランキング期間内に、入力選択信号がハイレベルからロウレベルに移行すると基準電圧が入力回路 1 4 から出力され、一括選択信号がロウレベルからハイレベルに移行すると、基準電圧が一括してすべての画素回路 1 1 に供給される。

【 0 0 5 0 】

なお、上記基準電圧を画素回路 1 1 に供給する動作は、1 垂直ブランキング期間内であれば、いずれの時間であってもよい。

【 0 0 5 1 】

図 4 は垂直走査回路 1 3 の一構成を示す構成図である。

【 0 0 5 2 】

図 4 において、垂直走査回路 1 3 は、シフトレジスタ回路 4 1、OR ゲート回路 4 2、レベルシフト回路 4 3 を備えている。

10

【 0 0 5 3 】

シフトレジスタ回路 4 1 は、垂直同期信号 (V s t) 及び垂直走査用のクロック信号 (V c k) を入力する。シフトレジスタ回路 4 1 の出力は、行走査線 G 1 ~ G n に対応して設けられている。

【 0 0 5 4 】

シフトレジスタ回路 4 1 は、垂直同期信号が入力されると、垂直走査用のクロック信号のシフト動作を開始し、垂直走査用のクロック信号を順次シフトする。シフトレジスタ回路 4 1 は、シフトした垂直走査用のクロック信号を順次オアゲート回路 4 2 の一方の入力端子に出力する。

20

【 0 0 5 5 】

オアゲート回路 4 2 は、列データ線 D 1 ~ D m に対応して設けられている。オアゲート回路 4 2 は、一方の入力端子にシフトレジスタ回路 4 1 から出力された垂直走査用のクロック信号を入力し、他方の入力端子に一括選択信号を入力する。

【 0 0 5 6 】

オアゲート回路 4 2 は、一括選択信号がロウレベルのときには、垂直走査用のクロック信号をバッファ回路 2 3 に出力する。一方、オアゲート回路 4 2 は、一括選択信号がハイレベルのときには、水平走査用のクロック信号にかかわらずハイレベルの信号をレベルシフト回路 4 3 に出力する。

30

【 0 0 5 7 】

レベルシフト回路 4 3 は、列データ線 D 1 ~ D m に対応して設けられている。レベルシフト回路 4 3 は、オアゲート回路 4 2 から出力される垂直走査用のクロック信号またはハイレベルの信号を入力する。レベルシフト回路 4 3 は、入力されたクロック信号またはハイレベルの信号の信号電圧を、第 1 トランジスタ T r 1 のスイッチングが可能となるゲート電圧レベルまで昇圧する。レベルシフト回路 4 3 は、昇圧したクロック信号またはハイレベルの信号を行選択信号として対応する行走査線 G 1 ~ G n に与える。

【 0 0 5 8 】

図 5 は図 4 に示す垂直走査回路 1 3 の動作を示すタイミングチャートである。

【 0 0 5 9 】

図 5 において、垂直ブランキング期間の前後の垂直走査期間では、後述する正極性と負極性による交流駆動で液晶 L C が駆動され、画像を構成するフレーム単位で画像が液晶表示される。すなわち、垂直走査期間では、ハイレベルの行選択信号が行走査線 G 1 ~ G n に順次出力され、行走査線 G 1 ~ G n は順次ハイレベルとなり垂直走査が行われる。その後、トリガ信号 (T r g) がロウレベルからハイレベルに移行すると、すべての画素回路 1 1 の液晶 L C に画素信号に基づいた駆動電圧が印加されて、液晶 L C が駆動される。

40

【 0 0 6 0 】

一方、垂直ブランキング期間内に、入力選択信号がハイレベルからロウレベルに移行すると基準電圧が入力回路 1 4 から出力され、一括選択信号がロウレベルからハイレベルに移行すると、基準電圧が一括してすべての画素回路 1 1 に供給される。

50

【 0 0 6 1 】

図 6 は入力回路 1 4 の一構成を示す構成図である。

【 0 0 6 2 】

図 6 において、入力回路 1 4 は、基準電圧供給回路 6 1、バッファ回路 6 2、6 4 及び選択回路 6 3 を備えている。

【 0 0 6 3 】

基準電圧供給回路 6 1 は、各画素回路 1 1 に供給される基準電圧を生成する。基準電圧供給回路 6 1 は、生成した基準電圧を選択回路 6 3 に与える。

【 0 0 6 4 】

ここで、基準電圧は、液晶 LC を駆動して液晶 LC を白色表示する際の駆動電圧と、液晶 LC を黒色表示する際の駆動電圧との間の任意の電圧に設定される。以下の説明では、基準電圧は、例えば液晶 LC を白色表示する際の駆動電圧と黒色表示する際の駆動電圧との概ね中間の中間電圧とする。すなわち、基準電圧は、画素信号のハイレベルの信号電圧とロウレベルの信号電圧との概ね中間の中間電圧とする。

10

【 0 0 6 5 】

バッファ回路 6 2 は、入力選択信号を入力し、入力した入力選択信号を正転及び反転して選択信号を生成する。

【 0 0 6 6 】

すなわち、バッファ回路 6 2 は、入力選択信号がハイレベルのときには、正転の出力端子からハイレベルの選択信号を出力し、反転の出力端子からロウレベルの選択信号を出力する。一方、バッファ回路 6 2 は、入力選択信号がロウレベルのときには、正転の出力端子からロウレベルの選択信号を出力し、反転の出力端子からハイレベルの選択信号を出力する。

20

【 0 0 6 7 】

バッファ回路 6 2 は、生成した選択信号を選択回路 6 3 に与える。

【 0 0 6 8 】

選択回路 6 3 は、基準電圧供給回路 6 1 から与えられた基準電圧、画素信号、及びバッファ回路 6 2 から与えられた選択信号を入力する。選択回路 6 3 は、選択信号に基づいて、入力した画素信号または基準電圧を択一的に選択する。

【 0 0 6 9 】

選択回路 6 3 は、ここでは正転の出力端子からハイレベルの選択信号が出力され、反転の出力端子からロウレベルの選択信号が出力されたときに画素信号を選択する。一方、選択回路 6 3 は、正転の出力端子からロウレベルの選択信号が出力され、反転の出力端子からハイレベルの選択信号が出力されたときに基準電圧を選択する。選択回路 6 3 は、択一的に選択した画素信号または基準電圧をバッファ回路 6 4 に与える。

30

【 0 0 7 0 】

選択回路 6 3 は、例えば P チャネルの FET と N チャネルの FET とで構成されたトランスファゲートを 2 つ備えて構成することができる。この構成では、一方のトランスファゲートにより基準電圧が選択制御され、他方のトランスファゲートにより画素信号が選択制御される。

40

【 0 0 7 1 】

バッファ回路 6 4 は、選択回路 6 3 から与えられた画素信号または基準電圧を水平走査回路 1 2 に出力する。

【 0 0 7 2 】

次に、上記構成の液晶表示装置 1 において、基準電圧を画素回路 1 1 に供給して書き込む動作を除いて、画素回路 1 1 に画素信号を書き込んで液晶 LC を駆動する基本的な動作について説明する。

【 0 0 7 3 】

なお、画素回路 1 1 に基準電圧を書き込む動作については、画素回路 1 1 に基準電圧を書き込むといった本発明の技術的特徴を採用していない従来技術と対比させて後述する。

50

【0074】

水平走査回路12から各列データ線D1～Dmに対応した各画素信号が、1水平走査期間の間、各列データ線D1～Dmに出力される。一方、第1トランジスタTr1を導通状態にする選択信号が垂直走査回路13から行走査線G、例えば行走査線G1に1水平走査期間の間出力される。これにより、ゲート端子が行走査線G1に接続されたm個の第1トランジスタTr1は導通状態となる。

【0075】

各列データ線D1～Dmに出力された各画素信号は、各列データ線D1～Dmに対応して接続された第1トランジスタTr1を介して第1保持容量部C1に与えられて書き込まれる。その後、第1トランジスタTr1を非導通状態にする選択信号が垂直走査回路13から行走査線G1に出力される。これにより、ゲート端子が行走査線G1に接続されたm個の第1トランジスタTr1は非導通状態となる。

10

【0076】

第1保持容量部C1に書き込まれた画素信号は、次の垂直走査期間に新たな画素信号が与えられるまでの非選択期間中、第1保持容量部C1に保持される。なお、すべての画素回路11の第1保持容量部C1に画素信号が書き込まれて保持される動作が終了するまでは、第2トランジスタTr2は非導通状態にある。

【0077】

このような画素信号の書き込み動作は、すべての行走査線Gに対して実行され、1フレーム分の画素信号がm×n個のすべての画素回路11の第1保持容量部C1に順次書き込まれて保持される。

20

【0078】

1フレーム分の画素信号の書き込み動作が終了すると、第2トランジスタTr2を導通状態とするトリガ信号がすべての画素回路11の第2トランジスタTr2のゲート端子に一括して共通に与えられる。これにより、すべての画素回路11の第2トランジスタTr2は、同時に導通状態となる。すべての画素回路11において、第1保持容量部C1に保持された画素信号は、第2トランジスタTr2を介して第2保持容量部C2に一斉に転送されるとともに画素信号に対応した電圧として画素電極16aに印加される。第2保持容量部C2に転送された画素信号は、第2保持容量部C2に保持される。

【0079】

すべての画素回路11の各画素電極16aに画素信号に対応した電圧が印加された後、第2トランジスタTr2を非導通状態とするトリガ信号が第2トランジスタTr2のゲート端子に与えられ、第2トランジスタTr2は非導通状態となる。その後、上述したようにして、次フレームの画素信号の書き込み動作が開始される。

30

【0080】

次フレームの画素信号の書き込み動作が行われている間、第2トランジスタTr2は非導通状態を維持している。これにより、第2保持容量部C2に転送された画素信号は、第2保持容量部C2に保持されると共に、画素信号に対応した電圧として画素電極16aに印加された状態を保持する。

【0081】

第2保持容量部C2に保持されている画素信号は、画素信号電圧が画素電極16aに印加される。画素電極16aに印加された画素信号に応じた電圧と、共通電極16bに印加された共通電極電圧Vceとの電位差に応じて液晶LCが駆動され、各画素回路11に書き込まれた画素信号に応じた表示が行われる。

40

【0082】

反射型液晶表示装置に好適な液晶表示モードとしては、電界効果複屈折モードがある。電界効果複屈折モードでは、液晶の誘電異方性と初期配向によってノーマリーブラック型あるいはノーマリーホワイト型の特性を得ることができる。第1実施形態では、図7を参照して、ノーマリーブラック型について説明する。

【0083】

50

図7は本実施形態で用いられる液晶LCの液晶駆動電圧 - 透過率特性の一例を示す図である。図7において、横軸は液晶LCの画素電極16aに印加される電圧であり、縦軸は表示画像のモノクロ(白黒)の表示色を示しており、電圧V1は、表示画像の黒色(出力光強度Pb)に対応し、電圧V2は表示画像の白色(出力光強度Pw)に対応している。

【0084】

液晶表示装置1において、通常液晶は表示画像の焼き付きや液晶材料の劣化を防止する観点から、正極性の電圧印加と負極性の電圧印加とを交互に設定した交流電圧で駆動することが好ましい。ここで、正極性とは、画素電極16aに印加する電圧が共通電極電圧Vceよりも高い場合であり、負極性とは、画素電極16aに印加する電圧が共通電極電圧Vceよりも低い場合である。

【0085】

画素信号を1つのトランジスタを介して1つの保持容量部に取り込んで保持するような構成の画素回路では、すべての画素回路の液晶に同時に画素信号を供給することができない。これにより、液晶LCの共通電極16bに印加する共通電極電圧Vceを変化させず、黒を表示するときには、共通電極電圧Vce + 電圧V1となる電圧と、共通電極電圧Vce - 電圧V1となる電圧とが交互に画素電極16aに印加される。一方、白を表示するときには、共通電極電圧Vce + 電圧V2となる電圧と、共通電極電圧Vce - 電圧V2となる電圧とが交互に画素電極16aに印加される。ここで、電圧V1, V2は図2に示す電圧である。このような駆動態様では、液晶LCの画素電極16aに印加される電圧の振幅は、最大で $2 \times V2$ となる。

【0086】

これに対して、第1実施形態では、液晶表示装置1は、図8に示すようにして液晶LCに電圧を印加して駆動している。図8は第1実施形態で用いられる液晶LCに印加される電圧と、液晶LCの駆動態様を模式的に示したものである。

【0087】

図8に示すように、正極性で黒色表示する際に画素電極16aに印加する電圧Vaと、負極性で白色表示する際に画素電極16aに印加する電圧Vaとは略等しいレベルとなる。また、正極性で白色表示する際に画素電極16aに印加する電圧Vbと、負極性で黒色表示する際に画素電極16aに印加する電圧Vbとは略等しいレベルとなる。このように、画素電極16aには、正負各極性の電圧範囲およびレベルを振幅方向でオーバーラップさせた形態の電圧が供給される。

【0088】

正極性において黒色表示する際に、共通電極16bには、画素電極16aに印加される電圧Vaに対して電圧V1だけ低い電圧の共通電極電圧Vceが印加される。また、負極性において黒色表示する際に、共通電極16bには、画素電極16aに印加される電圧Vbに対して電圧V1だけ高い電圧の共通電極電圧Vceが印加される。すなわち、共通電極電圧Vceは、正極性では電圧Va - 電圧V1となり、負極性では電圧Vb + 電圧V1となる。

【0089】

一方、正極性において白色表示する際に、共通電極16bには、画素電極16aに印加される電圧Vbに対して電圧V2だけ低い電圧の共通電極電圧Vceが印加される。また、負極性において白色表示する際に、共通電極16bには、画素電極16aに印加される電圧Vaに対して電圧V2だけ低い電圧の共通電極電圧Vceが印加される。すなわち、共通電極電圧Vceは、正極性では電圧Vb - 電圧V2となり、負極性では電圧Va + 電圧V2となる。

【0090】

このように、正負の極性において黒色表示もしくは白色表示をする場合には、図3に示すように、画素電極16aに印加される電圧の振幅は電圧Va - 電圧Vb、すなわち電圧V2 - 電圧V1となる。これにより、画素電極16aに印加すべき印加電圧は、共通電極電圧Vceを変化させない場合に比べて、小振幅にすることが可能となる。この結果、液

10

20

30

40

50

晶表示装置 1 は、第 1 トランジスタ $T r 1$ 、第 2 トランジスタ $T r 2$ や第 1 保持容量部 $C 1$ 、第 2 保持容量部 $C 2$ の必要耐圧を低減させることが可能となり、素子の高密度化を実現することができる。

【0091】

次に、第 1 実施形態と、第 1 実施形態の技術的特徴である、垂直ブランキング期間内に基準電圧を画素回路 1 1 に供給して書き込むといった構成を採用していない従来技術とを対比させて、第 1 実施形態の液晶表示装置 1 の動作及び効果について説明する。

【0092】

まず、発明が解決しようとする課題の欄で触れた従来技術が招く不具合について説明する。

10

【0093】

ここで、図 9 に示す液晶表示装置 1 の液晶表示画面 9 1 において、マトリックス状に配列された複数の画素回路 1 1 で構成された各画素のうち、画素 a を図 9 の矢印 9 2 で示す垂直走査方向に対して走査の起点側に位置する画素の代表とする。画素 b を垂直走査方向に対して走査の略中間に位置する画素の代表とする。画素 c を垂直走査方向に対して走査の終点側に位置する画素の代表とする。

【0094】

図 1 0 は上述の第 1 実施形態の技術的特徴が採用されていない場合の画素 a、画素 b、画素 c に係わる諸信号の模式的な信号波形を示すタイミングチャートである。なお、図 1 0 に示すタイミングチャートにおいて諸信号は、各画素 a、b、c に白色が表示される際の電圧変化を示している。また、図 1 0 に示すタイミングチャートにおいて諸信号は、図 8 に示したように液晶 LC の両電極に印加される電圧の極性が 1 フレーム期間毎に交互に反転して液晶 LC を交流駆動する際の電圧変化を示している。

20

【0095】

図 1 0 及び後述する図 1 1 において、画素信号 $D a$ 、 $D b$ 、 $D c$ は、水平走査回路 1 2 から列データ線 $D 1 \sim D m$ を介して各画素 a、b、c に対応した画素回路 1 1 に書き込まれて、第 1 保持容量部 $C 1$ の第 1 電極部 1 4 a に保持される信号を表す。画素信号電圧 $V a$ 、 $V b$ 、 $V c$ は、第 2 保持容量部 $C 2$ の第 1 電極部 1 5 a に保持される画素信号の信号レベルに応じた電圧を表す。

【0096】

図 1 0 において、各画素 a、b、c を構成する各画素回路 1 1 には、行選択信号が 1 垂直走査期間内に順次供給され、かつ行選択信号に同期して画素信号が供給される。

30

【0097】

すなわち、画素 a の画素回路 1 1 は、時刻 $t 1$ で行選択信号 $G a$ が第 1 トランジスタ $T r 1$ のゲート端子に供給され、ハイレベルの画素信号 $D a$ が供給される。これにより、画素 a の画素回路 1 1 は、時刻 $t 1$ で第 1 トランジスタ $T r 1$ を介して画素信号 $D a$ が書き込まれる。書き込まれた画素信号 $D a$ の画素信号電圧は、第 1 保持容量部 $C 1$ の第 1 電極部 1 4 a に保持される。

【0098】

画素 b の画素回路 1 1 は、時刻 $t 2$ で行選択信号 $G b$ が第 1 トランジスタ $T r 1$ のゲート端子に供給され、ハイレベルの画素信号 $D b$ が供給される。これにより、画素 b の画素回路 1 1 は、時刻 $t 2$ で第 1 トランジスタ $T r 1$ を介して画素信号 $D b$ が書き込まれる。書き込まれた画素信号 $D b$ の画素信号電圧は、第 1 保持容量部 $C 1$ の第 1 電極部 1 4 a に保持される。

40

【0099】

画素 c の画素回路 1 1 は、時刻 $t 3$ で行選択信号 $G c$ が第 1 トランジスタ $T r 1$ のゲート端子に供給され、ハイレベルの画素信号 $D c$ が供給される。これにより、画素 c の画素回路 1 1 は、時刻 $t 3$ で第 1 トランジスタ $T r 1$ を介して画素信号 $D c$ が書き込まれる。書き込まれた画素信号 $D c$ の画素信号電圧は、第 1 保持容量部 $C 1$ の第 1 電極部 1 4 a に保持される。

50

【0100】

その後時刻 t_4 でトリガ信号 (Trg) が各画素 a, b, c の画素回路 11 に同時に供給されると、各画素信号 D_a, D_b, D_c は第 2 保持容量部 C2 の第 1 電極部 15a に転送されて保持される。これにより、各画素 a, b, c の各画素回路 11 の画素信号が更新される。すなわち、各画素 a, b, c の各画素回路 11 のロウレベルの画素信号がハイレベルの画素信号に反転して更新される。

【0101】

ここで、発明が解決しようとする課題の欄で説明したように、寄生容量が第 1 保持容量部 C1 の第 1 電極部 14a と第 2 保持容量部 C2 の第 1 電極部 15a との間に形成されている場合を想定する。

10

【0102】

寄生容量が形成されていると、第 1 保持容量部 C1 の第 1 電極部 14a と第 2 保持容量部 C2 の第 1 電極部 15a とは、寄生容量結合される。これにより、画素信号が第 1 保持容量部 C1 の第 1 電極部 14a に書き込まれた時に、第 1 保持容量部 C1 の第 1 電極部 14a の電圧変化が第 2 保持容量部 C2 の第 1 電極部 15a にクロストークする。電圧のクロストークが生じると、それまで第 2 保持容量部 C2 の第 1 電極部 15a に保持されていた画素信号の画素信号電圧が変化する。

【0103】

画素信号電圧の変化が生じている期間は、画素信号を画素回路 11 に書き込むタイミングによって異なる。

20

【0104】

図 10 のタイミングチャートにおいて、画素 a の画素回路 11 では、時刻 t_1 で画素信号 D_a が書き込まれると、上記寄生容量結合によりそれまで保持されていたロウレベルの画素信号電圧 V_a が変化して所定の電圧 V_{1c} だけ上昇する。その後、トリガ信号 (Trg) が時刻 t_4 で供給されると、画素信号電圧 V_a は、画素 a の画素回路 11 に書き込まれた画素信号のハイレベルの画素信号電圧となる。したがって、画素 a の画素回路 11 では、時刻 t_1 から時刻 t_4 までの期間保持している画素信号電圧 V_a が変化する。

【0105】

画素 b の画素回路 11 では、時刻 t_2 で画素信号 D_b が書き込まれると、上記寄生容量結合によりそれまで保持されていたロウレベルの画素信号電圧 V_b が変化して所定の電圧 V_{1c} だけ上昇する。その後、トリガ信号 (Trg) が時刻 t_4 で供給されると、画素信号電圧 V_b は、画素 b の画素回路 11 に書き込まれた画素信号のハイレベルの画素信号電圧となる。したがって、画素 b の画素回路 11 では、時刻 t_2 から時刻 t_4 までの期間保持している画素信号電圧 V_b が変化する。

30

【0106】

画素 c の画素回路 11 では、時刻 t_3 で画素信号 D_c が書き込まれると、上記寄生容量結合によりそれまで保持されていたロウレベルの画素信号電圧 V_c が変化して所定の電圧 V_{1c} だけ上昇する。その後、トリガ信号 (Trg) が時刻 t_4 で供給されると、画素信号電圧 V_c は、画素 c の画素回路 11 に書き込まれた画素信号のハイレベルの画素信号電圧となる。したがって、画素 c の画素回路 11 では、時刻 t_3 から時刻 t_4 までの期間保持している画素信号電圧 V_c が変化する。

40

【0107】

このように、画素信号電圧の変化が生じている期間は、画素 a の画素回路 11 が最も長く、次いで画素 b の画素回路 11、画素 c の画素回路 11 の順で短くなる。

【0108】

1 垂直走査期間で各画素 a, b, c で画素信号の画素信号電圧の変化が生じている期間が異なると、各画素 a, b, c の輝度が変化している期間も異なる。すなわち、各画素 a, b, c の輝度が低下している期間は、画素 a が最も長くなり、次いで画素 b 、画素 c の順で短くなる。

【0109】

50

これにより、液晶表示画面 9 1 の上方に向かうほど表示画像の輝度が低下している期間が長く、液晶表示画面 9 1 の下方に向かうほど表示画像の輝度が低下している期間が短くなる。この結果、液晶表示画面 9 1 に表示される画像は、表示画面の上部のコントラストが一番低い状態でコントラストが表示画面の上部から下部に向かって傾斜状に変化するという不具合が生じる。

【0110】

これに対して、第 1 実施形態の液晶表示装置 1 は、画素回路 1 1 に基準電圧を書き込む構成を採用することにより、画素 a、画素 b、画素 c に係わる諸信号の模式的な信号波形は、図 1 1 のタイミングチャートに示すようになる。

【0111】

なお、図 1 1 に示すタイミングチャートは、図 1 0 に示すタイミングチャートと同様に、液晶 LC を交流駆動して液晶表示画面 9 1 の全面に白色表示する動作のタイミングチャートである。

【0112】

まず、液晶表示画面 9 1 に液晶表示される画像を構成する前フレームにおいて、トリガ信号が時刻 $t = 0$ ですべての画素回路 1 1 に与えられる。これにより、それまで画素 a の画素回路 1 1 の第 1 保持容量部 C 1 に保持されていたロウレベルの画素信号 D_a は第 2 保持容量部 C 2 に転送されて保持される。この結果、画素信号電圧 V_a は画素信号 D_a のロウレベルとなる。

【0113】

同様に、それまで画素 b の画素回路 1 1 の第 1 保持容量部 C 1 に保持されていたロウレベルの画素信号 D_b は第 2 保持容量部 C 2 に転送されて保持される。この結果、画素信号電圧 V_b は画素信号 D_b のロウレベルとなる。

【0114】

また、それまで画素 c の画素回路 1 1 の第 1 保持容量部 C 1 に保持されていたロウレベルの画素信号 D_c は第 2 保持容量部 C 2 に転送されて保持される。この結果、画素信号電圧 V_c は画素信号 D_c のロウレベルとなる。

【0115】

このような状態において、前フレームに続く次フレームにおいて、画素信号の書き込み動作が開始される時刻 t_2 に先だて、時刻 t_1 ですべての行走査線 $G_1 \sim G_n$ に与えられるすべての行選択信号がハイレベルとなる。すなわち、前フレームと次フレームの間の垂直ブランキング期間内にすべての行選択信号がハイレベルとなり、画素 a、b、c の画素回路 1 1 に対応した行選択信号 G_a 、 G_b 、 G_c がハイレベルとなる。

【0116】

これにより、すべての画素回路 1 1 の第 1 トランジスタ T_{r1} が非導通状態から導通状態に移行する。この結果、基準電圧は、入力回路 1 4 から水平走査回路 1 2、列データ線 $D_1 \sim D_m$ 及び導通状態の第 1 トランジスタ T_{r1} を介してすべての画素回路 1 1 の第 1 保持容量部 C 1 に供給されて書き込まれる。

【0117】

これにより、すべての画素回路 1 1 の画素信号は、それまでのロウレベルから基準電圧 (V_r) の分だけ上昇する。例えば画素信号のロウレベルが接地電位の $0V$ とすると、画素信号の信号電圧は $0V$ から基準電圧 (V_r) となる。すなわち、画素 a、b、c の画素回路 1 1 における画素信号 D_a 、 D_b 、 D_c の信号電圧は基準電圧 (V_r) となる。

【0118】

前フレームと次フレームとの間の垂直ブランキング期間内に第 1 保持容量部 C 1 に書き込まれた基準電圧は、次フレームの画素信号が画素回路 1 1 に書き込まれるまでの間第 1 保持容量部 C 1 に保持される。

【0119】

基準電圧が第 1 保持容量部 C 1 に書き込まれると、上記寄生容量結合によりそれまで第 1 保持容量部 C 1 に保持されていたロウレベルの画素信号電圧が変化して所定の電圧

10

20

30

40

50

V_{rc} だけ上昇する。これは、すべての画素回路11で共通であり、画素a, b, cの画素回路11で共通である。すなわち、画素信号電圧 V_a, V_b, V_c は、上記所定の電圧 V_{rc} だけ上昇する。この所定の電圧 V_{rc} は、画素信号 D_a, D_b, D_c が上昇した電圧、すなわち基準電圧に概ね比例する。

【0120】

各画素a, b, cの画素回路11がこのような状態において、次フレームにおける画素信号の書き込み動作が時刻 t_2 から開始される。

【0121】

画素aの画素回路11では、時刻 t_2 でハイレベルの画素信号 D_a が書き込まれ、ハイレベルの画素信号 D_a が第1保持容量部C1に保持される。このときに、第1保持容量部C1に保持されていた画素信号 D_a の信号電圧は、基準電圧(V_r)と画素信号 D_a のハイレベルの信号電圧との差分電圧(V_2)だけ上昇する。

10

【0122】

画素aの画素回路11にハイレベルの画素信号 D_a が書き込まれると、画素信号電圧 V_a は、上記寄生容量結合によりさらに所定の電圧 V_{2c} だけ上昇する。この所定の電圧 V_{2c} は、上記差分電圧(V_2)に概ね比例する。

【0123】

画素bの画素回路11では、時刻 t_3 でハイレベルの画素信号 D_b が書き込まれ、ハイレベルの画素信号 D_b が第1保持容量部C1に保持される。このときに、第1保持容量部C1に保持されていた画素信号 D_b の信号電圧は、基準電圧(V_r)と画素信号 D_b のハイレベルの信号電圧との差分電圧(V_2)だけ上昇する。

20

【0124】

画素bの画素回路11にハイレベルの画素信号 D_b が書き込まれると、画素信号電圧 V_b 、上記寄生容量結合によりさらに所定の電圧 V_{2c} だけ上昇する。

【0125】

画素cの画素回路11では、時刻 t_4 でハイレベルの画素信号 D_c が書き込まれ、ハイレベルの画素信号 D_c が第1保持容量部C1に保持される。このときに、第1保持容量部C1に保持されていた画素信号 D_c の信号電圧は、基準電圧(V_r)と画素信号 D_c のハイレベルの信号電圧との差分電圧(V_2)だけ上昇する。

【0126】

画素cの画素回路11にハイレベルの画素信号 D_c が書き込まれると、画素信号電圧 V_c は、上記寄生容量結合によりさらに所定の電圧 V_{2c} だけ上昇する。

30

【0127】

すなわち、画素a, b, cの画素回路11に画素信号 D_a, D_b, D_c が書き込まれると、画素信号電圧 V_a, V_b, V_c は、以下のように変化する。すなわち、画素信号電圧 V_a, V_b, V_c は、前フレームで書き込まれた画素信号 D_a, D_b, D_c のロウレベルの電圧から上記所定の電圧 V_{rc} だけ上昇した電圧を基点にして、所定の電圧 V_{2c} だけ上昇する。

【0128】

この後、トリガ信号が時刻 t_5 で供給されると、画素信号電圧 V_a, V_b, V_c は、画素a, b, cの画素回路11に書き込まれた画素信号 D_a, D_b, D_c のハイレベルの画素信号電圧となる。

40

【0129】

上述のように、画素信号 D_a, D_b, D_c が画素a, b, cの画素回路11に書き込まれる前に、基準電圧が予め画素回路11に書き込まれる。これにより、画素信号 D_a, D_b, D_c が書き込まれたときの画素信号 D_a, D_b, D_c の信号電圧の変化は、上記差分電圧(V_2)となる。

【0130】

これに対して、図10のタイミングチャートに示す従来では、画素信号 D_a, D_b, D_c が書き込まれたときの画素信号 D_a, D_b, D_c の信号電圧の変化は、画素信号 D_a

50

、 D_b 、 D_c のロウレベルとハイレベルの信号電圧の差分電圧(V_1)となる。

【0131】

例えば基準電圧を上述のように中間電圧に設定した場合には、第1実施形態の差分電圧(V_2)は、従来の差分電圧(V_1)に比べて概ね $1/2$ 程度となる。また、画素信号 D_a 、 D_b 、 D_c を書き込んだ際の上記寄生容量による画素信号電圧 V_a 、 V_b 、 V_c の変化は、上記差分電圧に概ね比例する。

【0132】

したがって、第1実施形態において画素信号 D_a 、 D_b 、 D_c を書き込んだ際に画素信号電圧 V_a 、 V_b 、 V_c が上昇する所定の電圧 V_{2c} は、従来における所定の電圧 V_{1c} に比べて概ね $1/2$ となる。すなわち、第1保持容量部 C_1 の第1電極部 $14a$ と第2保持容量部 C_2 の第1電極部 $15a$ との間のクロストーク電圧は、第1実施形態では従来に比べて $1/2$ となる。これにより、第1実施形態において、画素信号 D_a 、 D_b 、 D_c の書き込み前後の画素信号電圧 V_a 、 V_b 、 V_c の電圧変化は、従来に比べて $1/2$ に低減される。

【0133】

なお、液晶表示画面91の全面を黒色表示した場合は、信号電圧レベルの高低が逆転するだけなので、液晶表示画面91の全面を白色表示した上記と同様の結果を得ることができる。

【0134】

図12は画素 a 、 b 、 c と液晶駆動実効電圧との関係を示す図である。

【0135】

図12において、液晶表示画面91の全面を白色表示した場合及び液晶表示画面91の全面を黒色表示した場合に、第1実施形態(図12に実線で示す)における画素 a 、 b 、 c における液晶駆動実効電圧の変化の度合いは、従来(図12に破線で示す)に比べて緩やかとなる。図12からわかるように、第1実施形態においては、液晶表示画面91に表示された画像のコントラストの傾斜の度合いは、従来に比べて緩やかになるといった効果を得ることができる。

【0136】

したがって、第1実施形態の液晶表示装置1は、寄生容量によるクロストークに起因する表示画像におけるコントラストの変化を抑制し、表示画像のコントラストの均一化を向上することができる。この結果、第1実施形態の液晶表示装置1は、高品位な液晶表示を提供することができる。

【0137】

(第2実施形態)

図13を参照して、本発明の第2実施形態に係る液晶表示装置の構成を説明する。

【0138】

第2実施形態において、第1実施形態と主に異なる点は、第1実施形態の水平走査回路12に代えて新たな水平走査回路130を設けたことである。なお、第2実施形態において、水平走査回路130の動作を除く他の動作については、第1実施形態と同様であるので、その説明は省略する。

【0139】

したがって、ここでは、主に新たに設けた水平走査回路130について説明する。

【0140】

図13において、水平走査回路130は、シフトレジスタ回路131、ラッチ回路132、階調カウンタ133、コンパレータ134及びRS型のF/F(フリップフロップ)回路135を備えている。また、水平走査回路130は、第1実施形態の水平走査回路12が備えた、オアゲート回路22、バッファ回路23及びスイッチ回路24を備えている。

【0141】

シフトレジスタ回路131は、列データ線 $D_1 \sim D_m$ の本数に対応した m 個の画素信号

10

20

30

40

50

を順次シフトする。ここで、1つの画素信号は、 k ビットのデジタル信号で構成されている。シフトレジスタ回路131は、 m 個の画素信号のシフトが終了すると、画素信号をラッチ回路132に出力する。

【0142】

ラッチ回路132は、一括選択信号に基づいて、シフトレジスタ回路131から出力された m 個の画素信号を入力してラッチする。ラッチ回路132は、一括選択信号がハイレベルのときに、シフトレジスタ回路131から出力された m 個の画素信号を入力してラッチする。ラッチ回路132は、ラッチした m 個の画素信号を、列データ線 $D_1 \sim D_m$ に対応して設けられた各コンパレータ134の一方の入力端子に出力する。

【0143】

階調カウンタ133は、階調クロック信号($C-CK$)とリセット信号($C-RT$)を入力する。階調カウンタ133は、階調クロック信号をカウントし、複数の階調値が水平走査期間内で最小値から最大値まで順次変化する基準階調データ(階調値)を水平走査期間毎に生成する。階調カウンタ133は、生成した基準階調データを各コンパレータ134の他方の入力端子に出力する。

【0144】

コンパレータ134は、ラッチ回路132から出力された画素信号と階調カウンタ133から出力された基準階調データとを比較し、両者が一致したタイミングで一致パルス信号を生成する。コンパレータ134は、生成した一致パルス信号を、列データ線 $D_1 \sim D_m$ に対応して設けられた各 F/F 回路135の R 端子に出力する。

【0145】

F/F 回路135は、クロック信号($CM-CK$)が順次入力され、入力されたクロック信号に同期して Q 端子から出力信号を出力する。 F/F 回路135は、コンパレータ134から出力された一致パルス信号を R 端子に入力し、 F/F セット信号($FF-ST$)信号を S 端子に入力する。

【0146】

F/F 回路135は、 F/F セット信号に基づいて水平走査期間の周期でセット動作を行い、一致パルス信号の入力によりリセット動作を行う。 F/F 回路135は、リセット動作により出力されるハイレベルの出力信号を Q 端子からオアゲート回路22の一方の入力端子に出力する。

【0147】

オアゲート回路22は、列データ線 $D_1 \sim D_m$ に対応して設けられている。オアゲート回路22は、一方の入力端子に F/F 回路135から出力された出力信号を入力し、他方の入力端子に一括選択信号を入力する。

【0148】

オアゲート回路22は、一括選択信号がロウレベルのときには、 F/F 回路135の出力信号をバッファ回路23に出力する。一方、オアゲート回路22は、一括選択信号がハイレベルのときには、 F/F 回路135の出力信号にかかわらずハイレベルの信号をバッファ回路23に出力する。

【0149】

バッファ回路23は、列データ線 $D_1 \sim D_m$ に対応して設けられている。バッファ回路23は、オアゲート回路22から出力された出力信号を入力する。

【0150】

バッファ回路23は、入力したオアゲート回路22の出力信号を正転及び反転して、スイッチング信号を生成する。

【0151】

すなわち、バッファ回路23は、オアゲート回路22から出力された出力信号がハイレベルのときには、正転の出力端子からハイレベルのスイッチング信号を出力し、反転の出力端子からロウレベルのスイッチング信号を出力する。一方、バッファ回路23は、オアゲート回路22から出力された出力信号がロウレベルのときには、正転の出力端子からロ

10

20

30

40

50

ウレベルのスイッチング信号を出力し、反転の出力端子からハイレベルのスイッチング信号を出力する。

【0152】

バッファ回路23は、生成したスイッチング信号をスイッチ回路24に与える。

【0153】

スイッチ回路24は、列データ線D1～Dmに対応して設けられている。スイッチ回路24は、バッファ回路23から与えられたスイッチング信号に基づいて、オン状態またはオフ状態にスイッチングされる。

【0154】

スイッチ回路24は、ここでは正転の出力端子からハイレベルのスイッチング信号が出力され、反転の出力端子からロウレベルのスイッチング信号が出力されたときにオン状態となるものとする。一方、スイッチ回路24は、正転の出力端子からロウレベルのスイッチング信号が出力され、反転の出力端子からハイレベルのスイッチング信号が出力されたときにオフ状態となるものとする。

10

【0155】

スイッチ回路24は、入力回路14から与えられる基準電圧または基準ランプ信号を入力する。入力回路14は、第2実施形態では画素信号に代えて基準ランプ信号を入力し、入力選択信号に基づいて、基準電圧または基準ランプ信号を択一的に選択し、選択した基準電圧または基準ランプ信号をスイッチ回路24に与える。

【0156】

ここで、基準ランプ信号とは、水平走査期間の周期で画像の黒レベルから白レベルにレベルが上昇または減少する方向に変化する周期的な掃引信号である。

20

【0157】

スイッチ回路24は、オン状態になると、入力された基準ランプ信号または基準電圧に対応する列データ線D1～Dmに与える。

【0158】

上記構成の水平走査回路130は、デジタル信号の画素信号を画像の階調値を示す基準階調データに変換し、変換で得られた階調値に基づいて基準ランプ信号をサンプリングすることにより、第1実施形態と同様のアナログ信号の画素信号を得ている。

【0159】

図14は図13に示す水平走査回路130の動作を示すタイミングチャートである。

30

【0160】

図14において、垂直ブランキング期間の前後の垂直走査期間では、正極性と負極性による交流駆動で液晶LCが駆動され、画像を構成するフレーム単位で画像が液晶表示される。

【0161】

一方、垂直ブランキング期間内に、入力選択信号がハイレベルからロウレベルに移行すると基準電圧が入力回路14から出力され、一括選択信号がロウレベルからハイレベルに移行すると、基準電圧が一括してすべての画素回路11に供給される。

【0162】

なお、上記基準電圧が画素回路11に供給される動作は、1垂直ブランキング期間内であれば、いずれの時間であってもよい。

40

【0163】

したがって、第2実施形態においては、第1実施形態と同様に基準電圧をすべての画素回路11に書き込むことが可能となるので、第1実施形態と同様の効果を得ることができる。

【符号の説明】

【0164】

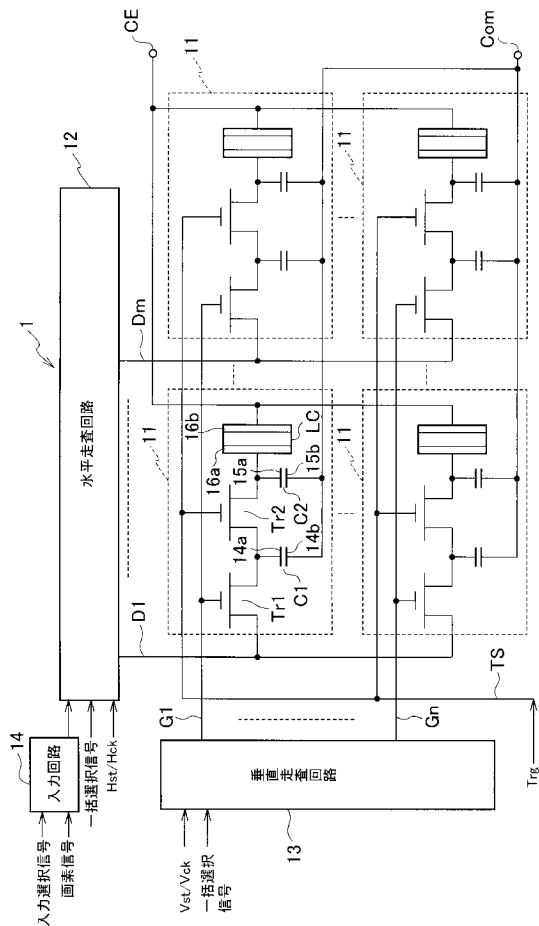
1 液晶表示装置

11 画素回路

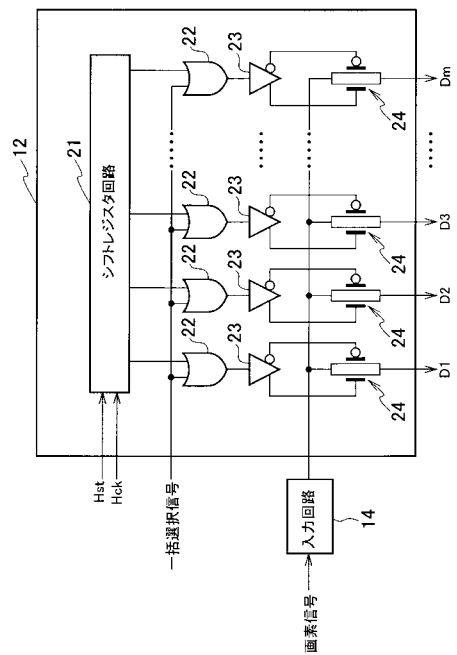
50

- 1 2 , 1 3 0 水平走査回路
- 1 3 垂直走査回路
- 1 4 入力回路
- 6 1 基準電圧供給回路
- C 1 第 1 保持容量部
- C 2 第 2 保持容量部
- L C 液晶
- T r 1 , T r 2 トランジスタ

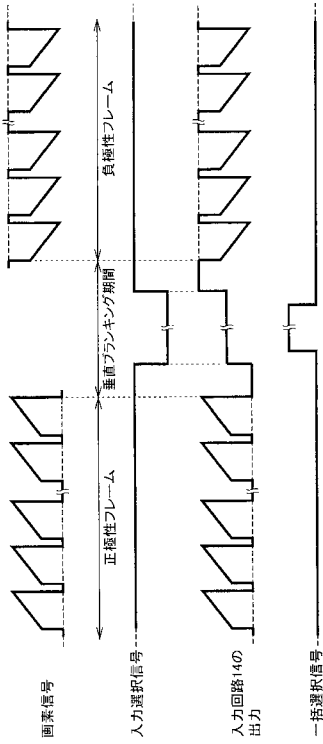
【 図 1 】



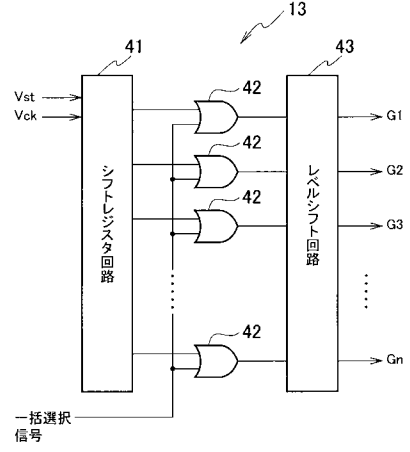
【 図 2 】



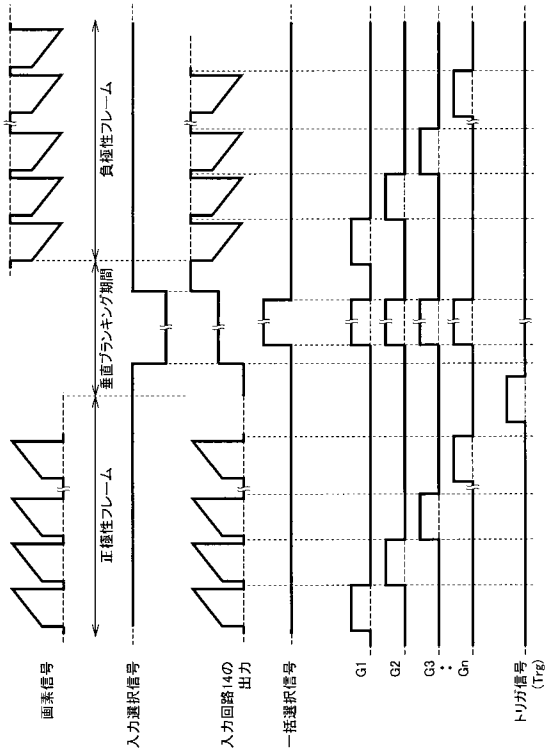
【 図 3 】



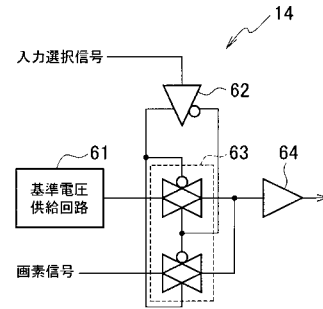
【 図 4 】



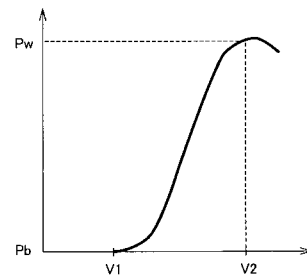
【 図 5 】



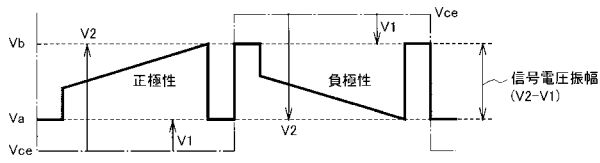
【 図 6 】



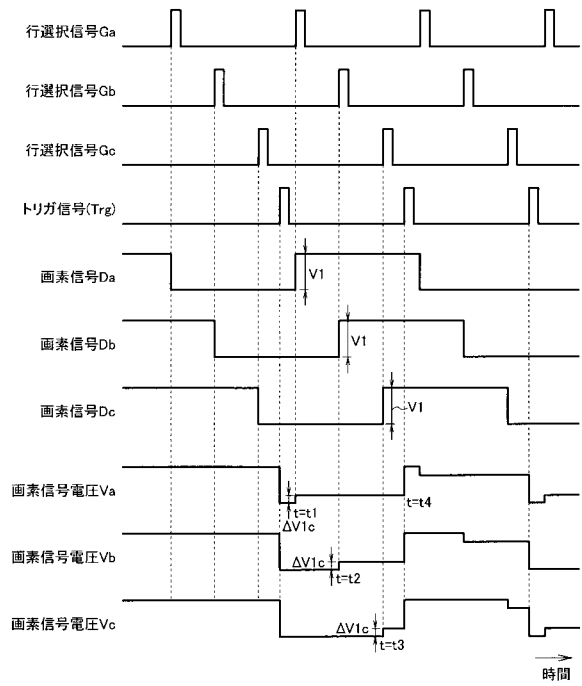
【 図 7 】



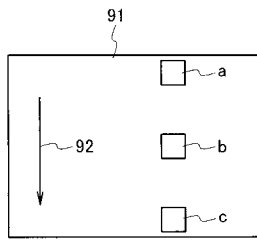
【 図 8 】



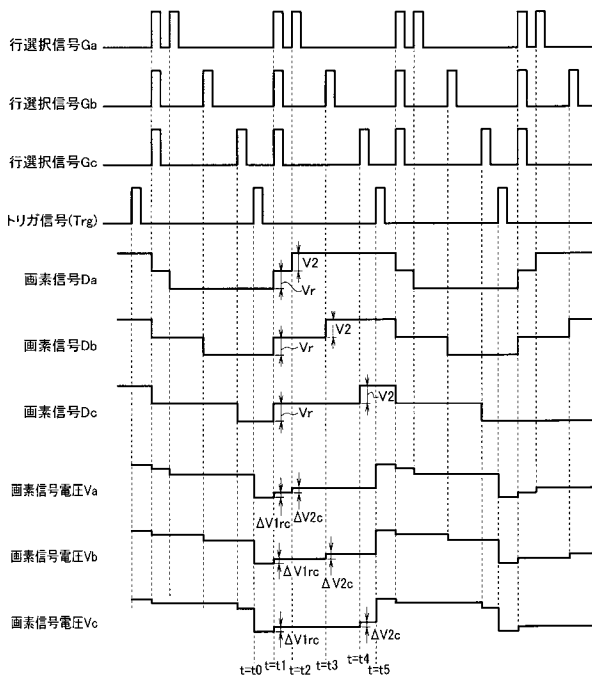
【 図 1 0 】



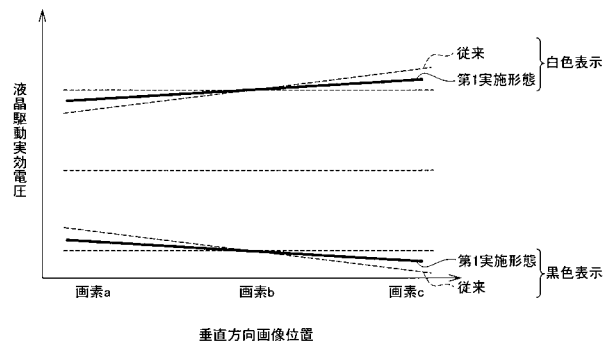
【 図 9 】



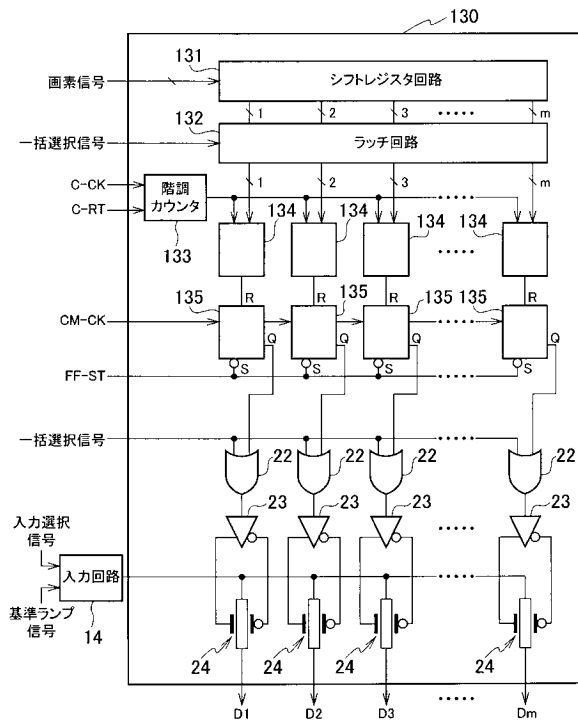
【 図 1 1 】



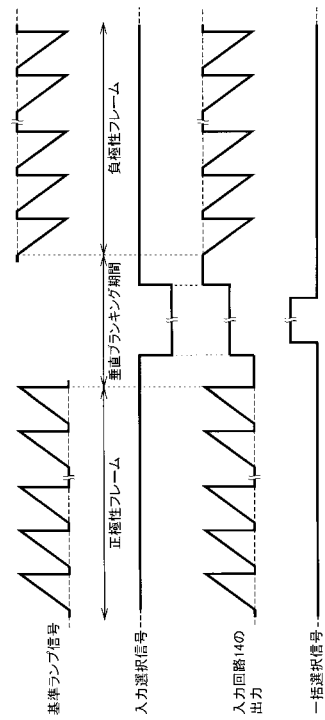
【 図 1 2 】



【 図 1 3 】



【 図 1 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 C
G 0 9 G 3/20 6 1 1 D

Fターム(参考) 5C006 AA16 AC09 AC21 AC23 AC24 AC28 AF73 BB16 BB28 BC03
BC06 BC12 BC13 BF03 BF04 BF06 BF14 BF26 FA37
5C080 AA10 BB05 DD10 FF11 JJ01 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2016177034A	公开(公告)日	2016-10-06
申请号	JP2015055795	申请日	2015-03-19
[标]申请(专利权)人(译)	JVC 建伍株式会社		
申请(专利权)人(译)	JVC建伍公司		
[标]发明人	古屋正人		
发明人	古屋 正人		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
FI分类号	G02F1/133.550 G09G3/36 G09G3/20.624.B G09G3/20.612.T G09G3/20.622.D G09G3/20.623.C G09G3/20.611.D		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB09 2H193/ZB13 2H193/ZC16 2H193/ZD34 2H193/ZE10 2H193/ZF23 2H193/ZF31 2H193/ZH44 2H193/ZH53 5C006/AA16 5C006/AC09 5C006/AC21 5C006/AC23 5C006/AC24 5C006/AC28 5C006/AF73 5C006/BB16 5C006/BB28 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC13 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF14 5C006/BF26 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD10 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	三好秀 高桥俊		
外部链接	Espacenet		

摘要(译)

公开了能够提高显示图像的对比度的均匀性的液晶显示装置。的像素电路11被布置成矩阵，光入射来驱动它根据施加到液晶LC，通过施加像素信号的像素信号电压在液晶上的电势差调制的像素部和驱动单元。输入单元包括一个水平扫描电路12由一个垂直扫描电路13和输入电路14包括一个参考电压供给电路61，用于产生一个参考电压时，先前帧的像素信号，并从第一存储电容器部分C1上的第二保持构成被转移到电容器部分C2，在垂直消隐期间，直到下一帧的像素信号之后被输入到第一存储电容器部分C1，基准电压源倍供给到所有的像素电路11通过第一晶体管Tr1由道路61产生的参考电压的第一存储电容器部分C1。1技术领域

