

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-151713

(P2016-151713A)

(43) 公開日 平成28年8月22日(2016.8.22)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 631V	5B225
G02F 1/133 (2006.01)	G09G 3/20 670Q	5C006
G11C 17/14 (2006.01)	G09G 3/20 641P	5C080
	G02F 1/133 505	
審査請求 未請求 請求項の数 13 O L (全 29 頁) 最終頁に続く		

(21) 出願番号 特願2015-29971 (P2015-29971)
(22) 出願日 平成27年2月18日 (2015.2.18)

(71) 出願人 502356528
株式会社ジャパンディスプレイ
東京都港区西新橋三丁目7番1号
(74) 代理人 110002066
特許業務法人筒井国際特許事務所
(72) 発明者 二藤部 隆太郎
東京都港区西新橋三丁目7番1号 株式会
社ジャパンディスプレイ内
Fターム(参考) 2H193 ZA04 ZA07 ZD12 ZF13 ZF36
ZF43 ZF44 ZH43 ZH52 ZK03
ZK09 ZK13 ZQ16
5B225 BA14 CA14 EA01 ED09 EF13
FA02 FA10

最終頁に続く

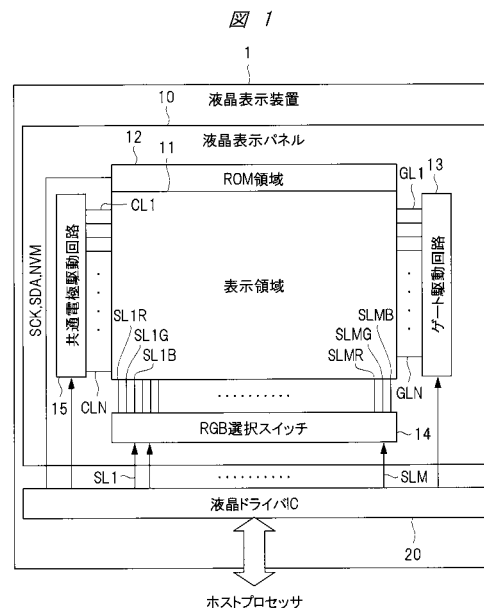
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】パネルとドライバとの組み合わせによらずに、光学特性を最適に設定することが可能な液晶表示装置を提供する。

【解決手段】液晶表示装置1は、複数の画素がマトリクス状に配置された表示領域11を含む液晶表示パネル10を有し、液晶表示パネル10は、表示領域11の複数の画素の配置に沿って配置され、液晶表示パネル10の光学特性を調整するための情報を記憶するROM領域12を含む。液晶表示パネル10の光学特性を調整するための情報は、液晶表示パネル10の固有情報であり、液晶表示パネル10の固有情報に基づいて、液晶表示パネル10の光学特性が調整される。または、液晶表示パネル10の光学特性を調整するための情報は、液晶表示パネル10の共通情報を除く差分情報であり、共通情報と差分情報との演算結果に基づいて、液晶表示パネル10の光学特性が調整される。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数の画素がマトリクス状に配置された表示部を含むパネルを有し、
前記パネルは、前記表示部の複数の画素の配置に沿って配置され、前記パネルの光学特性を調整するための情報を記憶する記憶部を含む、液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、
前記パネルの光学特性を調整するための情報は、前記パネルの固有情報であり、
前記パネルの固有情報に基づいて、前記パネルの光学特性が調整される、液晶表示装置。

10

【請求項 3】

請求項 1 に記載の液晶表示装置において、
前記パネルの光学特性を調整するための情報は、前記パネルの共通情報を除く差分情報であり、
前記共通情報と前記差分情報との演算結果に基づいて、前記パネルの光学特性が調整される、液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置において、
前記記憶部は、ワード線とビット線との交差部分に設けられたトランジスタおよびヒューズを含むメモリセルを有し、
前記ヒューズは、前記パネルの光学特性を調整するための情報に対応してオープン状態またはショート状態となる、液晶表示装置。

20

【請求項 5】

請求項 4 に記載の液晶表示装置において、
前記記憶部は、
1 本の前記ワード線と、複数の前記ビット線と、前記 1 本のワード線と前記複数のビット線との交差部分にそれぞれ設けられた前記トランジスタおよび前記ヒューズを含む複数の前記メモリセルと、を有する ROM と、
前記 ROM と前記表示部との間に接続されたスイッチ回路と、
を含み、
前記表示部は、複数のゲート線と、複数のソース線と、前記複数のゲート線と前記複数のソース線との交差部分にそれぞれ設けられたトランジスタおよび液晶素子を含む前記複数の画素と、を有し、
前記 ROM への書き込み動作は、前記パネルに検査回路を接続して行われ、
前記検査回路から、前記表示部の前記ソース線、および、前記スイッチ回路を介して、前記 ROM に、前記パネルの光学特性を調整するための情報を書き込む、液晶表示装置。

30

【請求項 6】

請求項 5 に記載の液晶表示装置において、
前記記憶部は、前記 ROM と前記 ROM を制御する制御信号線との間に接続されたシフトレジスタを含み、
前記 ROM からの読み出し動作は、前記パネルに前記表示部を駆動する駆動部を搭載して行われ、
前記 ROM から、前記シフトレジスタ、および、前記制御信号線を介して、前記駆動部へ、前記パネルの光学特性を調整するための情報を読み出す、液晶表示装置。

40

【請求項 7】

請求項 6 に記載の液晶表示装置において、
前記 ROM からの読み出し動作では、前記 ROM から前記パネルの光学特性を調整するための情報を読み出す際に、前記ビット線をプリチャージする、液晶表示装置。

【請求項 8】

請求項 7 に記載の液晶表示装置において、

50

前記ＲＯＭの前記ワード線は、前記ワード線を駆動する第１制御線により制御され、
前記スイッチ回路は、前記スイッチ回路を切り替える第２制御線により制御され、
前記シフトレジスタは、前記シフトレジスタの信号選択のための第３制御線、および、
前記シフトレジスタを同期シフトさせる制御クロック線により制御される、液晶表示装置
。

【請求項 9】

請求項 4 に記載の液晶表示装置において、
前記記憶部は、

1 本の前記ワード線と、複数の前記ビット線と、前記 1 本のワード線と前記複数のビット線との交差部分にそれぞれ設けられた前記トランジスタおよび前記ヒューズを含む複数の前記メモリセルと、を有するＲＯＭと、

前記ＲＯＭと前記ＲＯＭを制御する制御信号線との間に接続されたシフトレジスタと、を含み、

前記表示部は、複数のゲート線と、複数のソース線と、前記複数のゲート線と前記複数のソース線との交差部分にそれぞれ設けられたトランジスタおよび液晶素子を含む前記複数の画素と、を有し、

前記ＲＯＭへの書き込み動作は、前記パネルに検査回路を接続して行われ、

前記検査回路から、前記制御信号線、および、前記シフトレジスタを介して、前記ＲＯＭに、前記パネルの光学特性を調整するための情報を書き込む、液晶表示装置。

【請求項 10】

請求項 9 に記載の液晶表示装置において、

前記ＲＯＭからの読み出し動作は、前記パネルに前記表示部を駆動する駆動部を搭載して行われ、

前記ＲＯＭから、前記シフトレジスタ、および、前記制御信号線を介して、前記駆動部へ、前記パネルの光学特性を調整するための情報を読み出す、液晶表示装置。

【請求項 11】

請求項 10 に記載の液晶表示装置において、

前記ＲＯＭからの読み出し動作では、前記ＲＯＭから前記パネルの光学特性を調整するための情報を読み出す際に、前記ビット線をプリチャージする、液晶表示装置。

【請求項 12】

請求項 11 に記載の液晶表示装置において、

前記ＲＯＭの前記ワード線、および、前記シフトレジスタは、前記ワード線を駆動し、前記シフトレジスタの信号選択のための第４制御線により制御され、

前記シフトレジスタは、前記シフトレジスタを同期シフトさせる制御クロック線により制御される、液晶表示装置。

【請求項 13】

請求項 1 に記載の液晶表示装置において、

前記記憶部は、前記表示部の周辺領域において、前記表示部を駆動する駆動部が配置された位置から遠い方の位置に配置されている、液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に光学特性を設定する場合に好適な液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置は、表示領域を有するパネルと、このパネルを駆動するためのドライバとを含んで構成される。この液晶表示装置においては、パネルとドライバとを組み合わせたモジュールでの販売の他、パネル単体、ドライバ単体で販売される場合がある。例えば、モジュールでの販売の場合であれば、パネルとドライバとの組み合わせによって、光学特

10

20

30

40

50

性が最適化されるように各々調整して出荷される。光学特性の調整に関する技術としては、例えば特許文献 1 がある。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2003 - 263133 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

前述したパネル単体、ドライバ単体で販売される場合、組み立てが外部で行われ、かつパネル、ドライバがマルチソースで提供されることがあるため、設定が最適化されずに、光学特性が十分に発揮されない状態で出荷されることがあり、望ましくない。前述した特許文献 1 では、パネルとドライバとの組み合わせによらずに、光学特性を設定することは考慮されていない。

10

【0005】

本発明の目的は、パネルとドライバとの組み合わせによらずに、光学特性を最適に設定することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0006】

本発明の一態様に係る液晶表示装置は、複数の画素がマトリクス状に配置された表示部を含むパネルを有し、前記パネルは、前記表示部の複数の画素の配置に沿って配置され、前記パネルの光学特性を調整するための情報を記憶する記憶部を含むものである。

20

【0007】

また、他の一態様として、前記パネルの光学特性を調整するための情報は、前記パネルの固有情報であり、前記パネルの固有情報に基づいて、前記パネルの光学特性が調整されるようにしてもよい。

【0008】

また、他の一態様として、前記パネルの光学特性を調整するための情報は、前記パネルの共通情報を除く差分情報であり、前記共通情報と前記差分情報との演算結果に基づいて、前記パネルの光学特性が調整されるようにしてもよい。

30

【0009】

また、他の一態様として、前記記憶部は、ワード線とビット線との交差部分に設けられたトランジスタおよびヒューズを含むメモリセルを有し、前記ヒューズは、前記パネルの光学特性を調整するための情報に対応してオープン状態またはショート状態となるようにしてもよい。

【図面の簡単な説明】

【0010】

【図 1】実施の形態 1 に係る液晶表示装置の構成の一例を示すブロック図である。

【図 2】図 1 に示す液晶表示装置において、液晶表示パネルにおける表示領域および ROM 領域の断面構造の一例を示す断面図である。

40

【図 3】図 1 に示す液晶表示装置において、液晶表示パネルにおける表示領域の回路構成の一例を示す回路図である。

【図 4】図 1 に示す液晶表示装置において、液晶ドライバ IC の構成の一例を示すブロック図である。

【図 5】図 1 に示す液晶表示装置において、液晶表示パネルの ROM 領域に対するライト動作およびリード動作の一例を示す説明図である。

【図 6】図 1 に示す液晶表示装置において、ROM 領域からのリード方法の一例を示す説明図である。

【図 7】図 1 に示す液晶表示装置において、ROM 領域からのリード方法の別の一例を示す説明図である。

50

【図 8】図 1 に示す液晶表示装置において、ROM 領域へのライトシーケンスの一例を示すタイミングチャートである。

【図 9】図 8 に示すタイミングチャートの各タイミングにおける動作の一例を示す説明図である。

【図 10】図 9 に続く、各タイミングにおける動作の一例を示す説明図である。

【図 11】図 1 に示す液晶表示装置において、ROM 領域からのリードシーケンスの一例を示すタイミングチャートである。

【図 12】図 11 に示すタイミングチャートの各タイミングにおける動作の一例を示す説明図である。

【図 13】図 12 に続く、各タイミングにおける動作の一例を示す説明図である。

10

【図 14】図 13 に続く、各タイミングにおける動作の一例を示す説明図である。

【図 15】図 14 に続く、各タイミングにおける動作の一例を示す説明図である。

【図 16】実施の形態 2 に係わる液晶表示装置において、液晶表示パネルの ROM 領域に対するライト動作およびリード動作の一例を示す説明図である。

【図 17】実施の形態 2 に係わる液晶表示装置において、ROM 領域へのライトシーケンスの一例を示すタイミングチャートである。

【図 18】図 17 に示すタイミングチャートの各タイミングにおける動作の一例を示す説明図である。

【図 19】図 18 に続く、各タイミングにおける動作の一例を示す説明図である。

【図 20】図 19 に続く、各タイミングにおける動作の一例を示す説明図である。

20

【図 21】実施の形態 2 に係わる液晶表示装置において、ROM 領域からのリードシーケンスの一例を示すタイミングチャートである。

【図 22】図 21 に示すタイミングチャートの各タイミングにおける動作の一例を示す説明図である。

【図 23】図 22 に続く、各タイミングにおける動作の一例を示す説明図である。

【図 24】図 23 に続く、各タイミングにおける動作の一例を示す説明図である。

【発明を実施するための形態】

【0011】

以下、本発明の各実施の形態について、図面を参照しつつ説明する。なお、開示はあくまでも一例にすぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は説明をより明確にするため、実際の態様に比べ、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまでも一例であって、本発明の解釈を限定するものではない。

30

【0012】

また、本明細書と各図において、既出の図に関して前述したものと同様の要素には、同一の符号を付して、詳細な説明を適宜省略することがある。

【0013】

(実施の形態 1)

本実施の形態 1 に係わる液晶表示装置について、図 1 ~ 図 15 を用いて説明する。

40

【0014】

< 液晶表示装置 >

まず、本実施の形態 1 に係わる液晶表示装置の構成を、図 1 を用いて説明する。図 1 は、本実施の形態 1 に係わる液晶表示装置の構成の一例を示すブロック図である。

【0015】

液晶表示装置 1 は、液晶表示パネル（パネル）10 と、この液晶表示パネル 10 を駆動する液晶ドライバ IC（駆動部）20 とを備えている。液晶表示パネル 10 には、映像を表示する表示領域（表示部）11 と、光学特性情報を記憶する ROM 領域（記憶部）12 と、表示領域 11 のゲート線 GL を駆動するゲート駆動回路 13 と、表示領域 11 の共通線 CL を駆動する共通電極駆動回路 15 と、表示領域 11 のソース線 SL を選択する RG

50

B 選択スイッチ 14 とを備えている。

【0016】

液晶表示パネル 10 は、後で図 2 を用いて説明するように、素子基板 50 と、対向基板 60 とを備えている。素子基板 50 と対向基板 60 との間には、液晶分子が封入された液晶層 70 が挟まれており、これらは液晶表示パネル 10 を構成している。

【0017】

素子基板 50 は、対向基板 60 と比べて液晶表示パネル 10 の図 1 において下方向に大きく形成されており、対向基板 60 と対向しない下側の領域を備える。この素子基板 50 のうち対向基板 60 と対向しない下側の領域には、液晶ドライバ IC 20 が搭載されている。

10

【0018】

素子基板 50 と対向基板 60 とが重なる領域において、素子基板 50 の中央部には表示領域 11 および ROM 領域 12 が設けられている。表示領域 11 の周辺領域において、図 1 において左右方向の左側端部には共通電極駆動回路 15 が設けられ、右側端部にはゲート駆動回路 13 が設けられ、また、図 1 において下方向の下側端部には RGB 選択スイッチ 14 が設けられている。

【0019】

ROM 領域 12 は、図 1 において表示領域 11 の上方向、すなわち液晶ドライバ IC 20 が配置された位置から遠い方の位置に配置されている。ROM 領域 12 の周辺領域において、図 1 において左方向の左側端部には ROM 制御クロック線 SCK、ROM 制御信号線 SDA および ROM 制御線 NVM が設けられている。ROM 制御線 NVM には、後で図 5 などに示すように、イネーブル線 NVM-EN、チャージ線 NVM-CHG、ライト制御線 NVM-WD、リード制御線 NVM-RD が含まれる。

20

【0020】

また、素子基板 50 は、後で図 2 を用いて説明するように、ガラス基板を有しており、ガラス基板の液晶層 70 に面する側に、共通電極 CE およびゲート線 GL が形成された共通電極層を有している。さらに、素子基板 50 は、共通電極層の上に絶縁層を介して、画素 P のピッチに相当する間隔で、ITO (Indium Tin Oxide) や IZO (Indium Zinc Oxide) などの透明導電材料からなる画素電極 PE が形成された画素電極層を有している。

【0021】

30

素子基板 50 の画素電極層には、各画素 P の画素電極 PE をスイッチングするための薄膜トランジスタ TFT (Thin Film Transistor) が形成されている。薄膜トランジスタ TFT は、後で図 3 を用いて説明するように、ゲート駆動回路 13 から延びるゲート線 GL1 ~ GLN がゲートに接続され、共通電極駆動回路 15 から延びる共通線 CL1 ~ CLN が共通電極 CE に接続され、RGB 選択スイッチ 14 から延びるソース線 SL1 ~ SLM がソースに接続され、液晶素子 LC の画素電極 PE がドレインに接続されている。

【0022】

対向基板 60 は、後で図 2 を用いて説明するように、ガラス基板を有しており、ガラス基板の液晶層 70 に面する側において、画素電極 PE に対向する領域には、R (赤)、G (緑)、B (青) のカラーフィルタ層が形成されている。また、カラーフィルタ層が形成されている領域以外の領域には、ブラックマトリクスとしての遮光膜が形成されている。

40

【0023】

液晶ドライバ IC 20 は、液晶表示装置 1 の全体を制御するホストプロセッサからの指示信号に基づいて、ゲート駆動回路 13 によってゲート線 GL に電圧を印加すると共に、RGB 選択スイッチ 14 によってソース線 SL に電圧を印加する。また、液晶ドライバ IC 20 は、ゲート線 GL およびソース線 SL に電圧を印加して画素 P の駆動を行う際に、共通電極駆動回路 15 によって共通線 CL1 ~ CLN に接続される共通電極 CE に共通電圧を印加する。

【0024】

< 液晶表示パネルにおける表示領域および ROM 領域の断面構造 >

50

図 2 は、液晶表示パネル 10 における表示領域 11 および ROM 領域 12 の断面構造の一例を示す断面図である。図 2 において、(a) は表示領域 11 の断面構造を示し、(b) は ROM 領域 12 の断面構造を示している。

【0025】

まず、図 2 (a) に示す表示領域 11 の断面構造について説明する。図 2 (a) では、一例として、FFS (Fringe-Field Switching) モードの液晶表示パネル 10 に適用した例を示している。FFS モードの液晶表示パネル 10 は、液晶層 70 を挟む一对の素子基板 50 および対向基板 60 のうち、一方の素子基板 50 に絶縁膜を挟んで共通電極 CE と画素電極 PE とを形成し、共通電極 CE と画素電極 PE との間に印加される横方向の電界で液晶を駆動するものである。

10

【0026】

なお、液晶表示パネル 10 としては、横電界モードの IPS (In-Place-Switching) モードを採用することができ、さらには、共通電極を対向基板側に設けた縦電界モードの TN (Twisted Nematic) モード、VA (Vertical Alignment) モードなどの各種モードの液晶表示パネルを採用することが可能である。

【0027】

液晶表示パネル 10 は、素子基板 50 と、この素子基板 50 と対向配置された対向基板 60 と、素子基板 50 と対向基板 60 との間に挟持された液晶層 70 とを備えている。素子基板 50 の外面側 (液晶層 70 と反対側) には偏光板 51 が設けられ、対向基板 60 の外面側には偏光板 61 が設けられている。そして、液晶表示パネル 10 は、素子基板 50 の外面側からバックライト光などの照明光が照射される構成となっている。

20

【0028】

素子基板 50 は、例えばガラスや石英、プラスチックなどの透光性材料からなる基板本体 52 と、基板本体 52 の内側 (液晶層 70 側) の表面に順に積層されたゲート絶縁膜 53、層間絶縁膜 54 および配向膜 55 とを備えている。

【0029】

また、素子基板 50 は、基板本体 52 の内側の表面に配置されたゲート線 GL、各画素領域に対応して設けられた共通電極 CE (VCOM 電位) および各共通電極 CE を接続する共通線 CL と、ゲート絶縁膜 53 の内側の表面に配置されたソース線 SL、半導体層 56、ソース 57 およびドレイン 58 と、層間絶縁膜 54 の内側の表面に配置された画素電極 PE とを備えている。なお、半導体層 56、ソース 57 およびドレイン 58 は、画素電極 PE をスイッチングするための薄膜トランジスタ TFT を構成している。

30

【0030】

ゲート絶縁膜 53 は、窒化シリコンや酸化シリコンなどのような絶縁性を有する透光性材料で構成されており、基板本体 52 上に形成されたゲート線 GL、共通線 CL および共通電極 CE を覆うように設けられている。

【0031】

層間絶縁膜 54 は、ゲート絶縁膜 53 と同様に、窒化シリコンや酸化シリコンなどの絶縁性を有する透光性材料で構成されており、ゲート絶縁膜 53 上に形成された半導体層 56、ソース 57 およびドレイン 58 を覆うように設けられている。そして、層間絶縁膜 54 には、画素電極 PE と薄膜トランジスタ TFT との導通を図るための貫通孔であるコンタクトホール 59 が形成されている。

40

【0032】

配向膜 55 は、例えばポリイミドなどの有機材料で構成されており、層間絶縁膜 54 上に形成された画素電極 PE を覆うように設けられている。そして、配向膜 55 の上面には、液晶層 70 を構成する液晶分子を配向規制するための配向処理が施されている。この配向膜 55 の配向方向は、対向基板 60 に備えられる偏光板 61 の透過軸と同方向となっている。

【0033】

対向基板 60 は、例えばガラスや石英、プラスチックなどの透光性材料で構成された基

50

板本体 6 2 と、基板本体 6 2 の内側（液晶層 7 0 側）の表面に順に積層されたカラーフィルタ層 6 3 および配向膜 6 4 とを備えている。

【 0 0 3 4 】

カラーフィルタ層 6 3 は、各画素領域に対応して配置されており、例えばアクリルなどで構成されて各画素領域で表示する R（赤）・G（緑）・B（青）の各色に対応する色材を含有している。

【 0 0 3 5 】

配向膜 6 4 は、例えばポリイミドなどの有機材料やシリコン酸化物などの無機材料で構成されており、その配向方向が素子基板 5 0 の配向膜 5 5 の配向方向と 1 8 0 ° 異なる向きとなっている。

10

【 0 0 3 6 】

偏光板 5 1 , 6 1 は、それぞれの透過軸が互いに直交するように設けられている。すなわち、偏光板 5 1 の透過軸は、偏光板 6 1 の透過軸および配向膜 5 5 , 6 4 の配向方向と直交する方向となっている。

【 0 0 3 7 】

以上が表示領域 1 1 の断面構造の説明であり、続いて、図 2（b）に示す ROM 領域 1 2 の断面構造について説明する。ROM 領域 1 2 には、後で図 5 などを用いて説明するように、ROM 1 2 1 を備えている。この ROM 1 2 1 は、ワード線 WL と、ビット線 BL と、薄膜トランジスタ TFT およびヒューズ F とを備えている。

20

【 0 0 3 8 】

この ROM 1 2 1 と表示領域 1 1 の画素との関係において、ワード線 WL はゲート線 GL に対応し、ビット線 BL はソース線 SL に対応し、薄膜トランジスタ TFT は薄膜トランジスタ TFT に対応し、ヒューズ F は液晶素子 LC に対応する。

【 0 0 3 9 】

図 2（b）では、素子基板 5 0 に形成された薄膜トランジスタ TFT、ヒューズ F および接地電位配線 GND などを図示している。薄膜トランジスタ TFT は、半導体層 5 6、ソース 5 7 およびドレイン 5 8 を含んで構成され、ヒューズ F の一端が接続された画素電極 PE をスイッチングするためのトランジスタである。ヒューズ F の他端は、接地電位配線 GND に接続されている。

30

【 0 0 4 0 】

この ROM 1 2 1 のヒューズ F、およびこのヒューズ F の他端が接続された接地電位配線 GND は、表示領域 1 1 のソース線 SL と同じ金属材料（例えばアルミニウムなど）を使用して作られる。また、この ROM 1 2 1 の薄膜トランジスタ TFT および画素電極 PE は、表示領域 1 1 の薄膜トランジスタ TFT および画素電極 PE と同時に作られる。上記の対応関係から、ROM 1 2 1 の各構成は、表示領域 1 1 の画素の各構成を作るのと同時に作られることで、素子基板 5 0 の製造工程で表示領域 1 1 の画素と共に ROM 1 2 1 を作り込むことが可能である。

【 0 0 4 1 】

また、ROM 領域 1 2 を構成しているシフトレジスタ 1 2 2 のフリップフロップ FF およびセクタ SEL、スイッチ回路 1 2 3 のスイッチ S は、基板本体 5 2 上であって画素領域の周囲となる領域（額縁領域）に共通電極駆動回路 1 5 やゲート駆動回路 1 3、RGB 選択スイッチ 1 4 を形成する製造工程で、これらのスイッチや駆動回路と共に基板本体 5 2 上に作り込まれる。さらに、ROM 領域 1 2 に接続される ROM 制御クロック線 CLK、ROM 制御信号線 SDA および ROM 制御線 NV M など、素子基板 5 0 の製造工程で作り込むことができる。

40

【 0 0 4 2 】

< 液晶表示パネルにおける表示領域の回路構成 >

図 3 は、液晶表示パネル 1 0 における表示領域 1 1 の回路構成の一例を示す回路図である。

【 0 0 4 3 】

50

液晶表示パネル 10 は、所定間隔おきに設けられたゲート線 $GL1 \sim GLN$ と、このゲート線 $GL1 \sim GLN$ に交差するように設けられたソース線 $SL1 \sim SLM$ とを備えている。ゲート線 $GL1 \sim GLN$ は、走査線とも呼ばれる。ソース線 $SL1 \sim SLM$ は、信号線、データ線とも呼ばれる。例えば、FHD (Full High Definition) 方式の $FHD = 1080RGB \times 1920$ に対応するためには、ゲート線 $GL1 \sim GLN$ は $N = 1920$ 本、ソース線 $SL1 \sim SLM$ は $M = 1080$ 本となる。ソース線 $SL1 \sim SLM$ は、それぞれ、R (赤)・G (緑)・B (青)の各色に対応するために、ソース線 $SL1R$, $SL1G$, $SL1B \sim SLMR$, $SLMG$, $SLMB$ の 3 本からなる。

【0044】

各ゲート線 $GL1 \sim GLN$ と各ソース線 $SL1 \sim SLM$ との交差部分には、画素 P が設けられている。各画素 P は、液晶表示パネル 10 の表示領域 11 にマトリクス状に配置され、薄膜トランジスタ TFT と、液晶素子 LC と、保持容量 C とで構成される。液晶素子 LC に接続された画素電極 PE と、この画素電極 PE に対向して設けられた共通電極 CE との間で、電気光学材料としての誘電体である液晶層 70 を挟んで画素容量を構成する。また、各画素 P は、R (赤)のサブ画素 PR、G (緑)のサブ画素 PG、B (青)のサブ画素 PB で構成される。

10

【0045】

薄膜トランジスタ TFT のゲートにはゲート線 $GL1 \sim GLN$ が接続され、ソースにはソース線 $SL1 \sim SLM$ が接続され、ドレインには、液晶素子 LC の画素電極 PE がそれぞれ接続されている。液晶素子 LC の共通電極 CE は、それぞれ共通線 $CL1 \sim CLN$ に接続されている。したがって、この薄膜トランジスタ TFT は、ゲート線 $GL1 \sim GLN$ から電圧が印加されるとオン状態となり、ソース線 $SL1 \sim SLM$ と画素電極 PE とを導通した状態となる。また、画素電極 PE と共通電極 CE との間には、保持容量 C が接続されている。なお、図 5 以降においては、保持容量 C の図示を省略している。

20

【0046】

ゲート駆動回路 13 は、薄膜トランジスタ TFT をオン状態にするための電圧を複数のゲート線 $GL1 \sim GLN$ に順次印加する。例えば、あるゲート線 $GL1$ に選択電圧を供給すると、このゲート線 $GL1$ に接続された薄膜トランジスタ TFT が全てオン状態となり、このゲート線 $GL1$ に接続される画素 P が全て選択される。

【0047】

30

RGB 選択スイッチ 14 は、映像信号をソース線 $SL1 \sim SLM$ に出力し、オン状態の薄膜トランジスタ TFT を介して、この映像信号に基づく映像電圧を画素電極 PE に印加する。この場合に、RGB 選択スイッチ 14 は、R (赤)・G (緑)・B (青)のソース線 $SL1R$, $SL1G$, $SL1B \sim SLMR$, $SLMG$, $SLMB$ をマルチプレクサ MUX で順に切り替える。例えば、上述の例において、あるゲート線 $GL1$ に接続された薄膜トランジスタ TFT が全てオン状態となり、このゲート線 $GL1$ に係る画素 P が全て選択されると、オン状態の薄膜トランジスタ TFT を介して、映像信号に基づく映像電圧が画素電極 PE に印加される。

【0048】

このような構成により、液晶表示装置 1 は、画素 P の駆動に関して、以下のように動作する。すなわち、ゲート駆動回路 13 からゲート線 $GL1 \sim GLN$ に電圧を順次供給することで、各ゲート線 $GL1 \sim GLN$ に係る全ての薄膜トランジスタ TFT を順次オン状態にして、各ゲート線 $GL1 \sim GLN$ に係る全ての画素 P を順次選択する。

40

【0049】

そして、これら画素 P の選択に同期して、RGB 選択スイッチ 14 からソース線 $SL1 \sim SLM$ に映像信号を供給する。すると、ゲート駆動回路 13 で選択した全ての画素 P に、RGB 選択スイッチ 14 からソース線 $SL1 \sim SLM$ およびオン状態の薄膜トランジスタ TFT を介して映像信号が供給され、この映像信号に基づく映像電圧が画素電極 PE に印加される。

【0050】

50

これにより、画素電極 P E と共通電極 C E との間に電位差が生じて、駆動電圧が液晶素子 L C に印加される。液晶素子 L C に駆動電圧が印加されると、液晶層 7 0 にフリンジ電界が発生することとなり、これによって液晶分子がツイストしてその配向状態が変化する。この結果、液晶層 7 0 の透過率が変化することとなり、当該液晶層 7 0 の透過する光が変調される。

【 0 0 5 1 】

その後、当該ゲート線 G L 1 ~ G L N に接続される薄膜トランジスタ T F T はオフ状態となるが、当該映像電圧は、画素電極 P E と共通電極 C E との間の保持容量 C で保持される。当該保持容量 C が形成されていることにより、次に対応する当該画素行が選択される 1 フレームの間の液晶分子の配向状態は維持されるものとなる。

10

【 0 0 5 2 】

これによって、液晶層 7 0 を透過する光は画素 P ごとに変化するものとなり、表示画面全体として画像が表示されるものとなる。この結果、映像信号に基づく映像を液晶表示パネル 1 0 に表示することができる。

【 0 0 5 3 】

< 液晶ドライバ I C の構成 >

図 4 は、液晶ドライバ I C 2 0 の構成の一例を示すブロック図である。

【 0 0 5 4 】

液晶ドライバ I C 2 0 は、インターフェースレシーバ 2 1、映像メモリ 2 2、ラインラッチ回路 2 3、ソースアンプ 2 4、コマンドレジスタ 2 5、パラメータレジスタ 2 6、不揮発性メモリ 2 7、光学特性制御回路 2 8、発振器 2 9、タイミングコントローラ 3 0、ゲートドライバ 3 2、および、V C O M ドライバ 3 3 などを備えている。映像メモリ 2 2 は、F I F O (First-In First-Out) などのバッファ回路に代えることも可能である。

20

【 0 0 5 5 】

インターフェースレシーバ 2 1 は、ホストプロセッサとの間のインターフェースを構成し、ホストプロセッサからの映像データ、コマンド、パラメータなどを受信するレシーバである。ホストプロセッサとインターフェースレシーバ 2 1 との間のインターフェースは、同期または非同期で行われる。例えば、インターフェースレシーバ 2 1 のインターフェースとして、M I P I (Mobile Industry Processor Interface) - D S I (Display Serial Interface) などが用いられる。

30

【 0 0 5 6 】

映像メモリ 2 2 は、ホストプロセッサからインターフェースレシーバ 2 1 を介して受信した映像データ 3 1 を保存するメモリである。ラインラッチ回路 2 3 は、映像メモリ 2 2 に保存した映像データ 3 1 を 1 ライン毎にラッチしてソースアンプ 2 4 に出力するラッチ回路である。ソースアンプ 2 4 は、ラインラッチ回路 2 3 から 1 ライン毎の映像データを受け取り、光学特性制御回路 2 8 からのガンマ設定値をリファレンスとして増幅して液晶表示パネル 1 0 に供給するアンプである。

【 0 0 5 7 】

コマンドレジスタ 2 5 は、ホストプロセッサからインターフェースレシーバ 2 1 を介して受信したコマンドを保存するレジスタである。パラメータレジスタ 2 6 は、光学特性 (例えば、フリッカー値やホワイトバランスなど) を調整するためのパラメータなどを保存するレジスタである。不揮発性メモリ 2 7 は、光学特性を調整するためのパラメータなどを記憶するメモリである。

40

【 0 0 5 8 】

光学特性制御回路 2 8 は、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載してモジュールを組み立てた後に、液晶表示パネル 1 0 の R O M 領域 1 2 に記憶された光学特性情報を読み込み、光学特性を調整するための制御回路である。光学特性制御回路 2 8 と液晶表示パネル 1 0 の R O M 領域 1 2 との間には、R O M 制御クロック線 S C K、R O M 制御信号線 S D A および R O M 制御線 N V M が設けられている。R O M 制御線 N V M には、後で図 5 などに示すように、イネーブル線 N V M - E N、チャージ線 N V M - C H G、ライ

50

ト制御線 N V M - W D、リード制御線 N V M - R D が含まれる。

【 0 0 5 9 】

光学特性情報としては、例えば、液晶表示パネル 1 0 の共通電極 C E に印加する共通電圧である V C O M 値の他、映像データの階調を補正する電圧であるガンマ設定値などがある。V C O M 値は、光学特性制御回路 2 8 から V C O M ドライバ 3 3 を介して共通電極駆動回路 1 5 に供給され、共通線 C L 1 ~ C L N を通じて共通電極 C E に印加される。ガンマ設定値は、光学特性制御回路 2 8 からソースアンプ 2 4 に供給され、映像データの階調を補正するために用いられる。

【 0 0 6 0 】

発振器 2 9 は、液晶表示装置 1 を駆動するためのクロック信号を発振する発振器である。タイミングコントローラ 3 0 は、発振器 2 9 から発振されたクロック信号に同期して、コマンドレジスタ 2 5 に保存したコマンドに基づいて、映像メモリ 2 2、ラインラッチ回路 2 3、ソースアンプ 2 4、光学特性制御回路 2 8 などのタイミングを制御するコントローラである。タイミングコントローラ 3 0 は、液晶表示パネル 1 0 のゲート駆動回路 1 3 を駆動するゲートドライバ 3 2、および、共通電極駆動回路 1 5 を駆動する V C O M ドライバ 3 3 のタイミングを制御するコントローラでもある。

10

【 0 0 6 1 】

このような構成により、液晶ドライバ I C 2 0 は、以下のように動作する。インターフェースレシーバ 2 1 は、ホストプロセッサから映像データ、コマンドを受信する。ホストプロセッサからインターフェースレシーバ 2 1 を介して受信したコマンドは、コマンドレジスタ 2 5 に保存される。タイミングコントローラ 3 0 により、発振器 2 9 から発振されたクロック信号に同期して、コマンドレジスタ 2 5 に保存したコマンドに基づいて、映像メモリ 2 2、ラインラッチ回路 2 3、ソースアンプ 2 4、光学特性制御回路 2 8、ゲートドライバ 3 2、V C O M ドライバ 3 3 などのタイミングが制御される。

20

【 0 0 6 2 】

ホストプロセッサからインターフェースレシーバ 2 1 を介して受信した映像データ 3 1 は、映像メモリ 2 2 に保存される。ラインラッチ回路 2 3 は、映像メモリ 2 2 に保存した映像データ 3 1 を 1 ライン毎にラッチしてソースアンプ 2 4 に出力する。光学特性制御回路 2 8 は、液晶表示パネル 1 0 の R O M 領域 1 2 から読み込んだガンマ設定値に基づいて、各階調の電圧を生成してソースアンプ 2 4 に出力する。

30

【 0 0 6 3 】

ソースアンプ 2 4 は、ラインラッチ回路 2 3 から 1 ライン毎の映像データを受け取り、また、光学特性制御回路 2 8 から各階調の電圧を受け取り、各階調の電圧をリファレンスとして、1 ライン毎の映像データを増幅して液晶表示パネル 1 0 に供給する。

【 0 0 6 4 】

また、光学特性制御回路 2 8 は、液晶表示パネル 1 0 の R O M 領域 1 2 から読み込んだ V C O M 値を、後で図 6、図 7 に示す V C O M 値レジスタ R E G - V C O M に格納する。この V C O M 値は、光学特性制御回路 2 8 から V C O M ドライバ 3 3 を介して共通電極駆動回路 1 5 に供給し、共通線 C L 1 ~ C L N を通じて共通電極 C E に印加する。

【 0 0 6 5 】

40

< 液晶表示パネルの R O M 領域に対するライト動作およびリード動作 >

図 5 は、液晶表示パネル 1 0 の R O M 領域 1 2 に対するライト動作（書き込み動作）およびリード動作（読み出し動作）の一例を示す説明図である。

【 0 0 6 6 】

図 5 は、液晶表示パネル 1 0 の R O M 領域 1 2 に対するライト動作を、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載していない状態で、パネル検査回路 2 を接続してパネル検査回路 2 で行い、R O M 領域 1 2 からのリード動作を、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載して液晶ドライバ I C 2 0 で行う例である。

【 0 0 6 7 】

例えば、ライト動作は、パネル検査回路 2 が、液晶表示パネル 1 0 の検査時に、R O M

50

領域 1 2 にパネル毎の情報を記録する。また、リード動作は、液晶ドライバ I C 2 0 が、起動前の液晶ドライバ I C 2 0 が初期化されるタイミングに R O M 領域 1 2 の情報を読み取り、自動的に最適値に設定する。

【 0 0 6 8 】

液晶表示パネル 1 0 の R O M 領域（記憶部） 1 2 は、R O M 1 2 1 と、シフトレジスタ 1 2 2 と、スイッチ回路 1 2 3 とを備えている。この R O M 領域 1 2 には、液晶表示パネル 1 0 の光学特性を調整するための情報が記憶される。

【 0 0 6 9 】

R O M 1 2 1 は、表示領域（表示部） 1 1 の画素の配置に沿って、1 本のワード線 W L と、このワード線 W L に交差するように設けられた複数のビット線 B L とを備えている。ビット線 B L は、表示領域 1 1 の画素に対応して M 本あるが、図 5 では、6 本のビット線 B L 1 ~ B L 6 までを図示している。以下では、6 本のビット線 B L 1 ~ B L 6 に対応する薄膜トランジスタ T F T およびヒューズ F など 6 個までとして説明する。例えば、上述した F H D 方式の F H D = 1 0 8 0 R G B × 1 9 2 0 に対応する例では、M = 1 0 8 0 × 3 となる。

10

【 0 0 7 0 】

ワード線 W L は、図 5 において、表示領域 1 1 のゲート線 G L 1 と同様に左右方向に延在して配置されている。ビット線 B L 1 ~ B L 6 は、図 5 において、表示領域 1 1 のソース線 S L 1 ~ S L 6 と同様に上下方向に延在して配置されている。

20

【 0 0 7 1 】

ワード線 W L と各ビット線 B L 1 ~ B L 6 との交差部分には、薄膜トランジスタ T F T 1 ~ T F T 6 とヒューズ F 1 ~ F 6 とで構成されるメモリセルが設けられている。薄膜トランジスタ T F T 1 ~ T F T 6 のゲートにはワード線 W L が接続され、ソースにはビット線 B L 1 ~ B L 6 が接続され、ドレインにはヒューズ F 1 ~ F 6 の一端が接続されている。ヒューズ F 1 ~ F 6 の他端は接地電位 G N D に接続されている。したがって、この薄膜トランジスタ T F T 1 ~ T F T 6 は、ワード線 W L から電圧が印加されるとオン状態となり、ビット線 B L 1 ~ B L 6 とヒューズ F 1 ~ F 6 とを導通した状態となる。

【 0 0 7 2 】

ワード線 W L には、パネル検査回路 2 / 液晶ドライバ I C 2 0 から R O M 制御のライト制御線 N V M - W D を通じて、薄膜トランジスタ T F T 1 ~ T F T 6 をオン状態にするためのライト制御信号が供給される。例えば、ワード線 W L に選択電圧が供給されると、このワード線 W L に接続された薄膜トランジスタ T F T 1 ~ T F T 6 が全てオン状態となり、このワード線 W L に係るメモリセルが全て選択される。

30

【 0 0 7 3 】

ビット線 B L 1 ~ B L 6 には、パネル検査回路 2 / 液晶ドライバ I C 2 0 から表示領域 1 1 のソース線 S L 1 ~ S L 6 を通じて、オン状態の薄膜トランジスタ T F T 1 ~ T F T 6 を介して、光学特性を調整するためのデータに基づいてヒューズ F 1 ~ F 6 をショート状態（短絡状態）またはオープン状態（切断状態）にするための電圧が印加される。

【 0 0 7 4 】

シフトレジスタ 1 2 2 は、直列に接続された複数のフリップフロップ F F と、各フリップフロップ間に接続された複数のセクタ S E L とを備えている。図 5 では、6 本のビット線 B L 1 ~ B L 6 に対応するフリップフロップ F F 1 ~ F F 6 およびセクタ S E L 1 ~ S E L 6 の 6 個までを図示している。フリップフロップ F F 1 ~ F F 6 は、R O M 制御クロック線 S C K のクロック信号に同期して動作し、保持しているデータをクロック信号に同期して出力する。最前段のフリップフロップ F F 1 は、R O M 制御信号線 S D A に接続されている。セクタ S E L 1 ~ S E L 6 は、後段のフリップフロップからのデータと、ビット線 B L 1 ~ B L 6 からのデータとを入力として、イネーブル線 N V M - E N のイネーブル信号に基づいて、一方を選択して前段のフリップフロップに出力する。例えば、イネーブル信号が、1（電圧がハイレベル）の時はビット線 B L 1 ~ B L 6 からの信号を選択する。

40

50

【 0 0 7 5 】

スイッチ回路 1 2 3 は、ROM 領域 1 2 のビット線 B L と表示領域 1 1 のソース線 S L との間を接続または非接続にする複数のスイッチ S を備えている。図 5 では、6 本のビット線 B L 1 ~ B L 6 に対応するスイッチ S 1 ~ S 6 の 6 個までを図示している。スイッチ S 1 ~ S 6 は、チャージ線 N V M - C H G のチャージ信号に基づいてオンまたはオフに切り替えられ、オンの場合にビット線 B L 1 ~ B L 6 とソース線 S L 1 ~ S L 6 との間を接続し、オフの場合にビット線 B L 1 ~ B L 6 とソース線 S L 1 ~ S L 6 との間を非接続にする。例えば、チャージ信号が、1 (電圧がハイレベル) の時はスイッチ S 1 ~ S 6 がオンする。

【 0 0 7 6 】

10

液晶表示パネル 1 0 の ROM 領域 1 2 に対するライト動作は、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載していない状態で、パネル検査回路 2 を接続してパネル検査回路 2 で行う。パネル検査回路 2 は、表示領域 1 1 のソース線 S L 1 ~ S L 6 を介して、ROM 領域 1 2 のスイッチ回路 1 2 3 を経て ROM 1 2 1 にデータを書き込む。詳細は、後で図 8 ~ 図 1 0 を用いて説明する。

【 0 0 7 7 】

液晶表示パネル 1 0 の ROM 領域 1 2 からのリード動作は、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載して液晶ドライバ I C 2 0 で行う。液晶ドライバ I C 2 0 は、ROM 領域 1 2 の ROM 1 2 1 に書き込まれたデータを、シフトレジスタ 1 2 2 を経て、ROM 制御信号線 S D A を介して液晶ドライバ I C 2 0 に読み込む。詳細は、後で図 1 1 ~ 図 1 5 を用いて説明する。

20

【 0 0 7 8 】

< ROM 領域からのリード方法 >

図 6 および図 7 は、ROM 領域 1 2 からのリード方法の一例を示す説明図である。図 6 および図 7 では、光学特性を調整するための情報として、V C O M 値を例に示している。V C O M 値とは、液晶表示パネル 1 0 の共通電極 C E に印加する共通電圧の値である。なお、光学特性を調整するための情報は、V C O M 値に限らず、映像データの階調を補正する電圧であるガンマ設定値でもよい。この場合には、ガンマ設定値がソースアンプ 2 4 に供給され、映像データの階調を補正するために用いられる。この光学特性を調整するための情報は、パネル特性毎に調整する設定情報であればよい。

30

【 0 0 7 9 】

図 6 は、ROM 領域 1 2 の ROM 1 2 1 に書き込まれている光学特性を調整するための情報を、液晶ドライバ I C 2 0 が読み込む第 1 のリード方法を実現する構成である。第 1 のリード方法では、液晶表示パネル 1 0 の固有情報である最適な V C O M 値が、モジュール組み立て前の液晶表示パネル 1 0 に対して、パネル検査回路 2 から ROM 領域 1 2 の ROM 1 2 1 に書き込まれている例である。液晶表示パネル 1 0 の固有情報は、製品となる液晶表示パネル 1 0 のそれぞれに固有の情報である。

【 0 0 8 0 】

図 6 に示す第 1 のリード方法は、V C O M 値レジスタ R E G - V C O M と、アンプ A M P とを備えて実現される。この V C O M 値レジスタ R E G - V C O M およびアンプ A M P は、前に図 4 に示した液晶ドライバ I C 2 0 内の光学特性制御回路 2 8 に備えられている。V C O M 値レジスタ R E G - V C O M は、液晶表示パネル 1 0 の ROM 領域 1 2 から読み込まれた最適な V C O M 値を格納するレジスタである。アンプ A M P は、V C O M 値レジスタ R E G - V C O M に格納されている最適な V C O M 値を増幅して出力するアンプである。

40

【 0 0 8 1 】

この図 6 に示す第 1 のリード方法では、モジュールの組み立て後に、液晶ドライバ I C 2 0 が、ROM 領域 1 2 の ROM 1 2 1 に書き込まれている最適な V C O M 値を読み込み、V C O M 値レジスタ R E G - V C O M に格納する。そして、この V C O M 値レジスタ R E G - V C O M に格納されている最適な V C O M 値は、アンプ A M P を通じて、V C O M

50

ドライバ 33 を介して共通電極駆動回路 15 へ供給される。これにより、常に最適な VCOM 設定値で液晶表示パネル 10 を駆動することができる。

【0082】

なお、VCOM 値レジスタ REG - VCOM に格納されている最適な VCOM 値を、液晶ドライバ IC 20 に内蔵の不揮発性メモリ 27 に格納してもよい。この場合には、不揮発性メモリ 27 に格納されている最適な VCOM 値を読み出して、アンプ AMP を通じて出力することも可能となる。

【0083】

図 7 は、ROM 領域 12 の ROM 121 に書き込まれている光学特性を調整するための情報を、液晶ドライバ IC 20 が読み込む第 2 のリード方法を実現する構成である。第 2 のリード方法では、液晶表示パネル 10 の共通情報を除く差分情報が、モジュール組み立て前の液晶表示パネル 10 に対して、パネル検査回路 2 から ROM 領域 12 の ROM 121 に書き込まれている例である。液晶表示パネル 10 の共通情報は、製品となる液晶表示パネル 10 のそれぞれに共通の情報である。液晶表示パネル 10 の差分情報は、製品となる液晶表示パネル 10 のそれぞれの、共通の情報を除く差分の情報である。

10

【0084】

図 7 に示す第 2 のリード方法は、推奨設定値レジスタ REG 1 と、差分情報レジスタ REG 2 と、演算器 AU と、VCOM 値レジスタ REG - VCOM と、アンプ AMP とを備えて実現される。この推奨設定値レジスタ REG 1、差分情報レジスタ REG 2、演算器 AU、VCOM レジスタ REG - VCOM およびアンプ AMP は、前に図 4 に示した液晶ドライバ IC 20 内の光学特性制御回路 28 に備えられている。

20

【0085】

推奨設定値レジスタ REG 1 は、外部のホストプロセッサから送信されてきた液晶表示パネル 10 の共通情報である推奨設定値を格納するレジスタである。差分情報レジスタ REG 2 は、液晶表示パネル 10 の ROM 領域 12 から読み込まれた液晶表示パネル 10 の差分情報を格納するレジスタである。演算器 AU は、推奨設定値レジスタ REG 1 に格納されている推奨設定値と、差分情報レジスタ REG 2 に格納されている差分情報とを演算して、最適な VCOM 値を求める演算器である。VCOM 値レジスタ REG - VCOM は、演算器 AU で求めた最適な VCOM 値を格納するレジスタである。アンプ AMP は、VCOM 値レジスタ REG - VCOM に格納されている最適な VCOM 値を増幅して出力するアンプである。

30

【0086】

この図 7 に示す第 2 のリード方法では、モジュールの組み立て後に、液晶ドライバ IC 20 が、ROM 領域 12 の ROM 121 に書き込まれている液晶表示パネル 10 の差分情報を読み込み、差分情報レジスタ REG 2 に格納する。また、液晶ドライバ IC 20 が、外部のホストプロセッサから送信されてきた液晶表示パネル 10 の推奨設定値を読み込み、推奨設定値レジスタ REG 1 に格納する。さらに、演算器 AU において、推奨設定値レジスタ REG 1 に格納されている推奨設定値と、差分情報レジスタ REG 2 に格納されている差分情報とを演算して、最適な VCOM 値を求める。この求められた最適な VCOM 値を、VCOM 値レジスタ REG - VCOM に格納する。そして、この VCOM 値レジスタ REG - VCOM に格納されている最適な VCOM 値は、アンプ AMP を通じて、VCOM ドライバ 33 を介して共通電極駆動回路 15 へ供給される。これにより、常に最適な VCOM 設定値で液晶表示パネル 10 を駆動することができる。

40

【0087】

< ROM 領域へのライトシーケンス >

図 8 ~ 図 10 は、ROM 領域 12 へのライトシーケンスの一例を示す説明図である。図 8 はライトシーケンスの一例を示すタイミングチャートであり、図 9 ~ 図 10 は各タイミングにおける動作の一例を示す説明図である。ROM 領域 12 へのライトシーケンスは、液晶表示パネル 10 に液晶ドライバ IC 20 を搭載していない状態で、パネル検査回路 2 を接続してパネル検査回路 2 で行う。

50

【 0 0 8 8 】

図 8 ～ 図 1 0 において、S L (S L 1 ～ S L 6) はソース線、S C K は R O M 制御クロック線、S D A は R O M 制御信号線、N V M - E N はイネーブル線、N V M - C H G はチャージ線、N V M - W D はライト制御線、W L はワード線、B L (B L 1 ～ B L 6) はビット線、R O M は R O M 1 2 1 をそれぞれ示す。また、各線の電圧レベルにおいて、ハイレベルは“ 1 ”、ロウレベルは“ 0 ”とする。また、このハイレベルとロウレベルとの間の 1 / 2 の電圧レベルを、V h a l f 電位とする。

【 0 0 8 9 】

R O M 制御クロック線 S C K は、シフトレジスタ 1 2 2 を同期シフトさせるためのクロック信号を供給するクロック線である。この R O M 制御クロック線 S C K によるクロック信号に代えて、例えば、表示領域 1 1 の制御に用いるクロック信号を共用することも可能である。R O M 制御信号線 S D A は、R O M 1 2 1 からの読み出しデータのための信号線である。イネーブル線 N V M - E N は、シフトレジスタ 1 2 2 の信号選択のための制御線である。チャージ線 N V M - C H G は、スイッチ回路 1 2 3 を切り替えるための制御線である。ライト制御線 N V M - W D は、ワード線 W L を駆動するための制御線である。

10

【 0 0 9 0 】

(1) 図 9 (図 8 : イネーブル線 N V M - E N = 0 、チャージ線 N V M - C H G = 1 、ライト制御線 N V M - W D = 0)

パネル検査回路 2 から、書き込みデータ D a t a を送信して、表示領域 1 1 のソース線 S L 1 ～ S L 6 を介し、R O M 領域 1 2 のビット線 B L 1 ～ B L 6 を通じて、R O M 1 2 1 に書き込む。この時、チャージ線 N V M - C H G = 1 であり、スイッチ回路 1 2 3 はスイッチ S 1 ～ S 6 がオンして、ソース線 S L 1 ～ S L 6 とビット線 B L 1 ～ B L 6 とがそれぞれ接続され、R O M 1 2 1 のビット線 B L 1 ～ B L 6 に書き込み電位がチャージされる。

20

【 0 0 9 1 】

図 9 の例では、書き込みデータ D a t a として、「 0 0 1 0 0 1 」のデータが、ソース線 S L 1 ～ S L 6 に供給され、この「 0 0 1 0 0 1 」のデータに対応する書き込み電位が、ビット線 B L 1 ～ B L 6 にチャージされる。ビット線 B L 1 には 0、ビット線 B L 2 には 0、ビット線 B L 3 には 1、ビット線 B L 4 には 0、ビット線 B L 5 には 0、ビット線 B L 6 には 1 に対応する電位がそれぞれチャージされる。

30

【 0 0 9 2 】

(2) 図 1 0 (図 8 : イネーブル線 N V M - E N = 0 、チャージ線 N V M - C H G = 0 、ライト制御線 N V M - W D = 1)

ライト制御線 N V M - W D = 1 とし、R O M 1 2 1 のワード線 W L をオンして、R O M 1 2 1 にデータを書き込む。R O M 1 2 1 に書き込まれるデータは、送信データの反転データ $\times$ D a t a となる。すなわち、送信データ = 0 ではヒューズがオープン状態 (切断状態、○で図示) となり、送信データ = 1 ではヒューズがショート状態 (短絡状態、×で図示) となる。図 1 0 の例では、ヒューズ F 1 がオープン状態、ヒューズ F 2 がオープン状態、ヒューズ F 3 がショート状態、ヒューズ F 4 がオープン状態、ヒューズ F 5 がオープン状態、ヒューズ F 6 がショート状態となる。

40

【 0 0 9 3 】

このようにして、R O M 領域 1 2 へのライトシーケンスにおいて、パネル検査回路 2 は、R O M 領域 1 2 の R O M 1 2 1 に、書き込みデータ D a t a として、V C O M 値、あるいは V C O M 値の演算に用いる差分情報を書き込むことができる。

【 0 0 9 4 】

< R O M 領域からのリードシーケンス >

図 1 1 ～ 図 1 5 は、R O M 領域 1 2 からのリードシーケンスの一例を示す説明図である。図 1 1 はリードシーケンスの一例を示すタイミングチャートであり、図 1 2 ～ 図 1 5 は各タイミングにおける動作の一例を示す説明図である。R O M 領域 1 2 からのリードシーケンスは、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載して液晶ドライバ I C 2 0

50

で行う。

【0095】

(1) 図12 (図11: イネーブル線 $NVM-EN=0$ 、チャージ線 $NVM-CHG=1$ 、ライト制御線 $NVM-WD=0$)

液晶ドライバIC20から、ビット線 $BL1 \sim BL6$ に電位をプリチャージする。この時、チャージ線 $NVM-CHG=1$ であり、スイッチ回路123はスイッチ $S1 \sim S6$ がオンして、ソース線 $SL1 \sim SL6$ とビット線 $BL1 \sim BL6$ とがそれぞれ接続され、ROM121のビット線 $BL1 \sim BL6$ を V_{half} 電位でプリチャージする。この V_{half} 電位は、Gray階調データに対応する電位であり、ハイレベルとロウレベルとの間の1/2の電圧レベルである。

10

【0096】

(2) 図13 (図11: イネーブル線 $NVM-EN=0$ 、チャージ線 $NVM-CHG=0$ 、ライト制御線 $NVM-WD=1$)

ライト制御線 $NVM-WD=1$ とし、ROM121のワード線 WL をオンして、ROM121のデータをビット線 $BL1 \sim BL6$ に読み出す。ビット線 $BL1 \sim BL6$ に読み出されるデータは、反転データ $\times Data$ である。すなわち、ヒューズがオープン状態ではビット線が1となり、ヒューズがショート状態ではビット線が0となる。図13の例では、ビット線 $BL1$ が1、ビット線 $BL2$ が1、ビット線 $BL3$ が0、ビット線 $BL4$ が1、ビット線 $BL5$ が1、ビット線 $BL6$ が0となる。

20

【0097】

(3) 図14 (図11: イネーブル線 $NVM-EN=1$ 、チャージ線 $NVM-CHG=0$ 、ライト制御線 $NVM-WD=1$)

イネーブル線 $NVM-EN=1$ とし、ビット線 $BL1 \sim BL6$ に読み出したデータをデータ転送用のシフトレジスタ122に格納する。シフトレジスタ122では、セクタ $SEL1 \sim SEL6$ が、イネーブル線 $NVM-EN$ のイネーブル信号に基づいて、ビット線 $BL1 \sim BL6$ に読み出したデータを選択して、フリップフロップ $FF1 \sim FF6$ に格納する。図14の例では、フリップフロップ $FF1$ に1、フリップフロップ $FF2$ に1、フリップフロップ $FF3$ に0、フリップフロップ $FF4$ に1、フリップフロップ $FF5$ に1、フリップフロップ $FF6$ に0が格納される。

30

【0098】

(4) 図15 (図11: イネーブル線 $NVM-EN=0$ 、チャージ線 $NVM-CHG=0$ 、ライト制御線 $NVM-WD=0$)

ROM制御クロック線 CLK 、ROM制御信号線 SDA を用いて、シフトレジスタ122のデータを液晶ドライバIC20側に転送する。シフトレジスタ122では、フリップフロップ $FF1 \sim FF6$ が、ROM制御クロック線 CLK のクロック信号に同期して、フリップフロップ $FF1 \sim FF6$ に格納しているデータを順次シフトして、ROM制御信号線 SDA を通じて液晶ドライバIC20側に転送する。図15の例では、ROM制御信号線 SDA を通じて、「110110」のデータが液晶ドライバIC20側に転送される。液晶ドライバIC20側では、ROM121からのリードデータを反転し、前に図6に示した V_{COM} 値レジスタ $REG-V_{COM}$ に V_{COM} 値として格納し、あるいは図7に示した差分情報レジスタ $REG2$ に差分情報として格納する。

40

【0099】

このようにして、ROM領域12からのリードシーケンスにおいて、液晶ドライバIC20は、ROM領域12のROM121から読み出した V_{COM} 値、あるいは差分情報を用いて演算した V_{COM} 値で、液晶表示パネル10の光学特性を最適に調整して駆動することができる。

【0100】

<実施の形態1の効果>

以上説明した本実施の形態1に係わる液晶表示装置1によれば、液晶表示パネル10と液晶ドライバIC20との組み合わせによらずに、光学特性を最適に設定することができ

50

る。これにより、十分な光学特性を得ることができる。より詳細には、以下の通りである。

【 0 1 0 1 】

(1) 液晶表示パネル 1 0 は、この液晶表示パネル 1 0 の光学特性を調整するための情報を記憶する R O M 領域 1 2 を含むことで、液晶表示パネル 1 0 の固有情報を例えば個々のパネルの検査の段階で液晶表示パネル 1 0 自体に記憶させておくことができる。これにより、液晶ドライバ I C 2 0 を搭載していない液晶表示パネル 1 0 単体で、この液晶表示パネル 1 0 の固有情報を記憶しておくことが可能となる。

【 0 1 0 2 】

また、R O M 領域 1 2 は、表示領域 1 1 の複数の画素の配置に沿って配置されており、当該素子基板 5 0 上に画素の構成を形成していく過程で同時に形成することができる。これにより、液晶表示パネル 1 0 の回路構成を極力用いた回路構成で実現することができる。この結果、R O M 領域 1 2 の搭載による液晶表示パネル 1 0 の額縁へのインパクトを軽減することができる。

【 0 1 0 3 】

具体的には、R O M 領域 1 2 における R O M 1 2 1 などの回路自体を表示領域 1 1 内の画素構成を形成していくプロセス工程で同時に形成することができ、当該 R O M 1 2 1 などを素子基板 5 0 上に構築するために新たなプロセスを構築する必要がほとんどない。さらに、ソース線 S L の数と同じ数だけヒューズ F を設けることができ、当該ヒューズ F を利用して情報を記憶することができる。例えば、本実施の形態でいえば、1 0 8 0 × 3 個のヒューズ F を有しているので、フリッカー値やホワイトバランス値といったパネルごとの固有情報を記憶するための記憶容量としては十分な大きさである。

【 0 1 0 4 】

(2) 液晶表示パネル 1 0 の光学特性を調整するための情報が、この液晶表示パネル 1 0 の固有情報である場合には、この固有情報に基づいて光学特性を調整することができる。

【 0 1 0 5 】

(3) 液晶表示パネル 1 0 の光学特性を調整するための情報が、この液晶表示パネル 1 0 の共通情報を除く差分情報である場合には、この共通情報と差分情報との演算結果に基づいて光学特性を調整することができる。

【 0 1 0 6 】

(4) 液晶表示パネル 1 0 の R O M 領域 1 2 は、ワード線 W L とビット線 B L との交差部分に設けられた薄膜トランジスタ T F T およびヒューズ F を含むメモリセルで構成することができる。このヒューズ F は、オープン状態またはショート状態を液晶表示パネル 1 0 の光学特性を調整するための情報に対応させることができる。

【 0 1 0 7 】

(5) 液晶表示パネル 1 0 の R O M 領域 1 2 は、R O M 1 2 1 と、この R O M 1 2 1 と表示領域 1 1 との間に接続されたスイッチ回路 1 2 3 とを含むことで、R O M 1 2 1 への書き込み動作は、液晶表示パネル 1 0 にパネル検査回路 2 を接続して行うことができる。この場合に、パネル検査回路 2 から、表示領域 1 1 のソース線 S L 、および、スイッチ回路 1 2 3 を介して、R O M 1 2 1 に、液晶表示パネル 1 0 の光学特性を調整するための情報を書き込むことができる。これにより、液晶表示パネル 1 0 の検査時に、液晶表示パネル 1 0 毎に光学特性を調整するための情報を記憶することができる。

【 0 1 0 8 】

(6) 液晶表示パネル 1 0 の R O M 領域 1 2 は、さらに、R O M 1 2 1 と R O M 制御信号線 S D A との間に接続されたシフトレジスタ 1 2 2 を含むことで、R O M 1 2 1 からの読み出し動作は、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載して行うことができる。この場合に、R O M 1 2 1 から、シフトレジスタ 1 2 2 、および、R O M 制御信号線 S D A を介して、液晶ドライバ I C 2 0 へ、液晶表示パネル 1 0 の光学特性を調整するための情報を読み出すことができる。これにより、液晶ドライバ I C 2 0 は、起動前に光学

特性を調整するための情報を読み出して、自動的に最適値に設定することができる。

【0109】

(7) ROM 121からの読み出し動作では、ROM 121から液晶表示パネル10の光学特性を調整するための情報を読み出す際に、ビット線BLをプリチャージすることで、ROM 121への書き込みデータに対応させて、ビット線BLに読み出されるデータを反転データにすることができる。

【0110】

(8) 液晶表示パネル10のROM領域12において、ROM 121のワード線WLはライト制御線NVM-WDにより制御し、スイッチ回路123はチャージ線NVM-CHGにより制御し、シフトレジスタ122はイネーブル線NVM-ENおよびROM制御クロック線SCKにより制御することができる。

10

【0111】

(9) 液晶表示パネル10のROM領域12は、表示領域11の周辺領域において、液晶ドライバIC20が配置された位置から遠い方の位置に配置されていることで、液晶ドライバIC20が表示領域11に映像を表示する際に、ROM領域12が表示駆動の妨げとなることがない。

【0112】

(10) 上記(1)~(9)により、液晶表示パネル10と液晶ドライバIC20との組み合わせによらずに、液晶表示パネル10単体、液晶ドライバIC20単体で販売される場合でも、パネル固有情報を液晶表示パネル10側に記憶しておき、液晶ドライバIC20の搭載後に、液晶ドライバIC20がパネル固有情報を読み出して、光学特性を自動的に最適値に設定することができる。

20

【0113】

(実施の形態2)

本実施の形態2に係わる液晶表示装置について、図16~図24を用いて説明する。本実施の形態2は、前記実施の形態1ではソース線SLを介してROM領域12にデータの書き込みを行うのに対して、ROM制御信号線SDAを介してROM領域12にデータの書き込みを行う点が異なっている。本実施の形態2においては、前記実施の形態1と異なる点を主に説明する。

【0114】

<液晶表示パネルのROM領域に対するライト動作およびリード動作>

図16は、液晶表示パネル10のROM領域12に対するライト動作およびリード動作の一例を示す説明図である。

30

【0115】

液晶表示パネル10のROM領域(記憶部)12は、ROM 121と、シフトレジスタ122と、スイッチ回路123とを備えている。

【0116】

ROM 121は、表示領域(表示部)11の画素の配置に沿って、1本のワード線WLと、このワード線WLに交差するように設けられた複数のビット線BL1~BL6とを備えている。ワード線WLと各ビット線BL1~BL6との交差部分には、薄膜トランジスタTFT1~TFT6とヒューズF1~F6とで構成されるメモリセルが設けられている。薄膜トランジスタTFT1~TFT6のゲートにはワード線WLが接続され、ソースにはビット線BL1~BL6が接続され、ドレインにはヒューズF1~F6の一端が接続されている。ヒューズF1~F6の他端は接地電位GNDに接続されている。

40

【0117】

ワード線WLには、前記実施の形態1と異なり、パネル検査回路2/液晶ドライバIC20からROM制御のイネーブル線NVM-ENを通じて、薄膜トランジスタTFT1~TFT6をオン状態にするためのイネーブル信号が供給される。例えば、イネーブル信号によりワード線WLに選択電圧が供給されると、このワード線WLに接続された薄膜トランジスタTFT1~TFT6が全てオン状態となり、このワード線WLに係るメモリセル

50

が全て選択される。

【 0 1 1 8 】

ビット線 B L 1 ~ B L 6 には、前記実施の形態 1 と異なり、スイッチ回路 1 2 3 のスイッチ S 1 ~ S 6 を通じて、ヒューズ F 1 ~ F 6 をショート状態（短絡状態）またはオープン状態（切断状態）にするための V h a l f 電位が印加される。

【 0 1 1 9 】

シフトレジスタ 1 2 2 は、直列に接続された複数のフリップフロップ F F 1 ~ F F 6 と、各フリップフロップ間に接続された複数のセクタ S E L 1 ~ S E L 6 とを備えている。このシフトレジスタ 1 2 2 は、前記実施の形態 1 と異なり、リード動作とライト動作との両方で用いられる。フリップフロップ F F 1 ~ F F 6 は、R O M 制御クロック線 S C K のクロック信号に同期して動作し、保持しているデータをクロック信号に同期して出力する。

10

【 0 1 2 0 】

セクタ S E L 1 ~ S E L 6 は、リード動作では、後段のフリップフロップからのデータと、ビット線 B L 1 ~ B L 6 からのデータとを入力として、イネーブル線 N V M - E N のイネーブル信号に基づいて、一方を選択して前段のフリップフロップに出力する。例えば、イネーブル信号が、1（電圧がハイレベル）の時はビット線 B L 1 ~ B L 6 からの信号を選択する。また、セクタ S E L 1 ~ S E L 6 は、ライト動作では、リード動作とは逆の経路で、後段のフリップフロップからのデータを入力として、イネーブル線 N V M - E N のイネーブル信号に基づいて、前段のフリップフロップに出力する。例えば、イネーブル信号が、0（電圧がロウレベル）の時は後段のフリップフロップからのデータを出力する。

20

【 0 1 2 1 】

スイッチ回路 1 2 3 は、前記実施の形態 1 と異なり、R O M 領域 1 2 のビット線 B L 1 ~ B L 6 と V h a l f 電位との間を接続または非接続にする複数のスイッチ S 1 ~ S 6 を備えている。スイッチ S 1 ~ S 6 は、リード制御線 N V M - R D のリード制御信号に基づいてオンまたはオフして、オンの場合にビット線 B L 1 ~ B L 6 に V h a l f 電位を供給し、オフの場合にビット線 B L 1 ~ B L 6 はオープン状態となる。例えば、リード制御信号が、1（電圧がハイレベル）の時はスイッチ S 1 ~ S 6 がオンする。

【 0 1 2 2 】

液晶表示パネル 1 0 の R O M 領域 1 2 に対するライト動作は、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載していない状態で、パネル検査回路 2 を接続してパネル検査回路 2 で行う。パネル検査回路 2 は、R O M 制御信号線 S D A を介して、R O M 領域 1 2 のシフトレジスタ 1 2 2 を経て R O M 1 2 1 にデータを書き込む。詳細は、後で図 1 7 ~ 図 2 0 を用いて説明する。

30

【 0 1 2 3 】

液晶表示パネル 1 0 の R O M 領域 1 2 からのリード動作は、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載して液晶ドライバ I C 2 0 で行う。液晶ドライバ I C 2 0 は、R O M 領域 1 2 の R O M 1 2 1 に書き込まれたデータを、シフトレジスタ 1 2 2 を経て、R O M 制御信号線 S D A を介して液晶ドライバ I C 2 0 に読み込む。詳細は、後で図 2 1 ~ 図 2 4 を用いて説明する。

40

【 0 1 2 4 】

< R O M 領域へのライトシーケンス >

図 1 7 ~ 図 2 0 は、R O M 領域 1 2 へのライトシーケンスの一例を示す説明図である。図 1 7 はライトシーケンスの一例を示すタイミングチャートであり、図 1 8 ~ 図 2 0 は各タイミングにおける動作の一例を示す説明図である。R O M 領域 1 2 へのライトシーケンスは、液晶表示パネル 1 0 に液晶ドライバ I C 2 0 を搭載していない状態で、パネル検査回路 2 を接続してパネル検査回路 2 で行う。

【 0 1 2 5 】

図 1 7 ~ 図 2 0 において、S C K は R O M 制御クロック線、S D A は R O M 制御信号線

50

、NVM - ENはイネーブル線、NVM - RDはリード制御線、WLはワード線、BL (BL 1 ~ BL 6) はビット線、ROMはROM 1 2 1をそれぞれ示す。また、各線の電圧レベルにおいて、ハイレベルは“1”、ロウレベルは“0”とする。また、このハイレベルとロウレベルとの間の1/2の電圧レベルを、Vhalf電位とする。

【0126】

ROM制御クロック線SCKは、シフトレジスタ122を同期シフトさせるためのクロック信号を供給するクロック線である。このROM制御クロック線SCKによるクロック信号に代えて、例えば、表示領域11の制御に用いるクロック信号を共用することも可能である。ROM制御信号線SDAは、ROM 1 2 1への書き込みデータ、ROM 1 2 1からの読み出しデータのための信号線である。イネーブル線NVM - ENは、シフトレジスタ122の信号選択のための制御線である。このイネーブル線NVM - ENは、ワード線WLを駆動するための制御線でもある。リード制御線NVM - RDは、スイッチ回路123を切り替えるための制御線である。

10

【0127】

(1) 図18 (図17: イネーブル線NVM - EN = 0、リード制御線NVM - RD = 0)

ROM制御クロック線SCK、ROM制御信号線SDAを用いて、ROM制御信号線SDAを通じての書き込みデータDataを、ROM領域12のシフトレジスタ122で順次送っていく。この時、イネーブル線NVM - EN = 0とし、ROM 1 2 1へはデータが書き込まれないようにする。シフトレジスタ122では、フリップフロップFF1 ~ FF6が、ROM制御クロック線SCKのクロック信号に同期して、フリップフロップFF1 ~ FF6にデータを格納し、順次シフトして、セクタSEL 1 ~ SEL 6に出力する。図18の例では、ROM制御信号線SDAを通じて「100100」のデータが書き込まれ、フリップフロップFF1に0、フリップフロップFF2に0、フリップフロップFF3に1、フリップフロップFF4に0、フリップフロップFF5に0、フリップフロップFF6に1が格納される。

20

【0128】

(2) 図19 (図17: イネーブル線NVM - EN = 1、リード制御線NVM - RD = 0)

イネーブル線NVM - EN = 1とし、フリップフロップFF1 ~ FF6に格納されているデータを、ビット線BL 1 ~ BL 6を通じてROM 1 2 1へ送る。この時、ROM 1 2 1の薄膜トランジスタTFT 1 ~ TFT 6もオンするため、ROM 1 2 1への書き込みが行われる。図19の例では、ヒューズF1に0、ヒューズF2に0、ヒューズF3に1、ヒューズF4に0、ヒューズF5に0、ヒューズF6に1が送られる。

30

【0129】

(3) 図20 (図17: イネーブル線NVM - EN = 0、リード制御線NVM - RD = 0)

ROM 1 2 1に書き込まれるデータは、送信データの反転データxDataとなる。すなわち、送信データ = 0ではヒューズがオープン状態(切断状態、○で図示)となり、送信データ = 1ではヒューズがショート状態(短絡状態、×で図示)となる。図20の例では、ヒューズF1がオープン状態、ヒューズF2がオープン状態、ヒューズF3がショート状態、ヒューズF4がオープン状態、ヒューズF5がオープン状態、ヒューズF6がショート状態となる。

40

【0130】

このようにして、ROM領域12へのライトシーケンスにおいて、パネル検査回路2は、ROM領域12のROM 1 2 1に、書き込みデータDataとして、VCOM値、あるいはVCOM値の演算に用いる差分情報を書き込むことができる。

【0131】

< ROM領域からのリードシーケンス >

図21 ~ 図24は、ROM領域12からのリードシーケンスの一例を示す説明図である

50

。図 2 1 はリードシーケンスの一例を示すタイミングチャートであり、図 2 2 ~ 図 2 4 は各タイミングにおける動作の一例を示す説明図である。ROM 領域 1 2 からのリードシーケンスは、液晶表示パネル 1 0 に液晶ドライバ IC 2 0 を搭載して液晶ドライバ IC 2 0 で行う。

【 0 1 3 2 】

(1) 図 2 2 (図 2 1 : イネーブル線 NV M - E N = 0 、リード制御線 NV M - R D = 1)

液晶ドライバ IC 2 0 から、ビット線 B L 1 ~ B L 6 を V h a l f 電位にプリチャージする。この時、リード制御線 NV M - R D = 1 であり、スイッチ回路 1 2 3 はスイッチ S 1 ~ S 6 がオンして、ビット線 B L 1 ~ B L 6 を V h a l f 電位でプリチャージする。この場合に、ヒューズ F 1 ~ F 6 がオープン状態でハイインピーダンスのものは、データが 1 になるようにチャージする。そのため、ROM 1 2 1 の値は書き込み値の反転データとなる。図 2 2 の例では、ビット線 B L 1 が 1、ビット線 B L 2 が 1、ビット線 B L 3 が 0、ビット線 B L 4 が 1、ビット線 B L 5 が 1、ビット線 B L 6 が 0 となる。

10

【 0 1 3 3 】

(2) 図 2 3 (図 2 1 : イネーブル線 NV M - E N = 1 、リード制御線 NV M - R D = 0)

イネーブル線 NV M - E N = 1 とし、ビット線 B L 1 ~ B L 6 に読み出したデータをデータ転送用のシフトレジスタ 1 2 2 に格納する。シフトレジスタ 1 2 2 では、セクタ S E L 1 ~ S E L 6 が、イネーブル線 NV M - E N のイネーブル信号に基づいて、ビット線 B L 1 ~ B L 6 に読み出したデータを選択して、フリップフロップ F F 1 ~ F F 6 に格納する。図 2 3 の例では、フリップフロップ F F 1 に 1、フリップフロップ F F 2 に 1、フリップフロップ F F 3 に 0、フリップフロップ F F 4 に 1、フリップフロップ F F 5 に 1、フリップフロップ F F 6 に 0 が格納される。

20

【 0 1 3 4 】

(3) 図 2 4 (図 2 1 : イネーブル線 NV M - E N = 0 、リード制御線 NV M - R D = 0)

ROM 制御クロック線 S C K、ROM 制御信号線 S D A を用いて、シフトレジスタ 1 2 2 のデータを液晶ドライバ IC 2 0 側に転送する。シフトレジスタ 1 2 2 では、フリップフロップ F F 1 ~ F F 6 が、ROM 制御クロック線 S C K のクロック信号に同期して、フリップフロップ F F 1 ~ F F 6 に格納しているデータを順次シフトして、ROM 制御信号線 S D A を通じて液晶ドライバ IC 2 0 側に転送する。図 2 4 の例では、ROM 制御信号線 S D A を通じて、「 1 1 0 1 1 0 」のデータが液晶ドライバ IC 2 0 側に転送される。液晶ドライバ IC 2 0 側では、ROM 1 2 1 からのリードデータを反転し、前に図 6 に示した V C O M 値レジスタ R E G - V C O M に V C O M 値として格納し、あるいは図 7 に示した差分情報レジスタ R E G 2 に差分情報として格納する。

30

【 0 1 3 5 】

このようにして、ROM 領域 1 2 からのリードシーケンスにおいて、液晶ドライバ IC 2 0 は、ROM 領域 1 2 の ROM 1 2 1 から読み出した V C O M 値、あるいは差分情報を用いて演算した V C O M 値で、液晶表示パネル 1 0 の光学特性を最適に調整して駆動することができる。

40

【 0 1 3 6 】

< 実施の形態 2 の効果 >

以上説明した本実施の形態 2 に係わる液晶表示装置 1 によれば、前記実施の形態 1 と同様に、液晶表示パネル 1 0 と液晶ドライバ IC 2 0 との組み合わせによらずに、光学特性を最適に設定することができる。これにより、十分な光学特性を得ることができる。より詳細には、以下の通りである。

【 0 1 3 7 】

(1 1) 液晶表示パネル 1 0 の ROM 領域 1 2 は、ROM 1 2 1 と、ROM 1 2 1 と ROM 制御信号線 S D A との間に接続されたシフトレジスタ 1 2 2 とを含むことで、ROM

50

121への書き込み動作は、液晶表示パネル10にパネル検査回路2を接続して行うことができる。この場合に、パネル検査回路2から、ROM制御信号線SDA、および、シフトレジスタ122を介して、ROM121に、液晶表示パネル10の光学特性を調整するための情報を書き込むことができる。これにより、液晶表示パネル10の検査時に、液晶表示パネル10毎に光学特性を調整するための情報を記憶することができる。

【0138】

(12)ROM121からの読み出し動作は、液晶表示パネル10に液晶ドライバIC20を搭載して行うことができる。この場合に、ROM121から、シフトレジスタ122、および、ROM制御信号線SDAを介して、液晶ドライバIC20へ、液晶表示パネル10の光学特性を調整するための情報を読み出すことができる。これにより、液晶ドライバIC20は、起動前に光学特性を調整するための情報を読み出して、自動的に最適値に設定することができる。

10

【0139】

(13)液晶表示パネル10のROM領域12において、ROM121のワード線WL、および、シフトレジスタ122は、イネーブル線NVM-ENにより制御し、シフトレジスタ122は、ROM制御クロック線CLKにより制御することができる。

【0140】

(14)他の効果は、前記実施の形態1の効果(1)~(4)(7)(9)(10)と同様である。

【0141】

20

本発明の思想の範疇において、当業者であれば、各種の変形例および修正例に想到し得るものであり、それら変形例および修正例についても本発明の範囲に属するものと了解される。例えば、前述の各実施の形態に対して、当業者が適宜、構成要素の追加、削除もしくは設計変更を行ったもの、または、工程の追加、省略もしくは条件変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含まれる。

【0142】

また、前述の各実施の形態において述べた態様によりもたらされる他の作用効果について本明細書の記載から明らかなもの、または当業者において適宜想到し得るものについては、当然に本発明によりもたらされるものと解される。

【符号の説明】

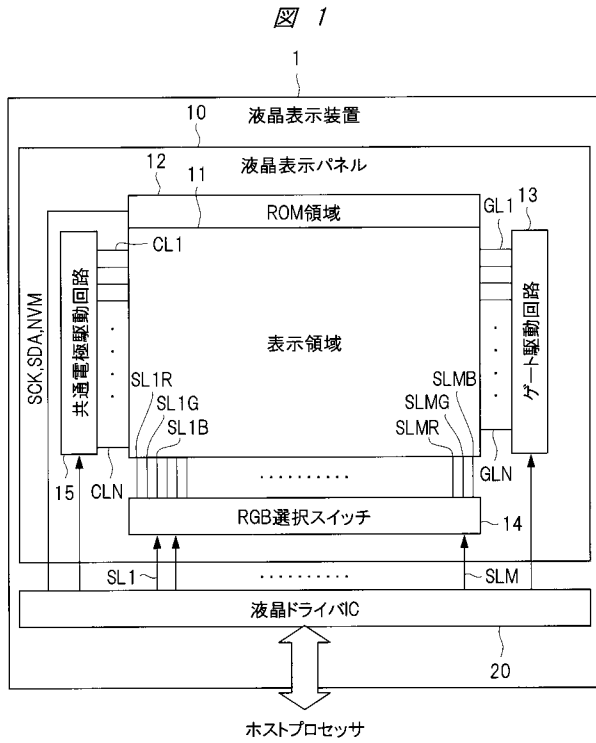
30

【0143】

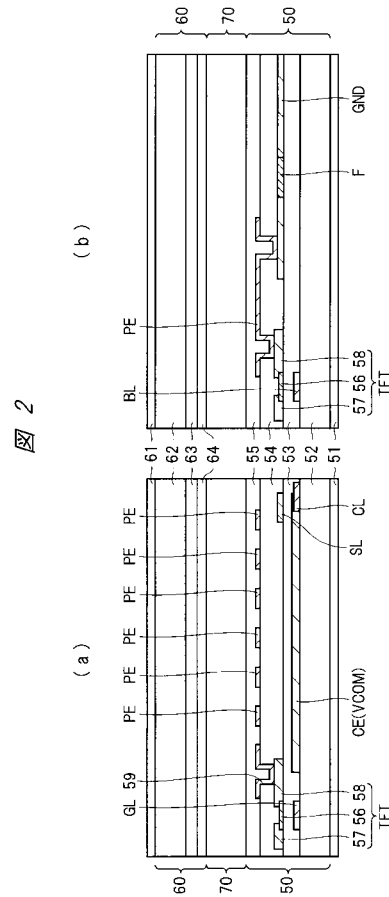
- 1 液晶表示装置
- 2 パネル検査回路
- 10 液晶表示パネル
- 11 表示領域
- 12 ROM領域
- 13 ゲート駆動回路
- 14 RGB選択スイッチ
- 15 共通電極駆動回路
- 20 液晶ドライバIC
- 28 光学特性制御回路
- 121 ROM
- 122 シフトレジスタ
- 123 スイッチ回路

40

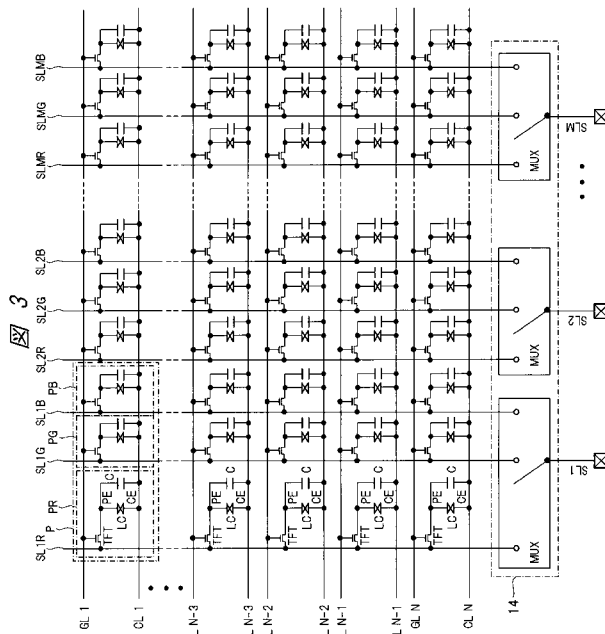
【 図 1 】



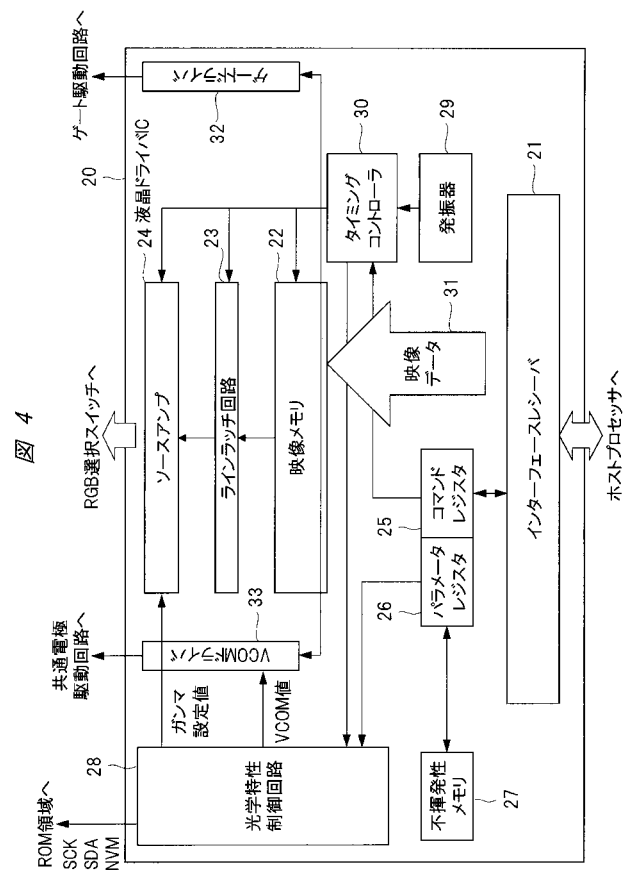
【 図 2 】



【 図 3 】

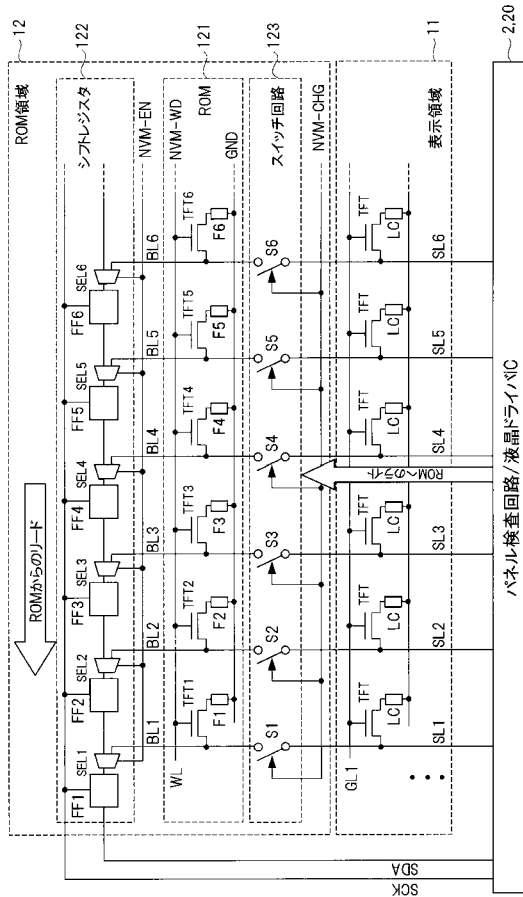


【 図 4 】



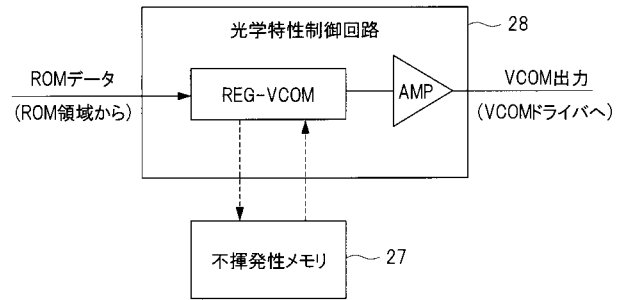
【図 5】

図 5



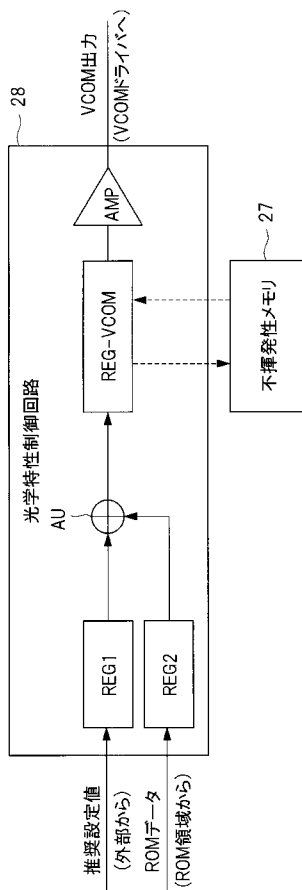
【図 6】

図 6



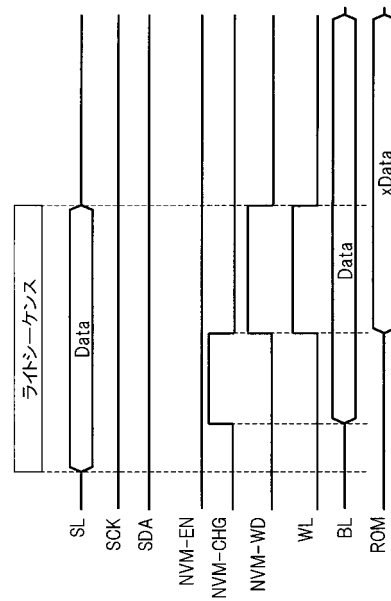
【図 7】

図 7



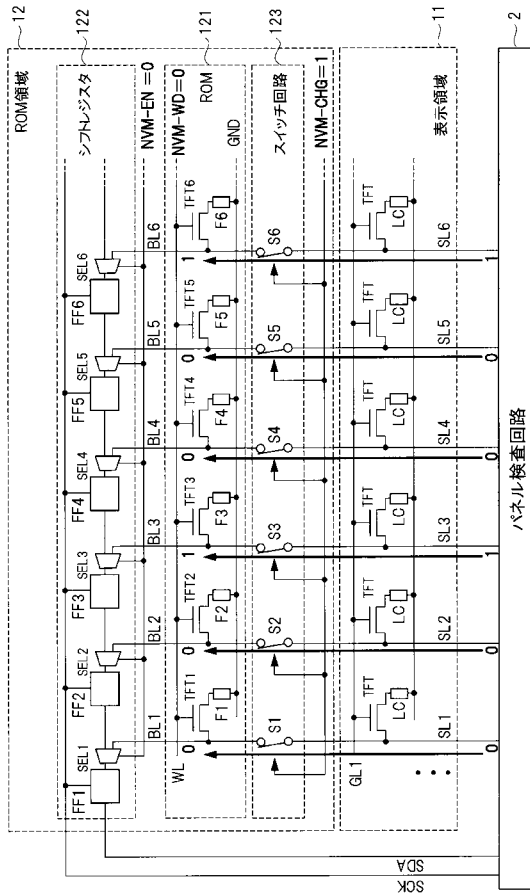
【図 8】

図 8



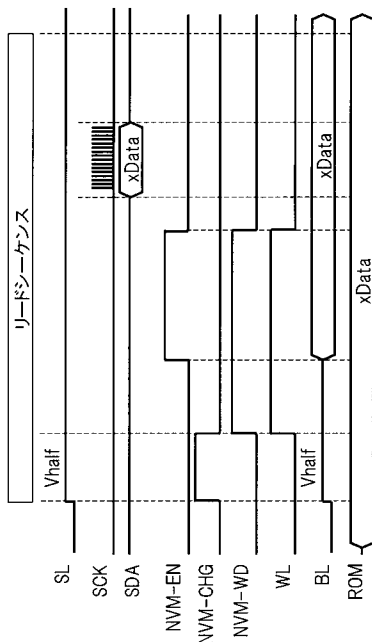
【図 9】

図 9



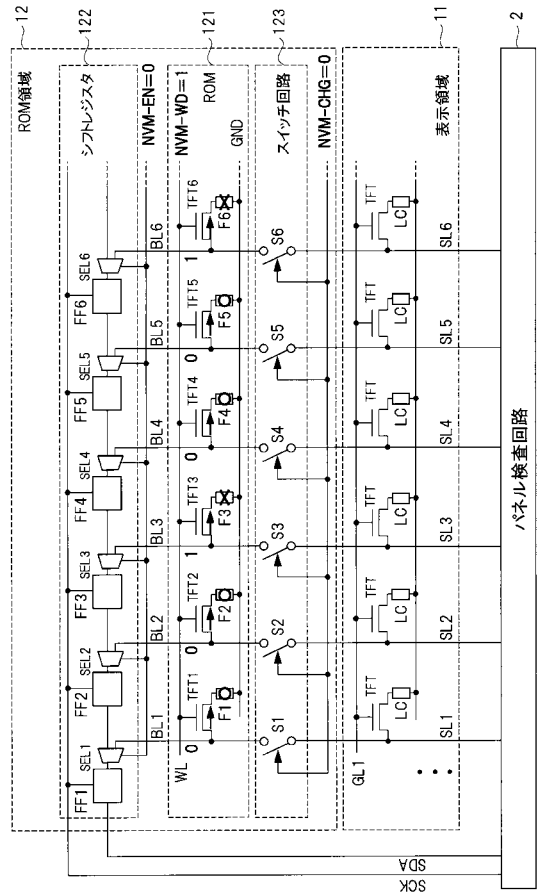
【図 1 1 1】

図 11



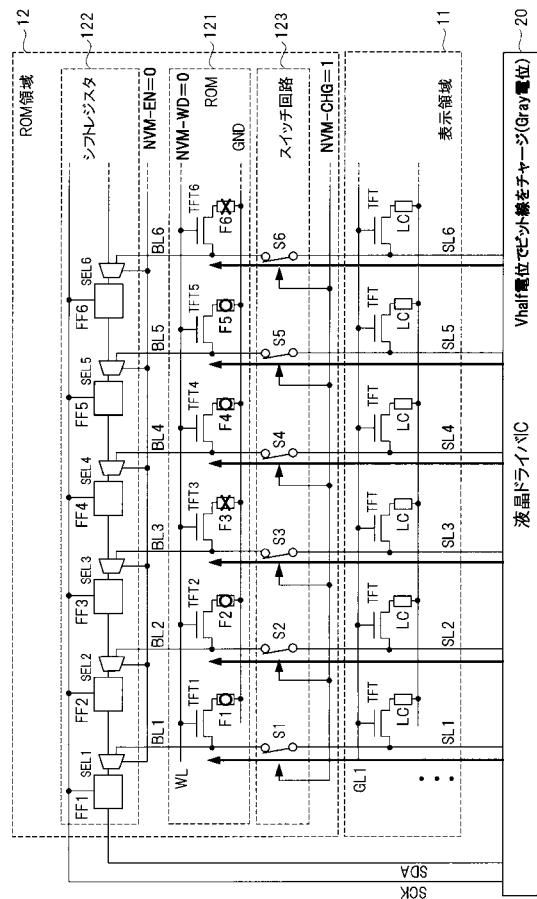
【図 1 0】

図 10



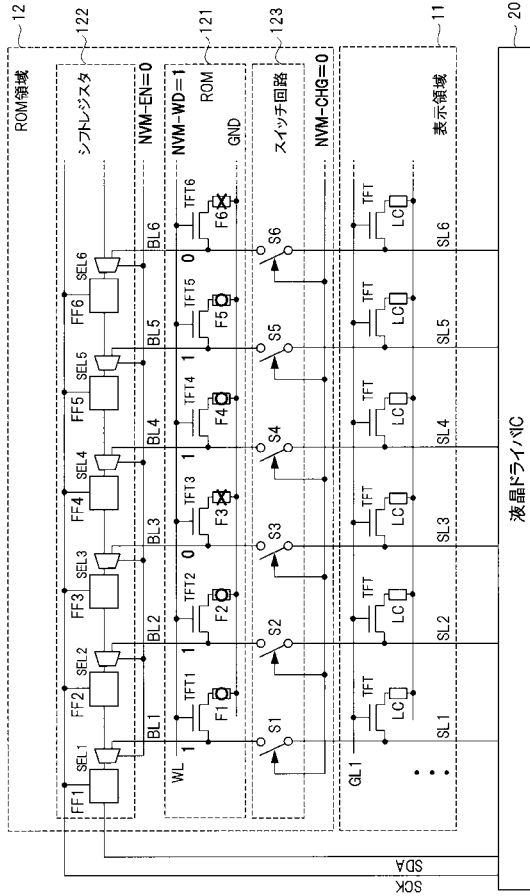
【図 1 1 2】

図 12



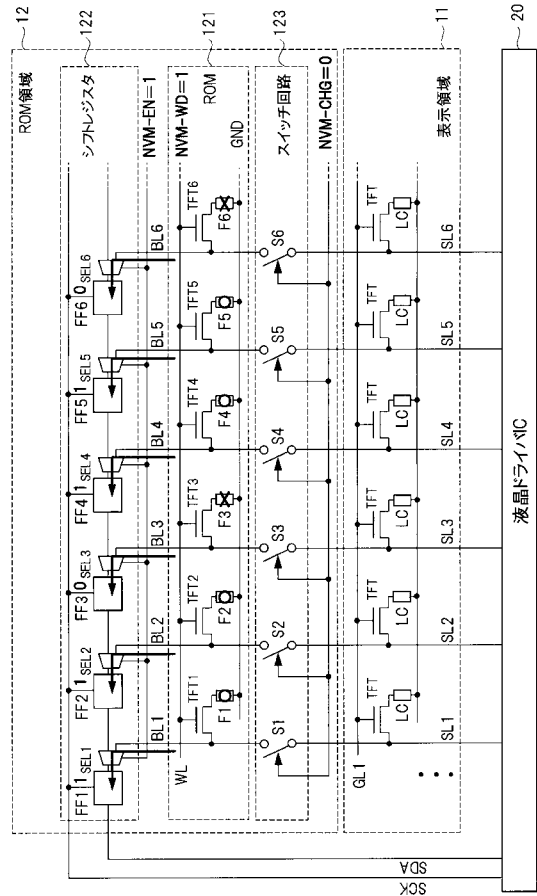
【図 13】

図 13



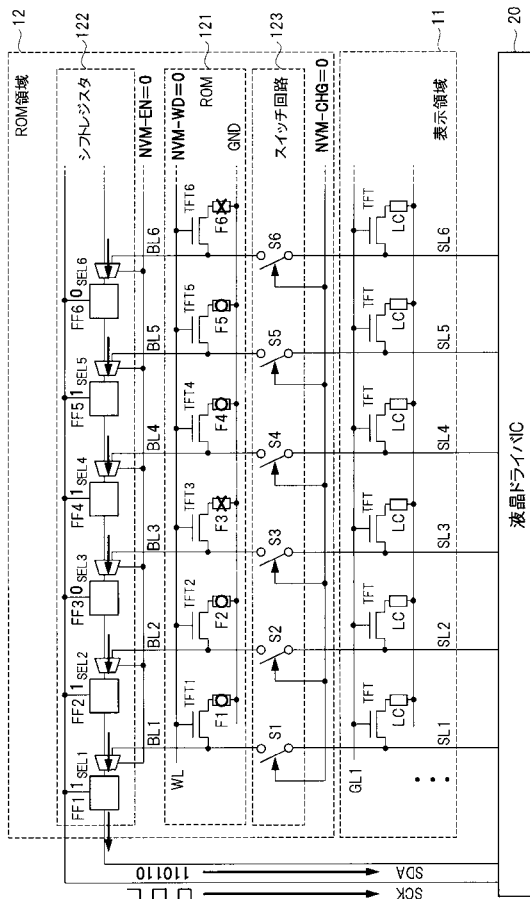
【図 14】

図 14



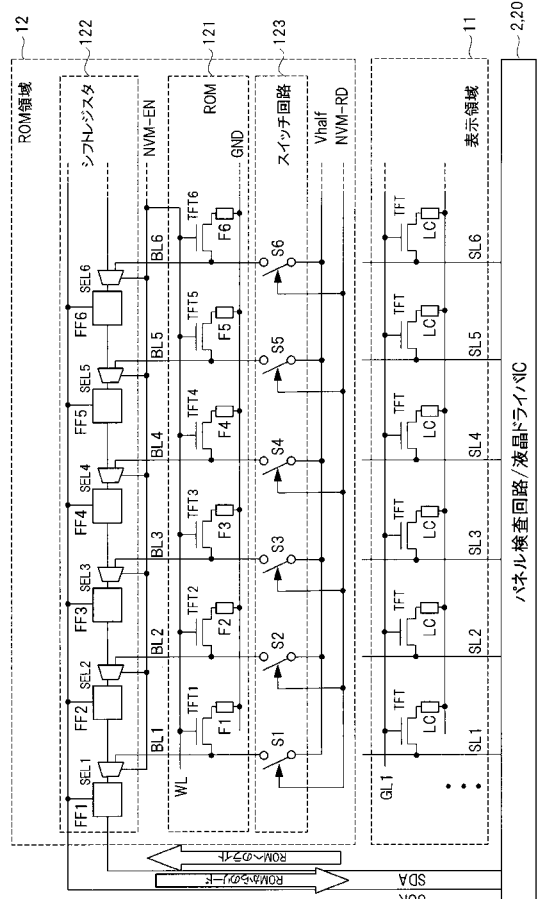
【図 15】

図 15



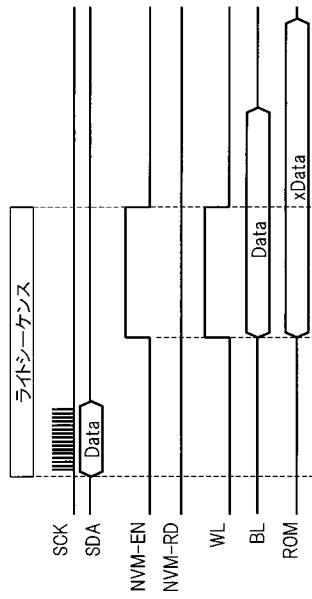
【図 16】

図 16



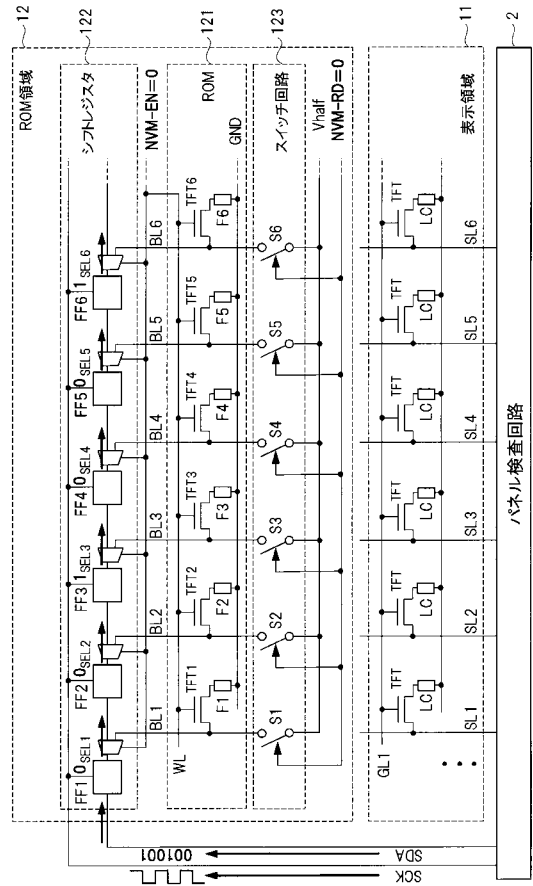
【図 17】

図 17



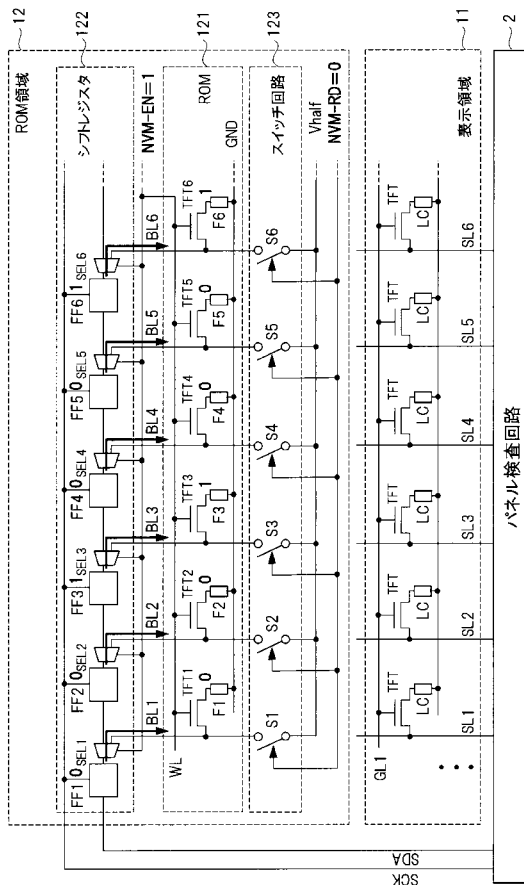
【図 18】

図 18



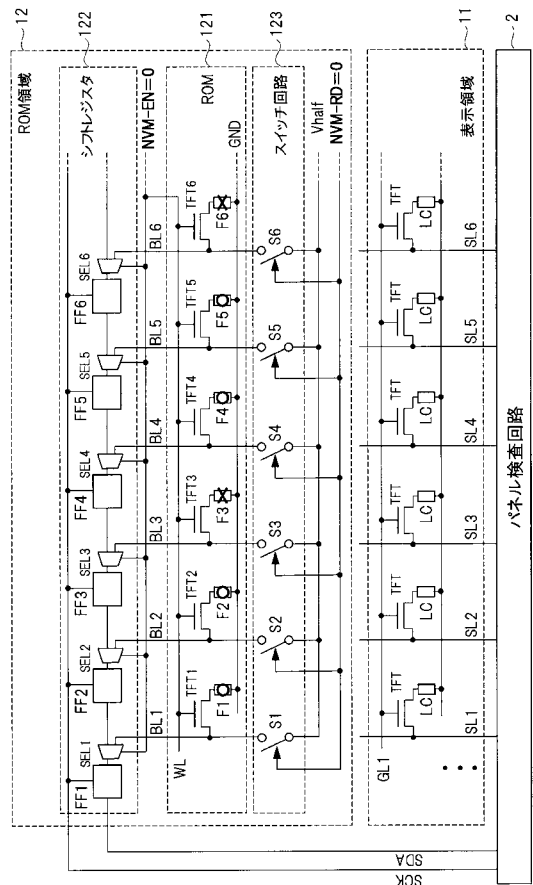
【図 19】

図 19

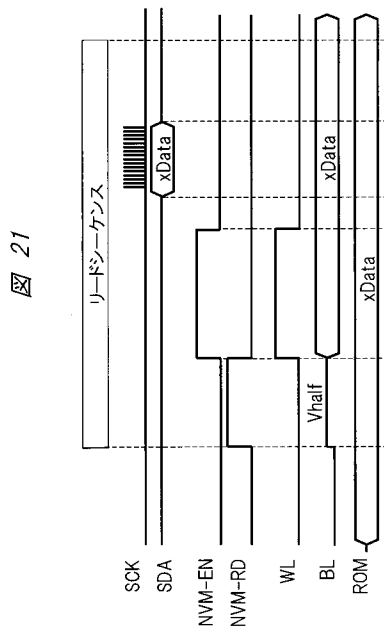


【図 20】

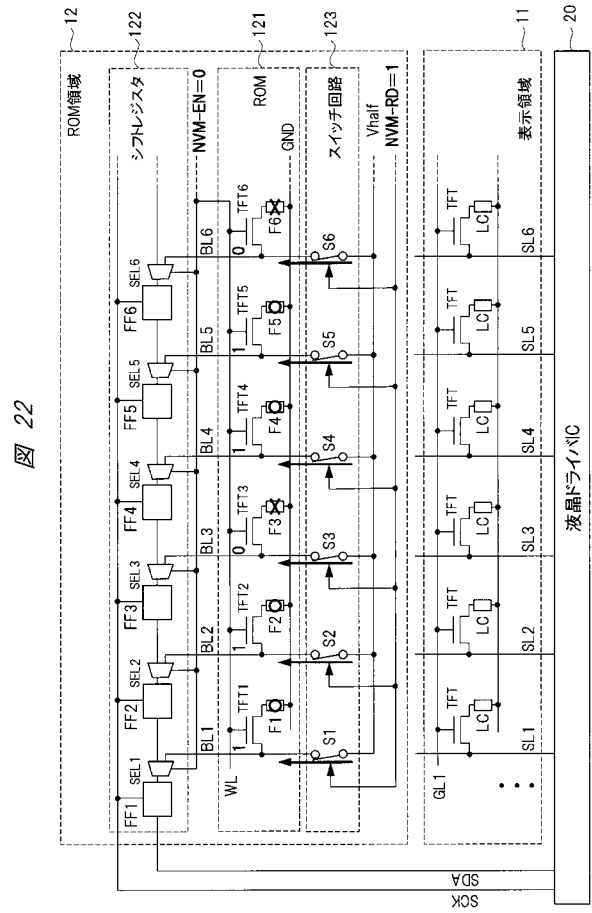
図 20



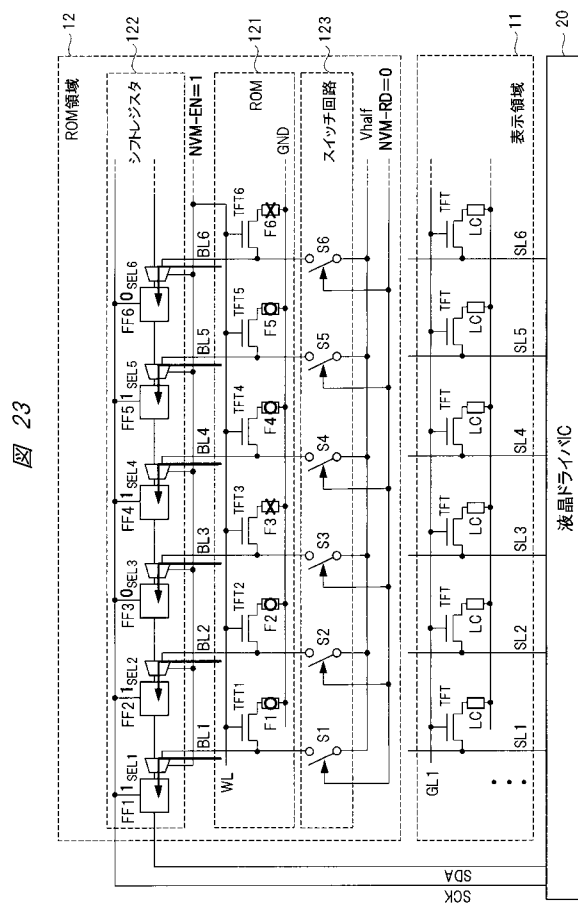
【図 2 1】



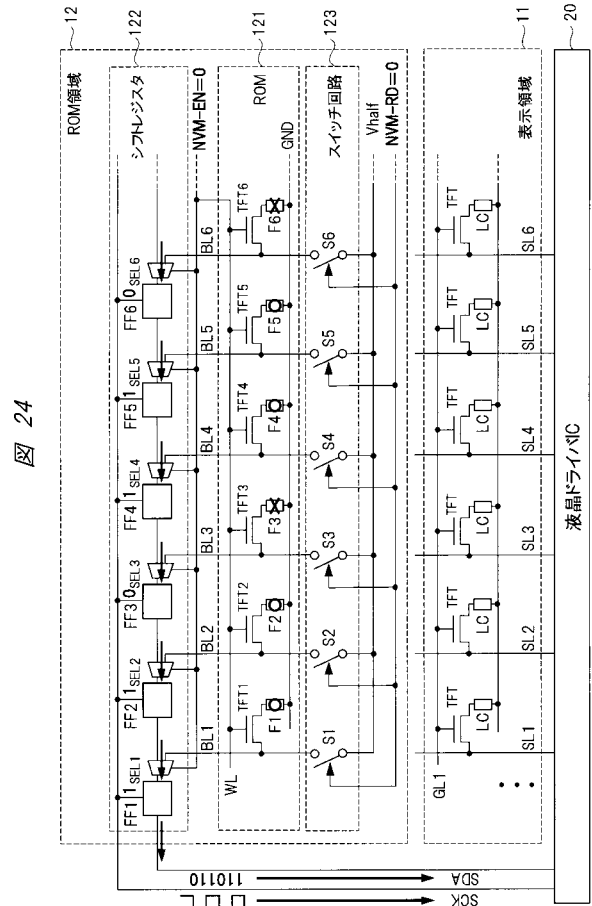
【図 2 2】



【図 2 3】



【図 2 4】



(51) Int.Cl.

テーマコード（参考）

G 0 2 F	1/133	5 5 0
G 0 9 G	3/20	6 3 1 K
G 1 1 C	17/06	B

F ターム(参考)	5C006	AF13	AF46	BB16	BC20	BF03	BF08	BF16	BF24	BF25	BF28
		EB01	FA20	FA21							
	5C080	AA10	BB05	CC03	DD01	DD15	EE29	GG12	GG15	GG17	JJ02
		JJ03	JJ04								

专利名称(译)	液晶表示装置		
公开(公告)号	JP2016151713A	公开(公告)日	2016-08-22
申请号	JP2015029971	申请日	2015-02-18
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	二藤部隆太郎		
发明人	二藤部 隆太郎		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C17/14		
FI分类号	G09G3/36 G09G3/20.631.V G09G3/20.670.Q G09G3/20.641.P G02F1/133.505 G02F1/133.550 G09G3/20.631.K G11C17/06.B G11C17/06		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZD12 2H193/ZF13 2H193/ZF36 2H193/ZF43 2H193/ZF44 2H193/ZH43 2H193/ZH52 2H193/ZK03 2H193/ZK09 2H193/ZK13 2H193/ZQ16 5B225/BA14 5B225/CA14 5B225/EA01 5B225/ED09 5B225/EF13 5B225/FA02 5B225/FA10 5C006/AF13 5C006/AF46 5C006/BB16 5C006/BC20 5C006/BF03 5C006/BF08 5C006/BF16 5C006/BF24 5C006/BF25 5C006/BF28 5C006/EB01 5C006/FA20 5C006/FA21 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD15 5C080/EE29 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够在不依赖于面板和驱动器的组合的情况下最佳地设定光学特性的液晶显示装置。液晶显示装置1包括液晶显示面板10，液晶显示面板10包括显示区域11，其中多个像素以矩阵形式排列，并且液晶显示面板10包括多个像素并且包括ROM区域12，用于存储用于调节液晶显示面板10的光学特性的信息。用于调整所述液晶显示面板10的光学特性的信息是该液晶显示面板10的固有信息，基于所述液晶显示面板10中，液晶显示面板10的光学特性被调整的唯一信息。或者，用于调整所述液晶显示面板10的光学特性的信息是不包括在液晶显示面板10的公共信息基于所述公共信息和差异信息，光学的液晶显示面板10中的计算结果的差分信息，特征进行了调整。点域1

