

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2015-125224

(P2015-125224A)

(43) 公開日 平成27年7月6日(2015.7.6)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H192
H01L 29/786 (2006.01)	H01L 29/78 612C	2H290
G02F 1/1337 (2006.01)	G02F 1/1337	5F110

審査請求 未請求 請求項の数 10 O L (全 15 頁)

(21) 出願番号	特願2013-268749 (P2013-268749)	(71) 出願人	502356528
(22) 出願日	平成25年12月26日 (2013.12.26)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100084618
			弁理士 村松 貞男
		(74) 代理人	100087653
			弁理士 鈴江 正二
		(72) 発明者	廣澤 仁
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

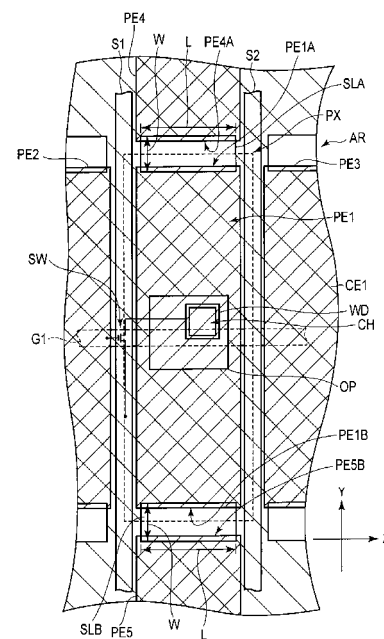
(57) 【要約】

【課題】表示品位を改善することが可能な液晶表示装置を提供する。

【解決手段】第1方向に延出した第1スリットが形成された第1共通電極と、前記第1共通電極と対向する第1画素電極と、前記第1共通電極と対向するとともに前記第1スリットを挟んで前記第1画素電極の第2方向に隣接する第2画素電極と、前記第1画素電極及び前記第2画素電極を覆う第1配向膜と、を備えた第1基板と、前記第1スリット、前記第1画素電極及び前記第2画素電極とそれぞれ対向し前記第1共通電極と同電位の第2共通電極と、前記第2共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶層と、を備えた液晶表示装置。

【選択図】 図2

図2



【特許請求の範囲】

【請求項 1】

第 1 方向に延出した第 1 スリットが形成された第 1 共通電極と、前記第 1 共通電極と対向する第 1 画素電極と、前記第 1 共通電極と対向するとともに前記第 1 スリットを挟んで前記第 1 画素電極の第 2 方向に隣接する第 2 画素電極と、前記第 1 画素電極及び前記第 2 画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記第 1 スリット、前記第 1 画素電極及び前記第 2 画素電極とそれぞれ対向し前記第 1 共通電極と同電位の第 2 共通電極と、前記第 2 共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶層と、
を備えた液晶表示装置。

10

【請求項 2】

前記第 1 基板は、さらに、前記第 1 画素電極の中央を通り第 1 方向に延出したゲート配線と、前記第 1 画素電極の一端側を通り第 2 方向に延出した第 1 ソース配線と、前記第 1 画素電極の他端側を通り第 2 方向に延出した第 2 ソース配線と、を備え、前記第 1 共通電極は前記第 1 ソース配線及び前記第 2 ソース配線の上方に延在した、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 1 ソース配線及び前記第 2 ソース配線の上方において、前記第 1 共通電極と前記第 2 共通電極とが対向する、請求項 2 に記載の液晶表示装置。

20

【請求項 4】

前記第 1 スリットは、第 1 方向に沿って前記第 1 ソース配線と前記第 2 ソース配線との間隔以下の長さを有する、請求項 2 に記載の液晶表示装置。

【請求項 5】

前記第 1 スリットは、第 2 方向に沿って前記第 1 画素電極と前記第 2 画素電極との間隔以上の幅を有する、請求項 1 に記載の液晶表示装置。

【請求項 6】

前記第 1 スリットは、前記第 1 画素電極の前記第 2 画素電極と向かい合う第 1 端部、及び、前記第 2 画素電極の前記第 1 画素電極と向かい合う第 2 端部とそれぞれ重なる、請求項 5 に記載の液晶表示装置。

30

【請求項 7】

前記第 1 画素電極及び前記第 2 画素電極は、同一色のカラーフィルタと対向する、請求項 1 に記載の液晶表示装置。

【請求項 8】

第 1 方向に延出したゲート配線と、第 2 方向にそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記ゲート配線及び前記第 1 ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子を覆う第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に延在した第 1 共通電極であって第 1 方向にそれぞれ延出した第 1 スリット及び第 2 スリットが形成された第 1 共通電極と、前記第 1 共通電極を覆う第 2 層間絶縁膜と、前記第 2 層間絶縁膜上で前記第 1 共通電極と対向した画素電極であって前記第 1 スリットと対向する第 1 端部及び前記第 2 スリットと対向する第 2 端部を有する画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

40

前記画素電極、前記第 1 スリット及び前記第 2 スリットとそれぞれ対向し前記第 1 共通電極と同電位の第 2 共通電極と、前記第 2 共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶層と、
を備えた液晶表示装置。

【請求項 9】

前記第 1 共通電極は、前記第 1 ソース配線及び前記第 2 ソース配線の上方に延在した、請求項 8 に記載の液晶表示装置。

50

【請求項 10】

前記第 1 共通電極には、前記第 1 スリットと前記第 2 スリットとの間に開口部が形成され、

前記画素電極は、前記開口部を介して前記スイッチング素子と電氣的に接続された、請求項 8 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置に関する。

【背景技術】

10

【0002】

近年、負の誘電率異方性を有する液晶分子を基板に対して略垂直に配向させる垂直配向方式の液晶表示装置が実用化されている。中でも、一画素内において液晶分子の傾斜方向を複数の領域に分割するマルチドメインタイプの液晶表示装置は、広視野角化が可能であるため、種々の構成が提案されている。

【0003】

例えば、対向電極上に断続的に誘電体の突起物を設け、突起物の分断部分に対向して画素電極にスリットを設ける構成が知られている。

【0004】

ところで、アクティブマトリクスタイプの液晶表示装置においては、液晶層に印加される電圧を一定期間保持するための蓄積容量を必要とする。蓄積容量は、絶縁膜を介して対向する一对の電極や配線によって構成されている。このような蓄積容量を構成する少なくとも一方の電極あるいは配線は、遮光性の材料によって形成されており、画素を横切る遮光層となる。このため、一画素あたりの表示に寄与する開口率、透過率、あるいは、輝度の低下を招く。このため、表示に必要な容量を確保しつつ、表示品位を改善することが要望されている。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2007-256908 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

本実施形態の目的は、表示品位を改善することが可能な液晶表示装置を提供することにある。

【課題を解決するための手段】

【0007】

本実施形態によれば、

第 1 方向に延出した第 1 スリットが形成された第 1 共通電極と、前記第 1 共通電極と対向する第 1 画素電極と、前記第 1 共通電極と対向するとともに前記第 1 スリットを挟んで前記第 1 画素電極の第 2 方向に隣接する第 2 画素電極と、前記第 1 画素電極及び前記第 2 画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、前記第 1 スリット、前記第 1 画素電極及び前記第 2 画素電極とそれぞれ対向し前記第 1 共通電極と同電位の第 2 共通電極と、前記第 2 共通電極を覆う第 2 配向膜と、を備えた第 2 基板と、前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶層と、を備えた液晶表示装置が提供される。

40

【0008】

本実施形態によれば、

第 1 方向に延出したゲート配線と、第 2 方向にそれぞれ延出した第 1 ソース配線及び第 2 ソース配線と、前記ゲート配線及び前記第 1 ソース配線と電氣的に接続されたスイッチング素子と、前記スイッチング素子を覆う第 1 層間絶縁膜と、前記第 1 層間絶縁膜上に延

50

在した第1共通電極であって第1方向にそれぞれ延出した第1スリット及び第2スリットが形成された第1共通電極と、前記第1共通電極を覆う第2層間絶縁膜と、前記第2層間絶縁膜上で前記第1共通電極と対向した画素電極であって前記第1スリットと対向する第1端部及び前記第2スリットと対向する第2端部を有する画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記画素電極、前記第1スリット及び前記第2スリットとそれぞれ対向し前記第1共通電極と同電位の第2共通電極と、前記第2共通電極を覆う第2配向膜と、を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶層と、を備えた液晶表示装置が提供される。

【図面の簡単な説明】

【0009】

10

【図1】図1は、本実施形態の液晶表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【図2】図2は、本実施形態の液晶表示装置に適用可能なアレイ基板ARの一画素PX及びその周辺の構成例を概略的に示す平面図である。

【図3】図3は、本実施形態の液晶表示装置に適用可能な対向基板CTの一画素PX及びその周辺の構成例を概略的に示す平面図である。

【図4】図4は、図2に示したスイッチング素子SWを含むアクティブエリアにおける液晶表示パネルLPNの断面構造を概略的に示す図である。

【図5】図5は、図3のA-B線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

20

【図6】図6は、図3のC-D線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら説明する。なお、開示はあくまで一例に過ぎず、当業者において、発明の主旨を保つての適宜変更について容易に想到し得るものについては、当然に本発明の範囲に含有されるものである。また、図面は、説明をより明確にするため、実際の態様に比べて、各部の幅、厚さ、形状等について模式的に表される場合があるが、あくまで一例であって、本発明の解釈を限定するものではない。また、本明細書と各図において、既出の図に関して前述したもの同一又は類似した機能を發揮する構成要素には同一の参照符号を付し、重複する詳細な説明を適宜省略することがある。

30

【0011】

図1は、本実施形態の液晶表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向配置された第2基板である対向基板CTと、アレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えて構成されている。液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。アクティブエリアACTは、アレイ基板ARと対向基板CTとの間に液晶層LQが保持された領域に相当し、例えば、四角形状であり、マトリクス状に配置された複数の画素PXによって構成されている。

40

【0013】

アレイ基板ARは、アクティブエリアACTにおいて、第1方向Xに沿って延出した複数のゲート配線G(G1~Gn)、第1方向Xに交差する第2方向Yに沿って延出した複数のソース配線S(S1~Sm)、各画素PXにおいてゲート配線G及びソース配線Sと電氣的に接続されたスイッチング素子SW、各画素PXにおいてスイッチング素子SWに電氣的に接続された画素電極PE、画素電極PEと対向する第1共通電極CE1などを備えている。蓄積容量CSは、例えば、第1共通電極CE1と画素電極PEとの間に形成される。

50

【0014】

一方、対向基板CTは、液晶層LQを介して画素電極PEと対向する第2共通電極CE2などを備えている。

【0015】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、第1駆動回路GDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、第2駆動回路SDに接続されている。第1駆動回路GD及び第2駆動回路SDは、例えばその少なくとも一部がアレイ基板ARに形成され、駆動ICチップ2と接続されている。駆動ICチップ2は、第1駆動回路GD及び第2駆動回路SDを制御するコントローラを内蔵し、液晶表示パネルLPNを駆動するのに必要な信号を供給する信号供給源として機能する。図示した例では、駆動ICチップ2は、液晶表示パネルLPNのアクティブエリアACTの外側において、アレイ基板ARに実装されている。

10

【0016】

第1共通電極CE1及び第2共通電極CE2は、いずれもアクティブエリアACTの略全域に亘って延在しており、複数の画素PXに亘って共通に形成されている。第1共通電極CE1及び第2共通電極CE2は、互いに電氣的に接続されており、同電位である。例えば、第1共通電極CE1及び第2共通電極CE2は、アクティブエリアACTの外側に引き出され、給電部Vcomに接続されている。給電部Vcomは、例えばアクティブエリアACTの外側においてアレイ基板ARに形成され、第1共通電極CE1と電氣的に接続されるとともに、図示しない導電部材を介して第2共通電極CE2と電氣的に接続されている。給電部Vcomでは、第1共通電極CE1及び第2共通電極CE2に対して、例えばコモン電位が供給される。

20

【0017】

図2は、本実施形態の液晶表示装置に適用可能なアレイ基板ARの一画素PX及びその周辺の構成例を概略的に示す平面図である。

【0018】

アレイ基板ARは、ゲート配線G1、ソース配線S1、ソース配線S2、スイッチング素子SW、第1共通電極CE1、画素電極PEなどを備えている。図示した例では、画素PXは、図中の破線で示したように、第1方向Xに平行な一对の短辺を有するとともに、第2方向Yに平行な一对の長辺を有する長形状である。

30

【0019】

ゲート配線G1は、第1方向Xに沿って直線状に延出している。ソース配線S1及びソース配線S2は、第1方向Xに沿って間隔をおいて配置され、それぞれ第2方向Yに沿って直線状に延出している。画素PXの第1方向Xに沿った長さは、隣接するソース配線の第1方向Xに沿ったピッチと略同等である。画素PXの第2方向Yに沿った長さは、隣接するゲート配線の第2方向Yに沿ったピッチと略同等である。

【0020】

図示した画素PXにおいて、ソース配線S1は左側端部に位置し当該画素PXとその左側に隣接する画素との境界に跨って配置され、ソース配線S2は右側端部に位置し当該画素PXとその右側に隣接する画素との境界に跨って配置されている。ゲート配線G1は、画素PXの中央部を横切るように配置されている。図示したように、本実施形態においては、蓄積容量CSを形成するために画素PXを横切る補助容量線は存在しない。

40

【0021】

スイッチング素子SWは、例えば、nチャネル薄膜トランジスタ(TFT)によって構成され、トップゲート型あるいはボトムゲート型のいずれであっても良いが、詳細な図示を省略する。スイッチング素子SWは、例えば、ポリシリコンなどの半導体層と、ゲート配線G1に接続されたゲート電極と、ソース配線S1に接続され半導体層にコンタクトしたソース電極と、半導体層にコンタクトしたドレイン電極WDと、を備えている。

【0022】

第1共通電極CE1は、例えば、図中に右下がりの斜線で示したように、当該画素PX

50

の略全面に配置され、さらに、当該画素 P X から、ソース配線 S 1 及びソース配線 S 2 を跨いで第 1 方向 X に延在するとともに、第 2 方向 Y にも延在している。つまり、第 1 共通電極 C E 1 は、ソース配線 S 1 及びソース配線 S 2 に対向するとともに、当該画素 P X に対して第 1 方向 X に隣接する各画素に亘って連続的に形成されている。また、第 1 共通電極 C E 1 は、当該画素 P X に対して第 2 方向 Y に隣接する各画素に亘って連続的に形成されている。さらに言えば、詳述しないが、第 1 共通電極 C E 1 は、画像を表示するアクティブエリアの略全面に配置され、その一部がアクティブエリアの外側に引き出され、上記の通り、給電部と電氣的に接続されている。

【0023】

第 1 共通電極 C E 1 には、スリット S L A 及びスリット S L B が形成されている。スリット S L A 及びスリット S L B は、いずれも第 1 方向 X に延出している。スリット S L A は、当該画素 P X の上側端部に位置し、当該画素 P X とその上側に隣接する画素との境界に跨って配置されている。スリット S L B は、当該画素 P X の下側端部に位置し、当該画素 P X とその下側に隣接する画素との境界に跨って配置されている。また、第 1 共通電極 C E 1 には、ドレイン電極 W D を露出する開口部 O P が形成されている。開口部 O P は、スリット S L A とスリット S L B との間に位置し、当該画素 P X の略中央に位置している。

【0024】

尚、第 1 共通電極 C E 1 は、当該画素 P X の略全面に配置される一方でゲート配線 G 1 と重なる領域で途切れ、当該画素 P X からソース配線 S 1 及びソース配線 S 2 を跨いで第 1 方向 X に延在し、ソース配線 S 1 及びソース配線 S 2 に対向するとともに、当該画素 P X に対して第 1 方向 X に隣接する各画素に亘って帯状に連続的に形成されても良い。

【0025】

画素電極 P E 1 は、図中に右上がりの斜線で示したように、当該画素 P X において島状に形成されている。画素電極 P E 1 は、開口部 O P 及びこの開口部 O P に重なるコンタクトホール C H を介してスイッチング素子 S W のドレイン電極 W D に電氣的に接続されている。図示した画素電極 P E 1 の形状は、例えば、画素 P X の形状に対応して、第 1 方向 X に沿った長さが第 2 方向 Y に沿った長さよりも短い長方形形状である。画素電極 P E 1 は、第 1 共通電極 C E 1 と対向している。

【0026】

また、当該画素 P X の第 1 方向 X 及び第 2 方向 Y に隣接する他の画素にも、同様の画素電極 P E 2 乃至 P E 5 が配置されている。これらの画素電極 P E 2 乃至 P E 5 も、第 1 共通電極 C E 1 と対向している。

【0027】

画素電極 P E 2、画素電極 P E 1、及び、画素電極 P E 3 は、この順に第 1 方向 X に並んでいる。画素電極 P E 4、画素電極 P E 1、及び、画素電極 P E 5 は、この順に第 2 方向 Y に並んでいる。ゲート配線 G 1 は、画素電極 P E 2、画素電極 P E 1、及び、画素電極 P E 3 の略中央部を通り、第 1 方向 X に延出している。ソース配線 S 1 は、画素電極 P E 1 の一端側、あるいは、画素電極 P E 1 と画素電極 P E 2 との間を通り、第 2 方向 Y に延出している。ソース配線 S 2 は、画素電極 P E 1 の他端側、あるいは、画素電極 P E 1 と画素電極 P E 3 との間を通り、第 2 方向 Y に延出している。第 1 共通電極 C E 1 は、ソース配線 S 1 及びソース配線 S 2 の上方に延在している。画素電極 P E 1 と画素電極 P E 4 とは、スリット S L A を挟んで第 2 方向 Y に隣接している。画素電極 P E 1 と画素電極 P E 5 とは、スリット S L B を挟んで第 2 方向 Y に隣接している。

【0028】

スリット S L A 及びスリット S L B は、ソース配線 S 1 とソース配線 S 2 との間に位置しており、第 1 方向 X に沿ってソース配線 S 1 とソース配線 S 2 との間隔以下の長さ L を有している。つまり、X-Y 平面において、スリット S L A 及びスリット S L B は、いずれもソース配線 S 1 及びソース配線 S 2 と重なる位置には延出していない。

【0029】

スリット S L A は、第 2 方向 Y に沿って画素電極 P E 1 と画素電極 P E 4 との間隔以上の幅 W を有している。つまり、X-Y 平面において、スリット S L A の端部は、画素電極 P E 1 及び画素電極 P E 4 と重なっている。したがって、画素電極 P E 1 及び画素電極 P E 4 のそれぞれの端部には、いずれも第 1 共通電極 C E 1 が存在しない。同様に、スリット S L B は、第 2 方向 Y に沿って画素電極 P E 1 と画素電極 P E 5 との間隔以上の幅 W を有している。つまり、X-Y 平面において、スリット S L B の端部は、画素電極 P E 1 及び画素電極 P E 5 と重なっている。したがって、画素電極 P E 1 及び画素電極 P E 5 のそれぞれの端部には、いずれも第 1 共通電極 C E 1 が存在しない。

【0030】

図示した例では、スリット S L A は、画素電極 P E 1 と画素電極 P E 4 との間隔よりも大きな幅 W を有しており、画素電極 P E 1 の画素電極 P E 4 と向かい合う端部 P E 1 A、及び、画素電極 P E 4 の画素電極 P E 1 と向かい合う端部 P E 4 A とそれぞれ重なっている。また、スリット S L B は、画素電極 P E 1 と画素電極 P E 5 との間隔より大きな幅 W を有しており、画素電極 P E 1 の画素電極 P E 5 と向かい合う端部 P E 1 B、及び、画素電極 P E 5 の画素電極 P E 1 と向かい合う端部 P E 5 B とそれぞれ重なっている。つまり、画素電極 P E 1 に着目すると、端部 P E 1 A はスリット S L A と対向し、端部 P E 1 B はスリット S L B と対向している。

【0031】

なお、図 2 に示した例において、第 2 方向 Y に隣接する画素は同一色の画素であり、第 1 方向 X に隣接する画素は互いに異なる色の画素である。つまり、第 2 方向 Y に並んだ画素電極 P E 4、画素電極 P E 1、及び、画素電極 P E 5 は、同一色のカラーフィルタと対向している。また、第 1 方向 X に並んだ画素電極 P E 2、画素電極 P E 1、及び、画素電極 P E 3 は、異なる色のカラーフィルタと対向している。

【0032】

図 3 は、本実施形態の液晶表示装置に適用可能な対向基板 C T の一画素 P X 及びその周辺の構成例を概略的に示す平面図である。なお、ここでは、説明に必要な構成のみを図示し、また、アレイ基板の主要部であるソース配線 S 1、ソース配線 S 2、ゲート配線 G 1、第 1 共通電極のスリット S L A 及びスリット S L B、画素電極 P E 1、画素電極 P E 4、及び、画素電極 P E 5 を破線で示している。

【0033】

対向基板 C T は、第 2 共通電極 C E 2 などを備えている。第 2 共通電極 C E 2 は、当該画素 P X に配置され、画素電極 P E 1 と対向している。また、第 2 共通電極 C E 2 は、スリット S L A 及びスリット S L B とも対向している。また、第 2 共通電極 C E 2 は、当該画素 P X から第 1 方向 X 及び第 2 方向 Y に亘って延在し、ソース配線 S 1 及びソース配線 S 2 の上方にも位置している。つまり、第 2 共通電極 C E 2 は、当該画素 P X の第 1 方向 X に沿った右側及び左側に隣接する画素や、当該画素 P X の第 2 方向 Y に沿った上側及び下側に隣接する画素に亘って連続的に形成されている。さらに言えば、詳述しないが、第 2 共通電極 C E 2 は、アクティブエリアの略全面に亘って配置されている。

【0034】

第 2 共通電極 C E 2 には、画素電極 P E 1 と対向する位置にスリット S L が形成されている。図示した例では、スリット S L は、第 2 方向 Y に沿って延出した帯状に形成され、画素 P X の略中央に位置している。このようなスリット S L は、主として液晶分子の配向を制御する配向制御部に相当する。なお、液晶分子の配向を制御する機能を有するものであれば、スリットに代えて、第 2 共通電極 C E 2 に積層した突起などの他の配向制御部を設置しても良い。また、スリット S L の形状については、図示した例に限らず、十字などであっても良い。

【0035】

また、対向基板 C T は、カラーフィルタ 3 2 1 乃至 3 2 3 を備えている。カラーフィルタ 3 2 1 乃至 3 2 3 は、互に異なる色のカラーフィルタであり、第 1 方向 X に沿ってこの順に並んでいる。また、カラーフィルタ 3 2 1 乃至 3 2 3 は、それぞれ第 2 方向 Y に沿っ

て延在している。図示した例では、カラーフィルタ 3 2 2 は、第 2 方向 Y に並んだ画素電極 P E 1、画素電極 P E 4、及び、画素電極 P E 5 に対向している。

【0036】

図 4 は、図 2 に示したスイッチング素子 S W を含むアクティブエリアにおける液晶表示パネル L P N の断面構造を概略的に示す図である。

【0037】

アレイ基板 A R は、ガラス基板や樹脂基板などの光透過性を有する第 1 絶縁基板 1 0 を用いて形成されている。アレイ基板 A R は、第 1 絶縁基板 1 0 の対向基板 C T に対向する側に、スイッチング素子 S W、第 1 共通電極 C E 1、画素電極 P E 1、第 1 絶縁膜 1 1、第 2 絶縁膜 1 2、第 3 絶縁膜（第 1 層間絶縁膜） 1 3、第 4 絶縁膜（第 2 層間絶縁膜） 1 4、第 1 垂直配向膜 A L 1 などを備えている。

10

【0038】

図示した例では、スイッチング素子 S W は、トップゲート型の薄膜トランジスタである。スイッチング素子 S W は、第 1 絶縁基板 1 0 の上に配置された半導体層 S C を備えている。なお、第 1 絶縁基板 1 0 と半導体層 S C との間に絶縁膜であるアンダーコート層が介在していても良い。半導体層 S C は、第 1 絶縁膜 1 1 によって覆われている。また、第 1 絶縁膜 1 1 は、第 1 絶縁基板 1 0 の上にも配置されている。

【0039】

スイッチング素子 S W のゲート電極 W G は、第 1 絶縁膜 1 1 の上に形成され、半導体層 S C の直上に位置している。ゲート電極 W G は、ゲート配線 G 1 に電氣的に接続され（あるいは、ゲート配線 G 1 と一体的に形成され）、第 2 絶縁膜 1 2 によって覆われている。また、第 2 絶縁膜 1 2 は、第 1 絶縁膜 1 1 の上にも配置されている。

20

【0040】

スイッチング素子 S W のソース電極 W S 及びドレイン電極 W D は、第 2 絶縁膜 1 2 の上に形成されている。また、ソース配線 S 1 及びソース配線 S 2 も同様に第 2 絶縁膜 1 2 の上に形成されている。図示したソース電極 W S は、ソース配線 S 1 に電氣的に接続されている（あるいは、ソース配線 S 1 と一体的に形成されている）。ソース電極 W S 及びドレイン電極 W D は、それぞれ第 1 絶縁膜 1 1 及び第 2 絶縁膜 1 2 を貫通するコンタクトホールを通して半導体層 S C にコンタクトしている。このような構成のスイッチング素子 S W は、ソース配線 S 1 及びソース配線 S 2 とともに第 3 絶縁膜 1 3 によって覆われている。第 3 絶縁膜 1 3 は、第 2 絶縁膜 1 2 の上にも配置されている。このような第 3 絶縁膜 1 3 は、例えば、透明な樹脂材料によって形成されている。この第 3 絶縁膜 1 3 は、スイッチング素子 S W を覆う第 1 層間絶縁膜に相当する。

30

【0041】

第 1 共通電極 C E 1 は、第 3 絶縁膜 1 3 の上に延在している。図示したように、第 1 共通電極 C E 1 は、ソース配線 S 1 及びソース配線 S 2 の上方に延在し、さらに、隣接する画素に向かって延在している。このような第 1 共通電極 C E 1 は、インジウム・ティン・オキサイド（I T O）やインジウム・ジnk・オキサイド（I Z O）などの透明な導電材料によって形成されている。第 1 共通電極 C E 1 の上には、第 4 絶縁膜 1 4 が配置されている。第 3 絶縁膜 1 3 及び第 4 絶縁膜 1 4 には、ドレイン電極 W D まで貫通したコンタクトホール C H が形成されている。コンタクトホール C H は、第 1 共通電極 C E 1 の開口部 O P と重なる領域に形成されている。第 4 絶縁膜 1 4 は、第 3 絶縁膜 1 3 と比較して薄い膜厚に形成され、例えば、シリコン窒化物などの無機系材料によって形成されている。この第 4 絶縁膜 1 4 は、第 1 共通電極 C E 1 を覆う第 2 層間絶縁膜に相当する。

40

【0042】

画素電極 P E 1 は、第 4 絶縁膜 1 4 の上において島状に形成され、第 1 共通電極 C E 1 と対向している。画素電極 P E 1 は、開口部 O P 及びコンタクトホール C H を介してスイッチング素子 S W のドレイン電極 W D に電氣的に接続されている。このような画素電極 P E 1 は、例えば、I T O や I Z O などの透明な導電材料によって形成されている。画素電極 P E 1 は、第 1 垂直配向膜 A L 1 によって覆われている。

50

【0043】

一方、対向基板CTは、ガラス基板や樹脂基板などの光透過性を有する第2絶縁基板30を用いて形成されている。対向基板CTは、第2絶縁基板30のアレイ基板ARに対向する側に、遮光層31、カラーフィルタ321乃至323、オーバーコート層33、第2共通電極CE2、第2垂直配向膜AL2などを備えている。

【0044】

遮光層31は、アクティブエリアACTにおいて各画素PXを区画し、開口部APを形成する。遮光層31は、色画素の境界あるいはアレイ基板ARに設けられたソース配線と対向する位置などに設けられている。遮光層31は、遮光性の金属材料や黒色の樹脂材料によって形成されている。

10

【0045】

カラーフィルタ321乃至323は、それぞれ開口部APに形成され、その一部が遮光層31と重なっている。例えば、カラーフィルタ321は、赤色に着色された樹脂材料からなる赤色カラーフィルタである。カラーフィルタ322は、緑色に着色された樹脂材料からなる緑色カラーフィルタである。カラーフィルタ323は、青色に着色された樹脂材料からなる青色カラーフィルタである。赤色カラーフィルタ321は赤色を表示する赤色画素に配置され、緑色カラーフィルタ322は緑色を表示する緑色画素に配置され、青色カラーフィルタ323は青色を表示する青色画素に配置されている。異なる色のカラーフィルタ間の境界は、ソース配線Sの上方の遮光層31と重なる位置にある。

【0046】

オーバーコート層33は、カラーフィルタ321乃至323を覆っている。オーバーコート層33は、遮光層31やカラーフィルタ321乃至323の凹凸を平坦化する。オーバーコート層33は、透明な樹脂材料によって形成されている。このオーバーコート層33は、第2共通電極CE2の下地となる。

20

【0047】

第2共通電極CE2は、オーバーコート層33のアレイ基板ARと対向する側に形成されている。図示したように、第2共通電極CE2は、ソース配線S1及びソース配線S2の上方を通り、隣接する画素に向かって延在している。ソース配線S1及びソース配線S2の上方においては、第1共通電極CE1と第2共通電極CE2とが対向している。このような第2共通電極CE2は、例えば、ITOやIZOなどの透明な導電材料によって形成されている。第2共通電極CE2は、第2垂直配向膜AL2によって覆われている。

30

【0048】

第1垂直配向膜AL1及び第2垂直配向膜AL2は、垂直配向性を示す材料によって形成され、ラビングなどの配向処理を必要とせずに液晶分子を基板の法線方向に配向させる配向規制力を有している。

【0049】

上述したようなアレイ基板ARと対向基板CTとは、第1垂直配向膜AL1及び第2垂直配向膜AL2が向かい合うように配置されている。このとき、アレイ基板ARと対向基板CTとの間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板ARと対向基板CTとは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層LQは、第1垂直配向膜AL1と第2垂直配向膜AL2との間のセルギャップに封入されている。この液晶層LQは、例えば、誘電率異方性が負（ネガ型）の液晶材料によって構成されている。

40

【0050】

このような構成の液晶表示パネルLPNに対して、その背面側には、バックライトBLが配置されている。バックライトBLとしては、種々の形態が適用可能であるが、ここでは詳細な構造についての説明は省略する。

【0051】

第1絶縁基板10の外面10Bには、第1偏光板PL1を含む第1光学素子OD1が配置されている。第2絶縁基板30の外面30Bには、第2偏光板PL2を含む第2光学素

50

子OD2が配置されている。第1偏光板PL1及び第2偏光板PL2は、例えば、それぞれの偏光軸が直交するクロスニコルの位置関係となるように配置される。

【0052】

図5は、図3のA-B線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。図6は、図3のC-D線で切断した液晶表示パネルLPNの断面構造を概略的に示す断面図である。なお、ここでは、説明に必要な構成のみを図示し、スイッチング素子の図示を省略している。

【0053】

アレイ基板ARにおいて、ゲート配線G1は、第1絶縁膜11の上に形成され、第2絶縁膜12によって覆われている。ソース配線S1及びソース配線S2は、第2絶縁膜12の上に形成され、第3絶縁膜13によって覆われている。第3絶縁膜13は、第2絶縁膜12の上にも配置されている。

【0054】

第1共通電極CE1は、第3絶縁膜13の上に形成され、ソース配線S1及びソース配線S2の上方に位置するとともに、ソース配線S1及びソース配線S2のそれぞれの直上の位置よりも内側（つまりソース配線S1とソース配線S2との間）及び外側に向かってそれぞれ延在している。第1共通電極CE1は、第4絶縁膜14によって覆われている。スリットSLA、開口部OP、及び、スリットSLBは、第2方向Yにこの順に並んでいる。スリットSLA、開口部OP、及び、スリットSLBにおいては、第4絶縁膜14は、第3絶縁膜13の上に配置されている。

【0055】

画素電極PE1は、第4絶縁膜14の上において島状に形成されている。画素電極PE1は、第1共通電極CE1と対向し、そのスリットSLA、開口部OP、及び、スリットSLBの上方にも位置している。より具体的には、開口部OPとスリットSLAとの間、及び、開口部OPとスリットSLBとの間においては、第1共通電極CE1は、第4絶縁膜14を挟んで画素電極PE1と対向している。画素電極PE1の端部PE1Aは、スリットSLAの上方に位置している。画素電極PE1の端部PE1Bは、スリットSLBの上方に位置している。

【0056】

対向基板CTにおいて、第2共通電極CE2は、画素電極PE1と対向するとともに、画素電極PE1の端部PE1Aよりも外側でスリットSLAと対向し、また、画素電極PE1の端部PE1Bよりも外側でスリットSLBと対向している。また、第2共通電極CE2は、ソース配線S1及びソース配線S2の上方では、画素電極PEを介さず、第1共通電極CE1と対向している。カラーフィルタ321乃至323は、それぞれ第2方向Yに延在している。

【0057】

次に、本実施形態における表示装置の動作について説明する。

すなわち、上記の構成の液晶表示装置において、画素電極PEと第1共通電極CE1及び第2共通電極CE2との間に電位差が形成されていないOFF状態（つまり、液晶層LQに電圧が印加されていない状態）では、画素電極PEと第2共通電極CE2との間に電界が形成されていないため、液晶層LQに含まれる液晶分子LMは、図4に示したように、第1垂直配向膜AL1と第2垂直配向膜AL2との間において、基板主面（X-Y平面）に対して略垂直に初期配向する。このとき、バックライトBLからのバックライト光のうち、一部の直線偏光は、第1偏光板PL1を透過し、液晶表示パネルLPNに入射する。液晶表示パネルLPNに入射した直線偏光の偏光状態は、液晶層LQを通過した際にほとんど変化しないため、液晶表示パネルLPNを透過した直線偏光は、第1偏光板PL1に対してクロスニコルの位置関係にある第2偏光板PL2によって吸収される（黒表示）。

【0058】

画素電極PEと第1共通電極CE1及び第2共通電極CE2との間に電位差が形成され

たON状態（つまり、液晶層LQに電圧が印加された状態）では、画素電極PEと第2共通電極CE2との間に縦電界あるいはスリットSLを避ける傾斜電界が形成される。このため、液晶分子LMは、縦電界あるいは傾斜電界の作用によって初期配向方向とは異なる方位に配向する。すなわち、ネガ型の液晶分子LMは、その長軸が電界に対して交差するように配向するため、ON状態では、基板主面に対して斜め方向あるいは水平方向に配向する。このようなON状態では、液晶表示パネルLPNに入射した直線偏光の偏光状態は、液晶層LQを通過する際に液晶分子LMの配向状態（あるいは、液晶層のリタデーション）に応じて変化する。このため、ON状態においては、液晶層LQを通過した少なくとも一部の光は、第2偏光板PL2を透過する（白表示）。

【0059】

また、ON状態では、第4絶縁膜14を介して対向する画素電極PEと第1共通電極CE1とで蓄積容量CSを形成し、画像を表示するのに必要な容量を保持する。つまり、スイッチング素子SWを介して各画素に書き込まれた画素電位が上記の蓄積容量CSによって一定期間保持される。

【0060】

尚、本実施形態は直線偏光モードの場合を例示したが、液晶表示パネルLPNの表裏に配置した其々の直線偏光板と液晶表示パネルLPNとの間に1/4波長板を挿入した構成、所謂円偏光モードの構成にも適用可能である。

【0061】

このような本実施形態によれば、第2方向Yに隣接する画素電極PEの間においては、第2共通電極CE2は、第1共通電極CE1に形成されたスリットSLA及びSLBと対向する。このため、ON状態においては、第2方向Yに隣接する画素電極PEの間の領域に、基板の法線方向に沿った等電位面が形成されにくくなる。換言すると、ON状態においては、第2方向Yに隣接する画素電極PEの間の領域では、画素電極PEの端部と第2共通電極CE2との間に傾斜電界が形成される。これにより、画素電極PEの中央部のみならず、画素電極PEの端部の領域についても、液晶分子LMの配向状態が変化し、表示に寄与する。

【0062】

一方、第2方向Yに隣接する画素電極PEの間において第2共通電極CE2が第1共通電極CE1と対向する比較例、すなわち、第2方向において当該画素とこれに隣接する画素との間において第2共通電極CE2にスリットが無い比較例では、第2方向Yに隣接する画素電極PEの間の領域に、基板の法線方向に沿った等電位面が形成される。換言すると、当該画素PXとその隣接する画素との間では、第1共通電極CE1の影響で画素電極PEの端部と第2共通電極CE2との間に生じる傾斜電界は形成され難い。このため、ON状態においても、画素PXの周辺では、液晶分子LMの配向状態は、初期配向状態（垂直配向した状態）に保持される。液晶分子LMが初期配向状態に保持された領域は、画素電極PEの端部周辺の領域にも及ぶ。このため、画素電極PEの端部付近では、ON状態であるにもかかわらず、表示に寄与しない。発明者が確認したところでは、ON状態における1画素あたりの透過率は、比較例で得られる透過率を1としたとき、本実施形態で得られる透過率が1.25倍となった。

【0063】

このように、本実施形態によれば、比較例と比べて、表示に寄与する一画素あたりの開口率、透過率、あるいは、輝度を向上することが可能となる。したがって、表示に必要な容量を確保しつつ、表示品位を改善することが可能となる。

【0064】

また、第2方向Yに隣接する各画素電極は、同一色のカラーフィルタと対向している。つまり、第2方向Yに隣接する各画素電極は、同一色を表示する画素に対応してそれぞれ配置されている。このため、たとえ隣接する画素電極の間の領域で液晶分子LMの配向状態がON状態に変化したとしても、混色として視認されにくく、表示品位の劣化を招くことはない。

10

20

30

40

50

【0065】

また、スリットSLA及びスリットSLBは、それぞれ第1方向Xに沿ってソース配線S1とソース配線S2との間隔以下の長さLを有している。そして、X-Y平面において、スリットSLA及びスリットSLBは、いずれもソース配線S1及びソース配線S2と重なる位置には延出していない。すなわち、第1共通電極CE1がソース配線S1及びソース配線S2の上方に重なる範囲で、長さLが長いほど、画素電極PEの端部において傾斜電界が形成される領域が拡大するため、表示に寄与する領域を拡大することが可能である。

【0066】

また、スリットSLA及びスリットSLBは、それぞれ第2方向Yに沿って隣接する画素電極PEの間隔以上の幅Wを有している。そして、X-Y平面において、スリットSLA及びスリットSLBと画素電極PEとの間には、いずれも第1共通電極CE1が存在しない。すなわち、第2方向Yに隣接する画素電極PEの間に第1共通電極CE1の設置面積が小さいほど、ON状態において基板の法線方向に沿った等電位面が形成されにくくなり、換言すると、画素電極PEの端部付近に液晶分子LMをスイッチングする傾斜電界が形成されやすくなる。このため、表示に寄与する一画素当たりの領域を拡大することが可能となる。

【0067】

また、本実施形態によれば、各画素において画像を表示するのに必要な容量は、第4絶縁膜14を介して対向する画素電極PEと第1共通電極CE1とで形成することが可能である。このため、容量を形成するに際して、画素を横切る遮光性の配線材料からなる配線や電極が不要となる。また、第4絶縁膜14は、樹脂材料等で形成された第3絶縁膜と比較して薄い膜厚を有するように形成されている。このため、第4絶縁膜14を介した画素電極PE及び第1共通電極CE1により、比較的大きな容量を容易に形成することが可能となる。

【0068】

また、画素電極PE及び第1共通電極CE1は、いずれも透明な導電材料によって形成されているため、画素電極PE及び第1共通電極CE1と重なる領域が表示に寄与する。このため、画素を横切る補助容量線を配置した比較例と比べて、表示に寄与する一画素あたりの開口率、透過率、あるいは、輝度を向上することが可能となる。したがって、表示に必要な容量を確保しつつ、表示品位を改善することが可能となる。

【0069】

また、第1共通電極CE1は、ソース配線S1及びソース配線S2の上方に延在している。このため、ON状態において、第1共通電極CE1により、ソース配線S1及びソース配線S2から液晶層LQに向かう不所望な漏れ電界をシールドすることが可能となる。つまり、ソース配線S1及びソース配線S2と画素電極PEあるいは第2共通電極CE2との間の不所望な電界の形成あるいは不所望な容量の形成を抑制することができ、ソース配線S1及びソース配線S2と重なる領域の液晶分子LMの配向乱れを抑制することが可能となる。

【0070】

しかも、ソース配線S1及びソース配線S2と重なる領域の液晶分子LMは、ON状態においても第1共通電極CE1と第2共通電極CE2とが同電位で維持されており、初期配向状態を維持している。したがって、第1方向Xに隣接する画素電極PEを加工限界まで接近させることが可能となり、一画素あたり表示に寄与する面積をさらに拡大することが可能である。

【0071】

また、スリットSLA、SLBが形成されている画素の上下の周辺領域とは異なり、画素の左右の周辺領域、すなわち、ソース配線付近の領域では第1共通電極CE1にスリットが無く、第1共通電極CE1の影響により画素電極の端部と第2共通電極CE2との間に傾斜電界が形成され難い。これにより、ソース配線を挟んで隣接する一方の画素がON

10

20

30

40

50

状態であり、他方の画素がOFF状態であったとしても、ソース配線と重なる領域の液晶分子LMが初期配向状態に維持されているため、液晶表示パネルLPNを斜め方向から観察した場合であっても、混色による表示品位の劣化を抑制することが可能となる。また、混色防止のために遮光層31の幅を拡大する必要性がなくなるため、一画素あたりの表示に寄与する面積をさらに拡大することが可能となる。

【0072】

以上説明したように、本実施形態によれば、表示品位を改善することが可能な液晶表示装置を提供することができる。

【0073】

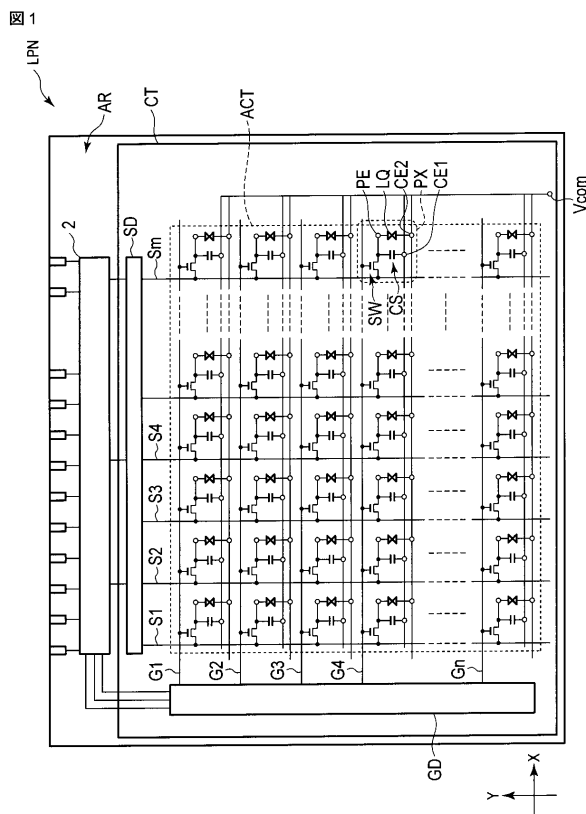
なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

【符号の説明】

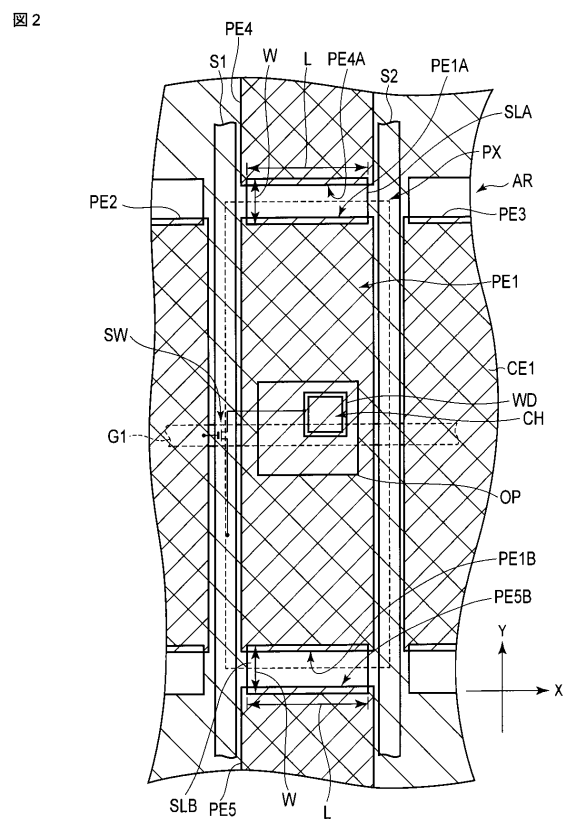
【0074】

LPN…液晶表示パネル AR…アレイ基板 CT…対向基板 LQ…液晶層
PE…画素電極 CE1…第1共通電極 CE2…第2共通電極
SLA…スリット SLB…スリット
AL1…第1垂直配向膜 AL2…第2垂直配向膜

【図1】

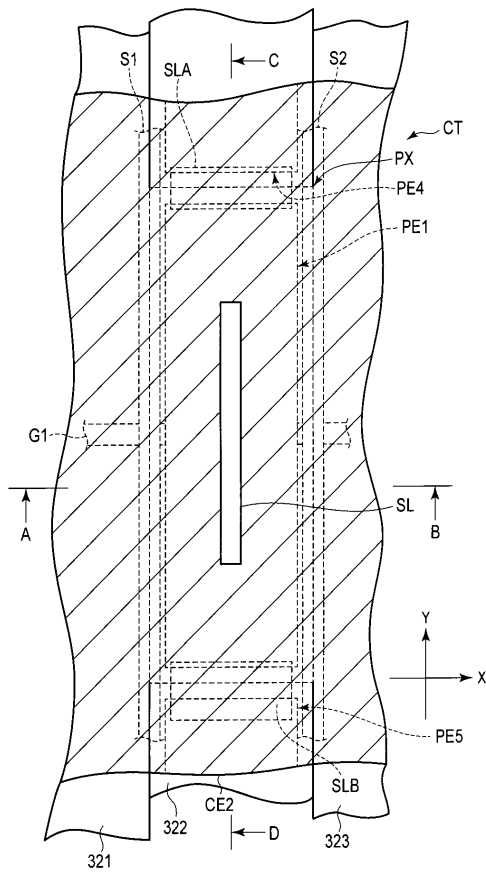


【図2】



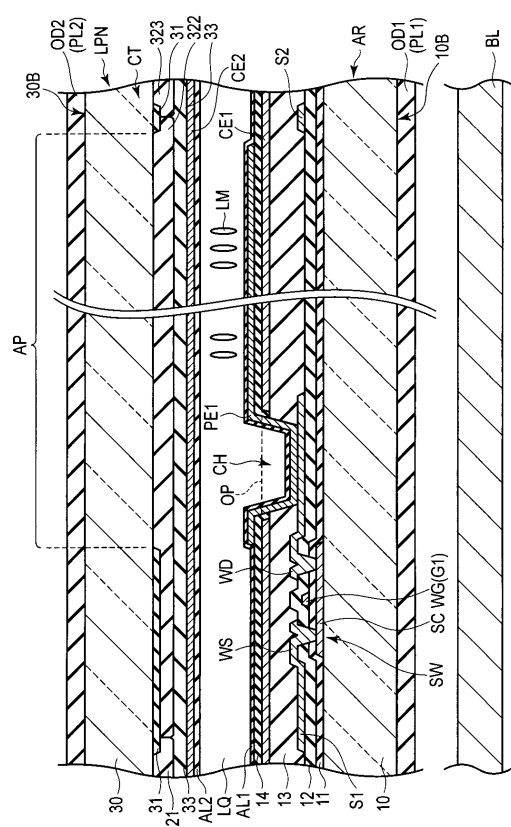
【図 3】

図 3



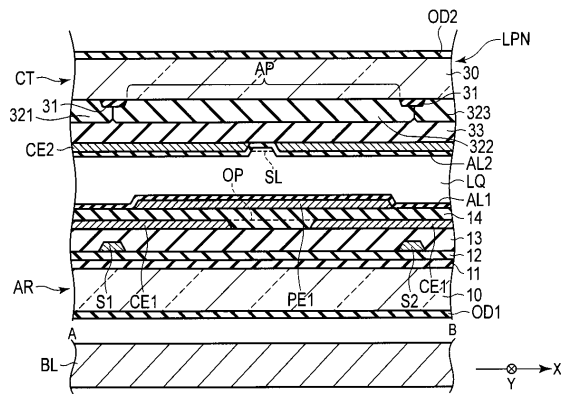
【図 4】

図 4



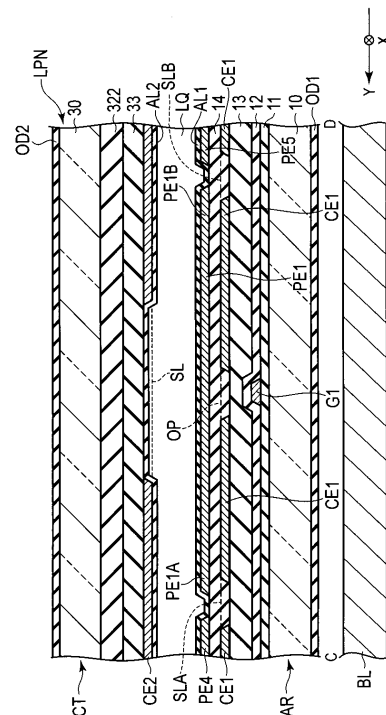
【図 5】

図 5



【図 6】

図 6



フロントページの続き

Fターム(参考) 2H092 GA13 GA17 GA60 NA01 PA02 PA08
2H192 AA24 BA25 BB02 BB31 BC31 CB02 DA32 EA22 EA43 FA73
FB22 JA13
2H290 AA33 BB43 CA46
5F110 BB02 CC01 DD01 DD02 DD12 NN73

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015125224A	公开(公告)日	2015-07-06
申请号	JP2013268749	申请日	2013-12-26
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	廣澤仁		
发明人	廣澤 仁		
IPC分类号	G02F1/1343 G02F1/1368 H01L29/786 G02F1/1337		
CPC分类号	G02F1/134309 G02F1/133707 G02F2001/133742 G02F2001/134318 G02F2001/134381 G02F2201/40		
FI分类号	G02F1/1343 G02F1/1368 H01L29/78.612.C G02F1/1337		
F-TERM分类号	2H092/GA13 2H092/GA17 2H092/GA60 2H092/NA01 2H092/PA02 2H092/PA08 2H192/AA24 2H192/BA25 2H192/BB02 2H192/BB31 2H192/BC31 2H192/CB02 2H192/DA32 2H192/EA22 2H192/EA43 2H192/FA73 2H192/FB22 2H192/JA13 2H290/AA33 2H290/BB43 2H290/CA46 5F110/BB02 5F110/CC01 5F110/DD01 5F110/DD02 5F110/DD12 5F110/NN73		
代理人(译)	河野 哲		
外部链接	Espacenet		

摘要(译) 要解决的问题：提供一种能够提高显示质量的液晶显示装置。 解决方案：液晶显示装置包括：第一公共电极，其中形成沿第一方向延伸的第一狭缝;第一像素电极，面对第一公共电极;以及第二像素电极，面对第一公共电极，在第二方向上与第一像素电极相邻的第二像素电极，其间插入有狭缝，第一取向膜覆盖第一像素电极和第二像素电极，面对第一狭缝，第一像素电极和第二像素电极并具有与第一公共电极相同的电位的第二公共电极，以及覆盖第二公共电极的第二取向膜一种液晶显示装置，包括：第二基板;和保持在第一配向膜和第二配向膜之间的液晶层。 .The	(21) 出願番号	特願2013-268749 (P2013-268749)	(71) 出願人	502356528
	(22) 出願日	平成25年12月26日 (2013.12.26)	(74) 代理人	株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号 110001737 特許業務法人スズエ国際特許事務所 (74) 代理人 100091351 弁理士 河野 哲 (74) 代理人 100084618 弁理士 村松 貞男 (74) 代理人 100087653 弁理士 鈴江 正二 (72) 発明者 廣澤 仁 東京都港区西新橋三丁目7番1号 株式会社ジャパンディスプレイ内
最終頁に続く				