

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2015-72310

(P2015-72310A)

(43) 公開日 平成27年4月16日 (2015.4.16)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 550	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G09G 3/20 (2006.01)	G09G 3/20 612G	5C080
	G09G 3/20 622D	
	G09G 3/20 622C	
審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2013-206798 (P2013-206798)	(71) 出願人	502356528
(22) 出願日	平成25年10月1日 (2013.10.1)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110000154
			特許業務法人はるか国際特許事務所
		(72) 発明者	落合 孝洋
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	青木 義典
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		(72) 発明者	佐藤 秀夫
			東京都港区西新橋三丁目7番1号 株式会
			社ジャパンディスプレイ内
		最終頁に続く	

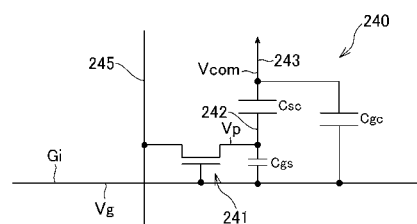
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】電源投入時の表示開始前の光漏れを抑制した液晶表示装置を提供する。

【解決手段】液晶表示装置は、表示領域にマトリクス状に配置された複数の画素に対して、画素毎の画素トランジスタを介して階調値に対応する電位が印加される画素電極（242）と、画素電極と協働して液晶組成物を配向させる電界を形成する共通電極（243）と、マトリクスを形成する複数の列の各列を構成する複数の画素の画素トランジスタのゲートに共通に接続される複数の走査信号線Giと、電源投入後、表示領域に画像を表示する前に、共通電極をハインピーダンス状態とした後、走査信号線を画素トランジスタのソース・ドレイン間を遮断する非アクティブ電位とする駆動回路と、を備える。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

表示領域にマトリクス状に配置された複数の画素に対して、前記画素毎の画素トランジスタを介して階調値に対応する電位が印加される画素電極と、

前記画素電極と協働して液晶組成物を配向させる電界を形成する共通電極と、

前記マトリクスを形成する複数の列の各列を構成する前記複数の画素の前記画素トランジスタのゲートに共通に接続される複数の走査信号線と、

電源投入後、前記表示領域に画像を表示する前に、前記共通電極をハイインピーダンス状態とした後、前記走査信号線を前記画素トランジスタのソース・ドレイン間を遮断する非アクティブ電位とする駆動回路と、を備える液晶表示装置。

10

【請求項 2】

請求項 1 に記載の液晶表示装置であって、

前記駆動回路は、前記走査信号線の前記非アクティブ電位への変化における、前記変化の開始から終了までの時間を 1 m s 以上となるように制御する、ことを特徴とする液晶表示装置。

【請求項 3】

請求項 1 又は 2 に記載の液晶表示装置であって、

前記駆動回路は、前記走査信号線を段階的に非アクティブ電位とする、ことを特徴とする液晶表示装置。

【請求項 4】

20

表示領域にマトリクス状に配置された複数の画素に対して、前記画素毎の画素トランジスタを介して階調値に対応する電位が印加される画素電極と、

前記画素電極と協働して液晶組成物を配向させる電界を形成する共通電極と、

前記マトリクスを形成する複数の列の各列を構成する前記複数の画素の前記画素トランジスタのゲートに共通に接続される複数の走査信号線と、

電源投入後、前記表示領域に画像を表示する前に、前記走査信号線を前記画素トランジスタのソース・ドレイン間を遮断する非アクティブ電位とする駆動回路と、を備え、

前記駆動回路は、前記走査信号線の前記非アクティブ電位への変化の開始から終了までの時間を 1 m s 以上となるように制御する、ことを特徴とする液晶表示装置。

【発明の詳細な説明】

30

【技術分野】**【0001】**

本発明は、液晶表示装置に関する。

【背景技術】**【0002】**

情報通信端末やテレビ受像機に利用される薄型の表示装置として、液晶表示装置が広く用いられている。液晶表示装置は、2つの基板の間に封じ込められた液晶組成物の配向を、画素電極と対向電極との間の電位差により形成される電界を変化させることにより変え、2つの基板と液晶組成物を通過するバックライトからの光の透過度合いを制御することにより画像を表示させる装置である。

40

【0003】

このような液晶表示装置では、各画素の画素電極に電圧を印加するための画素トランジスタが配置されている。一般に、画面の 1 ライン分の画素トランジスタのゲートは一つの信号線（以下「走査信号線」という。）に接続され、この走査信号線は、駆動回路により、各ライン毎に順にこの画素トランジスタを導通させるアクティブ電圧を出力するように制御されている。

【0004】

特許文献 1 は、液晶表示装置の電源投入時に画素電極に過渡的な直流成分が印加されないように、対向電極の電圧を先に立ち上げる制御を行うことについて開示している。特許文献 2 は、表示装置の昇圧回路への印加する電圧を、起動時には低くすることについて開

50

示している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-201243号公報

【特許文献2】特開平7-261716号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

液晶表示装置では、表示開始時にバックライトを安定して点灯させるために、電源投入後、表示開始前から点灯させる場合がある。このような場合に表示開始前に表示画面からバックライトの光が漏れてしまうことがある。

10

【0007】

本発明は、上述の事情に鑑みてされたものであり、電源投入時の表示開始前の光漏れを抑制した液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

本発明の液晶表示装置は、表示領域にマトリクス状に配置された複数の画素に対して、前記画素毎の画素トランジスタを介して階調値に対応する電位が印加される画素電極と、前記画素電極と協働して液晶組成物を配向させる電界を形成する共通電極と、前記マトリクスを形成する複数の列の各列を構成する前記複数の画素の前記画素トランジスタのゲートに共通に接続される複数の走査信号線と、電源投入後、前記表示領域に画像を表示する前に、前記共通電極をハイインピーダンス状態とした後、前記走査信号線を前記画素トランジスタのソース・ドレイン間を遮断する非アクティブ電位とする駆動回路と、を備える液晶表示装置である。

20

【0009】

また、本発明の液晶表示装置において、前記駆動回路は、前記走査信号線の前記非アクティブ電位への変化における、前記変化の開始から終了までの時間を1ms以上となるように制御してもよい。

【0010】

30

また、本発明の液晶表示装置において、前記駆動回路は、前記走査信号線を段階的に非アクティブ電位としてもよい。

【0011】

本発明の液晶表示装置は、表示領域にマトリクス状に配置された複数の画素に対して、前記画素毎の画素トランジスタを介して階調値に対応する電位が印加される画素電極と、前記画素電極と協働して液晶組成物を配向させる電界を形成する共通電極と、前記マトリクスを形成する複数の列の各列を構成する前記複数の画素の前記画素トランジスタのゲートに共通に接続される複数の走査信号線と、電源投入後、前記表示領域に画像を表示する前に、前記走査信号線を前記画素トランジスタのソース・ドレイン間を遮断する非アクティブ電位とする駆動回路と、を備え、前記駆動回路は、前記走査信号線の前記非アクティブ電位への変化の開始から終了までの時間を1ms以上となるように制御する、ことを特徴とする液晶表示装置である。

40

【図面の簡単な説明】

【0012】

【図1】本発明の一実施形態に係る液晶表示装置を概略的に示す図である。

【図2】図1の液晶パネルの構成を示す図である。

【図3】各画素における等価回路を示す図である。

【図4】駆動回路のうち、走査信号線に出力する一つの回路ブロックについて示す図である。

【図5】液晶表示装置の電源ONから表示開始までの回路の主要信号の変化を示すタイミ

50

ングチャートである。

【図 6】従来例の電源 ON 時におけるゲート電位、画素電位及び共通電位の変化について概略的に示すグラフである。

【図 7】本実施形態の液晶表示装置に係る電源 ON 時におけるゲート電位、画素電位及び共通電位の変化について概略的に示すグラフである。

【図 8】本実施形態の変形例の液晶表示装置に係る電源 ON 時におけるゲート電位、画素電位及び共通電位の変化について概略的に示すグラフである。

【図 9】本実施形態の変形例の液晶表示装置に係る電源 ON 時におけるゲート電位、画素電位及び共通電位の変化について概略的に示すグラフである。

【発明を実施するための形態】

10

【0013】

以下、本発明の実施形態について、図面を参照しつつ説明する。なお、図面において、同一又は同等の要素には同一の符号を付し、重複する説明を省略する。

【0014】

図 1 には、本発明の一実施形態に係る液晶表示装置 100 が概略的に示されている。この図に示されるように、液晶表示装置 100 は、上フレーム 110 及び下フレーム 120 に挟まれるように固定された液晶パネル 200 及び不図示のバックライト装置等から構成されている。

【0015】

図 2 には、図 1 の液晶パネル 200 の構成が示されている。液晶パネル 200 は、TFT (Thin Film Transistor: 薄膜トランジスタ) 基板 220 とカラーフィルタ基板 230 の 2 枚の基板を有し、これらの基板の間には液晶組成物が封止されている。TFT 基板 220 は、走査信号線 $G_1 \sim G_n$ に対して、順方向及び逆方向のうち選択された一方向で順に各画素 240 に配置された TFT のソース・ドレイン間を導通させるための High 電位 (アクティブ電位) を印加する駆動回路 210 と、表示領域 202 において走査信号線 $G_1 \sim G_n$ に垂直に交差するように延びる複数の映像信号線 245 (図 3 参照) に対して画素 240 の階調値に対応する電圧を印加すると共に、駆動回路 210 を制御する駆動 IC (Integrated Circuit) 260 とを有している。なお、駆動回路 210 は、図面に向かって表示領域 202 の右側にある右側駆動回路 211 と、表示領域 202 の左側にある左側駆動回路 212 とを有している。

20

30

【0016】

図 3 は、画素 240 の等価回路を表す図である。各画素 240 は、階調値に応じた画素電位 V_p が印加される画素電極 242 と、画素電極 242 に画素電位 V_p を印加するための画素トランジスタ 241 と、画素トランジスタ 241 のドレインに接続された映像信号線 245 と、表示領域 202 の全面に形成され、画素電極 242 と協働して不図示の液晶組成物の配向を制御するための電界を形成する共通電極 243 と、を有している。ここで共通電極 243 の電位を共通電位 V_{com} 、走査信号線 G_i (i は $1 \sim n$) の電位をゲート電位 V_g とする。また、走査信号線 G_i と画素電極 242 とで形成される容量を容量 C_{gs} とし、走査信号線 G_i と共通電極 243 とで形成される容量を容量 C_{gc} とし、画素電極 242 と共通電極 243 とで形成される容量を容量 C_{sc} とする。ここで、各画素 240 の輝度は、階調値に応じた電位である画素電位 V_p を変化させることにより、画素電極 242 及び共通電極 243 間の電界を変化させ、不図示の液晶組成物の配向を変化させ、これを透過する光の偏光を変化させることにより制御される。数 1 は、走査信号線 G_i の電位が ΔV_g 変化した場合の画素電極 242 の電位変化 ΔV_p について示す式である。

40

【0017】

【数 1】

$$\Delta V_p = \frac{C_{gs}}{(C_{sc} + C_{gs})} \times \Delta V_g$$

【0018】

なお、数 1 は説明のために簡単化したものであり、より詳細には、画素トランジスタ 241 のオン状態及びオフ状態における容量 C_{gs} の変化等についても考慮する必要がある。

10

【0019】

この数 1 を用いて、表示開始前にバックライトの光が漏れてしまう現象について説明する。電源 ON から表示開始までの期間は、表示が開始されてから安定動作を行うために、表示期間と同等の電位設定にしておくことが望ましい。つまり、走査信号線 G_i のゲート電位 V_g を Low 電位（非アクティブ電位）にしておくことが望ましい。駆動 IC 260 が動作する前は、表示領域 202 の走査信号線 G_i 、映像信号線 245 及び共通電極 243 の各配線は、例えば、全配線 GND（接地）電位等であり、望ましい状態にないため、表示前に電位を変化させる必要がある。

【0020】

電源 ON 後の駆動 IC 260 の動作前には、ゲート電位 V_g 、画素電位 V_p 及び共通電位 V_{com} はともに GND 電位になっているため、表示開始前に、ゲート電位 V_g を Low 電位に遷移させると、数 1 に参照されるように、容量 C_{gs} により画素電位 V_p も変化させることとなり、画素電位 V_p の変化は画素電極 242 / 共通電極 243 間に電位差を生じさせることになる。画素電位 V_p の変化は一時的なものであり、再び安定な GND 電位に変化するが、画素電極 242 / 共通電極 243 間に生じた電位差 ΔV は一時的に液晶組成物の配向を変化させるため、バックライトが点灯している状態において、光漏れの原因となる。

20

【0021】

図 4 は、駆動回路 210 のうち、走査信号線 G_i に出力する一つの回路ブロックについて示す図である。ここで、 V_i はクロック信号を表し、 V_{GPL} の電位は Low 電位に固定され、 V_{GPH} は High 電位に固定されている信号である。これらの信号はいずれも外部から入力される。

30

【0022】

まず、駆動回路 210 の表示開始後の動作について簡単に説明する。走査信号線 G_i の 4 水平駆動期間前に出力される走査信号線 $G_i - 4$ が High 電位になると、この走査信号線 $G_i - 4$ はトランジスタ T7 のゲートに入力されているため、トランジスタ T7 が導通し、ノード N2 は V_{GPL} に接続され Low 電位となる。また、走査信号線 $G_i - 4$ は、ダイオード接続されたトランジスタ T1 にも入力されているため、これに接続されたノード N1 は High 電位となり、容量 C1 に電位差を生じさせると共に、トランジスタ T5 を導通させる。ノード N1 はトランジスタ T4 のゲートにも接続されており、ノード N2 はトランジスタ T4 によっても V_{GPL} と接続され、Low 電位とされる。

40

【0023】

次にクロック信号 V_i が High 電位になると、トランジスタ T5 が導通していることから容量 C1 の一方の電極の電位が High 電位となり、いわゆるブートストラップにより他方の電極側であるトランジスタ T5 のゲート電位はより押し上げられる。これにより、走査信号線 G_i の High は確定される。クロック信号 V_i が Low 電位となると、走査信号線 G_i も Low 電位となるが、これを確定させるため、同じ時刻において High 電位になった走査信号線 $G_i + 4$ をトランジスタ T9 のゲートに入力して、トランジスタ T9 を導通させ、ノード N1 を V_{GPL} に接続し、ノード N1 を Low 電位としている。一方、同じ時刻で High 電位になるクロック信号 $V_i + 4$ をダイオード接続されたトラ

50

ンジスタ T 3 に入力し、ノード N 2 を H i g h 電位としている。

【 0 0 2 4 】

V G L _ A C 1、V G L _ A C 1 B、V G L _ A C 2 及び V G L _ A C 2 B の信号は、それぞれ 2 垂直同期期間で反転する交流信号である。ある周期において、V G L _ A C 1 及び V G L _ A C B 2 が H i g h 電位であり、V G L _ A C B 1 及び V G L _ A C 2 が L o w 電位であるとする、H i g h 電位になっているノード N 2 の信号は導通しているトランジスタ T A 1 を通り、トランジスタ T 2 及びトランジスタ T 6 のゲートに入力され、これらのトランジスタを導通させる。このトランジスタ T 2 及びトランジスタ T 6 は、L o w 電位である V G L _ A C 2 と、ノード N 1 及び走査信号線 G i をそれぞれ接続する。このトランジスタ T 2 及びトランジスタ T 6 は、L o w 電位である V G L _ A C 2 と、ノード N 1 及び走査信号線 G i をそれぞれ接続する。

10

【 0 0 2 5 】

また、他の周期で、V G L _ A C 1 及び V G L _ A C B 2 が L o w 電位であり、V G L _ A C 1 及び V G L _ A C B 2 が H i g h 電位である場合には、トランジスタ T 2 A 及びトランジスタ T 6 A が、トランジスタ T 2 及びトランジスタ T 6 と同様に動作し、ノード N 1 及び走査信号線 G i を L o w 電位に固定する。

【 0 0 2 6 】

図 5 は、液晶表示装置 1 0 0 の電源 O N から表示開始までの回路の主要信号の変化を示すタイミングチャートである。この図に示されるように、電源 O N 時には、すべての信号は G N D (接地) 電位に固定されており、その後、電源 O N シーケンス及び表示 O N シーケンスが動作することにより表示開始時における各信号の電位が設定される。本実施形態においては、まず、電源 O N シーケンスが開始されると、駆動 I C 2 6 0 は、共通電極 2 4 3 の共通電位 V c o m をハイインピーダンス (フローティング) にすると共に、各クロック信号 V i、V i + 2、V i + 4 及び V i + 6、を L o w 電位に固定する。引き続き、V G L _ A C 1 及び V G L _ A C B 1 を共に H i g h 電位、V G L _ A C 2 及び V G L _ A C B 2、並びに V G L を L o w 電位に固定している。これは、図 4 の回路図において、トランジスタ T 6 及び T 6 A を導通させ、走査信号線 G i を L o w 電位に固定するためである。また、共通電位 V c o m は、映像信号線 2 4 5 に黒データの映像信号が印加されるまでは、ハイインピーダンスを維持し、黒データの映像信号が印加された際に、所定の電位に設定される。その後、通常の画像表示が開始される。

20

30

【 0 0 2 7 】

本実施形態においては、共通電極 2 4 3 の共通電位 V c o m がハイインピーダンスとされた後に、走査信号線 G i を L o w 電位に固定している。これは、共通電極 2 4 3 の共通電位 V c o m がハイインピーダンスとなることにより、共通電極 2 4 3 と走査信号線 G i との間の電位差が維持されるため、走査信号線 G i のゲート電位 V g が L o w 電位となった場合であっても、共通電位 V c o m はゲート電位 V g の変化に追従して変化することになり、これらの電極により形成される電界が変化しないことから、液晶組成物の配向に変化を与えないようにすることができる。従って、バックライトが点灯している場合であっても電源 O N から表示開始までの期間の光漏れを防止することができる。

【 0 0 2 8 】

40

図 6 は、従来例の電源 O N 時におけるゲート電位 V g、画素電位 V p 及び共通電位 V c o m の変化について概略的に示すグラフである。この従来例では画素電極 2 4 2 及び共通電極 2 4 3 がともに G N D (接地) 電位等に接続されているものとしている。式 (1) に示されるように、走査信号線 G i の電位変化 $\Delta V g$ は、画素電位 V p の電位変化 $\Delta V p$ を生じさせる。ここで、画素電極 2 4 2 及び共通電極 2 4 3 がともに G N D 電位であるため、この $\Delta V p$ は、そのまま共通電位 V c o m との電位差 ΔV となる。次第に電位差 ΔV はリークにより小さくなるが、ピーク時の電位差 ΔV により生じる電界は液晶組成物の配向を変化させ、光漏れの原因となる。

【 0 0 2 9 】

図 7 は、本実施形態の液晶表示装置 1 0 0 に係る電源 O N 時におけるゲート電位 V g、

50

画素電位 V_p 及び共通電位 V_{com} の変化について概略的に示すグラフである。このグラフに示されるように、共通電位 V_{com} がハイインピーダンスとなっていることから、走査信号線 G_i の変化 ΔV_g に伴う画素電位 V_p の変化 ΔV_p があった場合であっても、共通電位 V_{com} は画素電位 V_p に追従するため、画素電位 V_p と共通電位 V_{com} との電位差 ΔV はそれほど大きくなりえないまま、リークにより次第に同じ電位に戻るようになる。このため、液晶組成物の配向に影響を与える電界がほとんど発生しないため、電源 ON の際に生じる光漏れを抑制することができる。

【0030】

図 8 は、本実施形態の変形例の液晶表示装置に係る電源 ON 時におけるゲート電位 V_g 、画素電位 V_p 及び共通電位 V_{com} の変化について概略的に示すグラフである。この変形例では、共通電位 V_{com} をハイインピーダンスとすると共に、更にゲート電位 V_g の Low 電位への変化の開始から終了までの時間を所定時間 Δt 以上とすることにより、画素電位 V_p がゲート電位 V_g に追従することによる変化とリークによる回復とのバランスにより画素電位 V_p と共通電位 V_{com} との電位差 ΔV が大きくなりないようにしている。このようにした場合であっても、上述の実施形態と同様の効果を得ることができると共に、共通電位 V_{com} の画素電位 V_p に対する追従が不十分であったとしても電位差 ΔV を小さく保つことができるため、光漏れを抑制することができる。なお、図 8 のグラフでは、ゲート電位 V_g の変化は、段階的であることとしているが、所定時間 Δt 以上かけて連続的に変化させることとしてもよい。ここで Δt は 1 ms とすることができる。

【0031】

なお、この変形例における走査信号線 G_i の電位 V_g の段階的な変化は、共通電位 V_{com} のハイインピーダンスを伴う場合としたが、図 9 に示されるように、共通電極 243 が GND 電位等他の電位に固定されている場合であっても、ゲート電位 V_g を段階的に変化させることにより、画素電位 V_p と共通電位 V_{com} との電位差を小さく抑えつつ、ゲート電位 V_g を Low 電位に変化させることができる。

【0032】

なお、上述の実施形態においては、n 型のチャネルを有するトランジスタを想定して記載したが、p 型のチャネルを有するトランジスタとしてもよい。この場合には、トランジスタを導通させるアクティブ電位は Low 電位となる。

【符号の説明】

【0033】

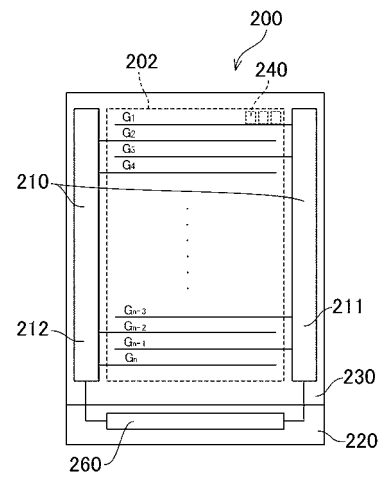
100 液晶表示装置、110 上フレーム、120 下フレーム、200 液晶パネル、202 表示領域、210 駆動回路、211 右側駆動回路、212 左側駆動回路、220 TFT 基板、230 カラーフィルタ基板、240 画素、241 画素トランジスタ、242 画素電極、243 共通電極、245 映像信号線、260 駆動 IC。

10

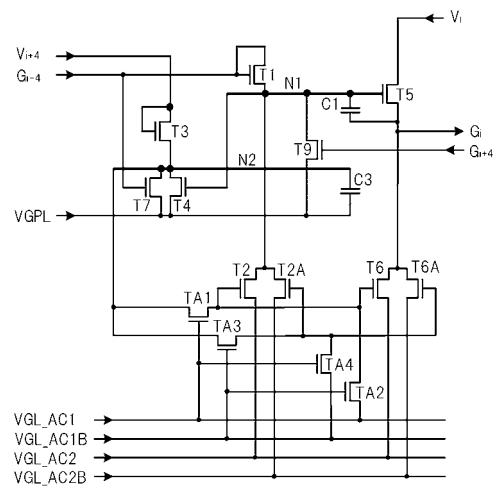
20

30

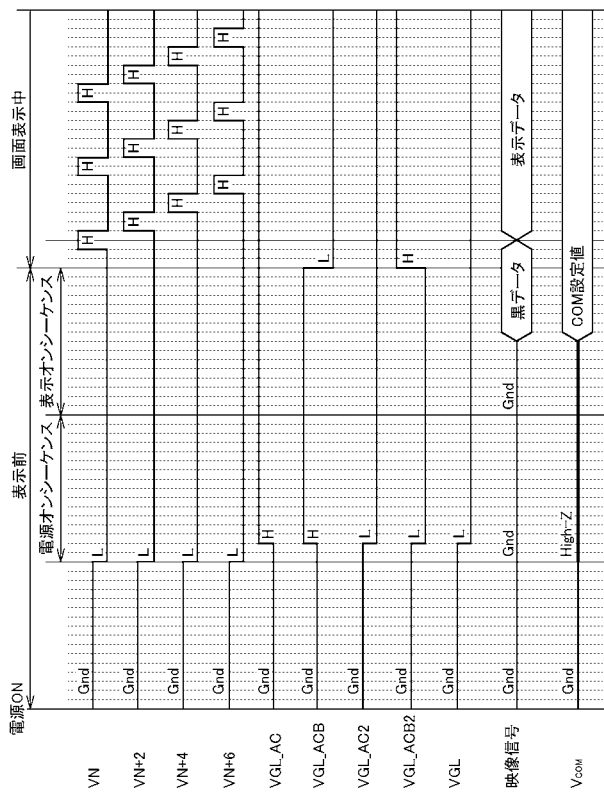
【 図 2 】



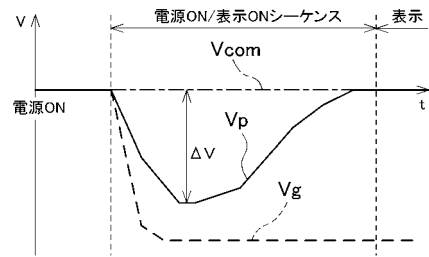
【 図 4 】



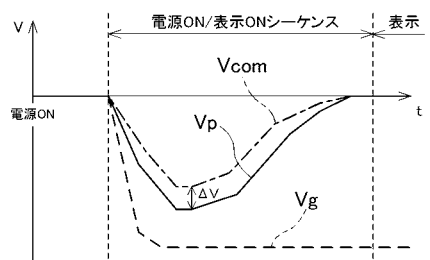
【図 5】



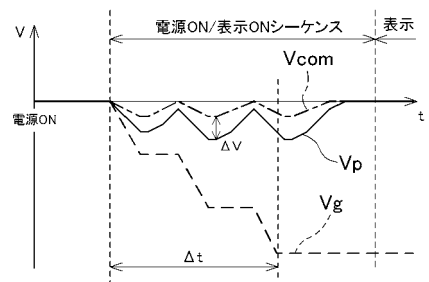
【図 6】



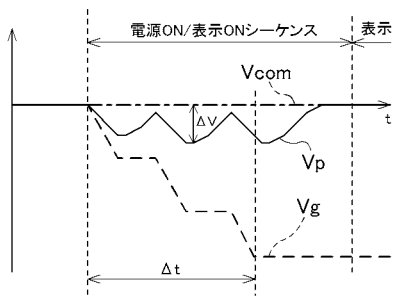
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 4 D	
	G 0 9 G 3/20 6 2 4 E	

(72)発明者 小谷 佳宏

東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

(72)発明者 大木 陽一

東京都港区西新橋三丁目 7 番 1 号 株式会社ジャパンディスプレイ内

F ターム(参考) 2H193 ZA04 ZA05 ZA08 ZB07 ZE33

5C006 AC22 AC25 AF67 BB16 BC03 BC06 FA36

5C080 AA10 BB05 DD06 DD10 FF07 FF11 JJ02 JJ03 JJ04 JJ05

专利名称(译)	液晶表示装置		
公开(公告)号	JP2015072310A	公开(公告)日	2015-04-16
申请号	JP2013206798	申请日	2013-10-01
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	落合孝洋 青木義典 佐藤秀夫 小谷佳宏 大木陽一		
发明人	落合 孝洋 青木 義典 佐藤 秀夫 小谷 佳宏 大木 陽一		
IPC分类号	G02F1/133 G09G3/36 G09G3/20		
CPC分类号	G09G3/3648 G09G3/3677 G09G2300/0852 G09G2310/0283 G09G2310/0286 G09G2310/08 G09G2330/026 G11C19/28		
FI分类号	G02F1/133.550 G09G3/36 G09G3/20.612.G G09G3/20.622.D G09G3/20.622.C G09G3/20.624.D G09G3/20.624.E		
F-TERM分类号	2H193/ZA04 2H193/ZA05 2H193/ZA08 2H193/ZB07 2H193/ZE33 5C006/AC22 5C006/AC25 5C006 /AF67 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA36 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD10 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，包括：像素电极，通过每个像素的像素晶体管，对于在显示区域中以矩阵布置的多个像素，每个像素电极被施加与灰度值对应的电位；公共电极，与像素电极协作形成电场以使液晶组合物取向；多个扫描信号线，每个扫描信号线共同连接到构成形成矩阵的多个行中的每一行的多个像素的像素晶体管的栅极；以及驱动器电路在通电之后并且在显示区域中显示图像之前将公共电极设置为高阻抗状态，然后将扫描信号线设置为无源电位以切断像素晶体管的源极和漏极从彼此。

