

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-224916

(P2014-224916A)

(43) 公開日 平成26年12月4日(2014.12.4)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 622C	2H193
G09G 3/36 (2006.01)	G09G 3/36	5C006
G02F 1/133 (2006.01)	G09G 3/20 622M	5C080
	G09G 3/20 622D	
	G09G 3/20 623U	
審査請求 未請求 請求項の数 6 O L (全 18 頁) 最終頁に続く		

(21) 出願番号	特願2013-104211 (P2013-104211)	(71) 出願人	000103747
(22) 出願日	平成25年5月16日 (2013.5.16)		京セラディスプレイ株式会社
			滋賀県野洲市市三宅641-1
		(74) 代理人	100103090
			弁理士 岩壁 冬樹
		(74) 代理人	100124501
			弁理士 塩川 誠人
		(72) 発明者	権藤 賢二
			滋賀県野洲市市三宅641-1 京セラデ
			ィスプレイ株式会社内
		Fターム(参考)	2H193 ZA04 ZC24 ZC34 ZF24
			5C006 AA16 AC24 AC28 AF42 AF43
			AF44 BB16 FA12
			5C080 AA10 BB05 DD08 FF11 JJ02
			JJ04

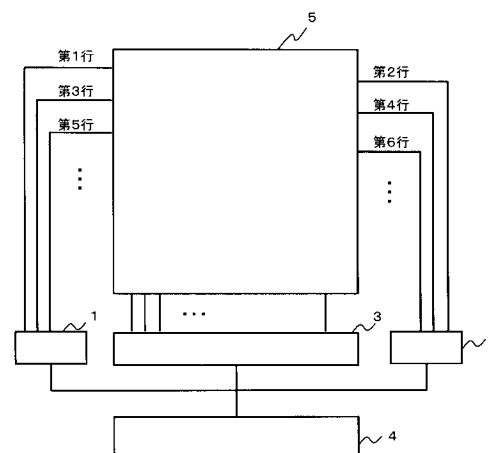
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】選択期間を短くしたとしても、表示品位の低下を防止することができる液晶表示装置を提供する。

【解決手段】第1のゲートドライバ1は、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定する。第2のゲートドライバ2は、奇数番目のゲートラインの選択期間の終了前に、そのゲートラインの次の偶数番目のゲートラインに対する所定のオン電位の設定を開始し、その奇数番目のゲートラインの選択期間の終了後も、その偶数番目のゲートラインを所定のオン電位に設定する。

【選択図】図2



【特許請求の範囲】

【請求項 1】

コモン電極と、マトリクス状に配置された画素電極とを有するとともに、前記画素電極の行毎にゲートラインを有し、前記画素電極の列毎にソースラインを有する液晶パネルと、

前記液晶パネルの奇数番目のゲートラインを所定のオン電位に設定する第 1 のゲート駆動部と、

前記液晶パネルの偶数番目のゲートラインを前記所定のオン電位に設定する第 2 のゲート駆動部と、

前記液晶パネルの各ソースラインの電位を設定するソース駆動部とを備え、

第 1 のゲート駆動部は、連続する 2 つのフレームのうち少なくとも一方のフレームで、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、前記所定のオン電位に設定し、

第 2 のゲート駆動部は、少なくとも前記一方のフレームで、奇数番目のゲートラインの選択期間の終了前に、当該ゲートラインの次の偶数番目のゲートラインに対する前記所定のオン電位の設定を開始し、前記奇数番目のゲートラインの選択期間の終了後も引き続き、前記偶数番目のゲートラインを前記所定のオン電位に設定し、

ソース駆動部は、少なくとも前記一方のフレームで、第 1 のゲート駆動部が奇数番目のゲートラインを前記所定のオン電位に設定する場合に、各ソースラインを、当該奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該奇数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの次の偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定する

ことを特徴とする液晶表示装置。

【請求項 2】

第 1 のゲート駆動部は、連続する 2 つのフレームのうち一方のフレームで、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、

第 2 のゲート駆動部は、前記一方のフレームで、奇数番目のゲートラインの選択期間の終了前に、当該ゲートラインの次の偶数番目のゲートラインに対する前記所定のオン電位の設定を開始し、前記奇数番目のゲートラインの選択期間の終了後も引き続き、前記偶数番目のゲートラインを前記所定のオン電位に設定し、

ソース駆動部は、前記一方のフレームで、第 1 のゲート駆動部が奇数番目のゲートラインを前記所定のオン電位に設定する場合に、各ソースラインを、当該奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該奇数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの次の偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、

第 2 のゲート駆動部は、連続する前記 2 つのフレームのうち他方のフレームで、偶数番目のゲートラインを順に選択し、選択したゲートラインを前記所定の選択期間、前記所定のオン電位に設定し、

第 1 のゲート駆動部は、前記他方のフレームで、偶数番目のゲートラインの選択期間の終了前に、当該ゲートラインの前の奇数番目のゲートラインに対する前記所定のオン電位の設定を開始し、前記偶数番目のゲートラインの選択期間の終了後も引き続き、前記奇数番目のゲートラインを前記所定のオン電位に設定し、

ソース駆動部は、前記他方のフレームで、第 2 のゲート駆動部が偶数番目のゲートラインを前記所定のオン電位に設定する場合に、各ソースラインを、当該偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該偶数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの前の奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定する

請求項 1 に記載の液晶表示装置。

【請求項 3】

第 1 のゲート駆動部は、連続する 2 つのフレームのうち一方のフレームで、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、

第 2 のゲート駆動部は、前記一方のフレームで、第 1 のゲート駆動部がゲートラインに対する前記所定のオン電位の設定を開始する時に、当該ゲートラインの次の偶数番目のゲートラインに対する前記所定のオン電位の設定を開始し、前記所定の選択期間の倍の期間、当該偶数番目のゲートラインを前記所定のオン電位に設定し、

第 2 のゲート駆動部は、連続する前記 2 つのフレームのうち他方のフレームで、偶数番目のゲートラインを順に選択し、選択したゲートラインを前記所定の選択期間、前記所定のオン電位に設定し、

第 1 のゲート駆動部は、前記他方のフレームで、第 2 のゲート駆動部がゲートラインに対する前記所定のオン電位の設定を開始する時に、当該ゲートラインの前の奇数番目のゲートラインに対する前記所定のオン電位の設定を開始し、前記所定の選択期間の倍の期間、当該奇数番目のゲートラインを前記所定のオン電位に設定する

請求項 2 に記載の液晶表示装置。

【請求項 4】

第 1 のゲート駆動部は、各フレームで、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、

第 2 のゲート駆動部は、各フレームで、奇数番目のゲートラインの選択期間の終了前に、当該ゲートラインの次の偶数番目のゲートラインに対する前記所定のオン電位の設定を開始し、前記奇数番目のゲートラインの選択期間の終了後も引き続き、前記偶数番目のゲートラインを前記所定のオン電位に設定し、

ソース駆動部は、各フレームで、第 1 のゲート駆動部が奇数番目のゲートラインを前記所定のオン電位に設定する場合に、各ソースラインを、当該奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該奇数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの次の偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定する

請求項 1 に記載の液晶表示装置。

【請求項 5】

第 1 のゲート駆動部は、各フレームで、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、

第 2 のゲート駆動部は、各フレームで、第 1 のゲート駆動部がゲートラインに対する前記所定のオン電位の設定を開始する時に、当該ゲートラインの次の偶数番目のゲートラインに対する前記所定のオン電位の設定を開始し、前記所定の選択期間の倍の期間、当該偶数番目のゲートラインを前記所定のオン電位に設定する

請求項 4 に記載の液晶駆動装置。

【請求項 6】

ソース駆動部は、ソースラインに接続される接続端子を複数備え、フレームの終了後、次のフレームの開始までの期間内で、各接続端子を短絡させる

請求項 1 から請求項 5 のうちのいずれか 1 項に記載の液晶駆動装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、奇数番目の行のゲートラインに対応するゲート駆動部と、偶数番目の行のゲートラインに対応するゲート駆動部とを備える液晶表示装置に関する。

【背景技術】

【0002】

TFT (Thin Film Transistor) 等のスイッチング素子を有する液晶パネルは、例えば、コモン電極と、マトリクス状に配置された画素電極とを備える。さらに、その液晶パネ

10

20

30

40

50

ルは、画素電極の行毎にゲートラインを備え、画素電極の列毎にソースラインを備える。そして、ゲートドライバが、各行のゲートラインを順次選択し、ソースドライバが、各ソースラインの電位を、選択行の各画素の画像データに応じた電位に設定することで画像を表示する。

【 0 0 0 3 】

また、このような液晶パネルと、ゲートドライバおよびソースドライバとを備える液晶表示装置として、奇数番目の行のゲートラインを駆動するゲートドライバと、偶数番目の行のゲートラインを駆動するゲートドライバとを備える構成が提案されている。すなわち、奇数番目の行のゲートラインに対応するゲートドライバと、偶数番目の行のゲートラインに対応するゲートドライバとを別々に設ける構成が提案されている（例えば、特許文献 1 参照）。

10

【 0 0 0 4 】

図 8 は、一般的なゲートラインの駆動波形を示す模式図である。一般に、液晶表示装置のゲートラインは、1 本ずつ順番に選択される。そして、選択されたゲートラインは、選択期間 T_1 の間、所定の電位に設定される。図 8 では、4 行目のゲートラインまでの駆動波形を示しているが、5 行目以降の駆動波形も、図 8 に示す駆動波形と同様である。

【 0 0 0 5 】

選択されたゲートラインが所定の電位に設定されるときに、ソースドライバは、各ソースラインの電位を、そのゲートラインの行の各画素の画像データに応じた電位に設定する。ゲートラインが所定の電位に設定されていることによって、その行の各画素電極は、ソースラインと等電位に変化し、その結果、その行の画像を表示することができる。

20

【 0 0 0 6 】

奇数番目の行のゲートラインに対応するゲートドライバと、偶数番目の行のゲートラインに対応するゲートドライバとを別々に設けた構成であっても、図 8 に示すように、ゲートラインが 1 本ずつ選択され、選択されたゲートラインは、選択期間 T_1 の間、所定の電位に設定される。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 特開 2 0 0 8 - 2 2 5 4 2 4 号 公 報

30

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

近年、液晶パネルの高解像度化が要求されている。そのため、選択期間を短くする必要が生じている。

【 0 0 0 9 】

しかし、選択期間を短くすると、ゲートラインを所定の電位に設定することができる時間が短くなってしまう。

【 0 0 1 0 】

また、図 8 では、所定の電位への立ち上がりエッジを模式的に図示しているが、画素電位はゲートラインがあいて所定の電位の設定を開始してから、所定の画素電位になるまでには、時間がかかる。

40

【 0 0 1 1 】

従って、選択期間を短くすると、画素電位を所定の電位に設定することができる時間の確保が困難になる。すると、選択行の個々の画素電極をソースラインと等電位に変化させることが困難になる場合も生じ、表示品位が低下する可能性がある。

【 0 0 1 2 】

そこで、本発明は、選択期間を短くしたとしても、表示品位の低下を防止することができる液晶表示装置を提供することを目的とする。

【 課題を解決するための手段 】

50

【 0 0 1 3 】

本発明による液晶表示装置は、コモン電極と、マトリクス状に配置された画素電極とを有するとともに、画素電極の行毎にゲートラインを有し、画素電極の列毎にソースラインを有する液晶パネル（例えば、液晶パネル５）と、液晶パネルの奇数番目のゲートラインを所定のオン電位に設定する第１のゲート駆動部（例えば、第１のゲートドライバ１）と、液晶パネルの偶数番目のゲートラインを所定のオン電位に設定する第２のゲート駆動部（例えば、第２のゲートドライバ２）と、液晶パネルの各ソースラインの電位を設定するソース駆動部（例えば、ソースドライバ３）とを備え、第１のゲート駆動部が、連続する２つのフレームのうち少なくとも一方のフレーム（例えば、フレームＡ）で、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、第２のゲート駆動部が、少なくともその一方のフレームで、奇数番目のゲートラインの選択期間の終了前に、当該ゲートラインの次の偶数番目のゲートラインに対する所定のオン電位の設定を開始し、その奇数番目のゲートラインの選択期間の終了後も引き続き、その偶数番目のゲートラインを所定のオン電位に設定し、ソース駆動部が、少なくともその一方のフレームで、第１のゲート駆動部が奇数番目のゲートラインを所定のオン電位に設定する場合に、各ソースラインを、当該奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該奇数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの次の偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定することを特徴とする。

10

20

【 0 0 1 4 】

第１のゲート駆動部が、連続する２つのフレームのうち一方のフレーム（例えば、フレームＡ）で、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、第２のゲート駆動部が、その一方のフレームで、奇数番目のゲートラインの選択期間の終了前に、当該ゲートラインの次の偶数番目のゲートラインに対する所定のオン電位の設定を開始し、その奇数番目のゲートラインの選択期間の終了後も引き続き、その偶数番目のゲートラインを所定のオン電位に設定し、ソース駆動部が、その一方のフレームで、第１のゲート駆動部が奇数番目のゲートラインを所定のオン電位に設定する場合に、各ソースラインを、当該奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該奇数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの次の偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、第２のゲート駆動部が、連続する２つのフレームのうち他方のフレーム（例えば、フレームＢ）で、偶数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、第１のゲート駆動部が、他方のフレームで、偶数番目のゲートラインの選択期間の終了前に、当該ゲートラインの前の奇数番目のゲートラインに対する所定のオン電位の設定を開始し、その偶数番目のゲートラインの選択期間の終了後も引き続き、その奇数番目のゲートラインを所定のオン電位に設定し、ソース駆動部が、他方のフレームで、第２のゲート駆動部が偶数番目のゲートラインを所定のオン電位に設定する場合に、各ソースラインを、当該偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該偶数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの前の奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定する構成であってもよい。

30

40

【 0 0 1 5 】

第１のゲート駆動部が、連続する２つのフレームのうち一方のフレーム（例えば、フレームＡ）で、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、第２のゲート駆動部が、その一方のフレームで、第１のゲート駆動部がゲートラインに対する所定のオン電位の設定を開始する時に、当該ゲートラインの次の偶数番目のゲートラインに対する所定のオン電位の設定を開始し、所定の選択期間の倍の期間、当該偶数番目のゲートラインを所定のオン電位に設定し、第２のゲート駆動部が、連続する２つのフレームのうち他方のフレーム（例えば、フレームＢ）で、

50

偶数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、第1のゲート駆動部が、他方のクレームで、第2のゲート駆動部がゲートラインに対する所定のオン電位の設定を開始する時に、当該ゲートラインの前の奇数番目のゲートラインに対する所定のオン電位の設定を開始し、所定の選択期間の倍の期間、当該奇数番目のゲートラインを所定のオン電位に設定する構成であってもよい。

【0016】

第1のゲート駆動部が、各フレームで、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、第2のゲート駆動部が、各フレームで、奇数番目のゲートラインの選択期間の終了前に、当該ゲートラインの次の偶数番目のゲートラインに対する所定のオン電位の設定を開始し、その奇数番目のゲートラインの選択期間の終了後も引き続き、その偶数番目のゲートラインを所定のオン電位に設定し、ソース駆動部が、各フレームで、第1のゲート駆動部が奇数番目のゲートラインを所定のオン電位に設定する場合に、各ソースラインを、当該奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定し、当該奇数番目のゲートラインの選択期間の終了後に、各ソースラインを、当該ゲートラインの次の偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定する構成であってもよい。

10

【0017】

第1のゲート駆動部が、各フレームで、奇数番目のゲートラインを順に選択し、選択したゲートラインを所定の選択期間、所定のオン電位に設定し、第2のゲート駆動部が、各フレームで、第1のゲート駆動部がゲートラインに対する所定のオン電位の設定を開始する時に、当該ゲートラインの次の偶数番目のゲートラインに対する所定のオン電位の設定を開始し、所定の選択期間の倍の期間、当該偶数番目のゲートラインを所定のオン電位に設定する構成であってもよい。

20

【0018】

ソース駆動部が、ソースラインに接続される接続端子を複数備え、フレームの終了後、次のフレームの開始までの期間内で、各接続端子を短絡させる構成であってもよい。

【発明の効果】

【0019】

本発明によれば、選択期間を短くしたとしても、表示品位の低下を防止することができる。

30

【図面の簡単な説明】

【0020】

【図1】本発明の液晶表示装置に設けられるTFT液晶パネルの構成例を示す説明図。

【図2】本発明の液晶表示装置の構成例を示すブロック図。

【図3】フレームAで、奇数番目のゲートラインおよび偶数番目のゲートラインを所定のオン電位 V_{gH} に設定する期間の例を示す説明図。

【図4】フレームBで、奇数番目のゲートラインおよび偶数番目のゲートラインを所定のオン電位 V_{gH} に設定する期間の例を示す説明図。

【図5】第1のゲートドライバ1および第2のゲートドライバ2の構成例を示す模式図。

【図6】フレームAでの駆動波形の例を示す説明図。

40

【図7】フレームBでの駆動波形の例を示す説明図。

【図8】一般的なゲートラインの駆動波形を示す模式図。

【発明を実施するための形態】

【0021】

以下、本発明の実施形態を図面を参照して説明する。以下の説明では、液晶パネルがTFT液晶パネルである場合を例にして説明する。

【0022】

[実施形態1] 図1は、本発明の液晶表示装置に設けられるTFT液晶パネルの構成例を示す説明図である。TFT液晶パネルは、画素毎にTFT22と画素電極21を備える。図1では、TFT22と画素電極21を1つだけ図示し、他のTFTおよび画素電極の図

50

示を省略している。TFT液晶パネルには、各画素電極と対向するコモン電極30が設けられる。本例では、TFT液晶パネルに設けられるコモン電極が1枚である場合を例にして説明する。コモン電極30と各画素電極21とによって液晶層(図示略。)が挟持される。

【0023】

各画素は、マトリクス状に配置される。すなわち、図1に示すTFT22と画素電極21との組み合わせは、マトリクス状に配置される。

【0024】

画素電極21は、TFT22のドレイン22_bに接続される。また、TFT22のソース22_cは、ソースラインS_kに接続され、TFT22のゲート22_aは、ゲートラインG_iに接続される。ゲートラインG_iを介してゲート22_aの電位が所定のオン電位に設定されると、ソース22_cとドレイン22_bとの間が導通状態となり、画素電極21がソースラインS_kと等しい電位に設定される。ゲート22_aの電位が所定のオフ電位に設定されると、ソース22_cとドレイン22_bとの間が非導通状態となり、ソースラインS_kと画素電極21の間も非導通状態に切り替えられる。所定のオン電位とは、ソース22_cとドレイン22_bとの間を導通状態にするためのゲート22_aの所定電位である。所定のオフ電位とは、ソース22_cとドレイン22_bとの間を非導通状態にするためのゲート22_aの所定電位である。以下、所定のオン電位をV_{gH}と表し、所定のオフ電位をV_{gL}と表すことにする。

【0025】

液晶パネルにおいて、マトリクス状に配置された画素電極21の列毎にソースラインが設けられる。また、マトリクス状に配置された画素電極21の行毎にゲートラインが設けられる。図1では、第i行のゲートラインG_iおよび第k列のソースラインS_kを図示している。

【0026】

なお、コモン電極30は、コモン電極ドライバ(図示略)によって一定の電位V₀に保たれる。

【0027】

図2は、本発明の液晶表示装置の構成例を示すブロック図である。本発明の液晶表示装置は、液晶パネル5(本実施形態では、TFT液晶パネル)と、第1のゲートドライバ1と、第2のゲートドライバ2と、ソースドライバ3と、タイミングコントローラ4とを備える。

【0028】

第1のゲートドライバ1は、タイミングコントローラ4に従って、液晶パネル5の奇数番目のゲートラインを所定のオン電位V_{gH}に設定する。また、第2のゲートドライバ2は、タイミングコントローラ4に従って、液晶パネル5の偶数番目のゲートラインを所定のオン電位V_{gH}に設定する。

【0029】

ソースドライバ3は、液晶パネル5の個々のソースラインに接続される接続端子を複数備える。一つの接続端子には、一本のソースラインが接続される。そして、ソースドライバ3は、タイミングコントローラ4に従って、各ソースラインの電位を設定する。

【0030】

タイミングコントローラ4は、第1のゲートドライバ1、第2のゲートドライバ2およびソースドライバ3を制御する。

【0031】

第1のゲートドライバ1、第2のゲートドライバ2およびソースドライバ3は、連続する2つのフレーム(フレームA、Bと記す。)のうち、少なくとも一方のフレーム(ここでは、フレームAとする。)で、タイミングコントローラ4に従って、以下に示す動作を行う。なお、フレームBにおける動作については後述する。

【0032】

10

20

30

40

50

フレーム A において、第 1 のゲートドライバ 1 は、奇数番目のゲートラインを順に 1 本ずつ選択し、選択したゲートラインを所定の選択期間、所定のオン電位 V_{gH} に設定する。以下、この選択期間の長さを T とする。第 1 のゲートドライバ 1 は、選択期間 T が経過すると、選択したゲートラインを所定のオフ電位 V_{gL} に設定する。

【 0 0 3 3 】

第 2 のゲートドライバ 2 は、フレーム A で、奇数番目のゲートラインの選択期間の終了前に、そのゲートラインの次の偶数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する。そして、第 2 のゲートドライバ 2 は、その奇数番目のゲートラインの選択期間の終了後も引き続き、その偶数番目のゲートラインを所定のオン電位 V_{gH} に設定し、その後、その偶数番目のゲートラインを所定のオフ電位 V_{gL} に設定する。

10

【 0 0 3 4 】

図 3 は、フレーム A で、奇数番目のゲートラインおよび偶数番目のゲートラインを所定のオン電位 V_{gH} に設定する期間の例を示す説明図である。図 3 および後述の図 4 では、奇数を $2n - 1$ で表し、偶数を $2n$ で表す。ただし、 $n = 1, 2, 3, \dots$ である。第 1 のゲートドライバ 1 は、奇数番目のゲートラインを 1 本選択すると、選択期間 T の間、そのゲートラインの電位を所定のオン電位 V_{gH} に設定する。

【 0 0 3 5 】

そして、第 2 のゲートドライバ 2 は、その奇数番目のゲートラインの選択期間の終了前に、そのゲートラインの次の偶数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する。本実施形態では、第 1 のゲートドライバ 1 が奇数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する時に、第 2 のゲートドライバ 2 も、そのゲートラインの次の偶数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する場合を例にして説明する（図 3 参照）。そして、第 2 のゲートドライバ 2 は、その奇数番目のゲートラインの選択期間の終了後も、その偶数番目のゲートラインを所定のオン電位 V_{gH} に設定し、その後、その偶数番目のゲートラインを所定のオフ電位 V_{gL} に設定する。本実施形態では、第 2 のゲートドライバ 2 が、選択期間 T の倍の期間、その偶数番目のゲートラインを所定のオン電位 V_{gH} に設定する場合を例にして説明する（図 3 参照）。従って、第 2 のゲートドライバ 2 は、偶数番目のゲートラインに対する所定のオン電位 V_{gH} の設定開始後、 $2T$ の期間が経過すると、その偶数番目のゲートラインを所定のオフ電位 V_{gL} に設定する。その後、第 1 のゲートドライバ 1 は、次の奇数番目のゲートラインを選択し、第 1 のゲートドライバ 1 および第 2 のゲートドライバ 2 は、同様の動作を繰り返す。

20

30

【 0 0 3 6 】

ソースドライバ 3 は、第 1 のゲートドライバ 1 が奇数番目のゲートラインを所定のオン電位 V_{gH} に設定する場合に、各ソースラインを、その奇数番目のゲートラインの行の各画素の画像データに応じた電位に設定する。そして、ソースドライバ 3 は、その奇数番目のゲートラインの選択期間の終了後に、各ソースラインを、そのゲートラインの次の偶数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定する。従って、例えば $n = 1$ とすると、ソースドライバ 3 は、各ソースラインの電位を、1 行目の各画素の画像データに応じた電位に設定し、その後、2 行目の各画素の画像データに応じた電位に設定する。このように、奇数番目の行とその次の偶数番目の行との組み合わせに着目した場合、ソースドライバ 3 は、個々のソースラインの電位を、行の並び順に、行の画像データに応じた電位に設定する。よって、フレーム A では、ソースドライバ 3 は、1 行目の画素の画像データ、2 行目の画素の画像データ、3 行目の画素の画像データ、4 行目の画素の画像データ、 \dots の順に、各ソースラインの電位を設定する。

40

【 0 0 3 7 】

連続する 2 つのフレーム A, B のうち、もう一方のフレーム B では、第 1 のゲートドライバ 1、第 2 のゲートドライバ 2 およびソースドライバ 3 は、タイミングコントローラ 4 に従って、以下に示す動作を行う。

【 0 0 3 8 】

50

フレーム B において、第 2 のゲートドライバ 2 は、偶数番目のゲートラインを順に 1 本ずつ選択し、選択したゲートラインを選択期間 T の間、所定のオン電位 V_{gH} に設定する。第 2 のゲートドライバ 2 は、選択期間 T が経過すると、選択したゲートラインを所定のオフ電位 V_{gL} に設定する。

【 0 0 3 9 】

第 1 のゲートドライバ 1 は、フレーム B で、偶数番目のゲートラインの選択期間の終了前に、そのゲートラインの前の奇数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する。そして、第 1 のゲートドライバ 1 は、その偶数番目のゲートラインの選択期間の終了後も引き続き、その奇数番目のゲートラインを所定のオン電位 V_{gH} に設定し、その後、その奇数番目のゲートラインを所定のオフ電位 V_{gL} に設定する。

10

【 0 0 4 0 】

図 4 は、フレーム B で、奇数番目のゲートラインおよび偶数番目のゲートラインを所定のオン電位 V_{gH} に設定する期間の例を示す説明図である。第 2 のゲートドライバ 2 は、偶数番目のゲートラインを 1 本選択すると、選択期間 T の間、そのゲートラインの電位を所定のオン電位 V_{gH} に設定する。

【 0 0 4 1 】

そして、第 1 のゲートドライバ 1 は、その偶数番目のゲートラインの選択期間の終了前に、そのゲートラインの前の奇数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する。本実施形態では、第 2 のゲートドライバ 2 が偶数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する時に、第 1 のゲートドライバ 1 も、そのゲートラインの前の奇数番目のゲートラインに対する所定のオン電位 V_{gH} の設定を開始する場合を例にして説明する（図 4 参照）。そして、第 1 のゲートドライバ 1 は、その偶数番目のゲートラインの選択期間の終了後も、その奇数番目のゲートラインを所定のオン電位 V_{gH} に設定し、その後、その奇数番目のゲートラインを所定のオフ電位 V_{gL} に設定する。本実施形態では、第 1 のゲートドライバ 1 が、選択期間 T の倍の期間、その奇数番目のゲートラインを所定のオン電位 V_{gH} に設定する場合を例にして説明する（図 4 参照）。従って、第 1 のゲートドライバ 1 は、奇数番目のゲートラインに対する所定のオン電位 V_{gH} の設定開始後、2 T の期間が経過すると、その奇数番目のゲートラインを所定のオフ電位 V_{gL} に設定する。その後、第 2 のゲートドライバ 2 は、次の偶数番目のゲートラインを選択し、第 2 のゲートドライバ 2 および第 1 のゲートドライバ 1 は、同様の動作を繰り返す。

20

30

【 0 0 4 2 】

ソースドライバ 3 は、第 2 のゲートドライバ 2 が偶数番目のゲートラインを所定のオン電位 V_{gH} に設定する場合に、各ソースラインを、その偶数番目のゲートラインの行の各画素の画像データに応じた電位に設定する。そして、ソースドライバ 3 は、その偶数番目のゲートラインの選択期間の終了後に、各ソースラインを、そのゲートラインの前の奇数番目のゲートラインに対応する行の各画素の画像データに応じた電位に設定する。従って、例えば $n = 1$ とすると、ソースドライバ 3 は、各ソースラインの電位を、2 行目の各画素の画像データに応じた電位に設定し、その後、1 行目の各画素の画像データに応じた電位に設定する。このように、奇数番目の行とその次の偶数番目の行との組み合わせに着目した場合、ソースドライバ 3 は、個々のソースラインの電位を、行の並びとは逆順に、行の画像データに応じた電位に設定する。よって、フレーム B では、ソースドライバ 3 は、2 行目の画素の画像データ、1 行目の画素の画像データ、4 行目の画素の画像データ、3 行目の画素の画像データ、・・・の順に、各ソースラインの電位を設定する。

40

【 0 0 4 3 】

図 5 は、第 1 のゲートドライバ 1 および第 2 のゲートドライバ 2 の構成例を示す模式図である。第 1 のゲートドライバ 1 および第 2 のゲートドライバ 2 は、いずれも、電位出力部 8 と、出力制御部 9 とを備える。各ゲートドライバ 1, 2 には同様の電位出力部 8 が設けられる。また、各ゲートドライバ 1, 2 には同様の出力制御部 9 が設けられる。

【 0 0 4 4 】

50

電位出力部 8 は、電位出力端 R_1, R_2, \dots を備える。一方の側（図 5 に示す例では左側）から i 番目の電位出力端を R_i と記す。そして、電位出力部 8 は、タイミングコントローラ 4 に従って、各電位出力端 R_1, R_2, \dots から所定のオン電位 V_{gH} または所定のオフ電位 V_{gL} を出力する。各電位出力部 8 は同様であるが、第 1 のゲートドライバ 1 の電位出力部 8 の各電位出力端 R_1, R_2, \dots は、奇数番目のゲートラインに対応し、第 2 のゲートドライバ 2 の電位出力部 8 の各電位出力端 R_1, R_2, \dots は、偶数番目のゲートラインに対応している。

【0045】

出力制御部 9 は、電位出力端 R_1, R_2, \dots に対応する電位出力端 Q_1, Q_2, \dots を備える。第 1 のゲートドライバ 1 の出力制御部 9 の電位出力端 Q_1, Q_2, \dots は、それぞれ順番に奇数番目のゲートラインに接続される。例えば、第 1 のゲートドライバ 1 において、電位出力端 Q_1 は、1 行目のゲートラインに接続され、電位出力端 Q_2 は、3 行目のゲートラインに接続される。これに対し、第 2 のゲートドライバ 2 の電位出力端 Q_1, Q_2, \dots は、それぞれ順番に偶数番目のゲートラインに接続される。例えば、第 2 のゲートドライバ 2 において、電位出力端 Q_1 は、2 行目のゲートラインに接続され、電位出力端 Q_2 は、4 行目のゲートラインに接続される。

【0046】

出力制御部 9 は、電位出力部 8 の電位出力端 R_i が所定のオン電位 V_{gH} を出力した場合、タイミングコントローラ 4 の制御に従って、その電位出力端 R_i に対応する電位出力端 Q_i から、所定のオン電位 V_{gH} または所定のオフ電位 V_{gL} を出力する。従って、電位出力端 R_i から所定のオン電位 V_{gH} が出力されても、電位出力端 Q_i から所定のオン電位 V_{gH} が出力されるとは限らない。

【0047】

また、出力制御部 9 は、電位出力部 8 の電位出力端 R_i が所定のオフ電位 V_{gL} を出力した場合、その電位出力端 R_i に対応する電位出力端 Q_i から、所定のオフ電位 V_{gL} をそのまま出力する。

【0048】

以下、第 1 のゲートドライバ 1 の電位出力部 8 および出力制御部 9 を、添え字 “a” を付して表す。また、第 2 のゲートドライバ 2 の電位出力部 8 および出力制御部 9 を、添え字 “b” を付して表す。

【0049】

タイミングコントローラ 4 は、電位出力部 $8_a, 8_b$ に対する共通の制御信号としてゲートクロック（以下、 $GCLK$ と記す。）およびゲートスタートパルス（以下、 STV と記す。）を出力する。また、タイミングコントローラ 4 は、出力制御部 9_a に対する制御信号として、第 1 のアウトプットイネーブル信号（以下、 OE_1 と記す。）を出力する。また、タイミングコントローラ 4 は、出力制御部 9_b に対する制御信号として、第 2 のアウトプットイネーブル信号（以下、 OE_2 と記す。）を出力する。これらの各制御信号については後述する。

【0050】

次に、駆動波形を参照して、本発明の動作を説明する。

【0051】

図 6 は、フレーム A での駆動波形の例を示す説明図である。タイミングコントローラ 4 は、フレーム A, B に依らずに、 $GCLK$ を一定期間毎に、ハイレベル、ローレベルに交互に切り替える。この期間の長さを S とする（図 6 参照）。 $GCLK$ は、各電位出力部 $8_a, 8_b$ に、所定のオン電位 V_{gH} を出力する電位出力端を切り替えさせる制御信号である。各電位出力部 $8_a, 8_b$ は、 $GCLK$ の立ち上がりエッジ毎に、所定のオン電位 V_{gH} を出力する電位出力端を R_i から R_{i+1} に切り替える。また、各電位出力部 $8_a, 8_b$ は、所定のオン電位 V_{gH} を出力している 1 つの電位出力端以外の他の電位出力端から所定のオフ電位 V_{gL} を出力する。

【0052】

10

20

30

40

50

また、STVは、最初の電位出力端 R_1 から所定のオン電位 V_{gH} を出力することを指示するための制御信号である。タイミングコントローラ4は、1つのフレームの開始後に、STVをローレベルからハイレベルに切り替える。各電位出力部 8_a 、 8_b は、STVがハイレベルである期間中に、GCLKの立ち上がりエッジを検出すると、最初の電位出力端 R_1 から所定のオン電位 V_{gH} を出力し、他の電位出力端から所定のオフ電位 V_{gL} を出力する。その後、GCLKの立ち上がりエッジ毎に（換言すれば、2Sの期間が経過する毎に）、所定のオン電位 V_{gH} を出力する電位出力端を切り替える。また、タイミングコントローラ4は、STVをハイレベルにし、GCLKをハイレベルにした後、STVをローレベルに戻す。そして、そのフレーム内で、STVをローレベルのまま維持する。

【0053】

OE₁は、出力制御部9_aの電位出力端からの出力電位を制御する制御信号である。同様に、OE₂は、出力制御部9_bの電位出力端からの出力電位を制御する制御信号である。

【0054】

出力制御部9_aは、OE₁がローレベルである場合に、電位出力部8_aの各電位出力端 R_1 、 R_2 、・・・から出力された電位を、その各電位出力端 R_1 、 R_2 、・・・に対応する各電位出力端 Q_1 、 Q_2 、・・・からそのまま出力する。従って、任意の電位出力端 R_i から所定のオン電位 V_{gH} が出力されている場合、出力制御部9_aは、電位出力端 Q_i から所定のオン電位 V_{gH} を出力する。また、出力制御部9_aは、OE₁がハイレベルである場合、所定のオン電位 V_{gH} を出力している電位出力部8_aの電位出力端（ R_i とする。）に対応する電位出力端 Q_i から、所定のオフ電位 V_{gL} を出力する。そして、電位出力部8_aの他の電位出力端からの出力電位は、対応する電位出力端からそのまま出力する。従って、OE₁がハイレベルである場合、出力制御部9_aは、各電位出力端から所定のオフ電位 V_{gL} を出力する。

【0055】

OE₂に対する出力制御部9_bの動作は、OE₁に対する出力制御部9_aの動作と同様である。すなわち、出力制御部9_bは、OE₂がローレベルである場合に、電位出力部8_bの各電位出力端 R_1 、 R_2 、・・・から出力された電位を、その各電位出力端 R_1 、 R_2 、・・・に対応する各電位出力端 Q_1 、 Q_2 、・・・からそのまま出力する。また、出力制御部9_bは、OE₂がハイレベルである場合、所定のオン電位 V_{gH} を出力している電位出力部8_bの電位出力端（ R_i とする。）に対応する電位出力端 Q_i から、所定のオフ電位 V_{gL} を出力する。そして、電位出力部8_bの他の電位出力端からの出力電位は、対応する電位出力端からそのまま出力する。

【0056】

フレームAにおいて、タイミングコントローラ4は、GCLKの立ち上がりエッジから、選択期間Tの間、OE₁をローレベルに設定し、選択期間Tが終了すると、次のGCLKの立ち上がりエッジまでOE₁をハイレベルに設定する。次のGCLKの立ち上がりエッジ後も、タイミングコントローラ4は、上記と同様にOE₁のレベルを設定する（図6参照）。

【0057】

また、フレームAにおいて、タイミングコントローラ4は、GCLKの立ち上がりエッジから、選択期間Tの2倍の長さの期間（すなわち、期間2Tの間）、OE₂をローレベルに設定し、その期間2Tが終了すると、次のGCLKの立ち上がりエッジまでOE₂をハイレベルに設定する。次のGCLKの立ち上がりエッジ後も、タイミングコントローラ4は、上記と同様にOE₂のレベルを設定する（図6参照）。

【0058】

なお、 $T < S$ である。 $T < S$ とする理由は、出力制御部9の電位出力端の電位を、所定のオン電位 V_{gH} から所定のオフ電位 V_{gL} に切り替えたとしても、その電位出力端に接続されたゲートラインの電位が実際に所定のオフ電位 V_{gL} まで低下するのに時間を要するためである。

10

20

30

40

50

【 0 0 5 9 】

前述のように各制御信号 G C L K、S T V、O E₁、O E₂ がタイミングコントローラ 4 から出力されることにより、フレーム A では、第 1 のゲートドライバ 1 および第 2 のゲートドライバ 2 は、以下のように動作する。

【 0 0 6 0 】

第 1 のゲートドライバ 1 の電位出力部 8_a および第 2 のゲートドライバ 2 の電位出力部 8_b は、いずれも、S T V がハイレベルである期間中に G C L K の立ち上がりエッジを検出すると、次の G C L K の立ち上がりエッジまでの期間中、電位出力端 R₁ から所定のオン電位 V_{g H} を出力し、他の電位出力端から所定のオフ電位 V_{g L} を出力する。

【 0 0 6 1 】

そして、その G C L K の立ち上がりエッジから、選択期間 T の間、O E₁ はローレベルであり、その後、O E₁ はハイレベルとなる。従って、出力制御部 9_a は、その選択期間 T の間、電位出力端 Q₁ から所定のオン電位 V_{g H} を出力し、その後、所定のオフ電位 V_{g L} を出力する。また、その G C L K の立ち上がりエッジから 2 T の長さの期間、O E₂ はローレベルであり、その後、O E₂ はハイレベルとなる。出力制御部 9_b は、その 2 T の長さの期間、電位出力端 Q₁ から所定のオン電位 V_{g H} を出力し、その後、所定のオフ電位 V_{g L} を出力する。

【 0 0 6 2 】

この結果、その G C L K の立ち上がりエッジから選択期間 T の間、液晶パネル 5 の第 1 行のゲートラインの電位は、所定のオン電位 V_{g H} となる。また、その G C L K の立ち上がりエッジから 2 T の長さの期間、液晶パネル 5 の第 2 行のゲートラインの電位は、所定のオン電位 V_{g H} となる。また、その G C L K の立ち上がりエッジから選択期間 T の間、ソースドライバ 3 は、タイミングコントローラ 4 に従って、各ソースラインの電位を、第 1 行の各画素の画像データに応じた電位に設定する。従って、G C L K の立ち上がりエッジから選択期間 T の間に第 1 行の各画素電極は対応するソースラインと等電位になり、各画素電極とコモン電極 3 0 (図 1 参照) の電位 V₀ との電位差によって、第 1 行の各画素が、第 1 行の画像データに応じた表示状態となる。なお、このとき、第 2 行のゲートラインの電位も所定のオン電位 V_{g H} であるので、第 2 行の各画素も、第 1 行の画像データに応じた表示状態となる。

【 0 0 6 3 】

選択期間 T が終了すると、第 1 行のゲートラインの電位は、所定のオフ電位 V_{g L} になり、第 1 行の表示状態が維持される。選択期間 T の終了後も、第 2 行のゲートラインの電位は、所定のオン電位 V_{g H} に設定されている。そして、選択期間 T が終了後、上記の 2 T の長さの期間が終了するまで、ソースドライバ 3 は、タイミングコントローラ 4 に従って、各ソースラインの電位を、第 2 行の各画素の画像データに応じた電位に設定する。よって、選択期間 T が終了後、上記の 2 T の長さの期間が終了するまでの間に、第 2 行の各画素電極は対応するソースラインと等電位になり、各画素電極とコモン電極 3 0 の電位 V₀ との電位差によって、第 2 行の各画素が、第 2 行の画像データに応じた表示状態となる。上記の 2 T の長さの期間が終了すると、第 2 行のゲートラインの電位は、所定のオフ電位 V_{g L} になり、第 2 行の表示状態が維持される。

【 0 0 6 4 】

電位出力部 8_a および電位出力部 8_b は、次の G C L K の立ち上がりエッジを検出すると、所定のオン電位 V_{g H} を出力する電位出力端を R₁ から R₂ に切り替える。また、この G C L K の立ち上がりエッジから、選択期間 T の間、O E₁ はローレベルであり、その後、O E₁ はハイレベルとなる。また、その G C L K の立ち上がりエッジから 2 T の長さの期間、O E₂ はローレベルであり、その後、O E₂ はハイレベルとなる。この結果、上記の場合と同様に、第 3 行の各画素が、第 3 行の画像データに応じた表示状態となり、第 4 行の各画素が、第 4 行の画像データに応じた表示状態となる。

【 0 0 6 5 】

以降、同様に、各行が画像データに応じた表示状態となることで、画像が表示される。

10

20

30

40

50

【 0 0 6 6 】

図 7 は、フレーム B での駆動波形の例を示す説明図である。タイミングコントローラ 4 が G C L K , S T V を出力する動作は、フレーム A と同様である。従って、各電位出力部 8_a , 8_b の動作もフレーム A と同様である。

【 0 0 6 7 】

フレーム B では、タイミングコントローラ 4 は、G C L K の立ち上がりエッジから、選択期間 T の間、 $O E_2$ をローレベルに設定し、選択期間 T が終了すると、次の G C L K の立ち上がりエッジまで $O E_2$ をハイレベルに設定する。次の G C L K の立ち上がりエッジ後も、タイミングコントローラ 4 は、上記と同様に $O E_2$ のレベルを設定する（図 7 参照）。

10

【 0 0 6 8 】

また、フレーム B において、タイミングコントローラ 4 は、G C L K の立ち上がりエッジから、選択期間 T の 2 倍の長さの期間（期間 2 T の間）、 $O E_1$ をローレベルに設定し、その期間 2 T が終了すると、次の G C L K の立ち上がりエッジまで $O E_1$ をハイレベルに設定する。次の G C L K の立ち上がりエッジ後も、タイミングコントローラ 4 は、上記と同様に $O E_1$ のレベルを設定する（図 7 参照）。

【 0 0 6 9 】

このように各制御信号 G C L K 、 S T V 、 $O E_1$, $O E_2$ がタイミングコントローラ 4 から出力されることにより、フレーム B では、第 1 のゲートドライバ 1 および第 2 のゲートドライバ 2 は、以下のように動作する。

20

【 0 0 7 0 】

第 1 のゲートドライバ 1 の電位出力部 8_a および第 2 のゲートドライバ 2 の電位出力部 8_b は、いずれも、S T V がハイレベルである期間中に G C L K の立ち上がりエッジを検出すると、次の G C L K の立ち上がりエッジまでの期間中、電位出力端 R_1 から所定のオン電位 V_{g_H} を出力し、他の電位出力端から所定のオフ電位 V_{g_L} を出力する。

【 0 0 7 1 】

そして、その G C L K の立ち上がりエッジから、選択期間 T の間、 $O E_2$ はローレベルであり、その後、 $O E_2$ はハイレベルとなる。従って、出力制御部 9_b は、その選択期間 T の間、電位出力端 Q_1 から所定のオン電位 V_{g_H} を出力し、その後、所定のオフ電位 V_{g_L} を出力する。また、その G C L K の立ち上がりエッジから 2 T の長さの期間、 $O E_1$ はローレベルであり、その後、 $O E_1$ はハイレベルとなる。出力制御部 9_a は、その 2 T の長さの期間、電位出力端 Q_1 から所定のオン電位 V_{g_H} を出力し、その後、所定のオフ電位 V_{g_L} を出力する。

30

【 0 0 7 2 】

この結果、その G C L K の立ち上がりエッジから選択期間 T の間、液晶パネル 5 の第 2 行のゲートラインの電位は、所定のオン電位 V_{g_H} となる。また、その G C L K の立ち上がりエッジから 2 T の長さの期間、液晶パネル 5 の第 1 行のゲートラインの電位は、所定のオン電位 V_{g_H} となる。また、その G C L K の立ち上がりエッジから選択期間 T の間、ソースドライバ 3 は、タイミングコントローラ 4 に従って、各ソースラインの電位を、第 2 行の各画素の画像データに応じた電位に設定する。従って、G C L K の立ち上がりエッジから選択期間 T の間に第 2 行の各画素電極は対応するソースラインと等電位になり、各画素電極とコモン電極 30（図 1 参照）の電位 V_0 との電位差によって、第 2 行の各画素が、第 2 行の画像データに応じた表示状態となる。なお、このとき、第 1 行のゲートラインの電位も所定のオン電位 V_{g_H} であるので、第 1 行の各画素も、第 2 行の画像データに応じた表示状態となる。

40

【 0 0 7 3 】

選択期間 T が終了すると、第 2 行のゲートラインの電位は、所定のオフ電位 V_{g_L} になり、第 2 行の表示状態が維持される。選択期間 T の終了後も、第 1 行のゲートラインの電位は、所定のオン電位 V_{g_H} に設定されている。そして、選択期間 T が終了後、上記の 2 T の長さの期間が終了するまで、ソースドライバ 3 は、タイミングコントローラ 4 に従っ

50

て、各ソースラインの電位を、第1行の各画素の画像データに応じた電位に設定する。よって、選択期間Tが終了後、上記の2Tの長さの期間が終了するまでの間に、第1行の各画素電極は対応するソースラインと等電位になり、各画素電極とコモン電極30の電位 V_0 との電位差によって、第1行の各画素が、第1行の画像データに応じた表示状態となる。上記の2Tの長さの期間が終了すると、第1行のゲートラインの電位は、所定のオフ電位 V_{g_L} になり、第1行の表示状態が維持される。

【0074】

電位出力部8_aおよび電位出力部8_bは、次のGCLKの立ち上がりエッジを検出すると、所定のオン電位 V_{g_H} を出力する電位出力端を R_1 から R_2 に切り替える。また、このGCLKの立ち上がりエッジから、選択期間Tの間、 OE_2 はローレベルであり、その後、 OE_2 はハイレベルとなる。また、そのGCLKの立ち上がりエッジから2Tの長さの期間、 OE_1 はローレベルであり、その後、 OE_1 はハイレベルとなる。この結果、上記の場合と同様に、第4行の各画素が、第4行の画像データに応じた表示状態となり、第3行の各画素が、第3行の画像データに応じた表示状態となる。

【0075】

以降、同様に、各行が画像データに応じた表示状態となることで、画像が表示される。

【0076】

そして、タイミングコントローラ4、第1のゲートドライバ1、第2のゲートドライバ2およびソースドライバ3は、フレームAでの動作と、フレームBでの動作を、フレーム毎に切り替えて実行する。

【0077】

本実施形態によれば、フレームAでは、ソースドライバ3が、各ソースラインの電位を、偶数番目の行の各画素の画像データに応じた電位に設定するときに、既にその偶数番目の行のゲートラインに対する所定のオン電位 V_{g_H} の設定が開始されている。従って、液晶パネル5の高解像度化のため、GCLKの切り替え周期S(図6参照)を短くする必要があり、それに伴い、選択期間Tを短くする必要がある場合であっても、偶数番目の行のゲートラインに対する所定のオン電位 V_{g_H} の設定期間を選択期間Tよりも長くとりことができ、表示品位の低下を防止することができる。

【0078】

同様に、フレームBでは、ソースドライバ3が、各ソースラインの電位を、奇数番目の行の各画素の画像データに応じた電位に設定するときに、既にその奇数番目の行のゲートラインに対する所定のオン電位 V_{g_H} の設定が開始されている。従って、選択期間Tを短くする必要がある場合であっても、奇数番目の行のゲートラインに対する所定のオン電位 V_{g_H} の設定期間を選択期間Tよりも長くとりことができ、表示品位の低下を防止することができる。

【0079】

[実施形態2] 第2の実施形態の構成は、図2に示す構成と同様である。また、第1のゲートドライバ1および第2のゲートドライバ2の構成も、図5に示す構成と同様である。

【0080】

ただし、第2の実施形態では、タイミングコントローラ4、第1のゲートドライバ1、第2のゲートドライバ2およびソースドライバ3は、各フレームで、前述のフレームAでの動作を行う。この動作については、第1の実施形態で既に説明しているので、ここでは説明を省略する。従って、第2の実施形態の液晶表示装置は、各フレームで共通の動作を行い、第1の実施形態で示したフレームBでの動作は行わない。

【0081】

第2の実施形態においても、ソースドライバ3が、各ソースラインの電位を、偶数番目の行の各画素の画像データに応じた電位に設定するときに、既にその偶数番目の行のゲートラインに対する所定のオン電位 V_{g_H} の設定が開始されている。よって、選択期間Tを短くする必要がある場合であっても、偶数番目の行のゲートラインに対する所定のオン電位 V_{g_H} の設定期間を選択期間Tよりも長くとりことができ、表示品位の低下を防止する

10

20

30

40

50

ことができる。

【 0 0 8 2 】

また、上記の各実施形態において、個々の画素の極性をフレーム毎に反転させることが好ましい。個々の画素の極性をフレーム毎に反転させる方法として、列ライン反転駆動がある。列ライン反転駆動を採用する場合、個々のソースラインの電位は、新たなフレーム開始時に、 V_0 より低い電位から V_0 より高い電位に、あるいは、 V_0 より高い電位から V_0 より低い電位に変化する。このため、消費電力が大きくなる。このような消費電力の増加を抑えるために、ソースドライバ 3 は、フレームの終了後、次のフレームの開始までの期間内で、個々のソースラインに接続される各接続端子同士を短絡させることが好ましい。フレーム間で、ソースドライバ 3 が、ソースラインに接続される各接続端子同士を短絡させると、各ソースラインの電位は、 V_0 に近い電位になる。よって、ソースドライバ 3 は、新たなフレームの開始時に、個々のソースラインの電位を、約 V_0 から、 V_0 より高い電位に変化させたり、約 V_0 から、 V_0 より低い電位に変化させたりすればよい。従って、列ライン反転駆動を採用する場合に、消費電力を抑えることができる。

10

【産業上の利用可能性】

【 0 0 8 3 】

本発明は、奇数番目の行のゲートラインに対応するゲート駆動部と、偶数番目の行のゲートラインに対応するゲート駆動部とを備える液晶表示装置に好適に適用される。

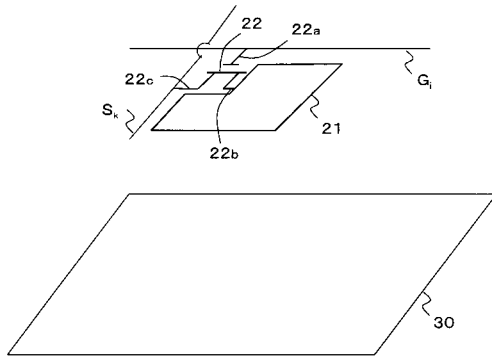
【符号の説明】

【 0 0 8 4 】

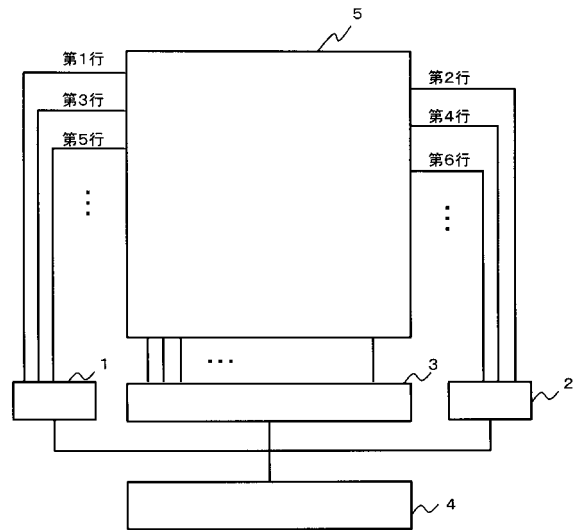
20

- 1 第 1 のゲートドライバ
- 2 第 2 のゲートドライバ
- 3 ソースドライバ
- 4 タイミングコントローラ
- 5 液晶パネル
- 8 a , 8 b 電位出力部
- 9 a , 9 b 出力制御部

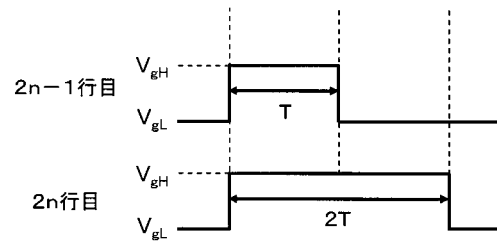
【図 1】



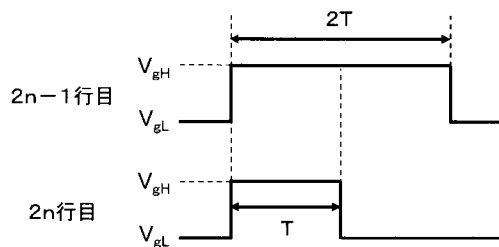
【図 2】



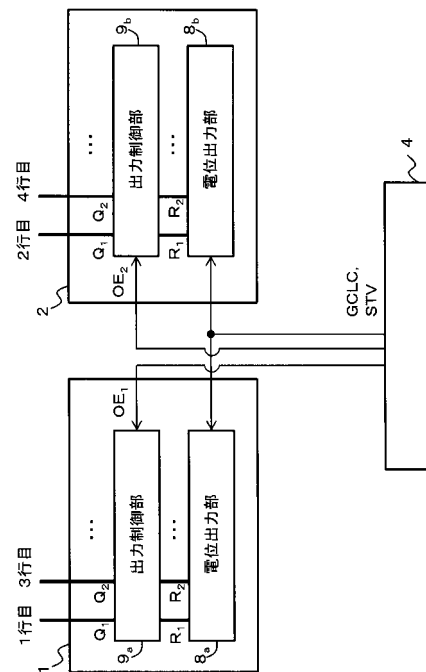
【図 3】



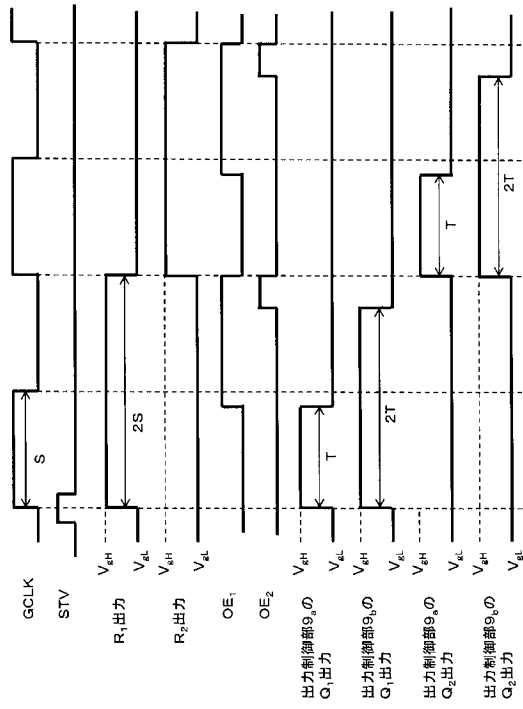
【図 4】



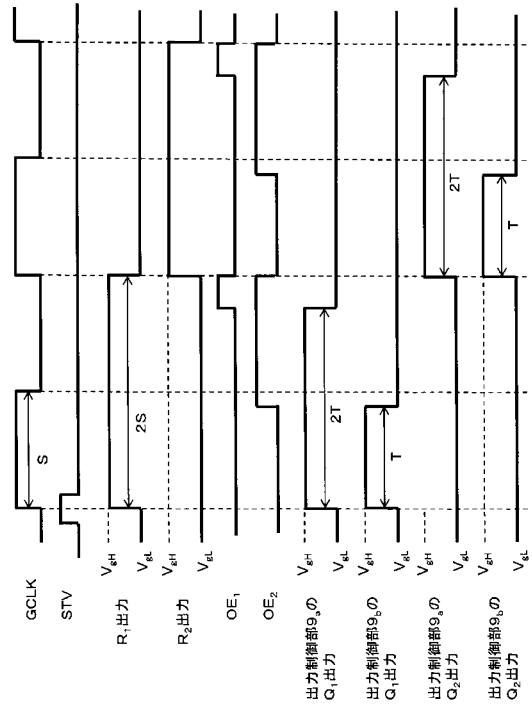
【図 5】



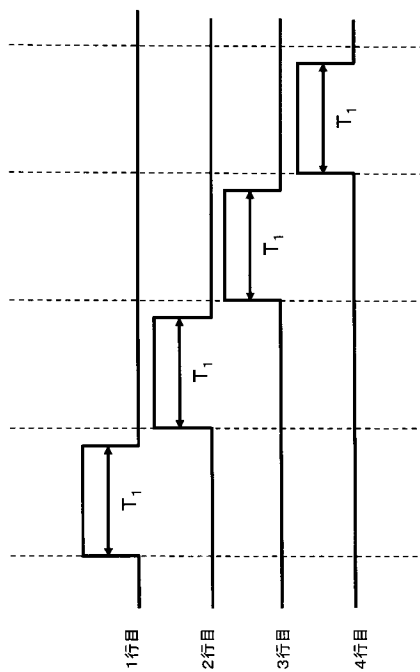
【図 6】



【図 7】



【図 8】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 3 C
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 2 1 A
G 0 9 G	3/20	6 2 3 D
G 0 2 F	1/133	5 5 0

专利名称(译)	液晶表示装置		
公开(公告)号	JP2014224916A	公开(公告)日	2014-12-04
申请号	JP2013104211	申请日	2013-05-16
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	権藤賢二		
发明人	権藤 賢二		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
FI分类号	G09G3/20.622.C G09G3/36 G09G3/20.622.M G09G3/20.622.D G09G3/20.623.U G09G3/20.623.C G09G3/20.641.C G09G3/20.621.A G09G3/20.623.D G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZC24 2H193/ZC34 2H193/ZF24 5C006/AA16 5C006/AC24 5C006/AC28 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB16 5C006/FA12 5C080/AA10 5C080/BB05 5C080/DD08 5C080/FF11 5C080/JJ02 5C080/JJ04		
代理人(译)	岩冬树 盐川正人		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种即使缩短选择时间也能够防止显示质量下降的液晶显示装置。第一栅极驱动器1顺序地选择奇数号的栅极线，并且在预定的选择时段内将所选择的栅极线设置为预定的ON电位。第二栅极驱动器2在奇数栅极线的选择周期的结束之前开始为奇数栅极线的下一个偶数栅极线设置预定的ON电势，并且 即使在选择时段结束之后，偶数编号的栅极线也被设置为预定的导通电位。[选择图]图2

