

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2014-206703
(P2014-206703A)

(43) 公開日 平成26年10月30日(2014. 10. 30)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 5 7 5	2 H 1 9 3
G09G 3/36 (2006.01)	G09G 3/36	5 C 0 0 6
G09G 3/20 (2006.01)	G09G 3/20 6 1 2 U	5 C 0 8 0
G09G 3/34 (2006.01)	G09G 3/20 6 4 1 P	
	G09G 3/20 6 5 O M	
審査請求 未請求 請求項の数 10 O L (全 38 頁) 最終頁に続く		

(21) 出願番号	特願2013-85519 (P2013-85519)	(71) 出願人	000002369
(22) 出願日	平成25年4月16日 (2013. 4. 16)		セイコーエプソン株式会社
			東京都新宿区西新宿 2 丁目 4 番 1 号
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(74) 代理人	100116665
			弁理士 渡辺 和昭
		(72) 発明者	北川 拓
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		(72) 発明者	保坂 宏行
			長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内
		最終頁に続く	

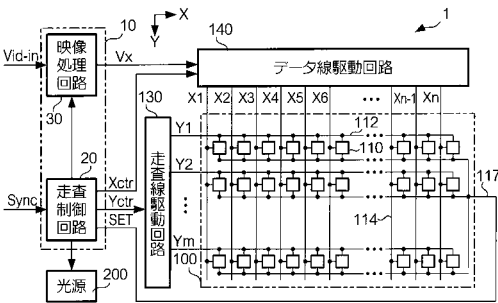
(54) 【発明の名称】 画像処理装置、液晶表示装置及び電子機器

(57) 【要約】

【課題】横電界の影響による表示品位の低下を抑えるための画像が視認されるのを防ぐ。

【解決手段】映像処理回路 30 は、液晶パネル 100 に表示する暗画素と明画素との境界の一部であって、液晶分子のチルト方位で定まるリスク境界を検出し、リスク境界に接する暗画素と明画素の少なくとも一方を、第 1 フィールドにおいて中間階調に補正する。走査制御回路 20 は、第 1 フィールドで作成された画像が表示される期間においては、液晶パネル 100 に光を照射する光源 200 をオフとし、第 2 フィールドから第 4 フィールドで作成された補正されていない画像が表示される期間にあっては、光源 200 をオンとする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

画素の印加電圧を指定する入力映像信号を補正し、補正された映像信号を前記画素を有する液晶パネルへ出力する画像処理装置であって、

前記入力映像信号により第 1 の階調範囲に含まれる暗画素となる画素と前記入力映像信号で第 2 の階調範囲に含まれる明画素となる画素との境界を検出する境界検出部と、

前記入力映像信号を取得し、前記境界検出部で検出された境界に接する前記暗画素および前記明画素の少なくとも一方への印加電圧を指定する前記入力映像信号を補正する補正部と、

前記補正部で補正された映像信号が前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記入力映像信号が前記液晶パネルに表示されている期間において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部と

を備える画像処理装置。

【請求項 2】

1 フレームを、 n 個のフィールドで構成し、

前記補正された映像信号を、前記 n 個のフィールドのうちの一部で表示し、

前記 n 個のフィールドのうち残りでは、前記入力映像信号により表示を行う

請求項 1 に記載の画像処理装置。

【請求項 3】

複数の画素を備えた液晶パネルに用いられる画像処理装置であって、

前記画像処理装置は、

前記複数の画素のそれぞれに印加する電圧を制御する信号に基いて、第 1 の画素に対応つけられ、第 1 の基準電圧よりも低い第 1 の電圧を印加する第 1 の信号と、前記第 1 の画素に隣り合う第 2 の画素に対応つけられ、第 2 の基準電圧よりも高い第 2 の電圧を印加する第 2 の信号とを検出する検出部と、

前記第 1 の信号を前記第 1 の電圧よりも高い第 3 の電圧を印加する第 3 の信号に補正し、前記第 2 の信号を前記第 2 の電圧よりも低い第 4 の電圧を印加する第 4 の信号に補正する補正部と、

前記第 3 の信号と前記第 4 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第 1 の信号と前記第 2 の信号とが前記液晶パネルに表示されている期間において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部と

を備えることを特徴とする画像処理装置。

【請求項 4】

複数の画素を備えた液晶パネルに用いられる画像処理装置であって、

前記画像処理装置は、

前記複数の画素のそれぞれで表示する階調レベルを制御する信号に基いて、第 1 の画素に対応つけられ、第 1 の基準階調レベルよりも低い第 1 の階調を表示する第 1 の信号と、前記第 1 の画素に隣り合う第 2 の画素に対応つけられ、第 2 の基準階調レベルよりも高い第 2 の階調を表示する第 2 の信号とを検出する検出部と、

前記第 1 の信号を前記第 1 の階調よりも高い第 3 の階調を表示する第 3 の信号に補正し、前記第 2 の信号を前記第 2 の階調よりも低い第 4 の階調を表示する第 4 の信号に補正する補正部と、

前記第 3 の信号と前記第 4 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第 1 の信号と前記第 2 の信号とが前記液晶パネルに表示されている期間において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部と

を備えることを特徴とする画像処理装置。

【請求項 5】

1 フレームを、 n 個のフィールドで構成し、
前記第 3 の信号と前記第 4 の信号とを、前記 n 個のフィールドのうちの一部で表示し、
前記 n 個のフィールドのうちの残りでは、前記第 1 の信号と前記第 2 の信号とにより表示を行う

を特徴とする請求項 3 または 4 に記載の画像処理装置。

【請求項 6】

複数の画素を備えた液晶パネルに用いられ、フレーム毎に前記複数の画素のそれぞれに表示する階調レベルを制御する信号を処理する画像処理装置であって、

前記画像処理装置は、

第 1 のフレームにおいて、第 1 の画素に、第 1 の基準電圧よりも低い第 1 の電圧を印加する第 1 の信号と、前記第 1 の画素に隣り合う第 2 の画素に、第 2 の基準電圧よりも高い第 2 の電圧を表示する第 2 の信号とを検出する第 1 の検出部と、

前記第 1 のフレームよりも前の第 2 のフレームにおいて、第 3 の画素に、前記第 1 の基準電圧よりも低い第 3 の電圧を表示する第 3 の信号と、第 3 の画素に隣り合う第 4 の画素に、第 2 の基準電圧よりも高い第 4 の電圧を表示する第 4 の信号とを検出する第 2 の検出部と、

前記第 1 の画素と前記第 2 の画素とが、前記第 3 の画素と前記第 4 の画素と同じでない場合、前記第 1 の信号を前記第 1 の電圧より高い電圧を印加する第 5 の信号に補正し、前記第 2 の信号を前記第 2 の電圧より低い電圧を印加する第 6 の信号に補正する補正部と、

前記第 5 の信号と前記第 6 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第 1 の信号と前記第 2 の信号とが前記液晶パネルに表示されている期間において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部と

を備える画像処理装置。

【請求項 7】

複数の画素を備えた液晶パネルに用いられ、フレーム毎に前記複数の画素のそれぞれに表示する階調レベルを制御する信号を処理する画像処理装置であって、

前記画像処理装置は、

第 1 のフレームにおいて、第 1 の画素に、第 1 の基準階調レベルよりも低い第 1 の階調レベルを表示する第 1 の信号と、前記第 1 の画素に隣り合う第 2 の画素に、第 2 の基準階調レベルよりも高い第 2 の階調レベルを表示する第 2 の信号とを検出する第 1 の検出部と

、
前記第 1 のフレームよりも前の第 2 のフレームにおいて、第 3 の画素に、前記第 1 の基準階調レベルよりも低い第 3 の階調レベルを表示する第 3 の信号と、第 3 の画素に隣り合う第 4 の画素に、第 2 の基準階調レベルよりも高い第 4 の階調レベルを表示する第 4 の信号とを検出する第 2 の検出部と、

前記第 1 の画素と前記第 2 の画素とが、前記第 3 の画素と前記第 4 の画素と同じでない場合、前記第 1 の信号を前記第 1 の階調レベルより高い階調レベルを表示する第 5 の信号に補正し、前記第 2 の信号を前記第 2 の階調レベルより低い階調レベルを表示する第 6 の信号に補正する補正部と、

前記第 5 の信号と前記第 6 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第 1 の信号と前記第 2 の信号とが前記液晶パネルに表示されている期間において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部と

を備える画像処理装置。

【請求項 8】

1 フレームを、 n 個のフィールドで構成し、

前記第 5 の信号と前記第 6 の信号とを、前記 n 個のフィールドのうちの一部で表示し、

前記 n 個のフィールドのうちの残りでは、前記第 1 の信号と前記第 2 の信号とにより表示を行う

10

20

30

40

50

を特徴とする請求項 6 または 7 に記載の画像処理装置。

【請求項 9】

前記画像処理装置を備えたことを特徴とする請求項 1 ないし 8 のいずれかに記載の液晶表示装置。

【請求項 10】

請求項 9 に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

10

【背景技術】

【0002】

液晶パネルは、一定の間隙に保たれた一对の基板によって液晶を挟持した構成である。詳細には、液晶パネルは、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板にコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。画素電極とコモン電極との間において、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが表示制御に寄与する、ということ

20

【0003】

ところで、近年のように液晶パネルの小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が生じて、その影響が無視できなくなりつつある。例えば V A（Vertical Alignment）方式や、T N（Twisted Nematic）方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（つまり、リバースチルトドメイン）が発生し、表示上の不具合が発生してしまうという問題が生じた。

このリバースチルトドメインの影響を低減するために、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献 1 参照）などが提案されている。

30

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009-69608 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 に開示されている技術では、設定値以上の映像信号をクリップしてしまうため、映像信号で規定される画像とは異なる画像が表示される部分が生じ、この部分が視認されてしまう。

40

【0006】

本発明は、上述した事情に鑑みてなされたものであり、その目的の一つは、横電界の影響による表示品位の低下を抑えるための画像が視認されるのを防ぐことにある。

【課題を解決するための手段】

【0007】

上記目的を達成するため、本発明に係る画像処理装置は、画素の印加電圧を指定する入力映像信号を補正し、補正された映像信号を前記画素を有する液晶パネルへ出力する画像処理装置であって、前記入力映像信号により第 1 の階調範囲に含まれる暗画素となる画素と前記入力映像信号で第 2 の階調範囲に含まれる明画素となる画素との境界を検出する境

50

界検出部と、前記入力映像信号を取得し、前記境界検出部で検出された境界に接する前記暗画素および前記明画素の少なくとも一方への印加電圧を指定する前記入力映像信号を補正する補正部と、前記補正部で補正された映像信号が前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記入力映像信号が前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部とを備える。

この構成によれば、表示品位の低下を抑えるように補正された映像信号に応じた映像が液晶パネルに表示されている期間内において、液晶パネルに照射される光の光量が他の期間内において前記液晶パネルに照射される光の光量より小さくなるため、表示品位の低下を抑えるための補正された映像が視認されるのを防ぐことができる。

10

【0008】

本発明においては、1フレームを、 n 個のフィールドで構成し、前記補正された映像信号を、前記 n 個のフィールドのうちの一部で表示し、前記 n 個のフィールドのうちの残りでは、前記入力映像信号により表示を行う構成としてもよい。

この構成によれば、一のフィールドでのみ映像信号が補正されるため、補正されていない映像信号に応じた映像が表示される期間を長くすることができる。

【0009】

また、本発明に係る画像処理装置は、複数の画素を備えた液晶パネルに用いられる画像処理装置であって、前記画像処理装置は、前記複数の画素のそれぞれに印加する電圧を制御する信号に基いて、第1の画素に対応つけられ、第1の基準電圧よりも低い第1の電圧を印加する第1の信号と、前記第1の画素に隣り合う第2の画素に対応つけられ、第2の基準電圧よりも高い第2の電圧を印加する第2の信号とを検出する検出部と、前記第1の信号を前記第1の電圧よりも高い第3の電圧を印加する第3の信号に補正し、前記第2の信号を前記第2の電圧よりも低い第4の電圧を印加する第4の信号に補正する補正部と、前記第3の信号と前記第4の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第1の信号と前記第2の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部とを備える。

20

この構成によれば、表示品位の低下を抑えるように補正された信号に応じた映像が液晶パネルに表示されている期間内において、液晶パネルに照射される光の光量が他の期間内において前記液晶パネルに照射される光の光量より小さくなるため、表示品位の低下を抑えるための補正された映像が視認されるのを防ぐことができる。

30

【0010】

また、本発明に係る画像処理装置は、複数の画素を備えた液晶パネルに用いられる画像処理装置であって、前記画像処理装置は、前記複数の画素のそれぞれで表示する階調レベルを制御する信号に基いて、第1の画素に対応つけられ、第1の基準階調レベルよりも低い第1の階調を表示する第1の信号と、前記第1の画素に隣り合う第2の画素に対応つけられ、第2の基準階調レベルよりも高い第2の階調を表示する第2の信号とを検出する検出部と、前記第1の信号を前記第1の階調よりも高い第3の階調を表示する第3の信号に補正し、前記第2の信号を前記第2の階調よりも低い第4の階調を表示する第4の信号に補正する補正部と、前記第3の信号と前記第4の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第1の信号と前記第2の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部とを備える。

40

この構成によれば、表示品位の低下を抑えるように補正された信号に応じた映像が液晶パネルに表示されている期間内において、液晶パネルに照射される光の光量が他の期間内において前記液晶パネルに照射される光の光量より小さくなるため、表示品位の低下を抑えるための補正された映像が視認されるのを防ぐことができる。

【0011】

50

本発明においては、1 フレームを、n 個のフィールドで構成し、前記第 3 の信号と前記第 4 の信号とを、前記 n 個のフィールドのうちの一部で表示し、前記 n 個のフィールドのうちの残りでは、前記第 1 の信号と前記第 2 の信号とにより表示を行う構成としてもよい。

この構成によれば、一部のフィールドでのみ映像信号が補正されるため、補正されていない映像信号に応じた映像が表示される期間を長くすることができる。

【0012】

また、本発明に係る画像処理装置は、複数の画素を備えた液晶パネルに用いられ、フレーム毎に前記複数の画素のそれぞれに表示する階調レベルを制御する信号を処理する画像処理装置であって、前記画像処理装置は、第 1 のフレームにおいて、第 1 の画素に、第 1 の基準電圧よりも低い第 1 の電圧を印加する第 1 の信号と、前記第 1 の画素に隣り合う第 2 の画素に、第 2 の基準電圧よりも高い第 2 の電圧を表示する第 2 の信号とを検出する第 1 の検出部と、前記第 1 のフレームよりも前の第 2 のフレームにおいて、第 3 の画素に、前記第 1 の基準電圧よりも低い第 3 の電圧を表示する第 3 の信号と、第 3 の画素に隣り合う第 4 の画素に、第 2 の基準電圧よりも高い第 4 の電圧を表示する第 4 の信号とを検出する第 2 の検出部と、前記第 1 の画素と前記第 2 の画素とが、前記第 3 の画素と前記第 4 の画素と同じでない場合、前記第 1 の信号を前記第 1 の電圧より高い電圧を印加する第 5 の信号に補正し、前記第 2 の信号を前記第 2 の電圧より低い電圧を印加する第 6 の信号に補正する補正部と、前記第 5 の信号と前記第 6 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第 1 の信号と前記第 2 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部とを備える。

この構成によれば、表示品位の低下を抑えるように補正された信号に応じた映像が液晶パネルに表示されている期間内において、液晶パネルに照射される光の光量が他の期間内において前記液晶パネルに照射される光の光量より小さくなるため、表示品位の低下を抑えるための補正された映像が視認されるのを防ぐことができる。

【0013】

また、本発明に係る画像処理装置は、複数の画素を備えた液晶パネルに用いられ、フレーム毎に前記複数の画素のそれぞれに表示する階調レベルを制御する信号を処理する画像処理装置であって、前記画像処理装置は、第 1 のフレームにおいて、第 1 の画素に、第 1 の基準階調レベルよりも低い第 1 の階調レベルを表示する第 1 の信号と、前記第 1 の画素に隣り合う第 2 の画素に、第 2 の基準階調レベルよりも高い第 2 の階調レベルを表示する第 2 の信号とを検出する第 1 の検出部と、前記第 1 のフレームよりも前の第 2 のフレームにおいて、第 3 の画素に、前記第 1 の基準階調レベルよりも低い第 3 の階調レベルを表示する第 3 の信号と、第 3 の画素に隣り合う第 4 の画素に、第 2 の基準階調レベルよりも高い第 4 の階調レベルを表示する第 4 の信号とを検出する第 2 の検出部と、前記第 1 の画素と前記第 2 の画素とが、前記第 3 の画素と前記第 4 の画素と同じでない場合、前記第 1 の信号を前記第 1 の階調レベルより高い階調レベルを表示する第 5 の信号に補正し、前記第 2 の信号を前記第 2 の階調レベルより低い階調レベルを表示する第 6 の信号に補正する補正部と、前記第 5 の信号と前記第 6 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量が、前記第 1 の信号と前記第 2 の信号とが前記液晶パネルに表示されている期間内において前記液晶パネルに照射される光の光量より小さくなるように、前記液晶パネルに照射される光を出力する光源を制御する制御部とを備える。

この構成によれば、表示品位の低下を抑えるように補正された信号に応じた映像が液晶パネルに表示されている期間内において、液晶パネルに照射される光の光量が他の期間内において前記液晶パネルに照射される光の光量より小さくなるため、表示品位の低下を抑えるための補正された映像が視認されるのを防ぐことができる。

【0014】

本発明においては、1フレームを、n個のフィールドで構成し、前記第5の信号と前記第6の信号とを、前記n個のフィールドのうちの一部で表示し、前記n個のフィールドのうちの残りでは、前記第1の信号と前記第2の信号とにより表示を行う構成としてもよい。

この構成によれば、一部のフィールドでのみ映像信号が補正されるため、補正されていない映像信号に応じた映像が表示される期間を長くすることができる。

【0015】

なお、本発明は、画像処理装置のほか、当該画像処理装置を含む液晶表示装置や、当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【0016】

【図1】本発明に係る液晶表示装置の構成を示した図。

【図2】液晶表示装置における液晶素子の構成を示した図。

【図3】本発明に係る液晶パネルの走査信号とデータ信号の波形を示した図。

【図4】本発明に係る液晶パネルのV-T特性を示した図。

【図5】横電界の影響による表示上の不具合等を示す図。

【図6】液晶パネルをVA方式としたときの初期配向を説明するための図。

【図7】液晶パネルにおける画像の動きを説明するための図。

【図8】液晶パネルにおいて発生するリバーシブルを説明する図。

【図9】液晶パネルにおける画像の動きを説明するための図。

【図10】液晶パネルにおいて発生するリバーシブルを説明する図。

【図11】本発明に係る映像処理回路の構成を示した図。

【図12】第1実施形態において液晶パネルに照射される光量の変化を示した図。

【図13】通常の4倍速駆動で出力される映像信号を示した図。

【図14】第1実施形態において出力される映像信号を示した図。

【図15】映像処理回路におけるリスク境界の検出手順を説明する図。

【図16】映像処理回路による補正処理を説明する図。

【図17】チルト方位角が22.5度のときに発生するリバーシブルを説明する図。

【図18】チルト方位角が90度のときに発生するリバーシブルを説明する図。

【図19】第2実施形態において液晶パネルに照射される光量の変化を示した図。

【図20】第3実施形態において液晶パネルに照射される光量の変化を示した図。

【図21】第4実施形態に係る液晶表示装置の構成を示した図。

【図22】第4実施形態における液晶素子の構成を示した図。

【図23】第4実施形態において液晶パネルに照射される光量の変化を示した図。

【図24】変形例に係る映像処理回路の構成を示した図。

【図25】変形例におけるリスク境界の検出手順を説明する図。

【図26】変形例に係る映像処理回路による補正処理を説明する図。

【図27】液晶表示装置を適用したプロジェクターを示した図。

【図28】液晶パネルをTN方式としたときの初期配向を説明するための図。

【図29】TN方式の液晶パネルにおいて発生するリバーシブルを説明する図。

【図30】TN方式の液晶パネルにおいて発生するリバーシブルを説明する図。

【発明を実施するための形態】

【0017】

〔第1実施形態〕

図1は、本発明に一実施形態に係る映像処理回路を適用した液晶表示装置1の全体構成を示すブロック図である。図1に示すように、液晶表示装置1は、制御回路10と、液晶パネル100と、走査線駆動回路130と、データ線駆動回路140と、光源200とを備える。制御回路10には、映像信号Vid-inが上位装置から同期信号Syncに同期して供給される。映像信号Vid-inは、液晶パネル100における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号Syncに含まれる垂直走査信

10

20

30

40

50

号、水平走査信号およびドットクロック信号（いずれも図示省略）に従った走査の順番で供給される。本実施形態では、映像信号V i d - i nが供給される周波数が60Hzであり、その逆数である周期16.67ミリ秒で1フレーム（1コマ）の画像を表示するための映像信号V i d - i nが供給される。なお、映像信号V i d - i nは階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号V i d - i nは液晶素子の印加電圧を指定するものといって差し支えない。

【0018】

制御回路10は、走査制御回路20と映像処理回路30とを備える。制御回路10は、入力された映像信号を補正し、補正した映像信号を液晶パネル100へ出力する画像処理装置の一例である。走査制御回路20は、各種の制御信号を生成して、同期信号S y n cに同期して各部を制御する。映像処理回路30は、詳細については後述するが、デジタルの映像信号V i d - i nを処理して、アナログのデータ信号V xを出力する。

【0019】

光源200は、液晶パネル100に光を照射するものであり、本実施形態ではレーザーダイオードとなっている。光源200から出力された光は、図示を省略したレンズや拡散板、偏光変換素子を通過して平行化されて液晶パネル100に入射する。

【0020】

液晶パネル100は、透過型の液晶パネルである。図1に示したように、液晶パネル100には、m行の走査線112と制御線117が図においてX方向（横方向）に延在するように設けられ、また、n列のデータ線114が図においてY方向（縦方向）に延在するように、かつ、各走査線112および制御線117と互いに電氣的に絶縁を保つように設けられている。そして、m行の走査線112とn列のデータ線114との交点のそれぞれに対応して、画素110がそれぞれ配列されている。なお、本実施形態では、走査線112を区別するために、図において上から順に1、2、3、・・・、(m-1)、m行目という呼び方をする場合がある。同様に、データ線114を区別するために、図において左から順に1、2、3、・・・、(n-1)、n列目という呼び方をする場合がある。

【0021】

次に、図2は、液晶表示装置1における液晶素子の構成を示した図である。画素110は、第1メモリー126、第2メモリー127、スイッチ128を有する。第1メモリー126は、データ線114から供給されるデータ信号を記憶するメモリーである。第1メモリー126は、接続されている走査線112がH（High）レベルの場合、データ線114より供給されたデータ信号を記憶する。第2メモリー127は、第1メモリー126に記憶されているデータ信号を記憶するメモリーである。制御線117から供給される表示制御信号S E Tによりスイッチ128が閉にされると、第1メモリー126に記憶されているデータ信号が第2メモリー127へ供給され、第2メモリー127は、供給されたデータ信号を記憶する。

【0022】

第2メモリー127の出力端は、並列に設けられた液晶素子120と蓄積容量125とに接続されている。液晶素子120は、素子基板に設けられた画素電極118と、素子基板に対向する対向基板に設けられたコモン電極108とで電気光学材料である液晶105を挟持することによって形成されている。蓄積容量125は、他端が容量線115に共通接続されている。容量線115は時間的に一定の電圧に保たれている。コモン電極108は、対向基板に一面に形成される透明電極である。画素電極118には、第2メモリー127に記憶されたデータ信号に応じた電圧が印加され、コモン電極108には、コモン電圧L C c o mが印加される。

【0023】

第2メモリー127へデータ信号が記憶されると、第2メモリー127に記憶されたデータ信号に応じた電圧が画素電極118に印加される。スイッチ128が開となると、第1メモリー126と第2メモリー127とが電氣的に切断されるが、画素電極118に印加された電圧は、液晶素子120の容量性および蓄積容量125によって保持される。液

10

20

30

40

50

晶素子120では、画素電極118およびコモン電極108によって生じる電界に応じて液晶105の分子配向状態が変化する。このため、液晶素子120は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル100では、液晶素子120毎に透過率が変化するので、液晶素子120が画素に相当する。そして、この画素の配列領域が表示領域となる。なお、本実施形態においては、液晶105をVA方式として、液晶素子120が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0024】

走査線駆動回路130は、走査制御回路20による制御信号Yctrにしたがって、1、2、3、・・・、m行目の走査線112に、走査信号Y1、Y2、Y3、・・・、Ymを供給する。詳細には、走査線駆動回路130は、図3(a)に示すように、走査線112をフレームにわたって1、2、3、・・・、(m-1)、m行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧VH(Highレベル)とし、それ以外の走査線への走査信号を非選択電圧VL(Lowレベル)とする。なお、フレームとは、液晶パネル100を駆動することによって、画像の1コマ分を液晶パネル100に表示させるのに要する期間をいう。本実施形態では、同期信号Syncにより制御される垂直走査信号の周波数が240Hzである。図3(a)にも示すように、本実施形態の液晶表示装置1では、1フレームをそれぞれ第1フィールド～第4フィールドまでの4つのフィールドに分けるとともに、各フィールドで、1～m行目の走査線を走査する、いわゆる4倍速駆動を実現する。すなわち、上位装置から60Hzの供給速度で供給される映像信号Vid-inに基づいて、液晶表示装置1が240Hzの駆動速度で液晶パネル100を駆動することで、映像信号Vid-inに基づいて1コマの画像を表示することとなる。1フィールドの期間は、1/4フレーム期間に相当し、ここではおよそ4.16ミリ秒である。また、液晶表示装置1では、第1、3フィールドにおいて正極性書込を指定し、第2、4フィールドにおいて負極性書込を指定し、フィールド毎に書込極性を反転して、画素へのデータの書き込みを行う。このような倍速駆動を採用することにより、等倍速駆動とする場合に比べて、画像の残像感を減らすことができる、という効果を奏する。

【0025】

データ線駆動回路140は、映像処理回路30から供給されるデータ信号Vxを、走査制御回路20による制御信号Xctrにしたがって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングする。なお、本説明では、電圧については液晶素子120の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子120の印加電圧は、コモン電極108のコモン電圧LCcomと画素電極118との電位差であり、他の電圧と区別するためである。

【0026】

さて、液晶素子120の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、例えば図4(a)に示すようなV-T特性で表される。このため、液晶素子120を、映像信号Vid-inで指定された階調レベルに応じた透過率とさせるには、その階調レベルに応じた電圧を液晶素子120に印加すればよいはずである。しかしながら、液晶素子120の印加電圧を、映像信号Vid-inで指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生する場合がある。

【0027】

ここで、リバースチルトドメインに起因する表示上の不具合の例について説明する。例えば図5に示すように、映像信号Vid-inで示す画像が、白画素を背景として黒画素が連続する黒パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その黒パターンの左端縁部(動きの後縁部)において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、という一種の尾引き現象として顕在化する。

なお、液晶パネル100においては、白画素を背景とした黒画素の領域がフレーム毎に2画素以上ずつ移動するとき、液晶素子の応答時間が表示画面が更新される時間間隔(1

10

20

30

40

50

フレーム期間)より短ければ、このような尾引き現象は顕在化しない(または、視認されにくい)。この理由は、次のように考えられる。すなわち、あるフレームにおいて、白画素と黒画素とが隣接したときに、その白画素でリバースチルトドメインが発生するかもしれないが、画像の動きを考えると、リバースチルトドメインが発生する画素が離散的となるので、視覚的に目立たない、と考えられるからである。

なお、図5において見方を変え、黒画素を背景として白画素が連続する白パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その白パターンの右端縁部(動きの先端部)において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、ということもできる。また、図5においては、説明の便宜上、画像のうち、1ラインの境界付近を抜き出している。

10

【0028】

リバースチルトドメインに起因する表示上のこの不具合は、液晶素子120において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなることが原因のひとつとして考えられている。

ここで、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルの(または黒レベルに近い)暗画素と、白レベルの(または白レベルに近い)明画素とが隣接する場合である。このうち、暗画素については、印加電圧がノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} (第1電圧)を下回る電圧範囲Aにある液晶素子120の画素をいうことにする。また、便宜的に、液晶素子の印加電圧が電圧範囲Aにある液晶素子の透過率範囲(階調範囲)を「a」とする。

20

次に、明画素については、印加電圧が閾値 V_{th2} (第2電圧)以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲Bにある液晶素子120とする。便宜的に、液晶素子の印加電圧が電圧範囲Bにある液晶素子の透過率範囲(階調範囲)を「b」とする。

【0029】

液晶分子が不安定な状態であるときとは、液晶素子の印加電圧が電圧範囲Aにおいて V_{c1} (第3電圧)を下回るときである。液晶素子の印加電圧が V_{c1} を下回るときは、その印加電圧による縦電界の規制力が配向膜による規制力と比較して弱いので、液晶分子の配向状態は、わずかな外的要因によって乱れやすい。また、その後、印加電圧が V_{c1} 以上になったときに、その印加電圧に応じて液晶分子が傾斜しようとしても、応答に時間がかかりやすいためである。逆にいえば、印加電圧が V_{c1} 以上であれば、液晶分子が印加電圧に応じて傾斜し始める(透過率が変化し始める)ので、液晶分子の配向状態は安定状態にある、ということができる。このため、電圧 V_{c1} は、透過率で規定した閾値 V_{th1} よりも低い関係にある。

30

【0030】

このように考えた場合、変化前において液晶分子が不安定な状態にあった画素は、画像の動きによって暗画素と明画素とが隣接することになったときの横電界の影響によって、リバースチルトドメインが発生しやすい状況にあるということができる。ただし、液晶分子の初期配向状態を考慮して検討すると、暗画素と明画素との位置関係によってリバースチルトドメインが発生する場合と発生しない場合とがある。そこで次に、これらの場合をそれぞれ検討する。

40

【0031】

図6(a)は、液晶パネル100において互いに縦方向および横方向に隣接する 2×2 の画素を示す図であり、図6(b)は、液晶パネル100を、図6(a)におけるp-q線を含む垂直面で破断したときの簡易断面図である。

図6に示すように、VA方式の液晶分子は、画素電極118とコモン電極108との電位差(液晶素子の印加電圧)がゼロである状態において、チルト角が θ_a で、チルト方位角が θ_b (=45度)で、初期配向しているものとする。ここで、リバースチルトドメイ

50

ンは、上述したように画素電極 118 同士の横電界に起因して発生することから、画素電極 118 が設けられた素子基板の側における液晶分子の振る舞いが問題となる。このため、液晶分子のチルト方位角およびチルト角については、画素電極 118（素子基板）の側を基準にして規定する。

【0032】

詳細には、チルト角 θ_a とは、図 6（b）に示すように、基板法線 S_v を基準にして、液晶分子の長軸 S_a のうち、画素電極 118 側の一端を固定点としてコモン電極 108 の他端が傾斜したときに、液晶分子の長軸 S_a がなす角度とする。一方、チルト方位角 θ_b とは、データ線 114 の配列方向である Y 方向に沿った基板垂直面を基準にして、液晶分子の長軸 S_a および基板法線 S_v を含む基板垂直面（p-q 線を含む垂直面）がなす角度とする。なお、チルト方位角 θ_b については、画素電極 118 の側からコモン電極 108 に向けて平面視したときに、画面上方向（Y 方向の反対方向）から、液晶分子の長軸の一端を始点として他端に向かう方向（図 6（a）では右上方向）までを、時計回りで規定した角度とする。また、同様に画素電極 118 の側から平面視したときに、液晶分子における画素電極側の一端から他端に向かう方向を便宜的にチルト方位の下流側と呼び、反対に他端から一端に向かう方向（図 6（a）では左下方向）を便宜的にチルト方位の上流側と呼ぶことにする。

【0033】

このような初期配向となる液晶 105 を用いた液晶パネル 100 において、例えば図 7（a）に示すように、破線で囲まれた 2×2 の 4 画素に着目する。図 7（a）では、白レベルの画素（白画素）からなる領域を背景として黒レベルの画素（黒画素）からなるパターンが右上方向にフレーム毎に 1 画素ずつ移動する場合を示している。なお、以下の説明において、n フレームから t フレーム（t は自然数）前のフレームを「n-t フレーム」と表し、n フレームから t フレーム後のフレームを「n+t フレーム」と表す。

図 8（a）に示すように、（n-1）フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、n フレームにおいて、左下の 1 画素だけが白画素に変化するときを想定する。上述したようにノーマリーブラックモードにおいて、画素電極 118 とコモン電極 108 との電位差である印加電圧は、黒画素よりも白画素で大きい。このため、黒から白に変化する左下の画素では、図 8（b）のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向とは垂直方向（基板面の水平方向）に傾斜しようとする。

【0034】

しかしながら、白画素の画素電極 118（Wt）と黒画素の画素電極 118（Bk）との間隙で生じる電位差は、白画素の画素電極 118（Wt）とコモン電極 108 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 118 とコモン電極 108 との間隙よりも狭い。従って、電界の強度で比較すると、画素電極 118（Wt）と画素電極 118（Bk）との間隙で生じる横電界は、画素電極 118（Wt）とコモン電極 108 との間隙で生じる縦電界よりも強い。

左下の画素は、（n-1）フレームにおいて液晶分子が不安定な状態の黒画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、白レベルの電圧が画素電極 118（Wt）に印加されたことによる縦電界よりも、隣接する画素電極 118（Bk）からの横電界の方が強い。従って、白になろうとしている画素では、図 8（b）に示すように、黒画素に隣接する側の液晶分子 Rv が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 Rv は、縦電界に応じて破線のように基板水平方向に傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、白に変化すべき画素においてリバースチルトが発生する領域は、図 8（c）に示すように、白に変化すべき画素と黒画素との間隙にとどまらず、その間隙から白に変化すべき画素を浸食する形で広範囲に拡がる。

【0035】

このように、図 8 から、白に変化しようとする着目画素の周辺が黒画素であった場合、

10

20

30

40

50

その着目画素に対して黒画素が右上側、右側および上側で隣接するとき、その着目画素では、リバースチルトが右辺および上辺に沿った内周領域にて発生する、ということができる。

なお、図 8 (a) に示されるパターンの変化は、図 7 (a) に示した例のみならず、黒画素からなるパターンが、図 7 (b) に示すように右方向にフレーム毎に 1 画素ずつ移動する場合や、図 7 (c) に示すように上方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 5 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に右上方向、右方向または上方向に、1 画素ずつ移動する場合にも発生する。

【0036】

次に、液晶パネル 100 において、図 9 (a) に示すように、白画素からなる領域を背景として黒画素からなるパターンが左下方向にフレーム毎に 1 画素ずつ移動する場合に、破線で囲まれた 2×2 の 4 画素に着目する。すなわち、図 10 (a) に示すように、 $(n-1)$ フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、 n フレームにおいて、右上の 1 画素だけが白画素に変化するときを想定する。

この変化後においても、黒画素の画素電極 118 (Bk) と白画素の画素電極 118 (Wt) との間隙では、画素電極 118 (Wt) とコモン電極 108 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 10 (b) に示すように、黒画素において白画素に隣接する側の液晶分子 Rv は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となる。しかし、黒画素では縦電界が $(n-1)$ フレームから変化しないので、他の液晶分子に影響をほとんど与えない。このため、黒画素から変化しない画素においてリバースチルトが発生する領域は、図 10 (c) に示すように、図 8 (c) の例と比較して無視できる程度に狭い。

【0037】

一方、 2×2 の 4 画素のうち、右上において黒から白に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、右上画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の水平方向に図 10 (b) において破線で示すように正しく傾斜する結果、目的である白画素に変化するので、表示品位の劣化が発生しないことになる。

なお、図 10 (a) に示されるパターンの変化は、図 9 (a) に示した例のみならず、黒画素からなるパターンが、図 9 (b) に示すように左方向にフレーム毎に 1 画素ずつ移動する場合や、図 9 (c) に示すように下方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 5 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に左下方向、左方向または下方向に、1 画素ずつ移動する場合にも発生する。

【0038】

図 6 から図 10 までの説明から、想定している VA 方式 (ノーマリーブラックモード) の液晶において、ある n フレームに着目したとき、次のような要件を満たす場合に、 n フレームにおいて次の画素でリバースチルトドメインの影響を受ける、ということができる。すなわち、

(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる場合であって、かつ、

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左下側、左側または下側に位置する場合に、

(3) n フレームにおいて当該明画素に変化する画素が、1 フレーム前の $(n-1)$ フレームでは、液晶分子が不安定な状態にあったとき、

n フレームにおいて当該明画素でリバースチルトが発生する、ということになる。

既に理由を説明したが、(2)において、暗画素と明画素とが隣接する部分を示す境界が、前フレームから1画素分だけ移動しているときには、より一層リバースチルトドメインの影響を受けやすくなると考えられる。

【0039】

ところで、図7では、 2×2 の4画素が $(n-1)$ フレームで黒画素であって、次の n フレームで左下だけが白画素となったときを例示した。しかし、一般的には、 $(n-1)$ フレームおよび n フレームのみならず、これらフレームを含む前後の複数フレームにわたって同様な動きを伴うのが通例である。このため、図7(a)～(c)に示すように、 $(n-1)$ フレームで液晶分子が不安定な状態であった暗画素(白丸点が付された画素)では、画像パターンの動きから、その左下側、左側または下側に明画素が隣接している場合が多いと考えられる。

10

【0040】

このため、事前に $(n-1)$ フレームにおいて、映像信号 $Vid-i n$ で示される画像において暗画素と明画素とが隣接し、且つ、その暗画素が、その明画素に対して右上側、右側または上側に位置する場合、 n フレームでその明画素と暗画素に相当する液晶素子に対し、暗画素が明画素に隣接する期間が1フレーム期間よりも短くなるように電圧を印加する。そうすれば、 n フレームにおいて要件(1)～要件(3)を満たす期間が短縮されて液晶分子の配向不良状態が発生しにくくなり、 n フレームにおいてリバースチルトドメインは発生しない、ということになる。本実施形態では、隣接する明画素との間で生じる横電界をより弱くできるように、補正対象である画素について階調レベルが中間階調 $Cm i d$ の映像信号に補正するものとする。中間階調 $Cm i d$ の映像信号は、ここでは、最大階調に対応する印加電圧と最小階調に対応する印加電圧との中間電圧である、 $2.5V$ となるような液晶素子120への印加電圧を指定するものである。

20

このような考えに基づいて、現フレームの映像信号 $Vid-i n$ を処理して、液晶パネル100でリバースチルトドメインの発生を未然に防ぐための回路が、図1における映像処理回路30である。

【0041】

次に、映像処理回路30の詳細について図11を参照して説明する。図11に示すように、映像処理回路30は、遅延回路302、境界検出部304、補正部306およびD/A変換器308を備える。

30

遅延回路302は、FIFO(Fast In Fast Out:先入れ先出し)メモリーや多段のラッチ回路などにより構成され、上位装置から供給される映像信号 $Vid-i n$ を蓄積して、所定時間経過後に読み出して映像信号 $Vid-d$ として出力するものである。なお、遅延回路302における蓄積および読出は、走査制御回路20によって制御される。

【0042】

境界検出部304は、第1検出部3041と、第2検出部3042と、判別部3043とを備える。

第1検出部3041は、映像信号 $Vid-i n$ で示す画像を解析して、階調範囲aにある暗画素(第1画素)と階調範囲bにある明画素(第2画素)とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、第1検出部3041は、隣接する部分があると判別したときに、その隣接部分を境界として検出して、境界の位置情報を出力する。

40

なお、ここでいう境界とは、あくまでも階調範囲aにある暗画素と階調範囲bにある明画素とが隣接する部分、すなわち、強い横電界が発生する部分をいう。このため、例えば階調範囲aにある画素と、階調範囲aでもなく階調範囲bでもない別の階調範囲d(図4(a)参照)にある画素とが隣接する部分や、階調範囲bにある画素と階調範囲dにある画素とが隣接する部分については、境界として扱わない。

【0043】

第2検出部3042は、第1検出部3041により検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置す

50

る部分とを抽出して、リスク境界として検出し、リスク境界の位置情報を出力するものである。

判別部 3043 は、遅延して出力された映像信号 $Vid-d$ で示す画素が、第 2 検出部 3042 で抽出されたリスク境界に接している画素であるか判断する。そして判別部 3043 は、リスク境界に接している暗画素からリスク境界の反対方向へ連続する r 個の暗画素（本実施形態では $r = 2$ ）について、1 フレームの一部である第 1 フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力する。また、判別部 3043 は、リスク境界に接している明画素からリスク境界の反対方向へ連続する s 個（本実施形態では $s = 2$ ）の明画素について、第 1 フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力する。一方で、判別部 3043 は、上記の画素以外については、出力信号のフラグ Q を「0」として出力する。また、判別部 3043 は、第 2 フィールド～第 4 フィールドに対応する期間においては、出力信号のフラグ Q を「0」として出力する。

【0044】

なお、ここでいう「リスク境界に接している」とは、画素の一辺に沿ってリスク境界に接している場合と、画素の一角において縦横に連続するリスク境界が位置している場合とを含む。また、第 1 検出部 3041 は、ある程度（少なくとも 3 行以上）の映像信号を蓄積してからでないと、表示すべき画像における垂直または水平方向にわたって境界を検出することができない。第 2 検出部 3042 についても同様である。このため、上位装置からの映像信号 $Vid-in$ の供給タイミングを調整する意味で、遅延回路 302 が設けられている。

上位装置から供給される映像信号 $Vid-in$ のタイミングと、遅延回路 302 から供給される映像信号 $Vid-d$ のタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明する。また、第 1 検出部 3041 および第 2 検出部 3042 における映像信号 $Vid-in$ の蓄積等は、走査制御回路 20 によって制御される。

以上のように、境界検出部 304 はリスク境界を検出する境界検出ステップを実行する。

【0045】

補正部 306 は、判別部 3043 から供給されるフラグ Q が「1」である場合、フラグ Q が 1 であるときの画素の映像信号 $Vid-d$ を中間階調 $Cmid$ の映像信号に補正し、これを映像信号 $Vid-out$ として出力する。この中間階調 $Cmid$ の映像信号は、液晶素子 120 への印加電圧として、ここでは、最大階調に対応する印加電圧と最小階調に対応する印加電圧との中間電圧である、2.5V とすることを指定するものである。

これにより、補正部 306 により補正された映像信号 $Vid-out$ にあっては、各フレームの第 1 フィールドでは、暗画素と明画素とが隣接するリスク境界が生じなくなり、1 フレーム期間においてリスク境界が存在する期間が、映像信号 $Vid-in$ よりも短くなる。換言すると、1 フレーム期間においてリスク境界に接する画素が存在する期間が不連続となる。このような補正部 306 による補正処理によって、1 フレーム期間において同一位置にリスク境界が連続して存在しないことになる。一方、補正部 306 は、フラグ Q が「0」であるときには、映像信号を補正することなく、映像信号 $Vid-d$ をそのまま映像信号 $Vid-out$ として出力する（補正ステップ）。

【0046】

D/A 変換器 308 は、デジタルデータである映像信号 $Vid-out$ を、アナログのデータ信号 Vx に変換する。本実施形態では、面反転方式としているので、データ信号 Vx の極性は、液晶パネル 100 で 1 コマ分の書き替え毎に切り替えられる。

【0047】

次に、液晶表示装置 1 の表示動作について説明すると、上位装置からは映像信号 $Vid-in$ が、フレームにわたって 1 行 1 列～1 行 n 列、2 行 1 列～2 行 n 列、3 行 1 列～3 行 n 列、・・・、 m 行 1 列～ m 行 n 列の画素の順番で、供給される。映像処理回路 30 は、映像信号 $Vid-in$ を遅延・補正等の処理をして映像信号 $Vid-out$ として出力

する。

ここで、1行1列～1行n列の映像信号V i d - o u tが出力される水平有効走査期間（H a）でみたときに、処理された映像信号V i d - o u tは、奇数フィールドか偶数フィールドかに応じてフィールド毎に書込極性が入れ替わるように、D/A変換器308によって、図3（b）で示すように正極性または負極性のデータ信号V xに変換される。第1フィールドでは正極性のデータ信号に変換される。このデータ信号V xは、データ線駆動回路140によって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングされる。一方、1行1列～1行n列の映像信号V i d - o u tが出力される水平走査期間では、走査制御回路20が走査線駆動回路130に対し走査信号Y1だけをHレベルとなるように制御する。走査信号Y1がHレベルであれば、データ線114にサンプリングされたデータ信号は、1行目の走査線112に接続されている第1メモリー126に書き込まれる。

10

【0048】

続いて、2行1列～2行n列の映像信号V i d - i nは、同様に映像処理回路30によって処理されて、映像信号V i d - o u tとして出力されるとともに、D/A変換器308によって正極性のデータ信号に変換された上で、データ線駆動回路140によって1～n列目のデータ線114にサンプリングされる。2行1列～2行n列の映像信号V i d - o u tが出力される水平走査期間では、走査線駆動回路130によって走査信号Y2だけがHレベルとなるので、データ線114にサンプリングされたデータ信号は、2行目の走査線112に接続されている第1メモリー126に書き込まれる。

20

【0049】

以下同様な書込動作が3、4、・・・、m行目に対して実行され、これにより、各第1メモリー126に、データ信号が書き込まれる。走査制御回路20は、m行目までの書き込み動作が終了すると、図12に示したように、第2フィールドでの走査を開始するまでの間に、表示制御信号S E TをHレベルにする。表示制御信号S E TがHレベルになると、各画素110のスイッチ128が閉となり、第1メモリー126に記憶されているデータ信号が第2メモリー127へ供給され、第2メモリー127は、供給されたデータ信号を記憶する。第2メモリー127に供給されたデータ信号に対応した電圧が、画素電極118に印加される。これにより、各画素110の液晶素子には、それぞれ映像信号V i d - o u tで指定された階調レベルに応じた正極性電圧が書き込まれ、映像信号V i d - o u tで規定される透過像が作成されることとなる。

30

次のフィールドでは、データ信号の極性反転によって映像信号V i d - o u tが負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0050】

図3（b）は、映像処理回路30から、水平走査期間（H）にわたって1行1列～1行n列の映像信号V i d - o u tが出力されたときの第1、第2フィールドのデータ信号V xの一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号V xは、正極性であれば、基準電圧V c n tに対し、映像処理回路30によって処理された階調レベルに応じた分だけ高位側の電圧（図において↑で示す）になり、負極性であれば、基準電圧V c n tに対し、階調レベルに応じた分だけ低位側の電圧（図において↓で示す）になる。

40

詳細には、データ信号V xの電圧は、正極性であれば、白に相当する電圧V w（+）から黒に相当する電圧V b（+）までの範囲であり、一方、負極性であれば、白に相当する電圧V w（-）から黒に相当する電圧V b（-）までの範囲であり、それぞれ基準電圧V c n tから階調に応じた分だけ変化させた電圧となる。

電圧V w（+）および電圧V w（-）は、基準電圧V c n tを中心に互いに対称の関係にある。電圧V b（+）およびV b（-）についても基準電圧V c n tを中心に互いに対称の関係にある。

なお、図3（b）は、データ信号V xの電圧波形を示すものであって、液晶素子120に印加される電圧（画素電極118とコモン電極108との電位差）とは異なる。また、

50

図 3 (b) におけるデータ信号の電圧の縦スケールは、図 3 (a) における走査信号等の電圧波形と比較して拡大してある。

【0051】

なお、走査制御回路 20 は、第 1 フィールドにおける走査で作成された透過像が表示される期間、即ち、リスク境界に接する画素に対して補正が行われた画像が表示される期間においては、液晶パネル 100 に光が照射されないように光源 200 を制御する。また、走査制御回路 20 は、第 2 フィールド～第 4 フィールドにおける走査で作成された透過像が表示される期間、即ち、リスク境界に接する画素に対して補正が行われていない画像が表示される期間においては、液晶パネル 100 に光が照射されるように光源 200 を制御する。つまり、走査制御回路 20 は、光源 200 を制御する制御部の一例である。

10

【0052】

図 12 では、第 1 フィールド～第 4 フィールドにおいて液晶パネル 100 に照射される光の光量に変化するタイミングを示している。走査制御回路 20 は、図 12 に示したように第 1 フィールドで表示制御信号 SET を H レベルにしてから第 2 フィールドで表示制御信号 SET を H レベルにするまでの期間においては、液晶パネル 100 に光が照射されなくなるように光源 200 をオフとする（制御ステップ）。また、走査制御回路 20 は、図 12 に示したように第 2 フィールドで表示制御信号 SET を H レベルにしてから次のフレームの第 1 フィールドで表示制御信号 SET を H レベルにするまでの期間においては、液晶パネル 100 に予め定められた光量 L1 の光が照射されるように光源 200 をオンとする。

20

【0053】

次に、映像処理回路 30 による補正処理の具体例について説明する。まず、映像信号 Vid-in (図 13 (a)) と、映像信号 Vid-out (図 13 (b)) との通常の 4 倍速駆動での関係について説明する。図 13 (a)、図 13 (b) には、一列に並んだ複数画素からなる画素群を示しており、各矩形が 1 画素に対応している。図 13 や他の図面において、黒色で塗り潰して表す画素は階調レベルが暗画素であり、白色で塗り潰して表す画素は明画素である。また、図 13 (b) において、各フレームの映像信号 Vid-in に対応する映像信号 Vid-out にあっては、図中上から順に、第 1、第 2、第 3、第 4 フィールドに対応する映像信号 Vid-out をそれぞれ表している。

図 13 (a) に示すように、映像信号 Vid-in が 60 Hz の供給速度で供給され、この映像信号 Vid-in により、第 1 フレーム、第 2 フレーム、第 3 フレームと進むにつれて、画像が図中左から右に向かって 1 画素ずつスクロール移動する画像の表示が指定される。この場合、映像信号 Vid-out が出力されたときには、図 13 (b) に示すように、第 1～第 4 フィールドにより構成される 1 フレーム期間の全体で（つまり、16.67 ミリ秒にわたって）、同一箇所にはリスク境界が固定的に存在する。同一位置にリスク境界が長期間にわたって存在すると、上述したように液晶分子の配向不良状態が安定しやすくなり、その隣接画素においてはリバースチルトドメインが発生しやすい状態になる。

30

【0054】

図 14 は、この実施形態の映像処理回路 30 における補正部 306 の補正処理の概要を説明する図である。本実施形態では、上記画像を規定する図 14 (a) に示した映像信号 Vid-in が供給された場合に、図 14 (b) に示される映像信号 Vid-out に補正される。図 14 (b) に示すように、本実施形態では、1 フレーム期間の第 1 フィールドでは、リスク境界から見て暗画素側に連続する 2 つの画素と明画素側に連続する 2 つの画素が中間階調 Cmid に置換される。

40

なお、第 1 フィールドで作成された画像が表示される期間においては、走査制御回路 20 は、光源 200 をオフとし、第 2 フィールドから第 4 フィールドで作成された画像が表示される期間においては、光源 200 をオンとする。これにより、補正処理の行われた電圧が画素へ印加される期間（第 1 フィールドで作成された画像が表示されている期間）においては、液晶パネル 100 に光が照射されなくなるため、光源 200 を常にオンのまま

50

とする構成と比較すると、補正処理のされた画像が視認されなくなる。また、補正処理が行われていない画像が視認される期間（第2フィールドから第4フィールドで作成された画像が表示されている期間）にあっては、光源200がオンとなり補正処理のされていない画像、即ち、映像信号V i d - i nに対応した画像が視認される。

【0055】

補正部306により補正された映像信号V i d - o u tにあっては、各フレームの第1フィールドでは、暗画素と明画素とが隣接するリスク境界が生じなくなる。一方で、第2フィールドから4フィールドでは、このような補正処理は施されていないから、このようなリスク境界の変化はない。このような補正部306による補正処理によって、1フレーム期間においてリスク境界が存在する期間が、映像信号V i d - i nよりも短くなり、1フレーム期間において同一位置にリスク境界が連続して存在しないことになるため、液晶分子の配向不良状態が安定しにくくなって、リバースチルトドメインの発生が抑えられる。

10

また、本実施形態では、走査制御回路20による光源200の制御により、補正処理の行われた画像が視認されず、補正処理が行われていない画像が視認される期間が長くなるため、映像信号V i d - i nに応じた画像を視認させることができる。

【0056】

ここで、映像信号V i d - i nで示す画像が例えば図15（1）に示すように、階調範囲bの白（明）画素を背景として、液晶分子が不安定状態にある黒（暗）画素からなる領域が表示される画像である場合、第1検出部3041によって検出される境界は、図15（2）に示すとおりとなる。

20

次に、図15（3）に示すように、第2検出部3042は、第1検出部3041によって検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、これをリスク境界とする。

この場合、補正部306は、図16（a）にドットのハッチングで示すように、抽出されたリスク境界により定まる補正範囲に含まれる画素について、1フレームの一部（ここでは、第1フィールド）で中間階調C m i dの映像信号に補正する。なお、以下の説明においても、ドットのハッチングで示した画素は、補正対象の暗画素であることを意味する。

また、黒画素の或る一角において縦横に連続するリスク境界が位置している黒画素は、「リスク境界に接している」と扱う。これは、斜め方向に1画素分画像が移動したときに対処するためである。これに対して、黒画素の或る一角において縦または横のみに断裂したリスク境界が位置する黒画素については、縦横で連続したリスク境界が位置していないので、リスク境界に接しているとは見做さない。この内容は、明画素の場合でも共通する考え方であり、チルト方位角などに関係なく共通する内容であるから、以下ではその説明を適宜省略する。

30

【0057】

本実施形態によれば、リスク境界の隣接画素であるという条件に基づいて補正対象の画素が定まるので、補正対象の画素の特定が容易である。また、映像処理回路30は、液晶パネル100を4倍速駆動する構成の下、フィールド単位で映像信号の補正の有無を判別している。1フレーム期間の一部で映像信号を補正するための複雑な構成を備える必要がない。

40

【0058】

また、本実施形態では、映像信号が示す1コマの画像全体ではなく、画素同士における境界およびリスク境界を検出するための処理だけで済むので、2コマ分以上の画像を解析して動きを検出する構成と比較して、映像処理回路の大規模化や複雑化を抑えることが可能である。さらには、リバースチルトドメインが発生しやすい状態の領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。

また、本実施形態では、映像信号V i d - dで規定される画像のうち、映像信号が補正される画素は、リスク境界から予め定められた範囲内にある画素のみである。このため、

50

映像信号 $Vid-d$ に基づかない表示が発生する部分は、チルト方位角を考慮しないで、明画素に隣接する暗画素のすべてを一律に補正する構成と比較して、少なく抑えることができる。

さらに、本実施形態では、設定値以上の映像信号を一律にクリップしないので、使用しない電圧範囲を設けることによってコントラスト比に悪影響を与えることもない。また、液晶パネル 100 の構造に変更等を加える必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0059】

＜チルト方位角の他の例＞

上述した実施形態では、VA方式においてチルト方位角 θb が 45 度である場合を例にとって説明した。次に、チルト方位角 θb が 45 度以外の例について説明する。

まず、図 17 (a) に示すようにチルト方位角 θb が 22.5 度である例について説明する。この例では、注目画素および周辺画素において液晶分子が不安定な状態から注目画素だけ明画素に変化したとき、当該注目画素においてリバースチルトは、図 17 (b) に示すように、左辺および下辺に沿った内周領域で発生する。なお、この例では、図 6 に示したチルト方位角 θb が 45 度である場合の例を 180 度回転させたときと等価である。

チルト方位角 θb が 22.5 度である場合には、チルト方位角 θb が 45 度である場合にリバースチルトドメインが発生する要件 (1) ~ (3) のうち、要件 (2) を次のように修正する。すなわち、

(2) n フレームにおいて、当該明画素（印加電圧高）が、隣接する暗画素（印加電圧低）に対して、液晶分子におけるチルト方位の上流側に相当する右上側、右側または上側に位置する場合に、

と修正する。なお、要件 (1) および要件 (3) については変更はない。

したがって、チルト方位角 θb が 22.5 度であれば、映像処理回路 30 における補正部 306 が、第 1 検出部 3041 で検出された境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分のリスク境界に基づいて映像信号を補正するとよい。チルト方位角 θb が 22.5 度である場合、図 15 (1) で示される画像は、図 16 (c) に示されるリスク境界から予め定められた範囲内にある画素の階調レベルが中間階調 $Cmid$ に補正される。

この構成によれば、チルト方位角 θb が 22.5 度である場合、映像信号 $Vid-in$ で規定される画像において黒画素からなる領域が左下方向、左方向または下方向のいずれかに 1 画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、リスク境界に接する期間を 1 フレーム期間のうちの一部に短くすることができるから、リバースチルトドメインの発生を抑えることが可能となる。

【0060】

次に、図 18 (a) に示すようにチルト方位角 θb が 90 度である例について説明する。この例では、注目画素および周辺画素において液晶分子が不安定な状態から注目画素だけ明画素に変化したとき、当該注目画素においてリバースチルトは、図 18 (b) に示すように、右辺に沿った領域で集中的に発生する。このため、当該注目画素においてリバースチルトドメインは、右辺で発生した幅の分だけ、上辺の右辺寄りおよび下辺の右辺寄りにおいても発生する、という見方もできる。

このため、チルト方位角 θb が 90 度である場合には、チルト方位角 θb が 45 度である場合にリバースチルトドメインが発生する要件 (1) ~ (3) のうち、要件 (2) を次のように修正する。すなわち、

(2) n フレームにおいて、当該明画素（印加電圧高）が、隣接する暗画素（印加電圧低）に対して、液晶分子におけるチルト方位の上流側に相当する左側のみならず、その左側で発生する領域の影響を受ける上側または下側に位置する場合に、

と修正する。なお、要件 (1) および要件 (3) については変更はない。

したがって、チルト方位角 θb が 90 度であれば、映像処理回路 30 における補正部 3

10

20

30

40

50

06が、第1検出部3041で検出された境界のうち、暗画素が右側に位置し明画素が左側に位置する部分と、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が下側に位置し明画素が上側に位置する部分のリスク境界に基づいて映像信号を補正するとよい。チルト方位角 θb が90度である場合、図15(1)で示される画像は、図16(b)に示されるリスク境界から予め定められた範囲内にある画素の階調レベルが中間階調Cmidに補正される。

この構成によれば、チルト方位角 θb が90度である場合、映像信号Vid-inで規定される画像において黒画素からなる領域が上方向、右上方向、右方向、右下方向または下方向のいずれかに1画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、リスク境界に接する期間を1フレーム期間のうちの一部に短くすることができるから、リバースチルトドメインの発生を抑えることが可能となる。

10

【0061】

[第2実施形態]

次に本発明の第2実施形態について説明する。本実施形態に係る液晶表示装置1は、光源200をオンとするタイミングとオフとするタイミングが第1実施形態と異なる。なお、他の構成は第1実施形態と同じであるため、以下、第1実施形態との相違点について説明し、第1実施形態と同じ構成については同じ符号を付してその説明を省略する。

【0062】

図19は、本実施形態において液晶パネル100に照射される光の光量が増加するタイミングを示している。

20

上述した実施形態においては、表示制御信号SETを出力することにより、面順次駆動で液晶パネル100を駆動しており、表示制御信号SETをHレベルにすることにより、データ信号に応じた電圧が全画素の画素電極118に印加され、全画素の液晶素子120はデータ信号に応じた透過率に変化する。しかしながら、液晶素子120においては、表示制御信号SETがHレベルになったときにデータ信号に応じた透過率になるのではなく、具体的には、データ信号に応じた電圧が印加されてから液晶の透過率が変化を開始し、液晶の応答が完了した時点でデータ信号に応じた透過率となる。

このため、第2フィールドで表示制御信号SETをHレベルにした時点で光源をオンすると、この時点では、液晶の応答が完了しておらず、第1フィールドで作成した画像が視認される虞がある。

30

【0063】

そこで、本実施形態においては、図19に示したように、第2フィールドにおいては、走査制御回路20は、表示制御信号SETをHレベルにしてから液晶105の応答速度の時間 t が経過した後で光源200をオンとする。この構成によれば、第2フィールドで液晶の応答が完了し、第2フィールドで書き込まれた補正されていない画像が表示されてから光源200がオンとなるため、第1フィールドで書き込まれた画像、即ち、補正処理がされた画像が視認されることがない。

なお、図19においては、第1フィールドにおいて、表示制御信号SETをHレベルにしてから液晶105の応答速度の時間 t が経過した後で光源200をオフとしているが、走査制御回路20は、第1フィールドで表示制御信号SETをHレベルにした時点で光源200をオフとするようにしてもよい。

40

【0064】

[第3実施形態]

次に本発明の第3実施形態について説明する。本実施形態に係る液晶表示装置1は、液晶パネル100に照射する光の光量が連続的に変化する点が第1実施形態と異なる。なお、他の構成は第1実施形態と同じであるため、以下、第1実施形態との相違点について説明し、第1実施形態と同じ構成については同じ符号を付してその説明を省略する。

【0065】

図20は、本実施形態において液晶パネル100に照射される光の光量の変化を示している。上述した第1実施形態においては、第1フィールドにおいて表示制御信号SETが

50

Hレベルになった時点で光源200をオフにしているが、本実施形態においては、図20に示したように、走査制御回路20は、第1フィールドにおいて表示制御信号SETがHレベルになった時点から光源200を制御して光量を連続的に減少させ、予め定められた時間が経過した時点で光源200をオフとしている。

また、上述した第1実施形態においては、走査制御回路20は、第2フィールドにおいて表示制御信号SETがHレベルになった時点で光源200をオンにしているが、本実施形態においては、図20に示したように、走査制御回路20は、第2フィールドにおいて表示制御信号SETがHレベルになった時点から光源200を制御して光量を連続的に増加させ、予め定められた時間が経過した時点で光量を予め定められた光量L1となるように光源200を制御する。

10

【0066】

この構成によれば、第2フィールドで液晶の応答が完了し、第2フィールドで書き込まれた補正されていない画像が表示される時点で光量が予め定められた光量L1となるため、第1フィールドで書き込まれた画像、即ち、補正処理がされた画像が視認されにくくなる。

【0067】

なお、光源200が出力する光の光量を変化させる構成としては、光源200がレーザーダイオードである場合、光源200を駆動する電流を変化させて光量を変化させる構成であってもよい。また、PWM (Pulse Width Modulation) 制御により光源200がオンとなる時間を制御することにより、パルス幅を制御して液晶パネル100に光が照射される時間を制御し、光量を増加又は減少させる構成であってもよい。

20

【0068】

[第4実施形態]

次に本発明の第4実施形態について説明する。本実施形態に係る液晶表示装置1は、液晶パネル100の駆動方式が線順次方式である点が第1実施形態と異なる。以下、第1実施形態との相違点について説明し、第1実施形態と同じ構成については同じ符号を付してその説明を省略する。

【0069】

図21は、本実施形態に係る液晶表示装置1Aの全体構成を示すブロック図であり、図22は、本実施形態に係る液晶パネル100の等価回路を示した図である。図21に示すように、液晶表示装置1は、制御線117を備えていない点が第1実施形態と異なる。

30

また、図22に示すように、本実施形態に係る液晶パネル100は、走査線112とデータ線114との交差に対応して、画素電極118とコモン電極108とで液晶105を挟持した液晶素子120が配列した構成である。本実施形態においても、液晶素子120に対して並列に蓄積容量125が設けられる。蓄積容量125は、一端が画素電極118に接続され、他端が容量線115に共通接続されている。容量線115は時間的に一定の電圧に保たれている。

ここで、走査線112がHレベルになると、その走査線にゲート電極が接続されたTFT (Thin Film Transistor) 116がオンとなり、画素電極118がデータ線114に接続される。このため、走査線112がHレベルであるときに、データ線114に階調に応じた電圧のデータ信号を供給すると、そのデータ信号は、オンしたTFT 116を介して画素電極118に印加される。走査線112がLレベルになると、TFT 116はオフするが、画素電極118に印加された電圧は、液晶素子120の容量性および蓄積容量125によって保持される。

40

液晶素子120では、画素電極118およびコモン電極108によって生じる電界に応じて液晶105の分子配向状態が変化する。このため、液晶素子120は、透過型であれば、印加・保持電圧に応じた透過率となる。液晶パネル100では、液晶素子120毎に透過率が変化するのので、液晶素子120が画素に相当する。

【0070】

次に、液晶表示装置1の表示動作について説明すると、上位装置からは映像信号Vid

50

i n が、フレームにわたって 1 行 1 列～1 行 n 列、2 行 1 列～2 行 n 列、3 行 1 列～3 行 n 列、・・・、m 行 1 列～m 行 n 列の画素の順番で、供給される。映像処理回路 30 は、映像信号 V i d - i n を遅延・補正等の処理をして映像信号 V i d - o u t として出力する。

1 行 1 列～1 行 n 列の映像信号 V i d - o u t が出力される水平走査期間では、走査制御回路 20 が走査線駆動回路 130 に対し走査信号 Y1 だけを H レベルとなるように制御する。走査信号 Y1 が H レベルであれば、1 行目の T F T 116 がオン状態になるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある T F T 116 を介して画素電極 118 に印加される。これにより、1 行 1 列～1 行 n 列の液晶素子には、それぞれ映像信号 V i d - o u t で指定された階調レベルに応じた正極性電圧が書き込まれ、1 行目の画素は、映像信号 V i d - o u t に応じた階調となる。

10

【0071】

続いて、2 行 1 列～2 行 n 列の映像信号 V i d - i n は、同様に映像処理回路 30 によって処理されて、映像信号 V i d - o u t として出力されるとともに、D/A 変換器 308 によって正極性のデータ信号に変換された上で、データ線駆動回路 140 によって 1～n 列目のデータ線 114 にサンプリングされる。2 行 1 列～2 行 n 列の映像信号 V i d - o u t が出力される水平走査期間では、走査線駆動回路 130 によって走査信号 Y2 だけが H レベルとなるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある 2 行目の T F T 116 を介して画素電極 118 に印加される。これにより、2 行 1 列～2 行 n 列の液晶素子には、それぞれ映像信号 V i d - o u t で指定された階調レベルに応じた正極性電圧が書き込まれ、2 行目の画素は、映像信号 V i d - o u t に応じた階調となる。

20

以下同様な書込動作が 3、4、・・・、m 行目に対して実行され、これにより、各液晶素子に、映像信号 V i d - o u t で指定された階調レベルに応じた電圧が書き込まれて、映像信号 V i d - o u t で規定される透過像が作成されることとなる。

次のフィールドでは、データ信号の極性反転によって映像信号 V i d - o u t が負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0072】

次に光源 200 の制御タイミングについて説明する。図 23 は、走査信号の出力タイミングと、画素 110 の各行の書き込み状態と、液晶パネル 100 に照射される光量の変化とを時間経過とともに示した図である。

30

図 23 に示したように液晶パネル 100 においては、第 1 フィールドで 1 行目から m 行目まで順番に走査信号が出力されて画素 110 への書き込みが行われ、第 2 フィールドで次の書き込みが行われるまで各行の画素 110 では書き込まれた状態が保持される。

第 1 フィールドで作成された画像においては、1 行目の画像において補正処理がなされる場合や、m 行目の画像において補正処理がなされる場合が生じ得る。つまり、本実施形態においては、第 1 フィールドで 1 行目の画素 110 への書き込みが開始されてから m 行目の画素が第 2 フィールドで書き換えらるまでの期間において、補正された画素が表示される場合がある。

【0073】

40

そこで本実施形態では、補正処理された画像が視認されないようにするため、走査制御回路 20 は、図 23 に示したように、第 1 フィールドで走査信号 Y1 が H レベルとなるタイミングで光源 200 をオフとし、第 2 フィールドで走査信号 Ym が H レベルとなるタイミングで光源 200 をオンとする。

この構成によれば、補正処理がなされた画像が表示され得る期間においては、光源 200 がオフとなるため、補正処理のされていない画像、即ち、映像信号 V i d - i n に対応した画像を視認させることができる。

なお、本実施形態においても、第 2 実施形態のように液晶の応答速度に応じて、第 2 フィールドで m 行目の走査信号 Ym を出力してから時間 t が経過した後で光源 200 をオンとするようにしてもよく、また、第 3 実施形態のように光量を連続的に増加・減少させる

50

ようにしてもよい。

【0074】

〔他の補正処理例〕

上述した実施形態においては、リスク境界に接している暗画素からリスク境界の反対方向へ連続する r 個の暗画素と、リスク境界に接している明画素からリスク境界の反対方向へ連続する s 個の明画素を補正しているが、補正処理の構成は、この構成に限定されるものではない。以下、補正処理の変形例について説明する。

【0075】

（補正処理の第1変形例）

まず、補正処理の第1変形例について説明する。本変形例においては、判別部3043は、遅延して出力された映像信号 $Vid-d$ で示す画素が、第2検出部3042で抽出されたリスク境界に接している暗画素であるか否かを判別する。そして、判別部3043は、その判別結果が「Yes」である場合には、この暗画素について、1フレームの一部である第1フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力する。一方で、判別部3043は、判別結果が「No」である場合、また、判別結果が「Yes」である場合の第2フィールドから第4フィールドに対応する期間においては、出力信号のフラグ Q を「0」として出力する。

補正部306は、判別部3043から供給されるフラグ Q が「1」であるとき、その暗画素の映像信号 $Vid-d$ を中間階調 $Cmid$ の映像信号に補正し、これを映像信号 $Vid-out$ として出力する。これにより、補正部306により補正された映像信号 $Vid-out$ にあっては、1フレーム期間においてこの暗画素に接するリスク境界が存在する期間が、映像信号 $Vid-in$ よりも短くなる。換言すると、1フレーム期間においてリスク境界に接する画素が存在する期間が不連続となる。このような補正部306による補正処理によって、1フレーム期間において同一位置にリスク境界が連続して存在しないことになる。

【0076】

（補正処理の第2変形例）

次に、補正処理の第2変形例について説明する。本変形例においては、判別部3043は、遅延して出力された映像信号 $Vid-d$ で示す画素が、第2検出部3042で抽出されたリスク境界に接している明画素であるか否かを判別する。そして、判別部3043は、その判別結果が「Yes」である場合には、この明画素について、1フレームの一部である第1フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力する。一方で、判別部3043は、判別結果が「No」である場合、また、判別結果が「Yes」である場合の第2フィールドから第4フィールドに対応する期間においては、出力信号のフラグ Q を「0」として出力する。

補正部306は、判別部3043から供給されるフラグ Q が「1」であるとき、その明画素の映像信号 $Vid-d$ を中間階調 $Cmid$ の映像信号に補正し、これを映像信号 $Vid-out$ として出力する。これにより、補正部306により補正された映像信号 $Vid-out$ にあっては、1フレーム期間においてこの明画素に接するリスク境界が存在する期間が、映像信号 $Vid-in$ よりも短くなる。換言すると、1フレーム期間においてリスク境界に接する画素が存在する期間が不連続となる。このような補正部306による補正処理によって、1フレーム期間において同一位置にリスク境界が連続して存在しないことになる。

【0077】

（補正処理の第3変形例）

次に、補正処理の第3変形例について説明する。上述した実施形態においては、映像処理回路30は、リスク境界に接している暗画素からリスク境界の反対方向へ連続する r 個の暗画素と、リスク境界に接している明画素からリスク境界の反対方向へ連続する s 個の明画素を補正しているが、リスク境界に接している暗画素からリスク境界の反対方向へ連続する r 個の暗画素を補正し、リスク境界に接している明画素については補正を行わない

ようにしてもよい。また、映像処理回路30は、リスク境界に接している明画素からリスク境界の反対方向へ連続するs個の明画素を補正し、リスク境界に接している暗画素については補正を行わないようにしてもよい。

また、上述した実施形態においては、 $r = 2$ 、 $s = 2$ としていたが、これらの値はあくまで一例である。よって、 r 、 s はそれぞれ「2」以上の整数であってもよいし、これらの値が相違していてもよい。

【0078】

(補正処理の第4変形例)

次に、補正処理の第4変形例について説明する。上述した実施形態及び変形例においては、第1フィールドにおいて補正処理を行なっているが、第1フィールドと第2フィールドで補正処理を行い、第3フィールドと第4フィールドでは補正処理を行わないようにしてもよい。また、第1フィールドと第2フィールドで補正処理を行う構成にあっては、リスク境界に接している暗画素を最大階調の C_{max} に補正してもよい。また、第1フィールドと第2フィールドで補正処理を行う構成にあっては、リスク境界に接している明画素を最小階調の C_{min} に補正してもよい。

なお、第1フィールドと第2フィールドで補正処理を行う場合、補正処理がされた画像が表示される期間に応じて、光源200をオンとするタイミングを変更する。

【0079】

(補正処理の第5変形例)

次に、補正処理の第5変形例について説明する。動きを伴う画像である場合、映像信号 V_{id-in} で示される現フレームの画像において、リスク境界に接する画素であっても、現フレームの1つ前である前フレームを含めた動きを考えると、映像信号を補正する必要があるときと、補正する必要がないときとがある。この変形例では、上述したように暗画素及び明画素の映像信号を補正する構成で、前フレームから現フレームにかけての画像の動きを考慮して、補正対象の画素を定めている。以下の説明において、上述した実施形態と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

【0080】

本変形例に係る映像処理回路30の詳細について図24を参照して説明する。図24に示すように、映像処理回路30は、遅延回路302、境界検出部312、補正部306およびD/A変換器308を備える。また、境界検出部312は、本実施形態においては、現フレーム検出部3121、遅延回路3122、前フレーム検出部3123および判別部3124を備える。

現フレーム検出部3121は、現フレームの映像信号 V_{id-in} で示される画像を解析して、階調範囲aにある暗画素(第1画素)と階調範囲bにある明画素(第2画素)とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、現フレーム検出部3121は、隣接する部分があると判別したときに、その隣接部分をリスク境界として検出して、そのリスク境界の位置情報 $R_{isk_edge}(n)$ を出力する。

遅延回路3122は、遅延回路302と同等の構成を有し、供給された映像信号 V_{id-in} を1フレーム期間だけ遅延させて出力するものである。

前フレーム検出部3123は、遅延回路3122から出力された前フレームの映像信号 V_{id-in} で示される画像を解析して、暗画素と明画素とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、前フレーム検出部3123は、隣接する部分があると判別したときに、その隣接部分をリスク境界として検出して、そのリスク境界の位置情報 $R_{isk_edge}(n-1)$ を出力する。

【0081】

判別部3124は、現フレーム検出部3121および前フレーム検出部3123が出力した位置情報 $R_{isk_edge}(n)$ 、位置情報 $R_{isk_edge}(n-1)$ に基づいて、映像信号 V_{id-d} で示す画素が、前フレーム検出部3123で抽出されたリスク境界に接する明画素または暗画素であり、かつ、その画素が前フレームから現フレームにかけて変化したリスク境界に接するか否かを判別する。すなわち、判別部3124は、前

10

20

30

40

50

フレームから現フレームにかけて変化したリスク境界により画像の動きを検出する動き検出ステップを実行する、動き検出部として機能している。

判別部 3124 は、その判別結果が「Yes」である場合には、この暗画素からリスク境界の反対方向へ連続する r 個（本実施形態では、 $r = 2$ である。）の暗画素について、第 1 フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力するとともに、このリスク境界に接している明画素から、リスク境界の反対方向へ連続する s 個（本実施形態では、 $s = 2$ である。）の明画素について、第 1 フィールドに対応する期間だけ、出力信号のフラグ Q を「1」として出力する。一方で、判別部 3124 は、それ以外の画素については、出力信号のフラグ Q を「0」として出力する。

【0082】

補正部 306 は、判別部 3124 から供給されるフラグ Q が「1」であるとき、その画素の映像信号 $Vid - d$ を中間階調 $Cmid$ の映像信号に補正し、これを映像信号 $Vid - out$ として出力する。これにより、補正部 306 により補正された映像信号 $Vid - out$ にあっては、1 フレーム期間においてこの暗画素および明画素に接するリスク境界が存在する期間が、映像信号 $Vid - in$ よりも短くなる。一方、補正部 306 は、フラグ Q が「0」であるときには、映像信号を補正することなく、映像信号 $Vid - d$ をそのまま映像信号 $Vid - out$ として出力する。

【0083】

次に、本変形例に係る映像処理回路 30 による補正処理の具体例について説明する。本変形例の映像処理回路 30 では、リスク境界を検出する方法が第 1 実施形態で説明した方法と異なるだけであり、リスク境界に基づいてどのように画素の映像信号を補正するかは、上述した実施形態と同じである。

前フレームの映像信号 $Vid - in$ で示される画像が例えば図 25 (1) に示されるとおりであって、現フレームの映像信号 $Vid - in$ で示される画像が例えば図 25 (2) に示されるとおりである場合、すなわち、階調範囲 a の暗画素からなるパターンが、階調範囲 b にある明画素を背景に左方向にスクロール移動する場合、前フレーム検出部 3123 により検出される境界は図 25 (1) に示されるとおりであり、現フレーム検出部 3121 により検出される境界は図 25 (2) に示されるとおりである。そして、現フレーム検出部 3121 により検出される境界のうち、前フレーム検出部 3123 により検出される境界と重複しないものが、前フレームから現フレームにかけて変化した境界となる。よって、この実施形態のリスク境界は、図 25 (3) で示されるとおりである。判別部 3124 では、この変化した境界の中から、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とであるリスク境界に相当する部分に隣接する画素が補正対象となる。

【0084】

ここで、映像信号 $Vid - in$ で示す画像が図 25 (1) から図 25 (2) のように変化した場合の、映像信号 $Vid - out$ を図 26 (a) に示す。補正部 306 は、図 26 (a) にドットのハッチングで示す暗画素、及び斜線のハッチングで示す明画素について、1 フレームの一部（ここでは、1 フィールド）で中間階調 $Cmid$ の映像信号に補正する。

【0085】

また、チルト方位角 $\theta b = 90$ 度である場合、補正条件を満たす画素は図 26 (b) に示されるとおりである。また、チルト方位角 $\theta b = 225$ 度である場合、補正条件を満たす画素は図 26 (c) に示されるとおりである。

本変形例によれば、上述した実施形態と共通の作用効果を奏するとともに、リバーstitドメインがより発生しやすい箇所に絞り込んで映像信号を補正することができる。これにより、映像信号の変更を更に抑えつつリバーstitドメインの発生を効果的に抑えることができる。

【0086】

（補正処理の第 6 変形例）

10

20

30

40

50

次に、補正処理の第6変形例について説明する。以下の説明において、補正処理の第5変形例と同じ構成については同一の符号を付して表し、その説明については適宜省略する。

上述した補正処理の第5変形例では、画像の動きを考慮して、リスク境界を挟んで互いに隣接する明画素および暗画素に基づいて画素の映像信号を補正していた。これに対し、本変形例では、映像処理回路30は、現フレームにおいて暗画素と明画素とが隣接する境界を検出し、該検出した境界のうち、前フレームから現フレームにかけて1画素分（縦、横、斜めのいずれかの方向）だけ移動したリスク境界に接する画素を補正対象とする。図5を用いて既に説明したように、明画素を背景とした暗画素の領域がフレーム毎に2画素以上ずつ移動するときに、このような尾引き現象は顕在化しない（または、視認されにくい）。そこで、映像処理回路30がこのような1画素分だけ移動したリスク境界の隣接画素を補正対象とし、それ以外の画素を補正対象としない。

10

【0087】

本変形例では、判別部3124が、現フレーム検出部3121および前フレーム検出部3123による境界の検出結果から、1画素分だけ移動したリスク境界に接する画素のみについて「Yes」と判別し、前フレームから移動していないリスク境界、および、2画素以上移動したリスク境界に接する画素については、「No」と判別する。映像処理回路30のその他の各部が実現する機能は、上述した補正処理の第6変形例と同じである。この構成により、図5に示すように1フレームにつき1画素分だけ画像が移動する場合に、補正部306は、リバースチルトドメインを抑制するための補正を行い、それ以外の場合はその補正を行わない。

20

【0088】

これにより、補正部306は、リバースチルトドメインがより発生しやすい箇所に更に絞り込んで補正することができる。これにより、映像信号の変更を更に抑えつつリバースチルトドメインの発生を効果的に抑えることができる。

【0089】

（補正処理の第7変形例）

上述した実施形態においては、第1検出部3041は、階調範囲aにある暗画素と階調範囲bにある明画素とが垂直または水平方向で隣接する部分がある場合、その隣接部分を境界として検出して、境界の位置情報を出力しているが、この構成に限定されるものではない。

30

本変形例に係る第1検出部3041は、隣接する画素間の階調差が予め定められた階調差以上となる境界のうち、当該境界に接する低階調側の画素の階調が予め定められた第1階調以上であり、且つ、当該境界に接する高階調側の画素の階調が予め定められた第2階調以上（但し、第2階調>第1階調）である境界を検出し、検出した境界の位置情報を出力する。次に、本変形例に係る第2検出部3042は、第1検出部3041により検出された境界のうち、低階調側の画素が上側に位置し高階調側の画素が下側に位置する部分と、低階調側の画素が右側に位置し高階調側の画素が左側に位置する部分とを抽出して、リスク境界として検出し、リスク境界の位置情報を出力する。

【0090】

40

そして、本変形例に係る判別部3043は、遅延して出力された映像信号Vid-dで示す画素が、第2検出部3042で抽出されたリスク境界に接している画素であるか判断する。判別部3043は、リスク境界に接している低階調側の画素からリスク境界の反対方向へ連続するr個の画素（本実施形態では $r=2$ ）について、1フレームの一部である第1フィールドに対応する期間だけ、出力信号のフラグQを「1」として出力する。また、判別部3043は、リスク境界に接している高階調側の画素からリスク境界の反対方向へ連続するs個（本実施形態では $s=2$ ）の画素について、第1フィールドに対応する期間だけ、出力信号のフラグQを「1」として出力する。一方で、判別部3043は、上記の画素以外については、出力信号のフラグQを「0」として出力する。また、判別部3043は、第2フィールド～第4フィールドに対応する期間においては、出力信号のフラグ

50

Qを「0」として出力する。

【0091】

補正部306は、判別部3043から供給されるフラグQが「1」である場合、フラグQが1であるときの画素の映像信号Vid-dを補正する。具体的には、補正部306は、フラグQが「1」であるときの画素がリスク境界に接する低階調側の画素である場合、当該画素の階調レベルを高階調側に補正する。また、補正部306は、フラグQが「1」であるときの画素がリスク境界に接する高階調側の画素である場合、当該画素の階調レベルを低階調側に補正する。これにより、リスク境界に接している低階調側の画素と高階調側の画素との階調差が補正前より小さくなり、表示上の不具合の発生を抑えることができる。

10

【0092】

なお、補正部306は、リスク境界に接する低階調側の画素を補正し、高階調側の画素を補正しない構成であってもよい。また、補正部306は、リスク境界に接する高階調側の画素を補正し、低階調側の画素を補正しない構成であってもよい。

【0093】

[電子機器]

次に、上述した実施形態に係る電気光学装置を用いた電子機器の例について説明する。図27は、上述した液晶表示装置1の液晶パネル100をライトバルブとして用いた3板式プロジェクターの構成を示す平面図である。このプロジェクター2100において、ライトバルブに入射させるための光は、光源200や光源200から出力された光を平行化する光学系を備えた光出力部2102から出力され、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR（赤）、G（緑）、B（青）の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

20

【0094】

ここで、ライトバルブ100R、100Gおよび100Bの構成は、上述した実施形態における液晶パネル100と同様であり、上位装置（図示省略）から供給されるR、G、Bの各色に対応する映像信号でそれぞれ駆動されるものである。ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各色の画像が合成された後、レンズユニット2114によって正転拡大投影されるので、スクリーン2120には、カラー画像が表示されることとなる。

30

【0095】

なお、ライトバルブ100R、100Bの透過像は、ダイクロイックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bにより形成される画像と、ライトバルブ100Gにより形成される画像とは左右反転の関係にある。

40

【0096】

また、電子機器としては、図27を参照して説明した他にも、リアプロジェクション型のテレビジョンや、直視型、例えば携帯電話や、パーソナルコンピュータ、ビデオカメラのモニタ、液晶テレビ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、本発明に係る電気光学装置が適用可能なのは言うまでもない。

【0097】

[変形例]

以上、本発明の実施形態について説明したが、本発明は上述した実施形態に限定される

50

ことなく、他の様々な形態で実施可能である。例えば、上述の実施形態を以下のように変形して本発明を実施してもよい。なお、上述した実施形態及び以下の変形例は、各々を組み合わせてもよい。

【0098】

(変形例1)

上述した実施形態においては、補正処理がなされた画像が保持されている期間において光源200をオフとしているが、光源200をオフとするのではなく、補正処理がなされた画像が保持されている期間においては、光量L1より少ない予め定められた光量以下の光が液晶パネル100に照射されるようにしてもよい。

【0099】

(変形例2)

上述した第4実施形態においては、光源200から出力されて平行化された光が液晶パネル100に照射される構成となっているが、光源200から出力された光を例えばポリゴンミラーを用いて走査し、走査線112がHレベルとなった行の画素に光が照射される構成としてもよい。この構成によれば、データ信号の書き込みがなされた行から順番に光を照射できるため、第4実施形態のように、m行目の画素への書き込みが終了するまで光源200をオフとすることがなく、補正処理がなされていない画像が視認される期間を長くすることができる。

【0100】

(変形例3)

上述した実施形態では、液晶105にVA方式を用いた例について説明した。そこで次に、液晶105にTN方式とした例について説明する。

図28(a)は、液晶パネル100における 2×2 の画素を示す図であり、図28(b)は、図28(a)におけるp-q線を含む垂直面で破断したときの簡易断面図である。

これらの図に示すように、TN方式の液晶分子は、画素電極118とコモン電極108との電位差がゼロである状態において、チルト角が θ_a であって、チルト方位角が θ_b (=45度)で、初期配向しているものとする。TN方式は、VA方式とは反対に、基板水平方向に傾斜するので、TN方式のチルト角 θ_a は、VA方式の値よりも大きい。

【0101】

液晶105にTN方式を用いた例では、高コントラスト比などが得られる等の理由により、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードが用いられる場合が多い。

このため、液晶105にTN方式を用いるとともに、ノーマリーホワイトモードとしたとき、液晶素子120の印加電圧と透過率との関係は、図4(b)に示されるようなV-T特性で表され、印加電圧が高くなるにつれて透過率が減少する。ただし、階調範囲aに属する画素と階調範囲bに属する画素とが隣接した場合にリスク境界が発生して、リンバースチルトドメインが発生するという点においては、ノーマリーブラックモードと変わりはない。

【0102】

このようなTN方式のノーマリーホワイトモードにおいて、図29(a)に示すように、(n-1)フレームにおいて 2×2 の4画素がすべて液晶分子の不安定な白画素の状態から、nフレームにおいて、右上の1画素だけが黒画素に変化するときを想定する。上述したようにノーマリーホワイトモードにおいて、画素電極118とコモン電極108との電位差は、ノーマリーブラックモードとは反対に白画素よりも黒画素で大きい。このため、白から黒に変化する右上の画素では、図29(b)のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向に沿った方向(基板面の垂直方向)に起立しようとする。

しかしながら、白画素の画素電極118(Wt)と黒画素の画素電極118(Bk)との間隙で生じる電位差は、黒画素の画素電極118(Bk)とコモン電極108との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極118とコモン電極1

10

20

30

40

50

08との間隙よりも狭い。よって、電界の強度で比較すると、画素電極118(Wt)と画素電極118(Bk)との間隙で生じる横電界は、画素電極118(Bk)とコモン電極108との間隙で生じる縦電界よりも強い。

右上の画素は、(n-1)フレームにおいて液晶分子が不安定な状態の白画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、黒レベルの電圧が画素電極118(Bk)に印加されたことによる縦電界よりも、隣接する画素電極118(Wt)からの横電界の方が強いので、黒になろうとしている画素では、図28(b)に示すように、白画素に隣接する側の液晶分子Rvが、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子Rvは、縦電界にしたがって破線のように基板水平方向に起立しようとする他の液晶分子の動きに悪影響を与える。このため、黒に変化すべき画素においてリバースチルトが発生する領域は、図29(c)に示すように、黒に変化すべき画素と白画素との間隙にとどまらず、その間隙から黒に変化すべき画素を浸食する形で広範囲に拡がる。

したがって、図29に示した内容から、黒に変化しようとする着目画素の周辺が白画素であった場合、当該着目画素に対して白画素が左下側、左側および下側で隣接するとき、当該着目画素では、リバースチルトが左辺および下辺に沿った内周領域にて発生することになる。

【0103】

一方、図30(a)に示すように、(n-1)フレームにおいて2×2の4画素がすべて液晶分子の不安定な白画素の状態から、nフレームにおいて、左下の1画素だけが黒画素に変化するときを想定する。この変化においても、黒画素の画素電極118(Bk)と白画素の画素電極118(Wt)との間隙では、画素電極118(Bk)とコモン電極108との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図30(b)に示すように、白画素において黒画素に隣接する側の液晶分子Rvは、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となるが、白画素では縦電界の強度が(n-1)フレームから変わらないので、他の液晶分子に影響をほとんど与えない。このため、白画素から変化しない画素においてリバースチルトが発生する領域は、図30(c)に示すように、図29(c)の例と比較して無視できる程度に狭い。

一方、2×2の4画素のうち、左下において白から黒に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、左下画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の垂直方向に図30(b)において破線で示すように正しく起立する結果、目的である黒画素に変化するので、表示品位の劣化が発生しないことになる。

【0104】

このため、TN方式においてチルト方位角θbが45度であるノーマリーホワイトモードの場合、要件(1)をそのままに、

(2) nフレームにおいて、当該暗画素(印加電圧高)が、隣接する明画素(印加電圧低)に対して右上側、右側または上側に位置する場合に、

(3) nフレームにおいて当該暗画素に変化する画素は、1フレーム前の(n-1)フレームでは、液晶分子が不安定な状態にあったとき

nフレームにおいて当該暗画素でリバースチルトが発生する、ということになる。

したがって、この発生状態を、(n+1)フレームを基準として考え直した場合、画像の動きによって、(n+1)フレームにおいて暗画素が上記位置関係を満たすことになっても、変化前のnフレームにおいて、当該画素に接するリスク境界が1フレーム期間で同一位置に継続して存在しないように措置を施してやればよい、ということになる。

ノーマリーホワイトモードでは、ノーマリーブラックモードとは反対に、階調レベルが高い(明るい)ほど、液晶素子の印加電圧が低くなる点を考慮すれば、映像処理回路30

10

20

30

40

50

の構成を、次のように変更すればよいことになる。

すなわち、 n フレームにおいて、映像処理回路30におけるリスク境界を検出する第2検出部3042や、現フレーム検出部3121及び前フレーム検出部3123が、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分と、を抽出して、リスク境界として検出する構成であればよい。補正部306がこのリスク境界に基づいて映像信号を補正する画素については、上記で説明したとおりである。

なお、この例では、TN方式においてチルト方位角 θ_b を45度とした例を説明したが、リバースチルトドメインの発生方向がVA方式と逆になる点を考慮すれば、チルト方位角 θ_b が45度以外の角度である場合の措置、そのための構成についても、いままでの説明から容易に類推できるはずである。

10

【0105】

このように画像パターンの動き方向として水平方向のみを想定すれば、垂直方向や斜め方向についても想定する構成と比較して、構成の簡易化を図ることが可能となる。なお、ここではVA方式であってチルト方位角 θ_b を45度とした場合を例にとって説明したが、VA方式であってチルト方位角 θ_b を22.5度とした場合についても同様である。

【0106】

(変形例4)

また、本発明の制御回路10は、4倍速駆動に限られず、例えば2倍速や8倍速駆動などの倍速駆動を採用する液晶表示装置にも適用可能である。要するに、本発明は、ある映像信号に基づいて画像が表示される場合に、1フレーム期間においてリスク境界が存在する期間が短くなるように、1フレーム期間継続してリスク境界が同一位置に存在しないように、1フレームを構成する複数フィールドの少なくともいずれかにおいて明画素および暗画素の少なくとも一方の映像信号を補正するものであればよい。また、本発明は、上述した補正処理がされた画像を表示する期間においては、補正処理がされない画像が表示される期間より、液晶パネル100に照射される光量が少なくなるものであればよい。

20

また、補正部306は、暗画素を補正する場合には、液晶素子120への印加電圧として閾値 V_{th1} 以上を指定する映像信号に補正し、また、明画素を補正する場合には、液晶素子120への印加電圧として閾値 V_{th2} 以下を指定する映像信号に補正すれば、リバースチルトドメインを抑制するという効果を奏する。

30

【0107】

(変形例5)

上述した各実施形態において、映像信号 V_{id-in} は、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしてもよい。映像信号 V_{id-in} が液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすればよい。また、各実施形態において、液晶素子120は、透過型に限られず、反射型であってもよい。

【0108】

(変形例6)

上述した各実施形態においては、暗画素と明画素との境界を検出するものとしたが、画素に印加する電圧を映像信号 V_{id-in} に基いて特定し、当該電圧に基いて暗画素と明画素との境界を検出する構成としてもよい。また、本発明においては、画素の階調を映像信号 V_{id-in} に基いて特定し、当該階調に基いて暗画素と明画素との境界を検出する構成としてもよい。

40

【0109】

(変形例7)

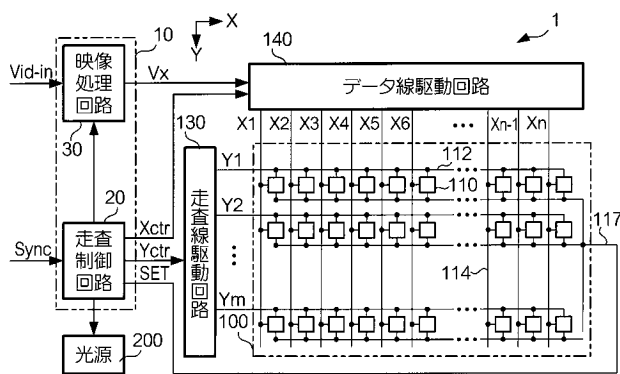
上述した実施形態においては、光源はレーザーダイオードとなっているが、レーザーダイオードに限定されるものではなく、LED (Light Emitting Diode) であってもよい。

【符号の説明】

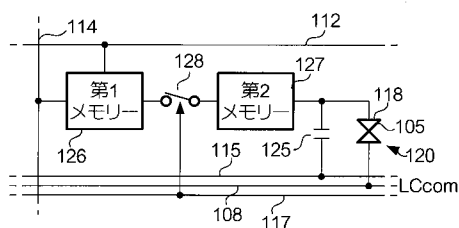
【0110】

50

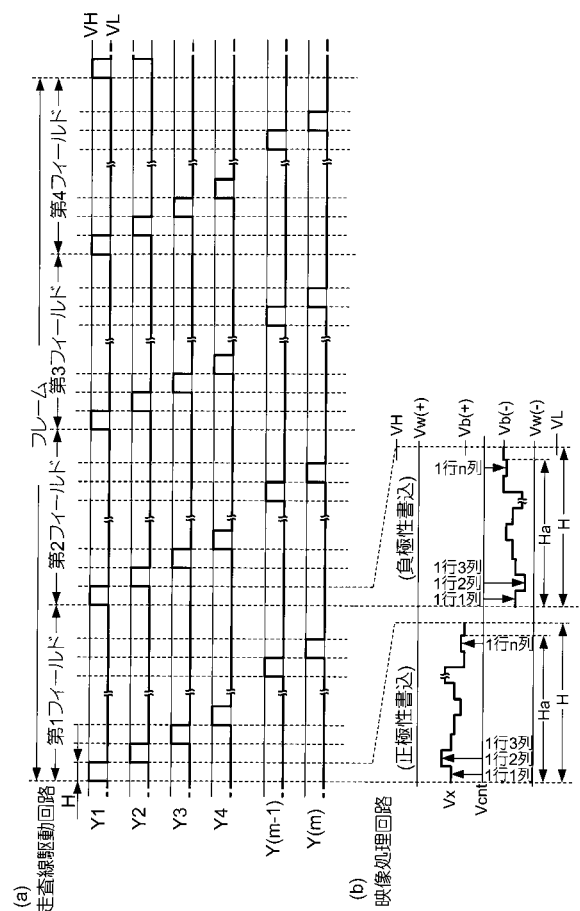
【 図 1 】



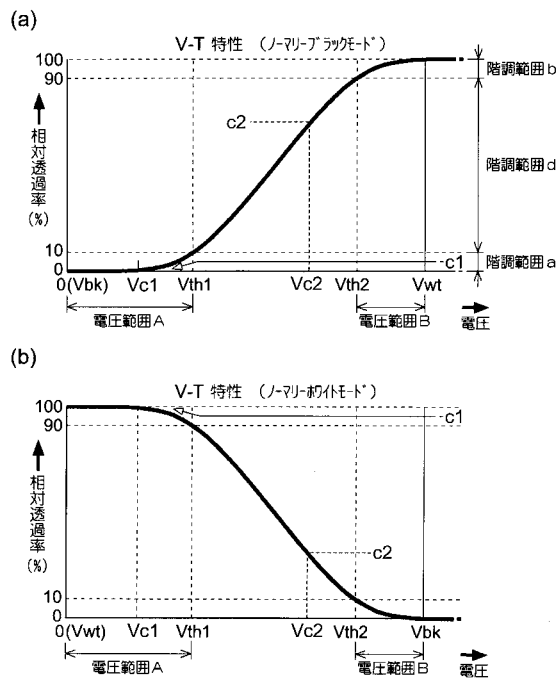
【図 2】



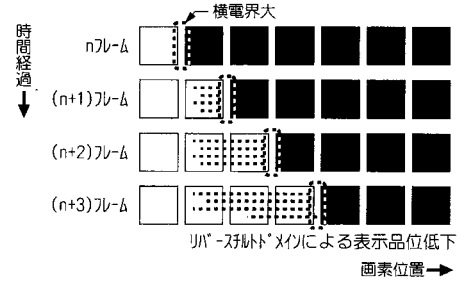
【図 3】



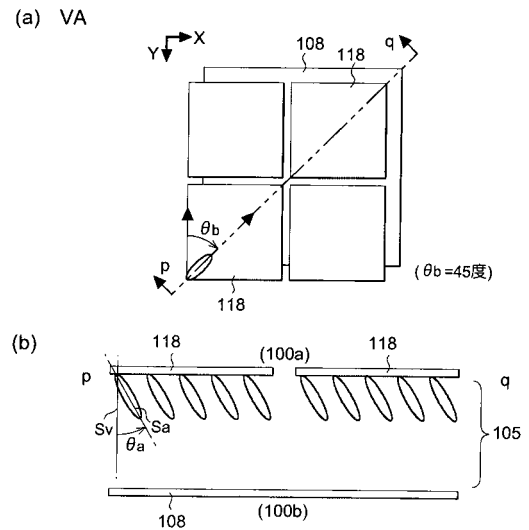
【図 4】



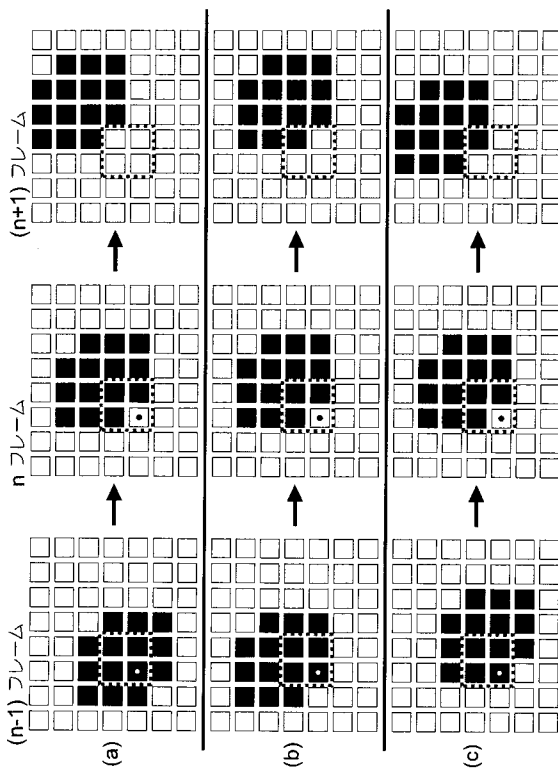
【図 5】



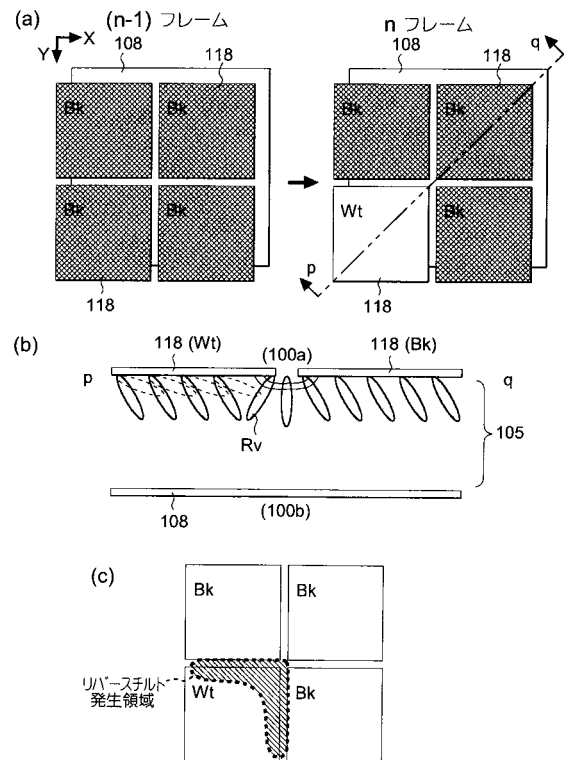
【図 6】



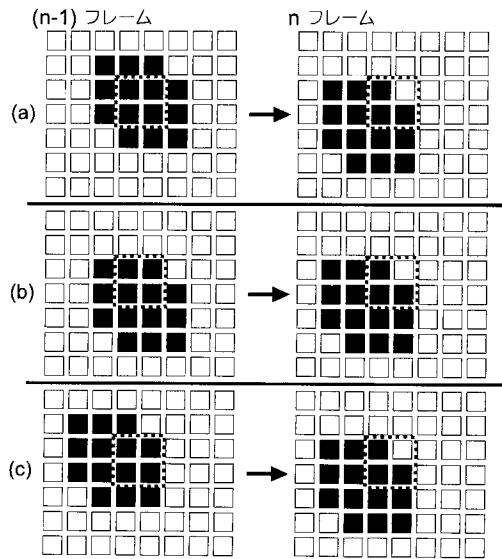
【図 7】



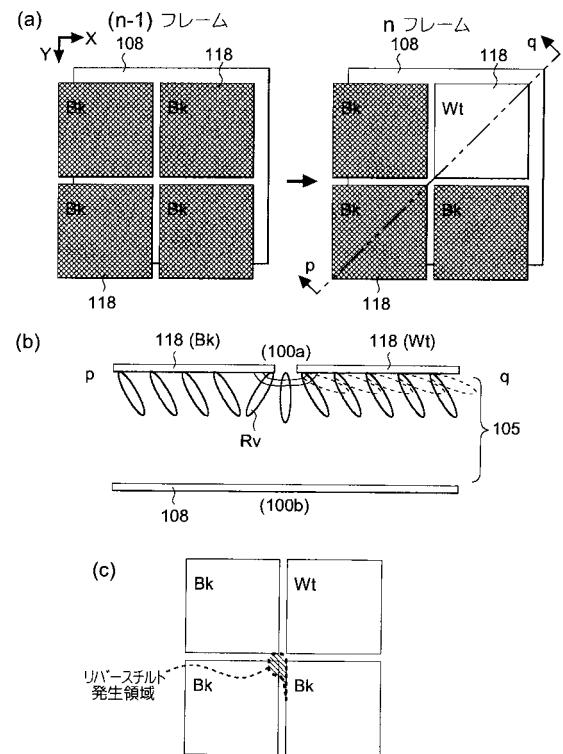
【図 8】



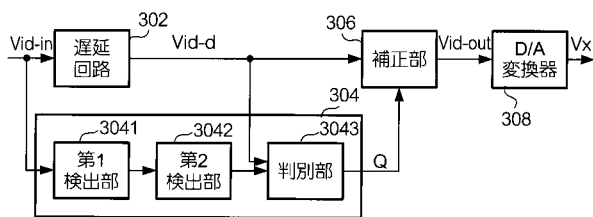
【図 9】



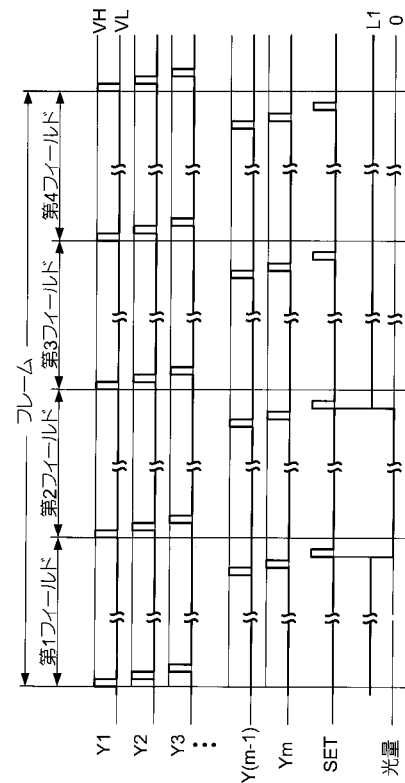
【図 10】



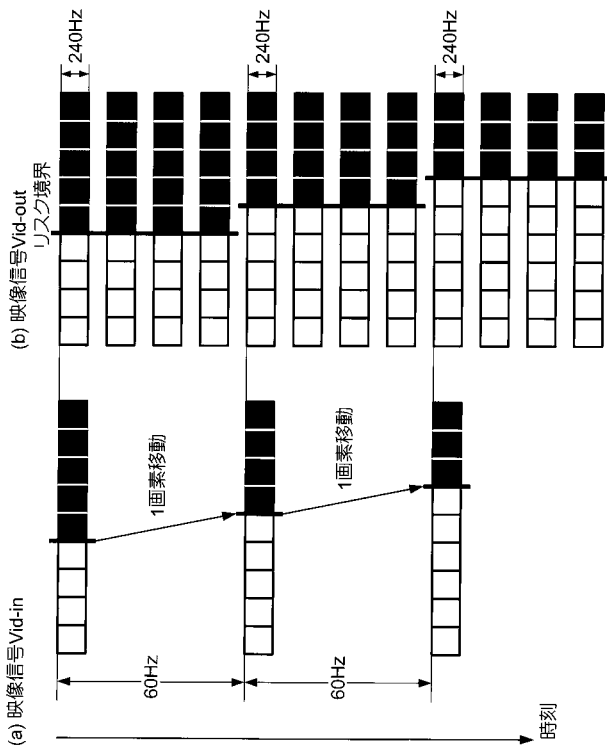
【図 11】



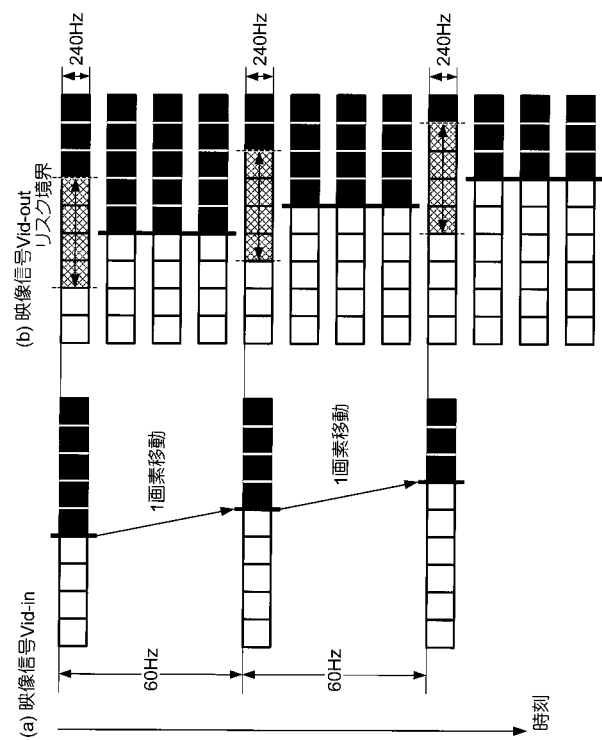
【図 12】



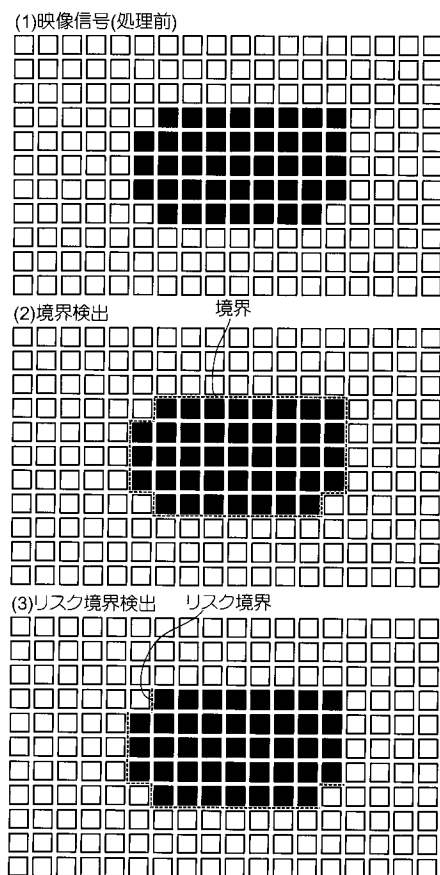
【図 13】



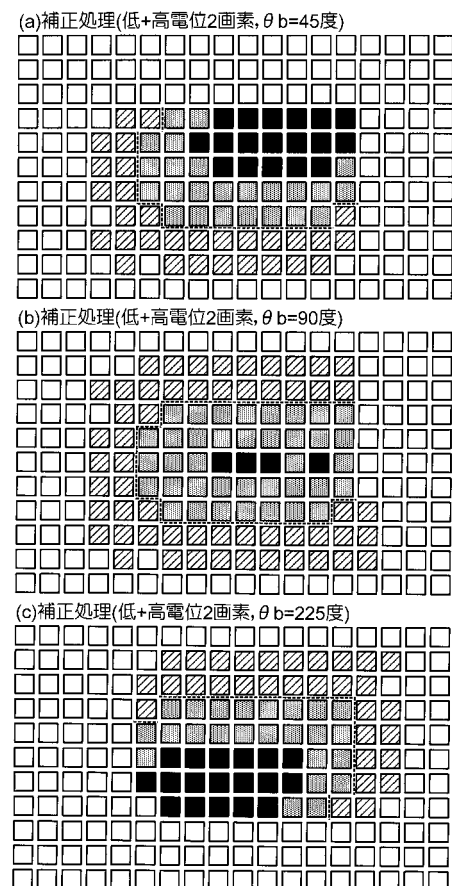
【図 14】



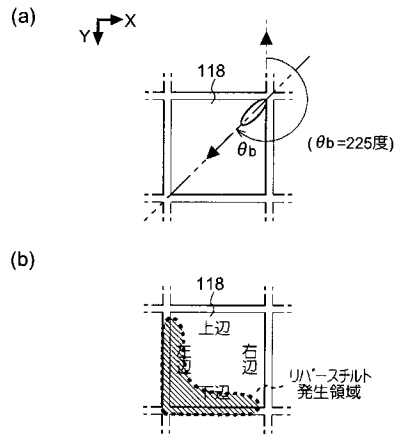
【図 15】



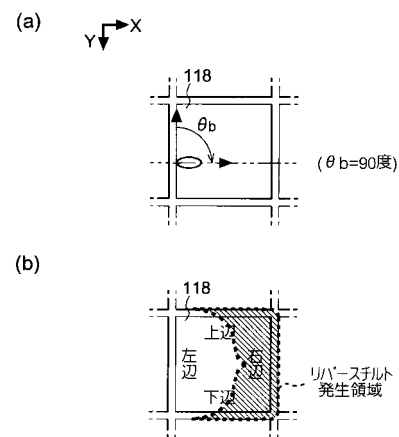
【図 16】



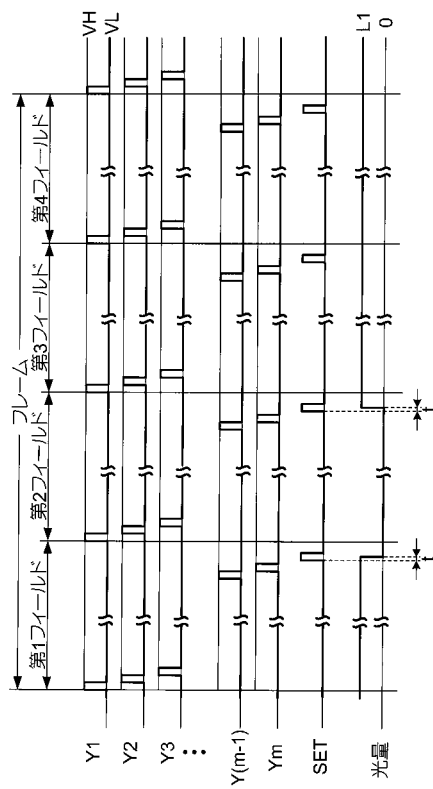
【図 17】



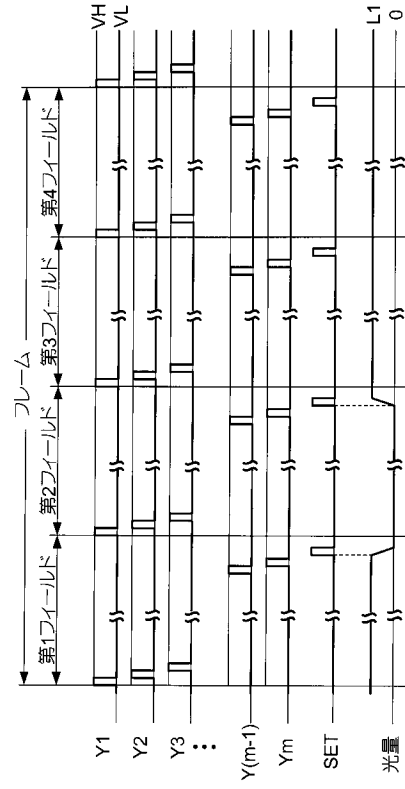
【図 18】



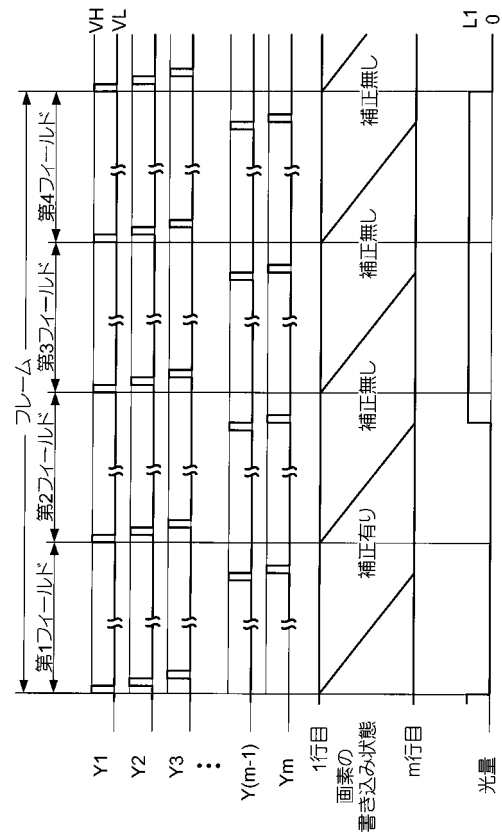
【図 19】



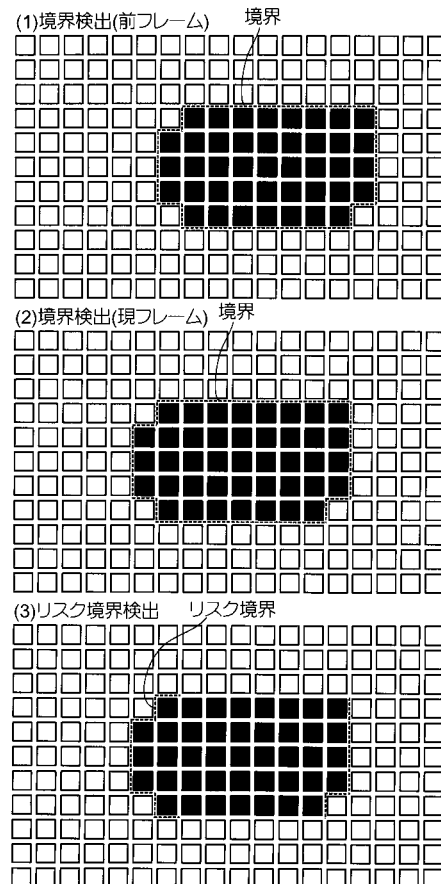
【図 20】



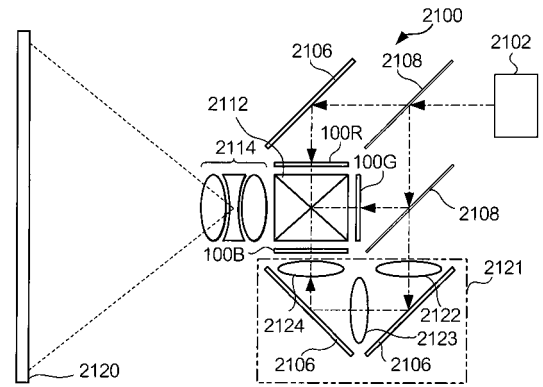
【 図 2 3 】



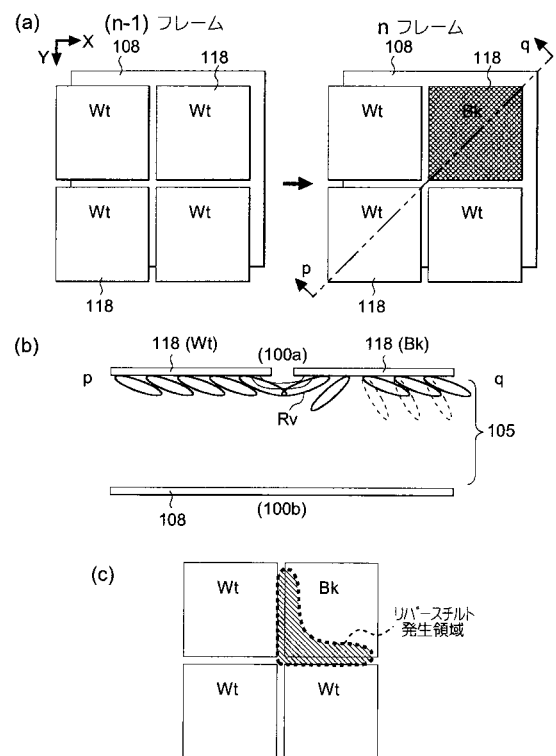
【 図 2 5 】



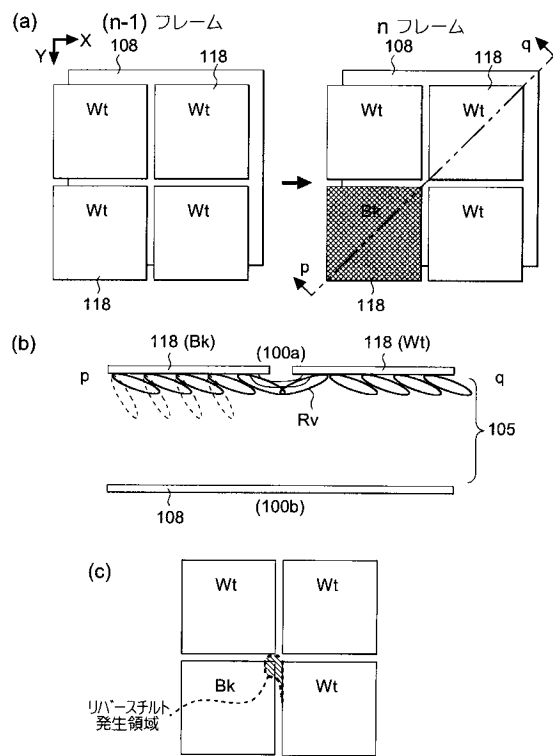
【図 27】



【图 29】



【図 30】



专利名称(译)	图像处理设备，液晶显示设备和电子设备		
公开(公告)号	JP2014206703A	公开(公告)日	2014-10-30
申请号	JP2013085519	申请日	2013-04-16
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	北川拓 保坂宏行		
发明人	北川 拓 保坂 宏行		
IPC分类号	G02F1/133 G09G3/36 G09G3/20 G09G3/34		
FI分类号	G02F1/133.575 G09G3/36 G09G3/20.612.U G09G3/20.641.P G09G3/20.650.M G09G3/34.J G09G3/20.641.E G09G3/20.641.C G09G3/20.641.K G09G3/20.611.D G09G3/20.623.C G02F1/133.535		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA19 2H193/ZB13 2H193/ZC16 2H193/ZC25 2H193/ZC39 2H193/ZD01 2H193/ZD02 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZE04 2H193/ZF12 2H193/ZF13 2H193/ZF16 2H193/ZF18 2H193/ZG14 2H193/ZG48 2H193/ZG50 2H193/ZG57 2H193/ZH23 2H193/ZH30 2H193/ZH40 2H193/ZH53 2H193/ZH57 2H193/ZQ06 2H193/ZQ11 2H193/ZR04 5C006/AA14 5C006/AA16 5C006/AA17 5C006/AC28 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF64 5C006/BB16 5C006/BB29 5C006/BC13 5C080/AA10 5C080/BB05 5C080/DD10 5C080/EE28 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
代理人(译)	宫坂和彦 渡边和明		
其他公开文献	JP6201390B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：防止图像的可见性，以抑制由于横向电场的影响导致的显示质量的劣化。视频处理电路检测由液晶分子的倾斜取向确定的风险边界，液晶分子是液晶面板上显示的暗像素和亮像素之间的边界的一部分，并产生暗像素并且至少一个亮像素被校正为第一场中的中间灰度。在显示在第一场中创建的图像的时段期间，扫描控制电路20关闭将光照射到液晶面板100的光源200并且关闭将第二场中产生的光校正到第四场的光源200。在没有显示图像的时段中，打开光源200。点域1

