

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-66874

(P2014-66874A)

(43) 公開日 平成26年4月17日 (2014. 4. 17)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 525	2H092
G02F 1/1368 (2006.01)	G02F 1/1368	2H193
G09G 3/36 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G02F 1/133 575	5C080
	G09G 3/36	

審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く

(21) 出願番号	特願2012-212141 (P2012-212141)	(71) 出願人	502356528
(22) 出願日	平成24年9月26日 (2012. 9. 26)		株式会社ジャパンディスプレイ
			東京都港区西新橋三丁目7番1号
		(74) 代理人	110001737
			特許業務法人スズエ国際特許事務所
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100103034
			弁理士 野河 信久
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその駆動方法

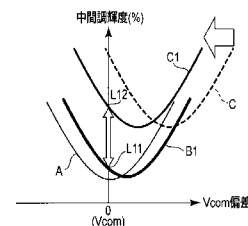
(57) 【要約】

【課題】表示品位を改善することが可能な液晶表示装置及びその駆動方法を提供する。

【解決手段】アクティブエリアの複数の画素に亘って配置された共通電極と、前記共通電極の上に配置された絶縁膜と、スイッチング素子と電気的に接続されるとともに前記絶縁膜の上において各画素に配置され前記共通電極と向かい合うスリットが形成された画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記第1配向膜と対向する第2配向膜を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、前記画素に表示させる階調に応じた電圧にDCバイアスをかけて前記画素電極に供給する駆動部であって前記画素電極と前記共通電極との間に電位差が形成された白表示状態において前記画素電極と前記共通電極との間に電位差が形成されていない黒表示状態よりも高いDCバイアスかける駆動部と、を備えた、液晶表示装置。

【選択図】 図6

図6



【特許請求の範囲】

【請求項 1】

アクティブエリアの各画素に配置されたスイッチング素子と、複数の画素に亘って配置された共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電氣的に接続されるとともに前記絶縁膜の上において各画素に配置され前記共通電極と向かい合うスリットが形成された画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記第 1 配向膜と対向する第 2 配向膜を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶分子を含む液晶層と、

前記画素に表示させる階調に応じた電圧に D C バイアスをかけて前記画素電極に供給する駆動部であって、前記画素電極と前記共通電極との間に電位差が形成された白表示状態において前記画素電極と前記共通電極との間に電位差が形成されていない黒表示状態よりも高い D C バイアスかける駆動部と、

を備えた、液晶表示装置。

【請求項 2】

前記白表示状態における D C バイアスは正極性である、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記駆動部は、前記白表示状態を含む高階調側で階調値の増加に伴って D C バイアスを増加し、前記白表示状態で最大の D C バイアスをかける、請求項 1 または 2 に記載の液晶表示装置。

【請求項 4】

前記駆動部は、前記黒表示状態を含む低階調側では D C バイアスをゼロ (V) に設定する、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記駆動部は、前記黒表示状態に近い低階調側では負極性の D C バイアスをかける、請求項 3 に記載の液晶表示装置。

【請求項 6】

アクティブエリアの各画素に配置されたスイッチング素子と、複数の画素に亘って配置された共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電氣的に接続されるとともに前記絶縁膜の上において各画素に配置され前記共通電極と向かい合うスリットが形成された画素電極と、前記画素電極を覆う第 1 配向膜と、を備えた第 1 基板と、

前記第 1 配向膜と対向する第 2 配向膜を備えた第 2 基板と、

前記第 1 配向膜と前記第 2 配向膜との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置において、

前記画素に表示させる階調に応じた電圧に D C バイアスをかけて前記画素電極に供給する際に、前記画素電極と前記共通電極との間に電位差が形成された白表示状態において、前記画素電極と前記共通電極との間に電位差が形成されていない黒表示状態よりも高い D C バイアスをかける、液晶表示装置の駆動方法。

【請求項 7】

前記白表示状態を含む高階調側で階調値の増加に伴って増加し、前記白表示状態で最大値となる正極性の D C バイアスをかける、請求項 6 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置は、軽量、薄型、低消費電力などの特徴を生かして、パーソナルコンピュ

10

20

30

40

50

ータなどのOA機器やテレビなどの表示装置として各種分野で利用されている。近年では、液晶表示装置は、携帯電話などの携帯端末機器や、カーナビゲーション装置、ゲーム機などの表示装置としても利用されている。

【0003】

近年では、Fringe Field Switching (FFS) モードや In-Plane Switching (IPS) モードの液晶表示パネルが実用化されている。このようなFFSモードやIPSモードの液晶表示パネルは、画素電極及び共通電極を備えたアレイ基板と、対向基板との間に液晶層を保持した構成であり、液晶層の液晶分子を基板と平行な面内で回転させることでスイッチングを実現するものである。このような表示モードは、広視野角であるなどの利点を有している。

10

【0004】

このようなFFSモードやIPSモードの構成においては、液晶分子の配向方向が所望の方向からずれることに起因した種々の表示不良を改善することが要望されている。例えば、FFSモードの液晶表示装置では焼き付き現象が生じることがある。焼き付き現象とは、例えば画面に白と黒のチェッカーパターンを表示させた後に、画面の全面に均一な中間調画像を表示させると、チェッカーパターンが残像のように薄く残る現象をいう。近年、このような焼き付き現象を緩和するための手法が種々提案されている。

【先行技術文献】

【特許文献】

【0005】

20

【特許文献1】特開2011-112865号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

本実施形態の目的は、表示品位を改善することが可能な液晶表示装置及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

本実施形態によれば、

アクティブエリアの各画素に配置されたスイッチング素子と、複数の画素に亘って配置された共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電気的に接続されるとともに前記絶縁膜の上において各画素に配置され前記共通電極と向かい合うスリットが形成された画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記第1配向膜と対向する第2配向膜を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、前記画素に表示させる階調に応じた電圧にDCバイアスをかけて前記画素電極に供給する駆動部であって、前記画素電極と前記共通電極との間に電位差が形成された白表示状態において前記画素電極と前記共通電極との間に電位差が形成されていない黒表示状態よりも高いDCバイアスかける駆動部と、を備えた、液晶表示装置が提供される。

30

【0008】

40

本実施形態によれば、

アクティブエリアの各画素に配置されたスイッチング素子と、複数の画素に亘って配置された共通電極と、前記共通電極の上に配置された絶縁膜と、前記スイッチング素子と電気的に接続されるとともに前記絶縁膜の上において各画素に配置され前記共通電極と向かい合うスリットが形成された画素電極と、前記画素電極を覆う第1配向膜と、を備えた第1基板と、前記第1配向膜と対向する第2配向膜を備えた第2基板と、前記第1配向膜と前記第2配向膜との間に保持された液晶分子を含む液晶層と、を備えた液晶表示装置において、前記画素に表示させる階調に応じた電圧にDCバイアスをかけて前記画素電極に供給する際に、前記画素電極と前記共通電極との間に電位差が形成された白表示状態において、前記画素電極と前記共通電極との間に電位差が形成されていない黒表示状態よりも高

50

いDCバイアスをかける、液晶表示装置の駆動方法が提供される。

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態の液晶表示装置を構成する液晶表示パネルの構成及び等価回路を概略的に示す図である。

【図2】図2は、図1に示したアレイ基板における画素の構造の一例を対向基板の側から見た概略平面図である。

【図3】図3は、図1に示した液晶表示パネルの断面構造の一例を概略的に示す図である。

【図4】図4は、FFSモードの液晶表示装置における焼き付き現象を説明するための図である。

【図5】図5は、VCOM偏差 δV とある特定の間調を表示した際の平均輝度との関係を示したグラフである。

【図6】図6は、本実施形態の第1構成例におけるVCOM偏差 δV と特定間調を表示した際の平均輝度との関係を示したグラフである。

【図7】図7は、本実施形態の第2構成例におけるVCOM偏差 δV と特定間調を表示した際の平均輝度との関係を示したグラフである。

【図8】図8は、比較例、第1実施例、及び、第2実施例のそれぞれについて、焼き付き現象を評価した評価結果を示す図である。

【発明を実施するための形態】

【0010】

以下、本実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同一又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。

【0011】

図1は、本実施形態の液晶表示装置を構成する液晶表示パネルLPNの構成及び等価回路を概略的に示す図である。

【0012】

すなわち、液晶表示装置は、アクティブマトリクスタイプの透過型の液晶表示パネルLPNを備えている。液晶表示パネルLPNは、第1基板であるアレイ基板ARと、アレイ基板ARに対向して配置された第2基板である対向基板CTと、これらのアレイ基板ARと対向基板CTとの間に保持された液晶層LQと、を備えている。このような液晶表示パネルLPNは、画像を表示するアクティブエリアACTを備えている。このアクティブエリアACTは、 $m \times n$ 個のマトリクス状に配置された複数の画素PXによって構成されている（但し、 m 及び n は正の整数である）。

【0013】

アレイ基板ARは、アクティブエリアACTにおいて、第1方向Xに沿ってそれぞれ延出した n 本のゲート配線G（ $G_1 \sim G_n$ ）及び n 本の容量線C（ $C_1 \sim C_n$ ）、第1方向Xに直交する第2方向Yに沿ってそれぞれ延出した m 本のソース配線S（ $S_1 \sim S_m$ ）、各画素PXにおいてゲート配線G及びソース配線Sと電気的に接続されたスイッチング素子SW、各画素PXにおいてスイッチング素子SWに各々電気的に接続された画素電極PE、画素電極PEと向かい合う共通電極CEなどを備えている。

【0014】

各ゲート配線Gは、アクティブエリアACTの外側に引き出され、ゲートドライバGDに接続されている。各ソース配線Sは、アクティブエリアACTの外側に引き出され、ソースドライバSDに接続されている。各容量線Cは、アクティブエリアACTの外側に引き出され、補助容量電圧が供給される電圧印加部VCSと電気的に接続されている。共通電極CEは、コモン電圧（ V_{com} ）が供給される給電部VSと電気的に接続されている。ゲートドライバGD及びソースドライバSDは、例えばその少なくとも一部がアレイ基板ARに形成され、駆動ICチップ2と接続されている。図示した例では、駆動ICチップ

ブ2は、液晶表示パネルLPNを駆動するのに必要な信号源として機能し、ゲートドライバGD及びソースドライバSDを制御したり、給電部VSに供給される共通電圧を制御したり、電圧印加部VCSに供給される補助容量電圧を制御したりするコントローラCTRを内蔵している。このような駆動ICチップ2は、液晶表示パネルLPNのアクティブエリアACTの外側において、アレイ基板ARに実装されている。ソースドライバSD（あるいは、ソースドライバSD及びコントローラCTR）は、画素PXに表示させる階調に応じた電圧に、必要に応じてレベル設定されたDCバイアスをかけて画素電極PEに供給する駆動部として機能する。

【0015】

図示した例の液晶表示パネルLPNは、FFSモードあるいはIPSモードに適用可能な構成であり、アレイ基板ARが画素電極PE及び共通電極CEを備えている。このような構成の液晶表示パネルLPNでは、画素電極PE及び共通電極CEの間に形成される横電界（例えば、フリンジ電界のうちの基板の主面にほぼ平行な電界）を主に利用して液晶層LQを構成する液晶分子をスイッチングする。

【0016】

図2は、図1に示したアレイ基板ARにおける画素PXの構造の一例を対向基板CTの側から見た概略平面図である。なお、ここでは、説明に必要な主要部のみを図示しており、スイッチング素子などの図示を省略している。

【0017】

ゲート配線Gは、第1方向Xに沿ってそれぞれ延出している。ソース配線Sは、第2方向Yに沿ってそれぞれ延出している。共通電極CEは、第1方向Xに沿って延在している。すなわち、共通電極CEは、各画素PXに配置されるとともにソース配線Sの上方を跨いで、第1方向Xに隣接する複数の画素PXに亘って共通に形成されている。また、図示しないが、共通電極CEは、第2方向Yに隣接する複数の画素PXにわたって共通に形成されていても良い。

【0018】

各画素PXに配置された画素電極PEは、それぞれ共通電極CEの上方に位置している。各画素電極PEは、各画素PXにおいて長形状の画素形状に対応した島状に形成されている。図示した例では、画素電極PEは、第1方向Xに沿った長さが第2方向Yに沿った長さよりも短い概略長形状に形成されている。このような各画素電極PEには、共通電極CEと向かい合う複数のスリットPSLが形成されている。図示した例では、スリットPSLのそれぞれは、第2方向Yに沿って延出しており、第2方向Yと平行な長軸を有している。

【0019】

図3は、図1に示した液晶表示パネルLPNの断面構造の一例を概略的に示す図である。

【0020】

すなわち、アレイ基板ARは、ガラス基板などの光透過性を有する第1絶縁基板10を用いて形成されている。このアレイ基板ARは、第1絶縁基板10の内面（すなわち対向基板CTに対向する側）10Aにスイッチング素子SW、共通電極CE、画素電極PEなどを備えている。

【0021】

ここに示したスイッチング素子SWは、例えば薄膜トランジスタ（TFT）である。このスイッチング素子SWは、ポリシリコンやアモルファスシリコンによって形成された半導体層を備えている。なお、スイッチング素子SWは、トップゲート型あるいはボトムゲート型のいずれであっても良い。このようなスイッチング素子SWは、第1絶縁膜11によって覆われている。

【0022】

共通電極CEは、第1絶縁膜11の上に形成されている。このような共通電極CEは、透明な導電材料、例えば、インジウム・ティン・オキサイド（ITO）やインジウム・ジ

10

20

30

40

50

ンク・オキサイド（IZO）などによって形成されている。この共通電極CEは、第2絶縁膜12によって覆われている。また、この第2絶縁膜12は、第1絶縁膜11の上にも配置されている。

【0023】

画素電極PEは、第2絶縁膜12の上に形成され、共通電極CEと向かい合っている。この画素電極PEは、第1絶縁膜11及び第2絶縁膜12を貫通するコンタクトホールを介してスイッチング素子SWと電氣的に接続されている。また、この画素電極PEには、第2絶縁膜12を介して共通電極CEと向かい合うスリットPSLが形成されている。このような画素電極PEは、透明な導電材料、例えば、ITOやIZOなどによって形成されている。この画素電極PEは、第1配向膜AL1によって覆われている。また、この第1配向膜AL1は、第2絶縁膜12の上にも配置されている。このような第1配向膜AL1は、水平配向性を示す材料によって形成され、アレイ基板ARの液晶層LQに接する面に配置されている。

10

【0024】

一方、対向基板CTは、ガラス基板などの光透過性を有する第2絶縁基板30を用いて形成されている。この対向基板CTは、第2絶縁基板30の内面（すなわちアレイ基板ARに対向する側）30Aに、各画素PXを区画するブラックマトリクス31、カラーフィルタ32、オーバーコート層33などを備えている。

【0025】

ブラックマトリクス31は、第2絶縁基板30の内面30Aにおいて、アレイ基板ARに設けられたゲート配線Gやソース配線S、スイッチング素子SWなどの配線部に対向し、画素電極PEと対向する開口部APを形成している。カラーフィルタ32は、第2絶縁基板30の内面30Aに形成され、開口部APに配置されている。また、カラーフィルタ32は、ブラックマトリクス31の上にも延在している。このカラーフィルタ32は、互いに異なる複数の色、例えば赤色、青色、緑色といった3原色にそれぞれ着色された樹脂材料によって形成されている。互いに異なる色のカラーフィルタ32間の境界は、ブラックマトリクス31上に位置している。

20

【0026】

オーバーコート層33は、カラーフィルタ32を覆っている。このオーバーコート層33は、ブラックマトリクス31やカラーフィルタ32の表面の凹凸を平坦化する。このようなオーバーコート層33は、例えば透明な樹脂材料によって形成されている。このオーバーコート層33は、第2配向膜AL2によって覆われている。この第2配向膜AL2は、水平配向性を示す材料によって形成され、対向基板CTの液晶層LQに接する面に配置されている。

30

【0027】

上述したようなアレイ基板ARと対向基板CTとは、第1配向膜AL1及び第2配向膜AL2が向かい合うように配置されている。このとき、アレイ基板ARと対向基板CTの間には、一方の基板に形成された柱状スペーサにより、所定のセルギャップが形成される。アレイ基板ARと対向基板CTとは、セルギャップが形成された状態でシール材によって貼り合わせられている。液晶層LQは、アレイ基板ARの第1配向膜AL1と対向基板CTの第2配向膜AL2との間に形成されたセルギャップに封入された液晶分子LMを含む液晶組成物によって構成されている。このような液晶層LQは、例えば、誘電率異方性が正（ポジ型）の液晶材料によって構成されているが、負（ネガ型）の液晶材料によって構成されていても良い。

40

【0028】

このような構成の液晶表示パネルLPNに対して、その背面側には、バックライトBLが配置されている。バックライトBLとしては、種々の形態が適用可能であり、また、光源として発光ダイオード（LED）を利用したものや冷陰極管（CCFL）を利用したものなどのいずれでも適用可能であり、詳細な構造については説明を省略する。

【0029】

50

アレイ基板 A R の外面すなわち第 1 絶縁基板 1 0 の外面 1 0 B には、第 1 吸収軸を有する第 1 偏光板 P L 1 が配置されている。また、対向基板 C T の外面すなわち第 2 絶縁基板 3 0 の外面 3 0 B には、第 1 吸収軸とクロスニコルの位置関係にある第 2 吸収軸を有する第 2 偏光板 P L 2 が配置されている。なお、第 1 絶縁基板 1 0 と第 1 偏光板 P L 1 との間や、第 2 絶縁基板 3 0 と第 2 偏光板 P L 2 との間には、位相差板など他の光学素子が配置されても良い。

【0030】

第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 は、図 2 に示したように、基板主面（あるいは、X-Y 平面）と平行な面内において、互いに平行な方位に配向処理（例えば、ラビング処理や光配向処理）されている。第 1 配向膜 A L 1 は、スリット P S L の長軸（図 2 に示した例では第 2 方向 Y）に対して 45° 以下の鋭角に交差する方向に沿って配向処理されている。第 1 配向膜 A L 1 の配向処理方向 R 1 は、例えば、第 2 方向 Y に対して 5° ~ 15° の角度をもって交差する方向である。また、第 2 配向膜 A L 2 は、第 1 配向膜 A L 1 の配向処理方向 R 1 と平行な方向に沿って配向処理されている。第 1 配向膜 A L 1 の配向処理方向 R 1 と第 2 配向膜 A L 2 の配向処理方向 R 2 とは互いに逆向きである。

【0031】

本実施形態における液晶表示装置では、液晶表示パネル L P N において、液晶分子 L M は、画素電極 P E と共通電極 C E との間に電界が形成されていない状態で、第 1 配向膜 A L 1 及び第 2 配向膜 A L 2 によって規制された初期配向方向（例えば配向方向 R 1）に配向している。第 1 偏光板 P L 1 の第 1 吸収軸及び第 2 偏光板 P L 2 の第 2 吸収軸のいずれか一方は、液晶分子 L M の初期配向方向と平行であり、他方は初期配向方向に直交している。

【0032】

以下に、上記構成の液晶表示装置における動作について説明する。

【0033】

画素電極 P E と共通電極 C E との間に電位差を形成するような電圧が印加されていない O F F 時においては、液晶層 L Q に電圧が印加されていない状態であり、画素電極 P E と共通電極 C E との間に電界が形成されていない。このため、液晶層 L Q に含まれる液晶分子 L M は、図 2 に実線で示したように、X-Y 平面内において第 2 方向 Y に対して鋭角に交差する方向に初期配向している。

【0034】

O F F 時には、バックライト B L からのバックライト光の一部は、第 1 偏光板 P L 1 を透過し、液晶表示パネル L P N に入射する。液晶表示パネル L P N に入射した光は、第 1 偏光板 P L 1 の第 1 吸収軸と直交する直線偏光である。このような直線偏光の偏光状態は、O F F 時の液晶表示パネル L P N を通過した際にほとんど変化しない。このため、液晶表示パネル L P N を透過した直線偏光のほとんどが、第 2 偏光板 P L 2 によって吸収される（黒表示）。

【0035】

一方、画素電極 P E と共通電極 C E との間に電位差を形成するような電圧が印加された O N 時においては、液晶層 L Q に電圧が印加された状態であり、画素電極 P E と共通電極 C E との間にフリンジ電界が形成される。このため、液晶分子 L M は、図 2 に破線で示したように、X-Y 平面内において、初期配向方向とは異なる方位に配向する。ポジ型の液晶材料においては、液晶分子 L M は、X-Y 平面内において、電界と略平行な方向に配向するように回転する。このとき、液晶分子 L M は、電界の大きさに応じた方向に配向する。

【0036】

O N 時には、第 1 偏光板 P L 1 の第 1 吸収軸と直交する直線偏光は、液晶表示パネル L P N に入射し、その偏光状態は、液晶層 L Q を通過する際に液晶分子 L M の配向状態に応じて変化する。このため、O N 時においては、液晶層 L Q を通過した少なくとも一部の光は、第 2 偏光板 P L 2 を透過する（白表示）。

【0037】

このような構成により、ノーマリーブラックモードが実現される。

【0038】

図4は、FFSモードの液晶表示装置における焼き付き現象を説明するための図である。

【0039】

図中の(a)で示すように、液晶表示パネルLPNに対して白と黒のチェッカーパターン(市松模様)を表示するような電圧を印加し、アクティブエリアACTの全面に亘ってチェッカーパターンを表示した状態を所定時間保持する。例えば、256階調で画像を表示する液晶表示装置において、アクティブエリアACTの第1領域AA1の画素PXについては画素電極PEと共通電極CEとの間に電位差を形成せずに黒表示(階調値G0)を行う一方で、アクティブエリアACTの第1領域AA1に隣接する第2領域AA2の画素PXについては画素電極PEと共通電極CEとの間に白表示(階調値G255)に対応する電位差を形成して白表示を行う。

10

【0040】

その後、図中の(b)で示すように、液晶表示パネルLPNに対して中間調(例えば階調値G127)を表示するような電圧を印加し、アクティブエリアACTの全面に均一な中間調の画像を表示する。つまり、第1領域AA1の画素PX及び第2領域AA2の画素PXの双方について、画素電極PEと共通電極CEとの間に同一の中間調表示に対応する電位差を形成する。このとき、黒表示状態で保持されていた第1領域AA1については本来の中間調に対応した輝度とほぼ同等の輝度が得られるが、白表示状態で保持されていた第2領域AA2について本来の中間調の輝度よりも高い輝度となってしまった場合に、第1領域AA1と第2領域AA2とで輝度差が生じてしまい、チェッカーパターンが残像として視認されてしまう。このような現象が焼き付き現象である。

20

【0041】

チェッカーパターンを表示した後に生ずる輝度差については、種々の要因が考えられるが、一例として、液晶分子LMの配向ずれが挙げられる。一般的には、画素電極PEと共通電極CEとの間に電位差が形成されていないOFF状態では、液晶分子LMは、配向処理方向R1及び配向処理方向R2とほぼ平行な配向軸方向に配向する。しかしながら、長時間に亘って画素電極PEと共通電極CEとの間に電位差が形成されたON状態に保持した場合には、液晶層LQに過大なストレスがかかる。このため、画素電極PEと共通電極CEとの間の電位差をOFF状態に戻しても、液晶分子LMが配向軸方向に完全に復帰しない配向ずれが生ずる。つまり、チェッカーパターンのうちの黒を表示した第1領域AA1のようにストレスの小さい領域では配向ずれは生じにくい、その一方で、チェッカーパターンのうちの白を表示した第2領域AA2のように大きなストレスを受け続けた領域では配向ずれが生じやすい。

30

【0042】

ノーマリーブラックモードの液晶表示装置では、共通電極CEの電位 V_{com} と画素電極PEの電位 V_d との間の電位差($|V_d - V_{com}|$)がゼロのときに輝度(あるいは透過率)がほぼゼロ(つまり黒表示)となり、電位差($|V_d - V_{com}|$)が大きいほど輝度が高くなる。このような特性は、液晶層に印加する電圧と輝度との関係を示すT-V特性曲線で表される。

40

【0043】

配向ずれが生じた領域と配向ずれが生じていない領域とで、それぞれ同一の中間調に対応した電位差を形成した場合には、配向ずれが生じていない領域よりも配向ずれが生じた領域の方が配向軸方向に対して液晶分子が実質的に大きく回転する。このため、配向ずれが生じた領域では、配向ずれが生じていない領域よりも輝度が高くなり、上記の輝度差を生じてしまう。

【0044】

ところで、液晶表示装置を駆動する際には、フリッカ現象を回避するために、画素電極

50

P Eに供給する信号を1フレーム期間毎に正負極性反転させて駆動することが行われている。本実施形態では、このような極性反転駆動を採用した場合を想定して、画素電極P Eの画素電極電位V dとして、 $V_{com} \pm V_0$ の矩形波電圧を印加する場合について検討する。

【0045】

ここではさらに、画素電極電位V dとしての矩形波電圧信号はそのまま、共通電極C Eの電位を変化させる場合を考える。ここでは、当初の共通電極電位 V_{com} を V_{com}' に変化させたものとし、 $\delta V = V_{com}' - V_{com}$ （以下、この δV をVCOM偏差と呼ぶ）とする。

【0046】

このとき、正極性側の画素電極電位と共通電極電位との電位差の絶対値は δV だけ減り、負極性側の画素電極電位と共通電極電位との電位差の絶対値は δV だけ増える。すなわち、共通電極電位が V_{com} の場合、画素電極電位V dがある中間調の階調値（例えばG127）に対応した電位に設定されたときに、その正極性電位のタイミングで得られる輝度とその負極性電位のタイミングで得られる輝度とはほぼ同一であり、これらの平均輝度は輝度 L_0 となる。これに対して、共通電極電位が V_{com}' の場合、画素電極電位V dが階調値（G127）に対応した電位に設定されたときに、その正極性電位のタイミングで得られる輝度 L_a は輝度 L_0 よりも僅かに低下し、その負極性電位のタイミングで得られる輝度 L_b は輝度 L_0 よりも大きく上昇する。このような輝度 L_a と輝度 L_b とのアンバランスは、T-V特性曲線のカーブに依存して生ずるものである。このため、共通電極電位が V_{com}' の場合に得られる平均輝度（ $(L_a + L_b) / 2$ ）は、共通電極電位が V_{com} の場合に得られる輝度 L_0 よりも高くなる。

【0047】

図5は、VCOM偏差 δV とある特定の間調を表示した際の平均輝度との関係を示したグラフである。

【0048】

図中のAは、焼き付き現象が生ずる前の状態での輝度-VCOM偏差曲線を示している。このような輝度-VCOM偏差曲線Aは、 $\delta V = 0$ （すなわち $V_{com}' = V_{com}$ ）に関して、VCOM偏差 δV が正の場合と負の場合とでほぼ対称となる。また、輝度-VCOM偏差曲線Aは、 $\delta V = 0$ のときに輝度（中間調表示の際の所望の輝度） L_0 が最低となる下に凸の放物線形状となる。

【0049】

図中のBは、第1領域AA1での黒焼き付き後（チェッカーパターンのうちの黒を所定時間表示した後）の輝度-VCOM偏差曲線を示している。このような輝度-VCOM偏差曲線Bは、その傾向としては、僅かに横軸方向について正の方向にシフトしているものの、輝度-VCOM偏差曲線Aとほぼ同等である。このため、 $\delta V = 0$ のときの輝度 L_1 は、輝度 L_0 よりも僅かに上昇している。

【0050】

図中のCは、第2領域AA2での白焼き付き後（チェッカーパターンのうちの白を所定時間表示した後）の輝度-VCOM偏差曲線を示している。このような輝度-VCOM偏差曲線Cは、その傾向としては、輝度-VCOM偏差曲線Aとほぼ同等であるが、全体として横軸方向については正の方向にシフトし、しかも、縦軸方向についても正の方向（つまり輝度が上昇する方向）にシフトしている。このため、 $\delta V = 0$ のときの輝度 L_2 は、輝度 L_0 及び輝度 L_1 よりも大きく上昇している。

【0051】

通常、画像を表示する際には、共通電極電位は V_{com} （ $\delta V = 0$ ）に設定されるため、上記のような特定中間調を表示した際には、第1領域AA1において輝度 L_1 となる一方で、第2領域AA2においては輝度 L_2 となり、その輝度差が視認されてしまうことになる。

【0052】

10

20

30

40

50

そこで、本実施形態では、画素電極 P E に対して、表示させる階調に応じた電圧を印加するのみならず、必要に応じて階調毎に D C バイアスをかけることで、焼き付き現象を緩和している。この点について、共通電極電位 V_{com} に対して表示させる階調に応じた電圧 V_0 を予め設定し、画素電極電位 V_d として、 $V_{com} \pm V_0$ の矩形波電圧を画素電極 P E に印加する場合について説明する。ここで、特定の階調に応じた電圧 V_0 に対して D C バイアスをかけるということは、矩形波電圧 ($V_{com} \pm V_0$) に D C バイアス V_b を重畳する ($V_{com} \pm V_0 + V_b$) ことに相当する。このときの矩形波電圧 ($V_{com} \pm V_0 + V_b$) は、共通電極電位 V_{com} に対して正極性と負極性とで非対称となる。例えば、D C バイアスが正極正である場合、矩形波電圧が正極性のタイミングでは共通電極電位 V_{com} に対して ($V_0 + V_b$) の電位差が形成されるのに対して、矩形波電圧が負極性のタイミングでは共通電極電位 V_{com} に対して ($V_0 - V_b$) の電位差が形成される。発明者は、画素電極 P E に対してこのような非対称の矩形波電圧を印加することで、液晶層に与えるストレスが緩和され、焼き付き現象を緩和できることを見出した。

【0053】

図 6 は、本実施形態の第 1 構成例における V C O M 偏差 δV と特定中間調を表示した際の平均輝度との関係を示したグラフである。

【0054】

ここでは、白表示に対応した階調 (G 2 5 5) に応じた電圧に D C バイアスをかけた。

【0055】

アクティブエリア A C T の全面に亘ってチェッカーパターンを表示した状態を所定時間保持した後、特定中間調を表示した際に、黒焼き付きを行った第 1 領域 A A 1 での輝度 - V C O M 偏差曲線 B 1 は、図 5 に示した輝度 - V C O M 偏差曲線 B とほぼ同等となる。つまり、輝度 - V C O M 偏差曲線 B 1 における $\delta V = 0$ での中間調輝度 L_{11} は、輝度 - V C O M 偏差曲線 B における $\delta V = 0$ での中間調輝度 L_1 とほぼ同等である。一方、白焼き付きを行った第 2 領域 A A 2 での輝度 - V C O M 偏差曲線 C 1 は、図 5 に示した輝度 - V C O M 偏差曲線 C よりも横軸方向について負の方向にシフトしている。つまり、輝度 - V C O M 偏差曲線 C 1 における $\delta V = 0$ での中間調輝度 L_{12} は、輝度 - V C O M 偏差曲線 C における $\delta V = 0$ での中間調輝度 L_2 よりも低下する。

【0056】

したがって、共通電極電位を V_{com} ($\delta V = 0$) に設定して通常の画像を表示した場合、上記の特定中間調を表示した際には、第 1 領域 A A 1 において輝度 L_{11} となる一方で、第 2 領域 A A 2 においては輝度 L_{12} となるが、その輝度差 ($L_{12} - L_{11}$) は、図 5 に示した例の輝度差 ($L_2 - L_1$) よりも小さくなる。このため、輝度差が視認されにくくなり、結果として、焼き付き現象を緩和することが可能となる。

【0057】

図 7 は、本実施形態の第 2 構成例における V C O M 偏差 δV と特定中間調を表示した際の平均輝度との関係を示したグラフである。

【0058】

ここでは、白表示に対応した階調 (G 2 5 5) に応じた電圧に D C バイアスをかけるのに加えて、さらに、特定中間階調 (例えば、G 3 1 や G 6 3) に応じた電圧についても D C バイアスをかけた。

【0059】

アクティブエリア A C T の全面に亘ってチェッカーパターンを表示した状態を所定時間保持した後、特定中間調を表示した際に、黒焼き付きを行った第 1 領域 A A 1 での輝度 - V C O M 偏差曲線 B 2 は、図 5 に示した輝度 - V C O M 偏差曲線 B よりも横軸方向について負の方向にシフトしている。一方、白焼き付きを行った第 2 領域 A A 2 での輝度 - V C O M 偏差曲線 C 2 は、図 6 に示した輝度 - V C O M 偏差曲線 C 1 よりも横軸方向についてさらに負の方向にシフトしている。

【0060】

したがって、共通電極電位を V_{com} ($\delta V = 0$) に設定して通常の画像を表示した場

10

20

30

40

50

合、上記の特定中間調を表示した際には、第1領域AA1において輝度L21となる一方で、第2領域AA2においては輝度L22となるが、その輝度差(L22-L21)は、図6に示した例の輝度差(L12-L11)よりもさらに小さくなる。このため、輝度差がより視認されにくくなり、結果として、焼き付き現象をさらに緩和することが可能となる。

【0061】

上述したように、本実施形態のようなノーマリーブラックモードにおいては、画素PXに表示させる階調に応じた電圧にDCバイアスをかけて画素電極PEに供給する駆動部は、画素電極PEと共通電極CEとの間に電位差が形成された白表示状態において、画素電極PEと共通電極CEとの間に電位差が形成されていない黒表示状態よりも高いDCバイアスをかける。

10

【0062】

以下に、本実施形態の第1構成例及び第2構成例に対応した実施例について説明する。

【0063】

図8は、比較例、第1実施例、及び、第2実施例のそれぞれについて、焼き付き現象を評価した評価結果を示す図である。

【0064】

図中の(a)で示した比較例は、全ての階調に応じた電圧にDCバイアスをかけない場合に相当する。図中の(b)で示した第1実施例は、上記の第1構成例の一例に相当し、黒表示状態を含む低階調側ではDCバイアスをゼロ(mV)に設定し、白表示状態を含む高階調側で階調値の増加に伴ってDCバイアスを増加し、白表示状態で最大のDCバイアスをかける場合に相当する。図中の(c)で示した第2実施例は、上記の第2構成例の一例に相当し、黒表示状態に近い低階調側では負極性のDCバイアスをかけ、白表示状態を含む高階調側で階調値の増加に伴ってDCバイアスを増加し、白表示状態で最大のDCバイアスをかける場合に相当する。

20

【0065】

図中のa1、b1、c1のそれぞれは、階調値とDCバイアスとの関係を示す図であり、横軸に階調値をとり、縦軸に各階調値に対するDCバイアスの大きさ(mV)を表した図である。a1は、比較例における階調値とDCバイアスとの関係を示す図であり、いずれの階調値に対してもDCバイアスがゼロ(mV)に設定されている。

30

【0066】

b1は、第1実施例における階調値とDCバイアスとの関係を示す図である。このb1によれば、階調値G0(黒表示状態に相当)から階調値G190付近までDCバイアスがゼロ(mV)に設定されているが、階調値G190付近から最大の階調値G255(白表示状態に相当)にかけて階調値の増加に伴って次第に正極性のDCバイアスが增加し、階調値G255において最大のDCバイアスに設定されている。図示した例では、最大のDCバイアスの設定値は150mVであるが、駆動部の性能に応じてさらに高いDCバイアスが設定されても良い。

【0067】

c1は、第2実施例における階調値とDCバイアスとの関係を示す図である。このc1によれば、階調値G0から階調値G190付近まで負極性のDCバイアスが設定され、階調値G190付近から最大の階調値G255にかけて階調値の増加に伴って次第に正極性のDCバイアスが增加し、階調値G255において最大のDCバイアスに設定されている。図示した例では、階調値G31や階調値G63などの低階調側においてDCバイアスの設定値は-100mVであり、最大のDCバイアスの設定値は150mVであるが、駆動部の性能に応じてDCバイアスの設定が変更されても良い。

40

【0068】

図中のa2及びa3、b2及びb3、c2及びc3のそれぞれは、焼き付き判定レベルの評価結果を示す図であり、縦軸は画面の全面に固定のチェッカーパターンを表示させ続けたストレス時間であり、横軸はチェッカーパターンを表示させた後に画面全面に評価階

50

調値（G 3 1 及び G 6 3）の均一画面を表示させた緩和時間である。表の値は、各時間での焼き付き状態を観察者が主観的に評価したときの判定レベルの平均値であり、レベル 2 は焼き付きが著しく視認された「劣悪」の状態を示し、レベル 3 は焼き付きが視認された「悪」の状態を示し、レベル 4 は焼き付きが正面から観察したときにほとんど視認されない状態を示し、レベル 5 は焼き付きが全く観察されない「良」の状態を示している。

【0069】

a 2 は比較例における評価階調 G 6 3 での評価結果を示す図であり、a 2 は比較例における評価階調 G 3 1 での評価結果を示す図である。ストレス時間が 30 分（30 m）以上となると、緩和時間に関わらずレベル 4 以上の判定レベルが得られにくくなり、ストレス時間が 1 時間（1 H）を超えてくると、緩和時間関わらずほとんどレベル 4 以上の判定レベルが得られないことが分かる。

10

【0070】

b 2 は第 1 実施例における評価階調 G 6 3 での評価結果を示す図であり、b 2 は第 1 実施例における評価階調 G 3 1 での評価結果を示す図である。ストレス時間が 30 分（30 m）であっても、比較的短い緩和時間でレベル 4 以上の判定レベルが得られやすくなり、ストレス時間が 1 時間（1 H）を超えても、総じて比較例よりも高い判定レベルが得られることが分かる。

【0071】

c 2 は第 2 実施例における評価階調 G 6 3 での評価結果を示す図であり、c 2 は第 2 実施例における評価階調 G 3 1 での評価結果を示す図である。ストレス時間が 1 時間（1 H）以上であっても、比較的短い緩和時間でレベル 4 以上の判定レベルが得られ、ストレス時間が 1 時間（1 H）を超えても、総じて第 1 実施例よりも高い判定レベルが得られることが分かる。

20

【0072】

以上説明したように、本実施形態によれば、表示品位を改善することが可能な液晶表示装置及びその駆動方法を提供することができる。

【0073】

なお、本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これらの新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これらの実施形態やその変形は、発明の範囲や要旨に含まれるとともに、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

30

【0074】

例えば、上記の実施形態においては、画素電極 P E のスリット P S L は第 2 方向 Y に平行な長軸を有するように形成したが、第 1 方向 X に平行な長軸を有するように形成しても良いし、第 1 方向 X 及び第 2 方向 Y に交差する方向に平行な長軸を有するように形成しても良いし、くの字形に屈曲した形状に形成しても良い。

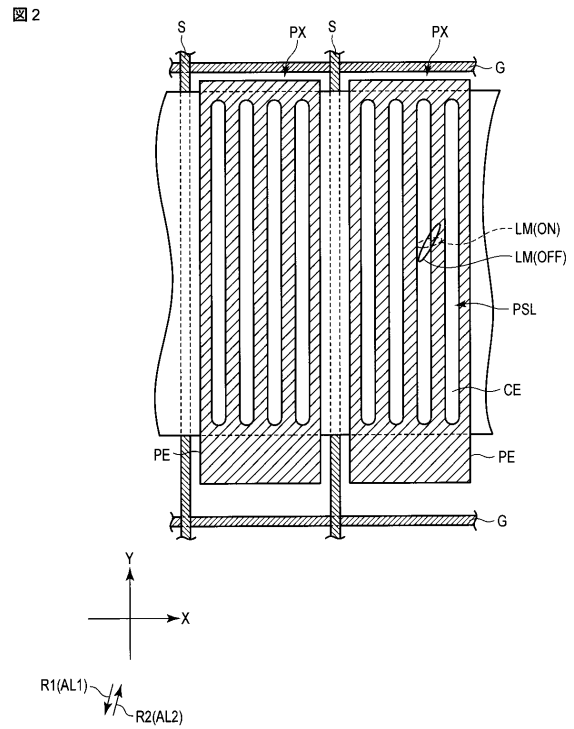
【符号の説明】

【0075】

L P N … 液晶表示パネル A R … アレイ基板 C T … 対向基板
P E … 画素電極 P S L … スリット
C E … 共通電極
L Q … 液晶層 L M … 液晶分子
S D … ソースドライバ C T R … コントローラ

40

【図 2】



【図 4】

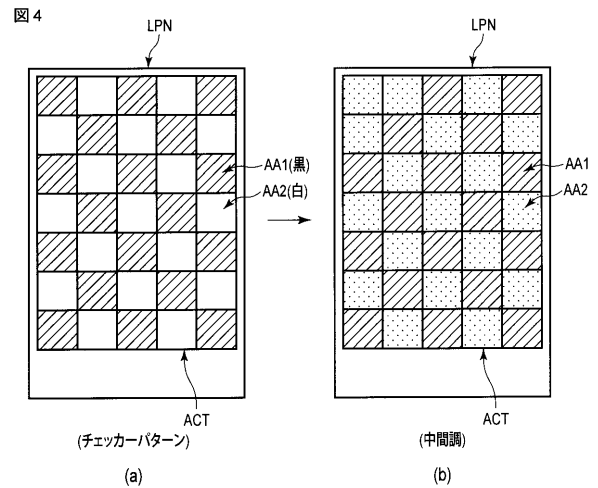
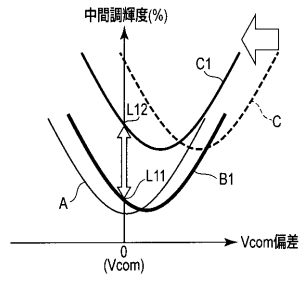


図 5

Figure 5 is a graph showing the relationship between V_{com} bias and intermediate modulation degree (%). The y-axis is labeled "中間調制度(%)" and the x-axis is labeled " V_{com} 偏差 (V_{com})". Three curves, A, B, and C, are shown. Curve A is a thick line with a minimum at L_0 . Curve B is a thin line with a minimum at L_1 . Curve C is a thick line with a minimum at L_2 . A vertical line at $V_{com} = 0$ is labeled "焼き付き" (burn-in). A point on curve A at $V_{com} = 0$ is labeled $(L_a + L_b) / 2$. A horizontal dashed line from this point to curve B is labeled L_0 . A horizontal dashed line from the minimum of curve B to the x-axis is labeled δV .

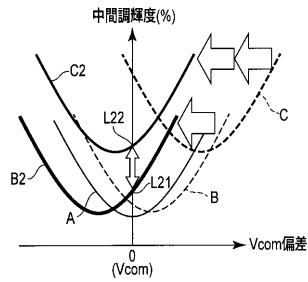
【図 6】

図 6



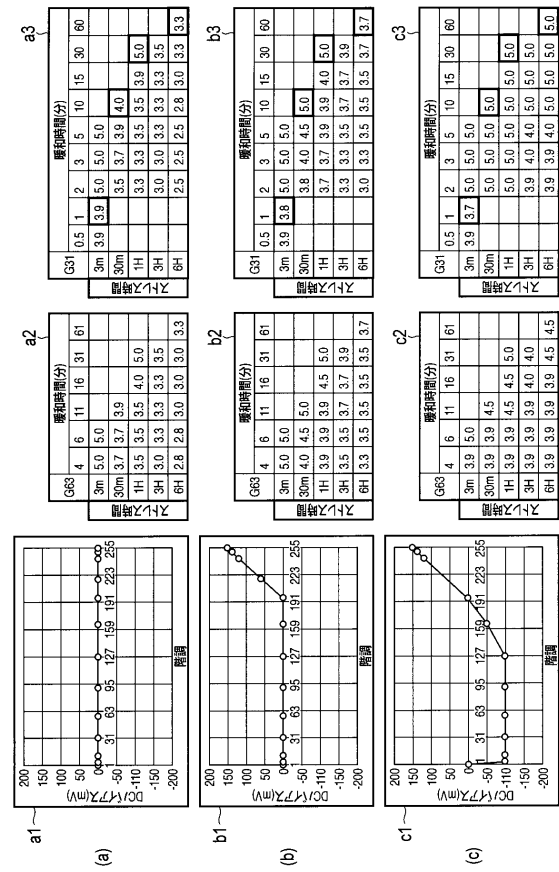
【図 7】

図 7



【図 8】

図 8



焼き付け基準レベル: L2(劣悪) → L3(悪) → L4(正面から見えない) → L5(良)

フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 Z
	G 0 9 G 3/20	6 1 2 U
	G 0 9 G 3/20	6 4 1 P

(74)代理人 100075672
弁理士 峰 隆司

(74)代理人 100119976
弁理士 幸長 保次郎

(74)代理人 100153051
弁理士 河野 直樹

(74)代理人 100140176
弁理士 砂川 克

(74)代理人 100158805
弁理士 井関 守三

(74)代理人 100172580
弁理士 赤穂 隆雄

(74)代理人 100179062
弁理士 井上 正

(74)代理人 100124394
弁理士 佐藤 立志

(74)代理人 100112807
弁理士 岡田 貴志

(74)代理人 100111073
弁理士 堀内 美保子

(74)代理人 100134290
弁理士 竹内 将訓

(72)発明者 津田 紘樹
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

(72)発明者 小林 淳一
埼玉県深谷市幡羅町一丁目9番地2 株式会社ジャパンディスプレイセントラル内

F ターム(参考) 2H092 GA14 GA17 GA60 JA25 JA26 JA46 JB16 JB58 JB69 KA04
KA05 NA01 PA06
2H193 ZA04 ZA07 ZB03 ZB06 ZD02 ZD23 ZF13 ZF21 ZF31 ZF60
ZG02 ZH23 ZH40 ZH53 ZQ16
5C006 AA21 AC21 AC28 AF44 AF45 AF46 BB16 BC06 FA23
5C080 AA10 BB05 CC03 DD01 DD05 DD06 FF11 JJ02 JJ03 JJ05
JJ06 KK02 KK20 KK23 KK43 KK47 KK50

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2014066874A	公开(公告)日	2014-04-17
申请号	JP2012212141	申请日	2012-09-26
[标]申请(专利权)人(译)	株式会社日本显示器		
申请(专利权)人(译)	有限公司日本显示器		
[标]发明人	津田紘樹 小林淳一		
发明人	津田 紘樹 小林 淳一		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36 G09G3/20		
CPC分类号	G09G3/3614 G09G3/3648 G09G2320/0204 G09G2320/0257		
FI分类号	G02F1/133.525 G02F1/1368 G02F1/133.550 G02F1/133.575 G09G3/36 G09G3/20.623.Z G09G3/20.612.U G09G3/20.641.P		
F-TERM分类号	2H092/GA14 2H092/GA17 2H092/GA60 2H092/JA25 2H092/JA26 2H092/JA46 2H092/JB16 2H092/JB58 2H092/JB69 2H092/KA04 2H092/KA05 2H092/NA01 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZB03 2H193/ZB06 2H193/ZD02 2H193/ZD23 2H193/ZF13 2H193/ZF21 2H193/ZF31 2H193/ZF60 2H193/ZG02 2H193/ZH23 2H193/ZH40 2H193/ZH53 2H193/ZQ16 5C006/AA21 5C006/AC21 5C006/AC28 5C006/AF44 5C006/AF45 5C006/AF46 5C006/BB16 5C006/BC06 5C006/FA23 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD05 5C080/DD06 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK20 5C080/KK23 5C080/KK43 5C080/KK47 5C080/KK50 2H192/AA24 2H192/BB13 2H192/BC31 2H192/DA02 2H192/EA22 2H192/EA43 2H192/FA73 2H192/GD61 2H192/JA33		
代理人(译)	中村诚 河野直树 井上 正 冈田隆		
外部链接	Espacenet		

摘要(译)

提供了一种能够改善显示质量的液晶显示装置及其驱动方法。 解决方案：公共电极布置在有源区域中的多个像素上，绝缘膜布置在公共电极上，并且开关元件彼此电连接并位于绝缘膜上。 第一电极具有像素电极，该像素电极形成在像素中并具有面对公共电极的狭缝，覆盖像素电极的第一取向膜和面对第一取向膜的第二取向膜。 提供第二基板，将包含保持在第一取向膜和第二取向膜之间的液晶分子的液晶层以及DC偏压施加到与像素上显示的灰度对应的电压。 在其中像素电极和公共电极之间形成电势差的白色显示状态中，在像素电极和公共电极之间不形成电势差的黑色显示器是提供像素电极的驱动单元。 直流偏置高于状态 一个驱动单元，与液晶显示装置。 [选择图]图6

