

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-33284

(P2013-33284A)

(43) 公開日 平成25年2月14日(2013.2.14)

| | | |
|------------------------------------|----------------|-------------|
| (51) Int.Cl. | F I | テーマコード (参考) |
| G09G 3/36 (2006.01) | G09G 3/36 | 2H193 |
| G09G 3/20 (2006.01) | G09G 3/20 621A | 5C006 |
| G02F 1/133 (2006.01) | G09G 3/20 623C | 5C080 |
| | G09G 3/20 623D | |
| | G09G 3/20 623B | |
| 審査請求 有 請求項の数 8 O L (全 14 頁) 最終頁に続く | | |

| | | | |
|------------|------------------------------|----------|---------------------|
| (21) 出願番号 | 特願2012-239987 (P2012-239987) | (71) 出願人 | 502356528 |
| (22) 出願日 | 平成24年10月31日 (2012.10.31) | | 株式会社ジャパンディスプレイイースト |
| (62) 分割の表示 | 特願2008-60947 (P2008-60947) | | 千葉県茂原市早野3300番地 |
| | の分割 | (71) 出願人 | 506087819 |
| 原出願日 | 平成20年3月11日 (2008.3.11) | | パナソニック液晶ディスプレイ株式会社 |
| | | | 兵庫県姫路市飾磨区妻鹿日田町1-6 |
| | | (74) 代理人 | 100083552 |
| | | | 弁理士 秋田 収喜 |
| | | (74) 代理人 | 100103746 |
| | | | 弁理士 近野 恵一 |
| | | (72) 発明者 | 小谷 佳宏 |
| | | | 千葉県茂原市早野3300番地 株式会社 |
| | | | ジャパンディスプレイイースト内 |
| | | 最終頁に続く | |

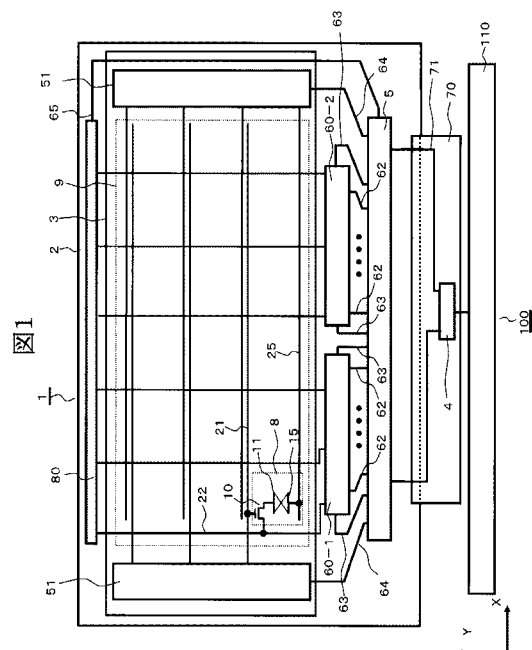
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】小型携帯機器に用いられる液晶表示装置において、回路規模の増大に対応し高品質な表示を可能とする。

【解決手段】液晶表示パネル上には、駆動回路から出力する映像信号を液晶表示パネル上の複数の映像信号線に出力する分配回路を有し、前記分配回路は、前記駆動回路から出力する制御信号により制御され、前記駆動回路は、高耐圧出力アンプと低耐圧出力アンプからの映像信号が交互に、隣合う2本の映像信号出力端子から出力し、前記分割回路は、前記映像信号線毎にスイッチング素子を有し、前記スイッチング素子は、前記高耐圧出力アンプからの映像信号と、前記低耐圧出力アンプからの映像信号とが入力する入力端子と、前記映像信号線に前記映像信号を出力する出力端子と、前記制御信号が入力する制御端子とを有し、前記分割回路は、前記高耐圧出力アンプからの映像信号と、前記低耐圧出力アンプからの映像信号とを同じ前記スイッチング素子を介して前記映像信号線に出力する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

液晶表示パネルと、
該液晶表示パネルを駆動する駆動回路とを有する液晶表示装置において、
前記液晶表示パネル上には、前記駆動回路から出力する映像信号を液晶表示パネル上の複数の映像信号線に出力する分配回路を有し、
前記分配回路は、前記駆動回路から出力する制御信号により制御され、
前記駆動回路は、高耐圧出力アンプと低耐圧出力アンプからの映像信号が交互に、隣合う 2 本の映像信号出力端子から出力し、
前記分配回路は、前記映像信号線毎にスイッチング素子を有し、
前記スイッチング素子は、前記高耐圧出力アンプからの映像信号と、前記低耐圧出力アンプからの映像信号とが入力する入力端子と、前記映像信号線に前記映像信号を出力する出力端子と、前記制御信号が入力する制御端子とを有し、
前記分配回路は、前記高耐圧出力アンプからの映像信号と、前記低耐圧出力アンプからの映像信号とを同じ前記スイッチング素子を介して前記映像信号線に出力することを特徴とする液晶表示装置。

10

【請求項 2】

前記液晶表示パネル上には走査信号出力回路が形成され、前記駆動回路には前記制御信号出力端子の外側に走査信号線出力回路に接続された走査信号出力端子を有することを特徴とする請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記高耐圧出力アンプからの映像信号と、前記低耐圧出力アンプからの映像信号とは交互に前記映像信号線に出力されることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 4】

隣合う 2 本の前記映像信号出力端子からは極性が反転した映像信号が出力することを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 5】

第 1 の基板と、
第 2 の基板と、
前記第 1 の基板と第 2 の基板とに挟まれた液晶組成物と、
前記第 1 の基板に形成された画素電極と、
前記画素電極に映像信号を供給する映像信号線と、
前記第 1 の基板に搭載され、前記映像信号を出力する駆動回路と、
前記第 1 の基板に形成され、前記駆動回路から出力する映像信号を液晶表示パネル上の複数の映像信号線に出力する分配回路を有し、
前記分配回路は、前記駆動回路から出力する制御信号により制御され、
前記駆動回路と前記分配回路とは、複数の中継信号線で接続され、
前記駆動回路の高耐圧出力アンプと低耐圧出力アンプからの映像信号は交互に、隣合う 2 本の前記中継信号線に入力し、
前記分配回路は、前記映像信号線毎にスイッチング素子を有し、
前記スイッチング素子の入力端子は、前記高耐圧出力アンプと、前記低耐圧出力アンプとに前記中継信号線を介して接続し、
前記スイッチング素子の出力端子は、前記高耐圧出力アンプからの映像信号と、前記低耐圧出力アンプからの映像信号とを前記映像信号線に出力し、
前記中継信号線は、偶数で、隣合う 2 本の中継信号線を共通に接続することで、前記分配回路に入力する前記中継信号線は奇数であることを特徴とする液晶表示装置。

30

40

【請求項 6】

前記中継信号線に接続する接続端子の外側に、前記制御信号が出力する接続端子が設けられることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

50

前記中継信号線に接続する接続端子の外側に、前記制御信号が出力する接続端子が設けられ、

前記液晶表示パネル上には走査信号出力回路が形成され、

前記駆動回路は、前記制御信号が出力する接続端子の外側に走査信号線出力回路に接続された走査信号出力端子を有することを特徴とする請求項5に記載の液晶表示装置。

【請求項8】

隣合う2本の前記中継信号線には極性が反転した映像信号が出力することを特徴とする請求項5に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、液晶表示装置に係わり、特に、携帯型装置の表示部に用いられる液晶表示装置の駆動回路に適用して有効な技術に関する。

【背景技術】

【0002】

TFT(Thin Film Transistor)方式の液晶表示装置は、パソコン、TV等の表示装置として広く使用されている。これらの液晶表示装置は、液晶表示パネルと、液晶表示パネルを駆動する駆動回路とを備えている。

そして、このような液晶表示装置において小型のものが、携帯電話機等の携帯機器の表示装置として広く利用されている。さらに近年、液晶表示装置を携帯用コンピュータの表示装置として用いることが望まれている。

20

下記「特許文献1」には、液晶表示パネルで基板上に分配回路を形成し、分配回路を用いて駆動回路から出力する映像信号を複数の映像信号線に分配することで、駆動回路の出力数を減少させて回路規模を抑える開示がある。

しかしながら、「特許文献1」にはさらに高精細な表示装置に分配回路を用いる場合の問題点について記載あるものではない。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2003-270660号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

携帯用コンピュータに用いられる表示装置においても、高精細多階調表示が可能なものが望まれている。そのため、より高精細で表示品質の優れた表示装置が携帯機器においても用いられている。

しかしながら、限られた表示領域を有する携帯用の液晶表示装置で高精細多階調の表示を行うには、駆動回路の回路規模が増大し、液晶表示パネル上に駆動装置を実装することが困難になってきている。

そのため、携帯機器用液晶表示装置において、液晶表示パネル上に分配回路を形成し、駆動回路からの出力を複数の映像信号線に分配することで、駆動回路の回路規模を抑える方法が用いられてきた。しかしながら、分配回路を用いる方法でも、液晶表示パネルに実装する駆動回路の規模の増大に対応困難となっており、さらに、表示品質の向上のために、ドット反転駆動の要求も高まっている。

40

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、携帯機器用の液晶表示装置において、回路規模の増大に対応し高品質な表示が可能な液晶表示装置を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにする。

【課題を解決するための手段】

50

【 0 0 0 5 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

本発明の液晶表示装置は、2枚の基板と、2枚の基板の間に挟まれた液晶組成物と、基板に設けられた複数の画素と、画素に設けられた画素電極と、前記画素電極に対向する対向電極と、画素電極に設けられたスイッチング素子と、スイッチング素子に映像信号を供給する映像信号線と、スイッチング素子のオン・オフを制御する走査信号を供給する走査信号線と、映像信号線に映像信号を出力し、走査信号線に走査信号を出力する駆動回路とを備える。

画素が形成された基板上には、駆動回路の出力を複数の映像信号線に分配する分配回路が形成される。駆動回路からは分配回路を制御する制御信号が分配回路の両端から供給される。

分配回路と駆動回路とは2分割され、駆動回路にはマスタ回路とスレーブ回路との機能が形成され、駆動回路は外部からの制御信号によりマスタ回路とスレーブ回路とに設定可能である。

【発明の効果】

【 0 0 0 6 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。

本発明によれば、分配回路の両端から、分配回路を制御する制御信号を供給することで、分配回路の回路規模が増大したことによる制御信号の波形なまりを減少させることが可能である。

また、分配回路と駆動回路とを複数設けることで、高精細で映像信号線数の増加した液晶表示装置に対応が可能となり、さらには駆動回路にマスタ回路とスレーブ回路の機能を持たせることで、複数の回路構成にも対応可能である。

【図面の簡単な説明】

【 0 0 0 7 】

【図1】本発明の実施例の液晶表示装置を示す概略ブロック図である。

【図2】本発明の実施例の液晶表示装置を示す概略ブロック図である。

【図3】本発明の実施例の液晶表示装置に用いられる駆動回路の端子部を示す概略平面図である。

【図4】本発明の実施例の液晶表示装置の分配回路を示す概略ブロック図である。

【図5】本発明の実施例の液晶表示装置の分配回路の駆動方法を示すタイミングチャートである。

【図6】本発明の実施例の液晶表示装置の駆動回路の出力部を示す概略ブロック図である。

【図7】本発明の実施例の液晶表示装置の分配回路を示す概略ブロック図である。

【図8】本発明の実施例の液晶表示装置の分配回路を示す概略ブロック図である。

【図9】本発明の実施例の液晶表示装置の分配回路を示す概略ブロック図である。

【図10】本発明の実施例の液晶表示装置の分配回路を示す概略ブロック図である。

【図11】本発明の実施例の液晶表示装置の分配回路を示す概略ブロック図である。

【図12】本発明の実施例の液晶表示装置のイコライズ回路を示す概略ブロック図である。

【図13】本発明の実施例の液晶表示装置のイコライズ回路を示す概略ブロック図である。

【発明を実施するための形態】

【 0 0 0 8 】

以下、図面を参照して本発明の実施例を詳細に説明する。

なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。また、以下の実施例は、本発明の特許請求の範囲の解

10

20

30

40

50

釈を限定するためのものではない。

図 1 は、本発明の実施例の液晶表示装置の基本構成を示すブロック図である。同図に示すように、本実施例の液晶表示装置 100 は、液晶表示パネル 1 と、駆動回路 5 と、フレキシブル基板 70 と、バックライト 110 と、収納ケース（図示せず）とから構成される。

液晶表示パネル 1 は、薄膜トランジスタ 10、画素電極 11、対向電極 15 等が形成される TFT 基板 2 と、カラーフィルタ等が形成されるカラーフィルタ基板 3 とを、所定の間隙を隔てて重ね合わせ、該両基板間の周縁部近傍に枠状に設けたシール材（図示せず）により、両基板を貼り合わせると共に、シール材の内側に液晶組成物を封入、封止し、さらに、両基板の外側に偏光板を貼り付けて構成される。

なお、本実施例は対向電極 15 が TFT 基板 2 に設けられる所謂横電界方式の液晶表示パネルにも、対向電極 15 がカラーフィルタ基板 3 に設けられる所謂縦電界方式の液晶表示パネルにも同様に適用される。

TFT 基板 2 には、図中 x 方向に延在し y 方向に並設される走査信号線（ゲート線とも呼ぶ）21 と、y 方向に延在し x 方向に並設される映像信号線（ドレイン信号線とも呼ぶ）22 とが設けられており、走査信号線 21 と映像信号線 22 とで囲まれる領域に画素部 8 が形成されている。

【0009】

なお、液晶表示パネル 1 は多数の画素部 8 をマトリクス状に備えているが、図を解り易くするため、図 1 では画素部 8 を 1 つだけ示している。マトリクス状に配置された画素部 8 は表示領域 9 を形成し、各画素部 8 が表示画像の画素の役割をはたし、表示領域 9 に画像を表示する。

各画素部 8 の薄膜トランジスタ 10 はソースが画素電極 11 に接続され、ドレインが映像信号線 22 に接続され、ゲートが走査信号線 21 に接続される。この薄膜トランジスタ 10 は、画素電極 11 に表示電圧（階調電圧）を供給するためのスイッチとして機能する。なお、ソース、ドレインの呼び方は、バイアスの関係で逆になることもあるが、ここでは、映像信号線 22 に接続される方をドレインと称する。

駆動回路 5 は、TFT 基板 2 を構成する透明な絶縁基板（ガラス基板、樹脂基板等）に配置される。駆動回路 5 は分配回路 60 と中継信号線 62 で接続しており、駆動回路 5 からは多数の中継信号線 62 を介して映像信号が分配回路に出力する。さらに、駆動回路 5 からは分配回路 60 に制御信号線 63 が接続している。

図 1 では、分配回路 60 は分配回路 60 - 1 と 60 - 2 とに分割されて形成され、各分配回路 60 - 1 と 60 - 2 とには外側から制御信号線 63 に加えて、2 つの分配回路の間である内側からも制御信号線 63 が接続している。分配回路 60 の両端部から制御信号線 63 を介して制御信号を供給することで、分配回路 60 内の制御信号線の長さが長くなることで、制御信号の波形がなまる問題を減少させることが可能である。

また、駆動回路 5 と走査信号線駆動回路 51 とは信号線 64 を介して接続され、駆動回路 5 とイコライズ回路 80 とは信号線 65 を介して電氣的に接続している。なお、図 1 では、一方の走査信号線駆動回路 51 が走査信号線 21 に走査信号を供給し、他方の走査信号線駆動回路 51 が対向電極（コモン電極）25 にコモン電圧を供給している。

【0010】

TFT 基板 2 の長辺側には、フレキシブル基板 70 が接続されている。フレキシブル基板 70 にはコネクタ 4 が設けられている。コネクタ 4 は外部信号線と接続され外部からの信号が入力する。コネクタ 4 と駆動回路 5 の間には配線 71 が設けられており、外部からの信号は配線 71 を介して駆動回路 5 に入力する。

液晶表示パネル 1 は非発光素子であるため、光源を必要とするが、液晶表示装置 100 にはバックライト 110 が設けられており、バックライト 110 は液晶表示パネル 1 に光を照射する。液晶表示パネル 1 は照射された光の透過・反射量を制御して表示を行う。なお、バックライト 110 は液晶表示パネル 1 の背面または前面に設けられるが、図 1 では図をわかり易くするために液晶表示パネル 1 と並べて示した。

10

20

30

40

50

液晶表示装置 100 の外部に設けられた制御装置（図示せず）から送出された制御信号、および外部電源回路（図示せず）から供給される電源電圧が、コネクタ 4、配線 71 を介して駆動回路 5 に入力する。

【0011】

外部から駆動回路 5 に入力する信号は、クロック信号、ディスプレイタイミング信号、水平同期信号、垂直同期信号等の各制御信号および表示用データ（R・G・B）、表示モード制御コマンドであり、入力した信号を基に駆動回路 5 は液晶表示パネル 1 を駆動する。

駆動回路 5 は、走査信号線 21 を駆動するために制御信号を制御信号線 64 を介して走査信号線駆動回路 51 に供給する。走査信号線駆動回路 51 は内部で発生させる基準クロックに基づき、1 水平走査期間毎に、走査信号線 21 に“High”レベル（以後ハイ信号とも呼ぶ）の選択電圧（走査信号）を供給する。これにより、液晶表示パネル 1 の各走査信号線 21 に接続された複数の薄膜トランジスタ 10 が、1 水平走査期間の間、映像信号線 22 と画素電極 11 との間を電氣的に導通させる。

また、駆動回路 5 は画素が表示すべき階調に対応する階調電圧（映像信号）を中継信号線 62 に出力する。分配回路 60 を介して映像信号線 22 に階調電圧が供給されると、オン状態（導通）の薄膜トランジスタ 10 を介して、映像信号線 22 から階調電圧が画素電極 11 に供給される。その後、薄膜トランジスタ 10 がオフ状態となることで画素が表示すべき映像に基づく階調電圧が画素電極 11 に保持される。なお、分配回路 60 の詳細については後述する。

【0012】

次に図 2 に、駆動回路 5 の配置を走査信号線駆動回路 51 と並列とした場合を示す。図 2 に示すように、駆動回路 5 を短辺側に設けることで、フレキシブル基板 70 を液晶表示パネル 1 の短辺側から引き出すことが可能となる。

図 2 に示す短辺側に駆動回路 5 を搭載した場合でも、駆動回路 5 と分配回路 60 - 1、60 - 2 とは制御信号線 63 で接続され、制御信号線 63 は分配回路 60 - 1 と 60 - 2 の両端部から入力している。

図 2 では、分配回路 60 は 2 分割されて、液晶表示パネル 1 の上下に配置されている。また、分配回路 60 - 1 では駆動回路 5 からの距離が図 1 の場合に比べて長くなっており分配回路 60 の両端から制御信号線 63 を入力させることが波形なまりの対策に有効である。なお、イコライズ回路 80 も 2 分割されている。

次に図 3 に駆動回路 5 の出力端子の配置を示す。図 3 は分配回路 60 の両端に制御信号線 63 を供給するための出力端子の配置となっている。図 1、図 2 に示すように、多数の信号線が駆動回路 5 と接続している。その中で、映像信号が出力される中継信号線 62 が駆動回路 5 と分配回路 60 との間で多数接続されており、駆動回路 5 には、中継信号線 62 に接続する出力端子 30 が多数形成されている。

出力端子 30 の両端には制御信号線 63 に接続する接続端子 563 が形成されている。特に分配回路 60 の両端に制御信号を供給するためには、出力端子 30 の両端に隣接して出力端子 563 を設けることが有効である。また、2 つの出力端子 30 の間で駆動回路 5 の中央部に出力端子 563 を設けることで、分配回路 60 が分割した場合にも対応可能となっている。

駆動回路 5 の中央部では、図 2 に示す短辺側配置に対応して、イコライズ回路 80 に接続する出力端子 565 の内側に走査信号線駆動回路 51 に接続する出力端子 564 が設けられている。

また、駆動回路 5 の端部では、図 1 に示す駆動回路 5 の配置に対応して、信号線 64 の外側に信号線 65 が配置可能なように、走査信号線駆動回路 51 に接続する出力端子 564 の外側には、イコライズ回路 80 に接続する出力端子 565 が設けられている。なお、符号 571 は入力端子である。

【0013】

次に図 4 に分配回路 60 を示す。分配回路 60 には駆動回路 5 から映像信号が中継信号

10

20

30

40

50

線 6 2 を介して供給されている。分配回路 6 0 には映像信号線 2 2 に接続するスイッチング素子 6 1 が設けられている。

図 5 に分配回路 6 0 の駆動方法を説明するタイミングチャートを示す。符号 V S I G は中継信号線 6 2 に駆動回路 5 から出力する映像信号である。符号 B L は制御信号線 6 3 に出力する制御信号を示す。制御信号 B L 1 は制御信号線 6 3 - 1 に、制御信号 B L 2 は制御信号線 6 3 - 2 に、制御信号 B L 3 は制御信号線 6 3 - 3 に出力する。なお、B L 1 1、B L 1 2、B L 1 3 は波形なまりが生じた制御信号を示している。

図 5 に示すように、各中継信号線 6 2 には、走査信号がハイ信号である 1 水平走査期間 (1 H) に、複数の映像信号線に供給する映像信号 V S I G が出力する。映像信号 V S I G は各画素に表示される階調に応じて最大 V D H から最小 V D L の電圧が出力している。

図 4 に示す分配回路 6 0 は 3 本の映像信号線 2 2 に映像信号 V S I G を分配する構成であり、3 つの制御信号 B L は 3 つのスイッチング素子 6 1 をオン状態とするように、順番にハイ信号を出力している。

まず制御信号 B L 1 が制御信号線 6 3 - 1 に出力すると、スイッチング素子 6 1 - 1 がオン状態となり、映像信号線 2 2 - 1 に映像信号が供給される。その後順番に、制御信号 B L 2 が制御信号線 6 3 - 2 を介してスイッチング素子 6 1 - 2 をオン状態として映像信号を映像信号線 2 2 - 2 に供給し、制御信号 B L 3 によって映像信号が映像信号線 2 2 - 3 に供給される。

分配回路 6 0 の駆動においては、制御信号線 6 3 の引き回し距離が長くなると、制御信号線 6 3 の端部では波形なまりが制御信号 B L 1 1、B L 1 2、B L 1 3 で示すように生じる。そのため、図 1、図 2 で示したように、分配回路 6 0 の両端部から制御信号を供給することが有効である。

【 0 0 1 4 】

次に図 6 を用いて、正極性と負極性の映像信号を交互に出力し、かつ駆動回路 5 から図 5 に示すように分割して映像信号を供給する構成について説明する。図 6 は駆動回路 5 の隣合う 2 つの出力端子 3 0 - 1 と 3 0 - 2 の出力部について示している。2 9 - 1 は高耐圧出力アンプで、2 9 - 2 は低耐圧出力アンプである。対向電極の電圧 (以下、コモン電圧と呼ぶ) を一定とする場合の交流化駆動では、コモン電圧に対して正極性の映像信号 (以下階調電圧とも呼ぶ) と負極性の階調電圧が画素電極 1 1 に印加される。図 6 に示す回路では、正極性の階調電圧を高耐圧出力アンプ 2 9 - 1 から出力し、負極性の階調電圧を低耐圧出力アンプ 2 9 - 2 から出力する。

図 6 においては、切換スイッチ 3 6 を用いて高耐圧出力アンプ 2 9 - 1 と低耐圧出力アンプ 2 9 - 2 の出力を切り替えている。いま、出力端子 3 0 - 1 から正極性の階調電圧を出力しようとする、切換スイッチ 3 6 は高耐圧出力アンプ 2 9 - 1 と出力端子 3 0 - 1 とを接続する。他方の出力端子 3 0 - 2 は低耐圧出力アンプ 2 9 - 2 に接続され負極性の階調電圧を出力する。

他方、表示データも順番を変更可能となっており、切換スイッチ 3 7 はデータ線選択回路 1 2 5 の出力を切り替えてレベルシフト回路 2 7 に接続する。切換スイッチ 3 7 によりデータ線選択回路 1 2 5 - 1 はレベルシフト回路 2 7 - 1 と 2 7 - 2 の両方に接続可能である。

よって、切換スイッチ 3 7 はセクタ回路 2 4 の出力する表示データを正極性の階調電圧を出力する場合は、レベルシフト回路 2 7 - 1 に供給し、負極性の階調電圧を出力する場合は、セクタ 2 4 の出力をレベルシフト回路 2 7 - 2 に供給する。

セクタ回路 2 4 は表示データを時分割してデコーダ回路 2 8 に出力する。セクタ回路 2 4 はデータ線選択回路 1 2 5 を有しており、分配回路 6 0 に供給する制御信号に同期して、時分割制御信号がセクタ回路 2 4 に伝えられている。時分割信号発生回路 2 6 では時分割制御信号から時分割信号を作成し、時分割信号線 1 9 に出力する。

時分割信号線 1 9 は各データ線選択回路 1 2 5 に接続している。データ線選択回路 1 2 5 に入力した時分割信号はデータ線選択回路 1 2 5 を制御する。データ線選択回路 1 2 5 は時分割信号に従いラインラッチ回路 2 3 の出力する表示データを選択して、次段のレベ

10

20

30

40

50

ルシフト回路 27 に出力する。すなわち、ラインラッチ回路 23 は 1 水平走査期間 (1 H) の間表示データを出力するが、セクタ回路 24 により 1 走査期間を複数の期間に分割し、分割した期間毎に異なる表示データがレベルシフト回路 27 に伝えられる。

【0015】

次に図 7 を用いて、信号線 62 が奇数となった場合の問題点を説明する。

一般に液晶表示パネル 1 の映像信号線 22 の数は偶数で、また RGB 3 本で一組となっているので、中継信号線 62 の数も一般には偶数であるが、図 1 に示すように分配回路 60 を 2 個設けた場合には、各分配回路 60 に入力する中継信号線 62 の数は奇数となる。

中継信号線 62 が奇数の場合には、駆動回路 5 の出力が図 6 で示すように、正極性と負極性の階調電圧を交互に出力するようになっているため、最端部の出力部で、出力アンプが余る問題が生じる。

そのため、図 7 に示すように、最後の切換スイッチ 36 - (2n + 1) の出力は両方共に信号線 62 - (2n + 1) に接続している。そのため、信号線 62 - (2n + 1) に接続する高耐圧出力アンプ 29 - 1 と低耐圧出力アンプ 29 - 2 では、例えば高耐圧出力アンプ 29 - 1 が信号線 62 - (2n + 1) に階調電圧を出力している場合には、低耐圧出力アンプ 29 - 2 は信号線 62 - (2n + 1) に接続されていない状態となる。

【0016】

図 8 に奇数出力の駆動回路 5 を 2 つ並べて配置する場合の問題点を示す。前述したように、駆動回路 5 - 1 と 5 - 2 共に、最後の切換スイッチ 36 - (2n + 1) の出力は両方共に信号線 62 - (2n + 1) に接続している。

前述したように、正極性の階調電圧と負極性の階調電圧とが交互に出力されているために、 $3 \times (2n + 1)$ 本目の映像信号線 22 - $3(2n + 1)$ が、例えば正極性の場合には、 $3 \times (2n + 1) + 1$ 本目の映像信号線 22 - $3(2n + 1) + 1$ には負極性の階調電圧が供給されている。

そのため、駆動回路 5 - 1 が、最初の映像信号線 22 - 1 に正極性の階調電圧を出力しているタイミングで、駆動回路 5 - 2 は映像信号線 22 - $3(2n + 1) + 1$ に負極性の階調電圧を出力することになる。

すなわち、同じ駆動回路 5 でも正極性の階調電圧から出力開始するものと、負極性の階調電圧から出力開始するものとに分けられることになる。そこで、駆動回路 5 にマスタ機能とスレーブ機能を持たせ、マスタ機能に設定された駆動回路 5 は正極性の階調電圧から出力開始し、スレーブ機能に設定された駆動回路 5 は負極性の階調電圧から出力開始することとした。

なお、配線 66 はマスタ機能の駆動回路 5 - 1 から駆動回路 5 - 2 をスレーブ機能に設定するための制御信号線である。

【0017】

次に、図 9 を用いて 2 分割した分配回路 60 - 1 と分配回路 60 - 2 とで、中継信号線 62 の数を異ならせる場合を示す。駆動回路 5 - 1 は出力数が $2n$ 本で、駆動回路 5 - 2 は出力数を $2n - 2$ 本として、どちらも偶数本出力とする。この時、駆動回路 5 - 1 はマスタ機能に設定され、駆動回路 5 - 2 は制御信号線 66 によりスレーブ機能に設定される。

次に図 10 に、奇数本出力と双方向シフトに対応した駆動回路 5 を示す。図中出力アンプ 29 - 1、29 - 3、29 - 5、29 - 7 を低耐圧出力アンプとし、出力アンプ 29 - 2、29 - 4、29 - 6 を高耐圧出力アンプとする。

制御信号線 94 にハイ信号が出力してアナログスイッチ 91 がオン状態となると、高耐圧出力アンプ 29 - 2 の出力電圧が信号線 62 - 1 に供給される。同じく、アナログスイッチ 91 がオン状態となることで、低耐圧出力アンプ 29 - 3 の出力電圧が信号線 62 - 2 に供給される。

次に、制御信号線 95 にハイ信号を出力すると、アナログスイッチ 92 がオン状態となることで、低耐圧出力アンプ 29 - 1 の出力電圧が信号線 62 - 1 に供給され、高耐圧出力アンプ 29 - 2 の出力電圧が信号線 62 - 2 に供給される。

次に、制御信号線 9 6 にハイ信号が出力すると、アナログスイッチ 9 3 がオン状態となることで、低耐圧出力アンプ 2 9 - 3 の出力電圧が信号線 6 2 - 1 に出力する。

【 0 0 1 8 】

図 1 0 に示す駆動回路 5 では、中継信号線 6 2 - 1 に高耐圧出力アンプ 2 9 - 2 から出力する正極性の階調電圧を出力し、中継信号線 6 2 - 2 に低耐圧出力アンプ 2 9 - 3 から出力する負極性の階調電圧を出力する場合には、制御信号 9 4 をハイ信号とし、次に、中継信号線 6 2 - 1 に低耐圧出力アンプ 2 9 - 1 から出力する負極性の階調電圧を出力し、中継信号線 6 2 - 2 に高耐圧出力アンプ 2 9 - 2 から出力する正極性の階調電圧を出力する場合には、制御信号 9 5 をハイ信号とすることで対応可能である。

また、中継信号線 6 2 - 1 に高耐圧出力アンプ 2 9 - 2 から出力する正極性の階調電圧を出力し、中継信号線 6 2 - 2 に低耐圧出力アンプ 2 9 - 3 から出力する負極性の階調電圧を出力する場合には、制御信号 9 4 をハイ信号とし、次に、中継信号線 6 2 - 1 に低耐圧出力アンプ 2 9 - 3 から出力する負極性の階調電圧を出力し、中継信号線 6 2 - 2 に高耐圧出力アンプ 2 9 - 4 から出力する正極性の階調電圧を出力する場合には、制御信号 9 6 をハイ信号とすることで対応可能である。

このように、駆動回路 5 にアナログスイッチ 9 1、9 2、9 3 を形成することで、低耐圧出力アンプ 2 9 - 1 から高耐圧出力アンプ 2 9 - 2 の順番で、表示データがセレクトされる場合と、低耐圧出力アンプ 2 9 - 7 から高耐圧出力アンプ 2 9 - 6 の順番で、表示データがセレクトされる場合とに対応可能となっている。

【 0 0 1 9 】

次に、図 1 1 に分配回路 6 0 で 6 本の映像信号線 2 2 に映像信号を分配する構成を示す。駆動回路 5 からは高耐圧出力アンプ 2 9 - 2 と低耐圧出力アンプ 2 9 - 1 からの信号が交互に出力しているため、偶数の映像信号線に分配することは不可能である。そのため、高耐圧出力アンプ 2 9 - 2 と低耐圧出力アンプ 2 9 - 1 の出力を交互に分配回路 6 0 に入力している。

図 1 1 に示す回路では、中継信号線 6 2 - 1 と中継信号線 6 2 - 2 とが T F T 基板 2 上で交差することになり、絶縁膜を介して 2 層の導電膜から形成されることになる。

次に、図 1 2 に高耐圧出力アンプ 2 9 - 2 と低耐圧出力アンプ 2 9 - 1 の出力をアナログスイッチ 8 5 で短絡させて、出力アンプの出力電圧をイコライズする構成を示す。

帰線期間に画素部 8 のスイッチング素子 1 0 をオフ状態として、制御信号線 8 6 を用いてアナログスイッチ 8 5 により、中継信号線 6 2 - 1 と 6 2 - 2 とを短絡させる。中継信号線 6 2 - 1 と 6 2 - 2 は逆極性であるため、双方に電荷が移動して省電力化に有効である。

次に、図 1 3 に高耐圧出力アンプ 2 9 - 2 と低耐圧出力アンプ 2 9 - 1 の出力をアナログスイッチ 8 5 で接地電位線 8 7 に短絡させて、映像信号線 2 2 の電位を G N D 電位にイコライズする構成を示す。

帰線期間に画素部 8 のスイッチング素子 1 0 をオフ状態として、アナログスイッチ 8 5 により、中継信号線 6 2 - 1 と 6 2 - 2 とを接地電位線 8 7 に短絡させる。中継信号線 6 2 - 1 と 6 2 - 2 を接地電位とすることで、図 1 2 に示す場合に比べて、高耐圧出力アンプ 2 9 - 2 と低耐圧出力アンプ 2 9 - 1 の耐圧を小さくすることが可能である。また、中継信号線 6 2 - 1 と 6 2 - 2 とは逆極性であるため、電荷を接地電位線 8 7 を介して供給可能なことから省電力化に有効である。

なお、図 1、図 2 に示すイコライズ回路 8 0 も同様に極性の異なる映像信号線 2 2 を短絡するものである。

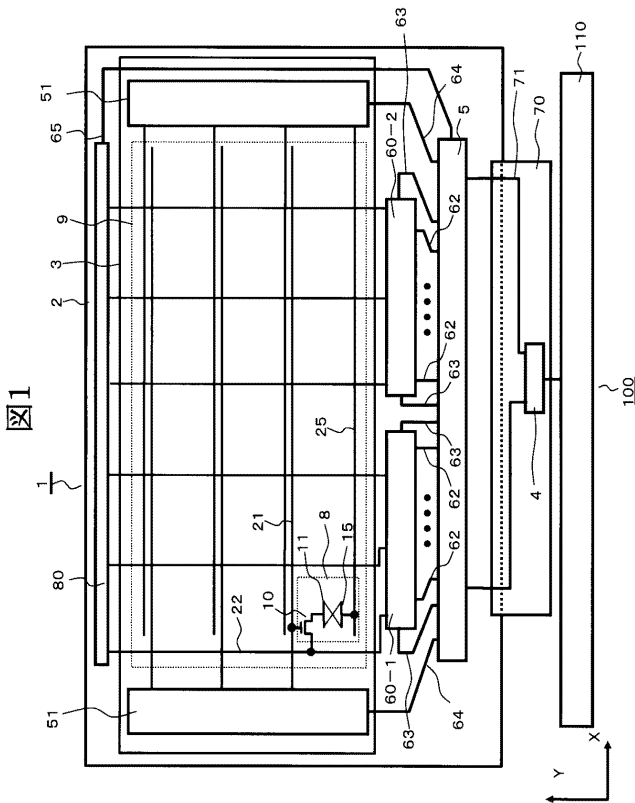
以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【 符号の説明 】

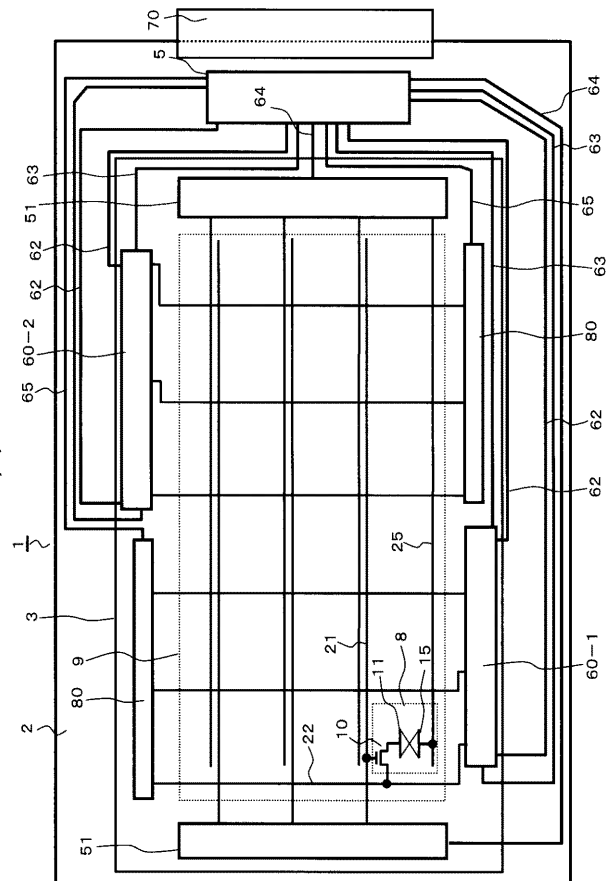
【 0 0 2 0 】

- 2 TFT基板
- 5 駆動回路
- 8 画素部
- 9 表示領域
- 10 スイッチング素子
- 11 画素電極
- 21 走査信号線
- 22 映像信号線
- 60 分配回路
- 70 フレキシブル基板
- 80 イコライズ回路
- 91 アナログスイッチ
- 100 液晶表示装置

【図1】

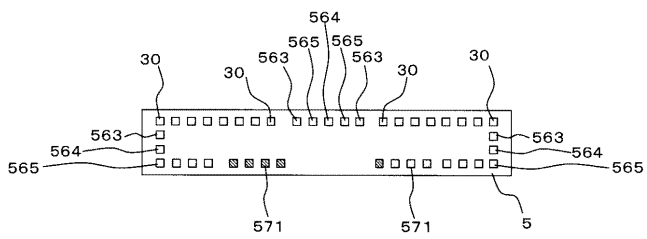


【図2】



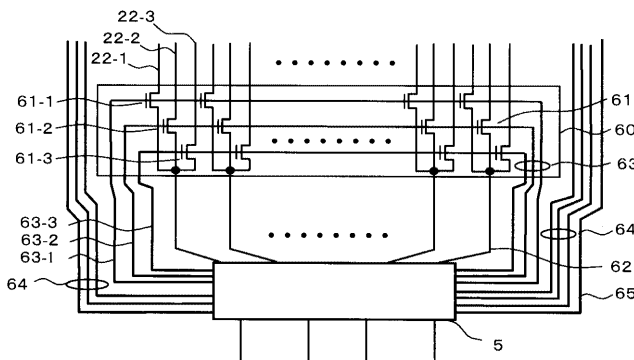
【図3】

図3



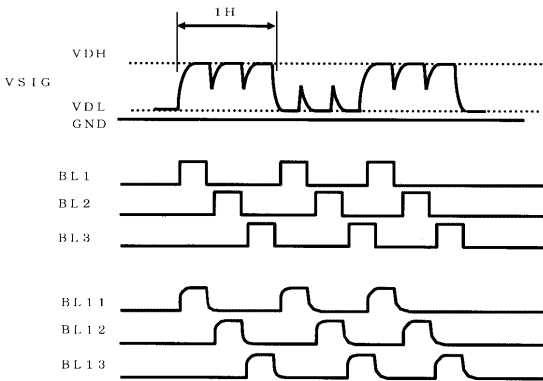
【図4】

図4



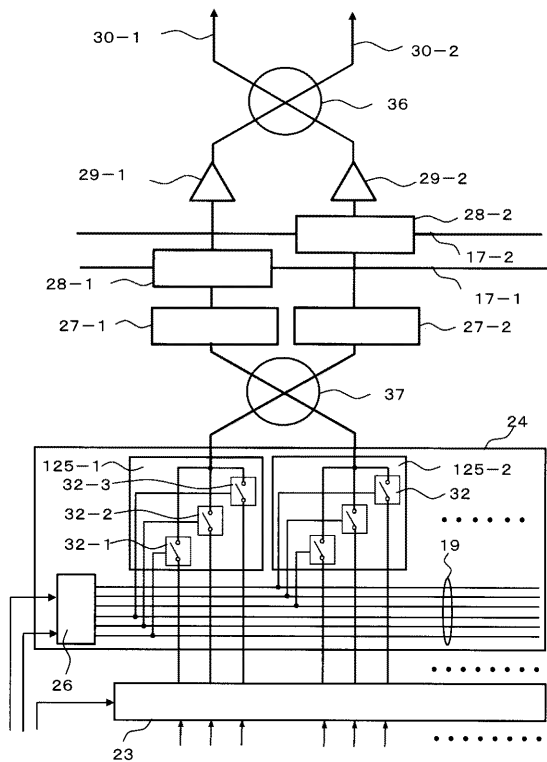
【図5】

図5



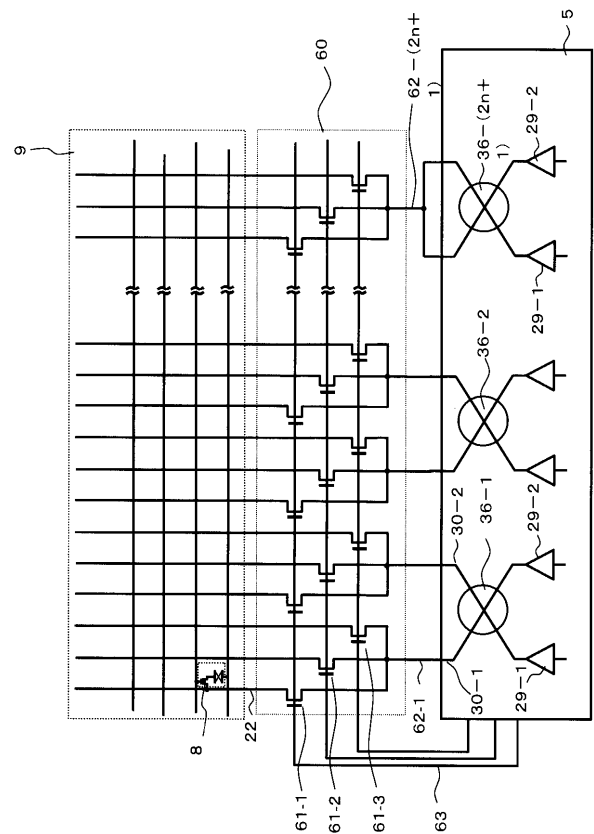
【図6】

図6

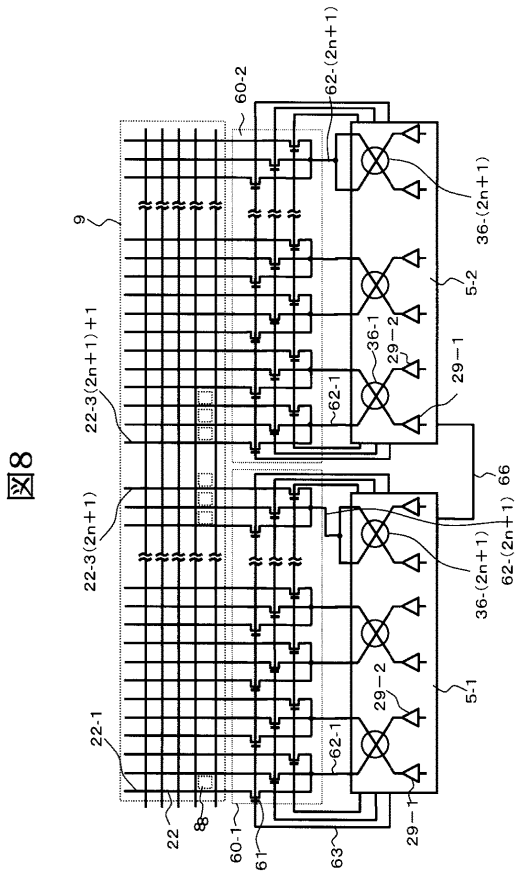


【図7】

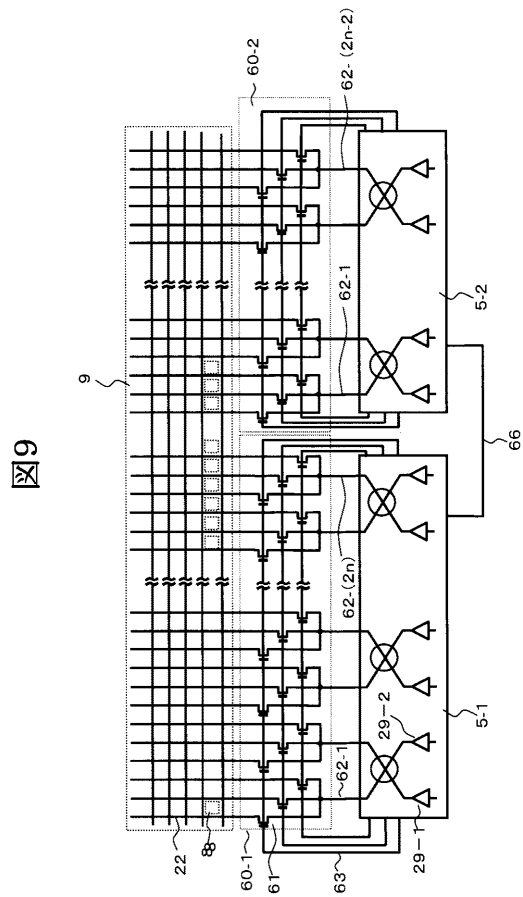
図7



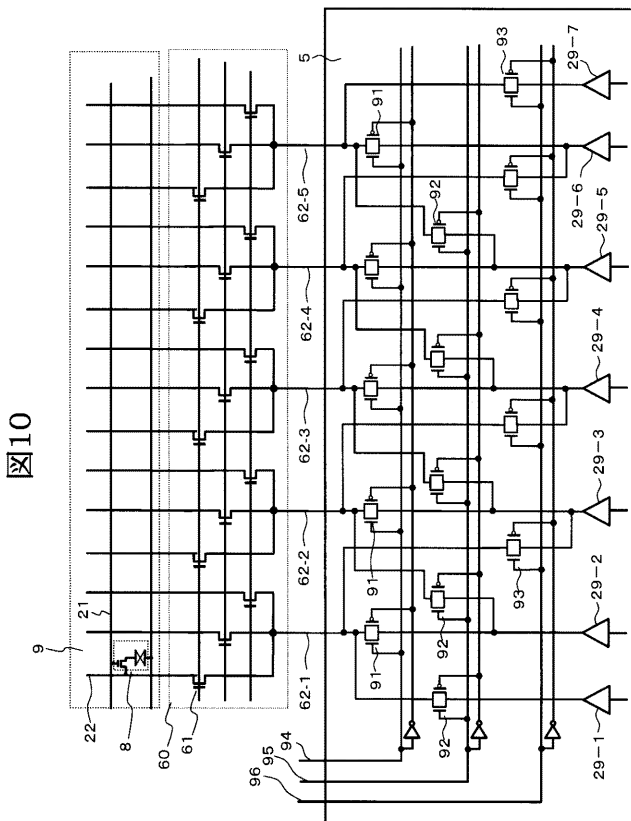
【 図 8 】



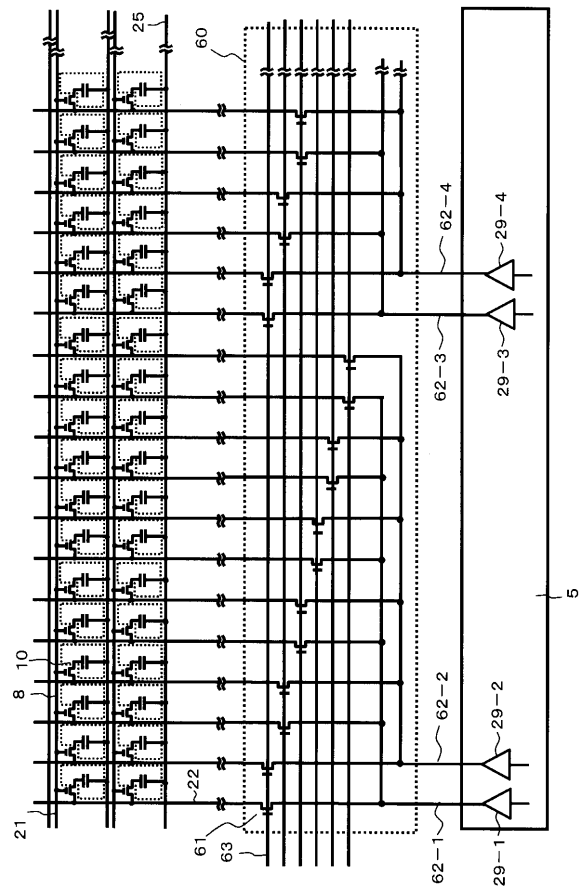
【 図 9 】



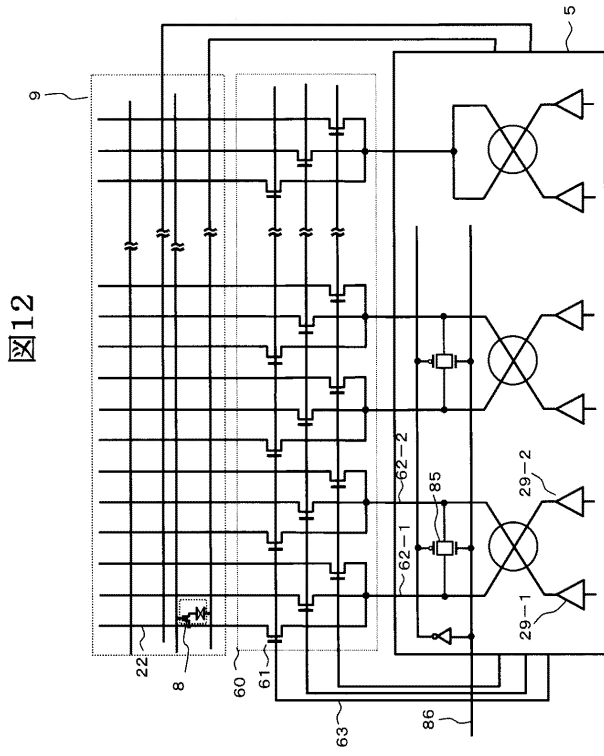
【 図 1 0 】



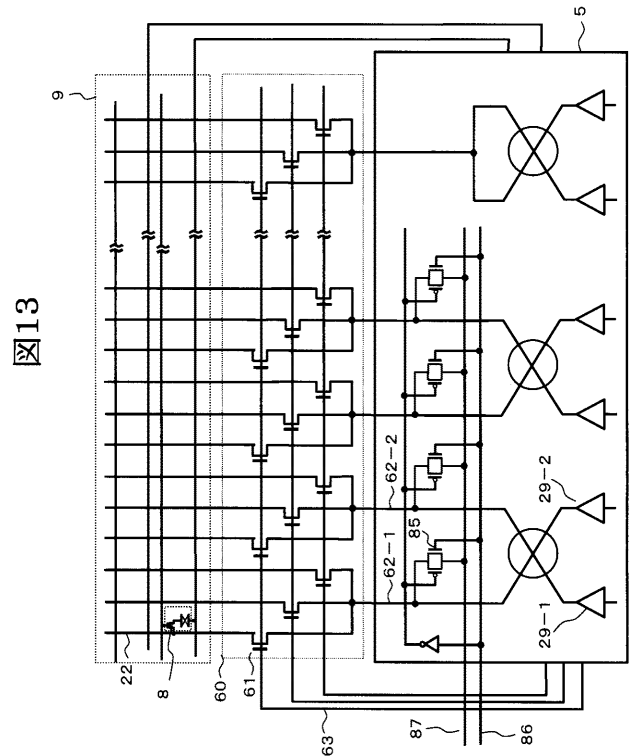
【 図 1 1 】



【図 12】



【図 13】



フロントページの続き

| (51)Int.Cl. | F I | テーマコード(参考) |
|-------------|----------------------|------------|
| | G 0 9 G 3/20 6 8 0 G | |
| | G 0 9 G 3/20 6 2 1 M | |
| | G 0 9 G 3/20 6 1 2 L | |
| | G 0 9 G 3/20 6 2 3 P | |
| | G 0 2 F 1/133 5 5 0 | |
| | G 0 2 F 1/133 5 0 5 | |

(72)発明者 秋山 賢一

千葉県茂原市早野 3 3 0 0 番地 株式会社ジャパンディスプレイースト内

F ターム(参考) 2H193 ZA04 ZB03 ZC01 ZD23 ZF11 ZF24 ZF36 ZF37 ZF44 ZG02
5C006 AA16 AC21 AF43 AF50 BB16 BC06 BC11 BF24 FA16 FA41
FA47
5C080 AA10 BB05 DD07 DD22 DD26 EE29 JJ02 JJ04 JJ06

| | | | |
|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP2013033284A | 公开(公告)日 | 2013-02-14 |
| 申请号 | JP2012239987 | 申请日 | 2012-10-31 |
| [标]申请(专利权)人(译) | 日本显示器股份有限公司 | | |
| 申请(专利权)人(译) | 有限公司日本东显示器 松下液晶显示器有限公司 | | |
| [标]发明人 | 小谷佳宏 秋山 賢一 | | |
| 发明人 | 小谷 佳宏 秋山 賢一 | | |
| IPC分类号 | G09G3/36 G09G3/20 G02F1/133 | | |
| FI分类号 | G09G3/36 G09G3/20.621.A G09G3/20.623.C G09G3/20.623.D G09G3/20.623.B G09G3/20.680.G G09G3/20.621.M G09G3/20.612.L G09G3/20.623.P G02F1/133.550 G02F1/133.505 | | |
| F-TERM分类号 | 2H193/ZA04 2H193/ZB03 2H193/ZC01 2H193/ZD23 2H193/ZF11 2H193/ZF24 2H193/ZF36 2H193/ZF37 2H193/ZF44 2H193/ZG02 5C006/AA16 5C006/AC21 5C006/AF43 5C006/AF50 5C006/BB16 5C006/BC06 5C006/BC11 5C006/BF24 5C006/FA16 5C006/FA41 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD07 5C080/DD22 5C080/DD26 5C080/EE29 5C080/JJ02 5C080/JJ04 5C080/JJ06 | | |
| 外部链接 | Espacenet | | |

摘要(译)

在一个小的便携设备中使用，从而在电路规模的增大对应的高品质显示的液晶显示装置。A在液晶显示面板包括用于输出视频信号是从驱动器电路到多个液晶显示面板上的视频信号线，其中，所述分配电路从驱动电路控制以输出输出分配电路它是由一个信号，其中所述驱动电路中，视频信号从高压输出放大器和一个低电压输出放大器交替是控制的，并输出来自两个视频信号输出端子相邻的所述分频电路中，每个视频信号线的一个开关元件，开关元件，从高压输出放大器的输出的视频信号，从低电压输出放大器输入端的视频信号的输入端子，视频信号到视频信号线一个输出端，用于和至所述控制信号被输入一个控制端，除法电路，从高压输出放大器的视频信号，从低电压输出放大器相同的前视频信号通过开关元件到视频信号线。点域1

