

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-247462

(P2012-247462A)

(43) 公開日 平成24年12月13日(2012.12.13)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 612G	5C006
G02F 1/133 (2006.01)	G09G 3/20 612T	5C080
	G09G 3/20 612D	
	G09G 3/20 611A	
審査請求 未請求 請求項の数 6 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2011-116493 (P2011-116493)	(71) 出願人	000103747
(22) 出願日	平成23年5月25日 (2011. 5. 25)		京セラディスプレイ株式会社
			東京都荒川区東日暮里五丁目7番18号
		(74) 代理人	100103090
			弁理士 岩壁 冬樹
		(74) 代理人	100124501
			弁理士 塩川 誠人
		(72) 発明者	権藤 賢二
			東京都荒川区東日暮里5丁目7番18号
			オプトレックス株式会社内
		Fターム(参考)	2H193 ZA04 ZF02 ZF31 ZQ06 ZQ09 ZQ16

最終頁に続く

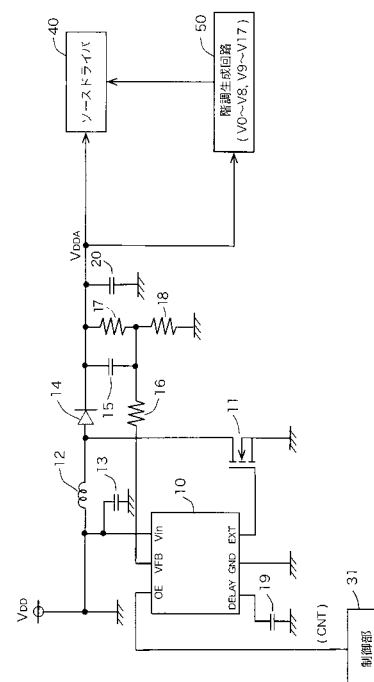
(54) 【発明の名称】 液晶表示装置の駆動装置および液晶表示装置

(57) 【要約】

【課題】消費電力をさらに低減することができる液晶表示装置の駆動装置および液晶表示装置を提供する。

【解決手段】電源IC10は、VFB端子に入力された電圧が所望の電圧になるように、EXT端子から出力されるクロック信号の周波数を調整する。電源IC10は、OE端子に入力される制御信号(CNT)がオン状態のときにクロック信号を出力する。制御部31は、画素への充電が完了するまでの期間にやや余裕を持たせた期間においてのみ制御信号(CNT)をオン状態にし、当該期間が終了したら、制御信号(CNT)をオフ状態にするので、1水平期間における初期の期間においてのみ、アナログ電圧(VDDA)が出力され、後続の期間ではアナログ電圧は出力されない。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

液晶表示パネルを駆動する駆動装置であり、当該駆動装置におけるアナログ回路に電力を供給する電源回路を含む液晶表示パネルの駆動装置であって、

前記電源回路は、

水平期間における前記液晶表示パネルの画素にデータを書き込む期間に相当する期間を除く非作動期間では、前記アナログ回路に対する電力供給を実質的に停止させる制御部を含む

ことを特徴とする液晶表示パネルの駆動装置。

【請求項 2】

前記非作動期間は、直前の水平期間が終了した時点から次に水平期間が開始されるまでの間の時点を起点とし、画素へのデータの書き込みが完了した時点に所定の余裕時間を加算した時点を終点とする期間を除く期間である

請求項 1 記載の液晶表示パネルの駆動装置。

【請求項 3】

前記電源回路は、昇圧用のコイルに接続されるスイッチング素子に所望電圧に応じた周波数のクロック信号を出力する電源 IC であって当該クロック信号の出力／非出力を制御するための制御端子を有する電源 IC を含み、

前記制御部は、前記非作動期間では、前記クロック信号の非出力を指示する制御信号を前記電源 IC の制御端子に対して出力する第 1 制御部を有する

請求項 1 または請求項 2 記載の液晶表示パネルの駆動装置。

【請求項 4】

前記電源回路は、昇圧用のコイルと、該昇圧用のコイルに流れる電流をスイッチングするスイッチング素子と、該昇圧用のコイルの誘導電圧が印加されるダイオードとを含み、

前記制御部は、前記非作動期間では、前記ダイオードの出力を遮断させる制御信号を出力する第 2 制御部を有する

請求項 1 から請求項 3 のうちのいずれか 1 項に記載の液晶表示パネルの駆動装置。

【請求項 5】

前記制御部は、垂直ブランキング期間では制御信号を出力する

請求項 3 または請求項 4 記載の液晶表示パネルの駆動装置。

【請求項 6】

請求項 1 から請求項 5 のうちのいずれか 1 項に記載の駆動装置と液晶表示パネルとを有する液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、消費電力を低減できる液晶表示装置の駆動装置および液晶表示装置に関する。

【背景技術】

【0002】

TFT (Thin Film Transistor) を用いた液晶表示パネルでは、ゲート配線とソース配線の交差部に TFT が設けられ、ゲート配線にゲートオン電圧 V_{GH} を印加して TFT のソースとドレインを導通状態にする。その状態で、表示に応じたデータ電圧をソース配線に印加して、ドレインに接続される画素（具体的には、画素容量および蓄積容量）にデータを書き込む。

【0003】

液晶表示パネルの駆動装置は、データ電圧をソース配線に印加するためのソースドライバを含む。また、表示に応じたデータ電圧を生成するための階調電圧生成回路を含む。ソースドライバは、一般に、ソースドライバ IC として実現される。その場合、階調電圧生成回路は、ソースドライバ IC とは別に形成されたり、ソースドライバ IC に組み込まれ

10

20

30

40

50

たりする。

【0004】

液晶表示装置は、携帯機器を始めとする様々な機器に組み込まれるが、機器の消費電力を低減するために、液晶表示装置の消費電力を低減することが要求される。液晶表示装置の消費電力を低減するために、ソースドライバICの出力電流を低減する駆動装置がある（例えば、特許文献1参照）。

【0005】

特許文献1に記載された駆動装置では、画素にデータを書き込む期間においてのみソースドライバICの出力をイネーブル状態にし、画素容量および蓄積容量の保持期間では、ソースドライバICの出力をディスエーブル状態にする。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平11-338433号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1に記載された駆動装置は、ソースドライバICの出力を制御することによって液晶表示装置の消費電力を低減する。しかし、ソースドライバICの出力をディスエーブル状態にしているときにも、ソースドライバIC自体の動作が禁止されているわけではない。すると、ソースドライバICは、出力がディスエーブル状態にされているときでも、ある程度は電力を消費する。すなわち、液晶表示装置の消費電力の低減が十分に達成できているとはいえない。

20

【0008】

そこで、本発明は、消費電力をさらに低減することができる液晶表示装置の駆動装置および液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

【0009】

本発明による液晶表示装置の駆動装置は、液晶表示パネルを駆動する駆動装置であり、駆動装置におけるアナログ回路に電力を供給する電源回路を含む液晶表示パネルの駆動装置であって、電源回路は、水平期間における液晶表示パネルの画素にデータを書き込む期間に相当する期間を除く非作動期間では、アナログ回路に対する電力供給を実質的に停止させる制御部を含むことを特徴とする。

30

【0010】

非作動期間は、例えば、直前の水平期間が終了した時点から次に水平期間が開始されるまでの間の時点を起点とし、画素へのデータの書き込みが完了した時点に所定の余裕時間を加算した時点を終点とする期間を除く期間である。

【0011】

電源回路は、昇圧用のコイルに接続されるスイッチング素子に所望電圧（例えば、アナログ電圧としての1.3V）に応じた周波数のクロック信号を出力する電源ICであってクロック信号の出力／非出力を制御するための制御端子を有する電源ICを含み、制御部は、非作動期間では、クロック信号の非出力を指示する制御信号を電源ICの制御端子に対して出力する第1制御部を有するように構成されていてもよい。

40

【0012】

電源回路は、昇圧用のコイルと、昇圧用のコイルに流れる電流をスイッチングするスイッチング素子（例えば、FET11）と、昇圧用のコイルの誘導電圧が印加されるダイオード（例えば、ダイオード14）とを含み、制御部は、非作動期間では、ダイオードの出力を遮断させる（例えば、FET24を非導通状態にする）制御信号を出力する第2制御部を有するように構成されていてもよい。

【0013】

50

制御部は、垂直ブランキング期間では制御信号を出力する（制御信号をオン状態にすることに相当）にすることが好ましい。

【0014】

本発明による液晶表示装置は、上記の駆動装置と液晶表示パネルとを有することを特徴とする。

【発明の効果】

【0015】

本発明によれば、液晶表示装置の消費電力をより低減することができる。

【図面の簡単な説明】

【0016】

10

【図1】本発明による駆動装置が搭載された液晶表示装置の構成例を示すブロック図。

【図2】第1の実施の形態の駆動装置における電源回路の構成例をソースドライバおよび階調生成回路とともに示す回路図。

【図3】制御信号およびVDDAの状態の一例を、STB信号および液晶出力とともに示すタイミング図。

【図4】第2の実施の形態の駆動装置における電源回路の構成例をソースドライバおよび階調生成回路とともに示す回路図。

【図5】比較例としての電源回路の構成例をソースドライバおよび階調生成回路とともに示す回路図。

【発明を実施するための形態】

20

【0017】

以下、本発明の実施の形態を図面を参照して説明する。

【0018】

実施の形態1.

図1は、本発明による駆動装置が搭載された液晶表示装置の構成例を示すブロック図である。図1に示す液晶表示装置において、液晶表示パネル100には、マトリクス状に多数の画素（図示せず）が形成されている。画素を形成するために、横方向（行方向）に多数のゲート配線110が設けられ、ゲート配線110と交差するように列方向に多数のソース配線120が設けられている。そして、ゲート配線110とソース配線120との交差部には、TFT（図示せず）が形成されている。TFTのドレイン電極（図示せず）は画素電極に接続されている。

30

【0019】

ゲート配線110、ソース配線120および画素が形成されている基板と対向する位置に対向基板（図示せず）が設けられ、画素が形成されている基板と対向基板との間に液晶が挟持されている。対向基板には共通電極（コモン電極）80が形成されている。コモンドライバ90は共通電極80にコモン電圧 V_{COM} を供給し、共通電極80はコモン電位に設定される。

【0020】

ゲートドライバ70は、制御部（タイミング制御回路）60が出力する信号にもとづいて線順次にゲート配線110を駆動する。選択されたゲート配線110すなわちゲートオン電圧 V_{GH} が印加されているゲート配線110に接続されている画素における画素電極には、ソース配線120を介してソースドライバ40によってデータ電圧（データ信号に応じた電圧） V_D が印加される。

40

【0021】

なお、図1に示すソースドライバ40、ゲートドライバ70、コモンドライバ90およびタイミング制御回路60は、液晶表示パネルの駆動装置の構成要素である。また、コモンドライバ90は、電源回路（図示せず）に内蔵されていてもよい。

【0022】

図2は、第1の実施の形態の駆動装置における電源回路の構成例をソースドライバ40および階調生成回路（階調電圧発生回路）50とともに示す回路図である。本実施の形態

50

では、階調生成回路 50 として、入力電圧 V_{DDA} （例えば、1.3 V：以下、アナログ電圧ともいう。）から、負極性の基準階調電圧 $V_0 \sim V_8$ および正極性の基準階調電圧 $V_9 \sim V_{17}$ を生成する回路を例にする。

【0023】

ソースドライバ 40 および階調生成回路 50 は、アナログ電圧を扱う回路を含むので、以下、ソースドライバ 40 と階調生成回路 50 とをアナログ回路ということがある。なお、ソースドライバ 40 および階調生成回路 50 におけるアナログ電圧を扱う部分のみをアナログ回路と規定してもよい。

【0024】

電源回路は、電源 IC 10 を含む。電源 IC 10 の遅延端子（DELAY 端子）にはコンデンサ 19 が接続されている。出力イネーブル端子（OE 端子）には、制御部（第 1 制御部）31 から出力される制御信号（CNT）が入力される。なお、第 1 制御部 31 は、図 1 に示す制御部 60 に含まれていてもよい。

【0025】

電源入力端子（ V_{in} 端子）には V_{DD} （例えば、5 V：以下、デジタル電圧ともいう。）が入力されるとともに、コンデンサ（バイパスコンデンサ）13 が接続されている。また、デジタル電圧はコイル 12 の一方の端子に供給される。コイル 12 の他方の端子は FET 11 に接続されている。FET 11 は、電源 IC 10 の出力端子（EXT 端子）から出力されるクロック信号でスイッチングされる。

【0026】

ダイオード 14 はコイル 12 の誘導電圧が印加され、そこからアナログ電圧 V_{DDA} として出力される。アナログ電圧 V_{DDA} が抵抗 17, 18 で分圧された電圧が、抵抗 16 を介して電源 IC 10 のフィードバック端子（VFB 端子）に入力される。電源 IC 10 は、VFB 端子で規定される電位を基に V_{DDA} 電圧が所望の電圧になるように、EXT 端子から出力されるクロック信号の周波数を調整する。また、コンデンサ 15 は出力電圧の負荷変動によるリップルを VFB 端子にフィードバックするスピードアップコンデンサである。

【0027】

アナログ電圧 V_{DDA} は平滑用コンデンサ 20 で平滑されてアナログ回路（ソースドライバ 40 および階調生成回路 50）に供給される。すなわち、平滑用コンデンサ 20 を介して、アナログ回路に電荷（電流）が供給される。よって、電源回路がアナログ電圧を出力しない期間では、平滑用コンデンサ 20 からアナログ回路に電流が供給される。

【0028】

電源 IC 10 は、OE 端子に入力される制御信号（CNT）がオン状態（例えば、ハイレベル）のときにクロック信号を出力する。従って、電源回路は、OE 端子に入力される制御信号（CNT）がオン状態のときに、所定のアナログ電圧を出力可能である。電源 IC 10 は、制御信号（CNT）がオフ状態（例えば、ローレベル）のときにはクロック信号を出力しない。電源回路の出力は、OE 端子に入力される制御信号（CNT）がオフ状態のときには、例えば、 V_f をダイオードの順方向の降下電圧とすると、 $V_{DD} - V_f$ となり、アナログ回路を正常に駆動させる出力に達しない。従って、アナログ回路は実質的に停止している状態となる。

【0029】

なお、図 2 に示す構成において、電源回路は、平滑用コンデンサ 20 よりも前段の部分である。

【0030】

次に、本実施形態の駆動装置における電源回路の動作を説明する。図 3 は、制御信号および V_{DDA} の状態の一例を、STB 信号（ラッチパルスに相当するストロブ信号）および液晶出力とともに示すタイミング図である。STB 信号は、制御部 60 からソースドライバ 40 に出力される制御信号であって、各行の選択期間を指定する制御信号である。ソースドライバ 40 は、STB 信号がオン状態（例えば、ローレベル）になると、ソース配線を駆動可能な状態になる。また、図 3 における液晶出力は、画素の電圧に相当する。1

10

20

30

40

50

Hは、1 水平期間を示す。

【0031】

図3に示すように、第1制御部31は、各水平期間に対応するSTB信号がオン状態になる前に、制御信号(CNT)をオン状態にする。そして、各水平期間において、 t_c 時間が経過した時点よりも後の時点で、制御信号(CNT)をオフ状態にする。 t_c 時間は、画素への充電が完了するまでの時間である。

【0032】

なお、本実施の形態では、第1制御部31は、STB信号がオフ状態（例えば、ハイレベル）であるときに、制御信号(CNT)のオン状態を開始する。しかし、制御信号(CNT)は、STB信号がオン状態になる前にオン状態になっていればよく、例えば、第1制御部31が直前の水平期間において、STB信号がオフ状態になるときに、制御信号(CNT)のオン状態を開始するようにしてもよい。STB信号がオン状態になる前に制御信号(CNT)をオン状態にする理由は、STB信号がオン状態になる前に、アナログ電圧の出力の状態を安定させたいということである。

【0033】

また、画素への充電が完了する前（ t_c 時間が経過する前）にアナログ電圧の出力が低下しないように、制御信号(CNT)がオン状態である期間は、 t_c 時間よりも長い。一例として、制御信号(CNT)がオン状態である期間は、 $1.5t_c \sim 2.0t_c$ の期間から選定される。なお、図3に示すように、STB信号がオン状態になってから t_c 時間が経過するまでの期間は、制御信号(CNT)がオン状態である期間に包含されている。

【0034】

本実施形態では、第1制御部31は、画素への充電が完了するまでの期間にやや余裕を持たせた期間においてのみ制御信号(CNT)をオン状態にし、当該期間が終了したら、制御信号(CNT)をオフ状態にする。よって、1水平期間における初期の期間においてのみ、電源回路はアナログ電圧を出力し、後続の期間ではアナログ電圧を出力しない。その結果、図2に示す例では出力が $V_{DD} - V_f$ となる。

【0035】

換言すれば、第1制御部31は、水平期間における画素にデータを書き込む期間に相当する期間を除く非作動期間では、アナログ回路に対する電力供給を実質的に停止させるように電源IC10を制御する。具体的には、直前の水平期間が終了した時点から次に水平期間が開始されるまでの間の時点を中心とし、画素へのデータの書き込みが完了した時点に所定の余裕時間を加算した時点を終点とする期間（作動期間）を除く期間（非作動期間）では、アナログ回路に対する電力供給を実質的に停止させるように電源IC10を制御する。

【0036】

その結果、ソースドライバ40において、アナログ電圧を扱う回路は、1水平期間における初期の期間においてのみアナログ電圧の給電を受け、後続の期間ではアナログ電圧の給電を受けない。アナログ電圧の給電を受けないのでアナログ電圧を扱う回路は非動作状態になり、ソースドライバ40の消費電力が低減する。なお、ソースドライバ40は、アナログ電圧が供給されていないときには、ソース配線を駆動しない。具体的には、ソース配線をハイインピーダンス状態にする。

【0037】

また、ソースドライバ40がソース配線を駆動しない期間では、ソースドライバ40に階調電圧を供給する必要はないが、当該期間において、階調生成回路50にもアナログ電圧は供給されないので、階調生成回路50の消費電力も低減する。

【0038】

なお、電源回路は、各画面における垂直ブランキング期間では、水平期間全てに亘ってアナログ電圧を出力しないことが好ましい。すなわち、第1制御部31は、垂直ブランキング期間では、常に制御信号(CNT)を出力する（オン状態にする）ことが好ましい。

【0039】

10

20

30

40

50

実施の形態 2.

図 4 は、第 2 の実施の形態の駆動装置における電源回路の構成例をソースドライバ 40 および階調生成回路 50 とともに示す回路図である。

【0040】

図 4 に示す電源回路において、OE 端子の入力状態は制御されない。すなわち、OE 端子に制御信号 (CNT) は入力されない。従って、第 1 の実施の形態とは異なり、本実施の形態では、コイル 12 の誘導電圧はダイオード 14 を介して所定の昇圧電圧として常に出力されている。

【0041】

しかし、平滑用コンデンサ 20 の前段に、平滑用コンデンサ 20 への電圧印加を制御する回路が設けられている。

【0042】

すなわち、制御部 (第 2 制御部) 32 が出力する制御信号 (CNT) の電圧が抵抗 22, 23 で分圧された電圧でスイッチングされるトランジスタ 21 と、トランジスタ 21 が導通したときには、VDDA が抵抗 25, 26 で分圧された電圧がゲートに印加される p チャンネルの FET 24 とが設けられている。

【0043】

トランジスタ 21 は、制御信号 (CNT) がハイレベル (オン状態) であるときに導通する。トランジスタ 21 が導通すると、ゲートに印加される電圧が VDDA から低下して FET 24 が導通するので、平滑用コンデンサ 20 に VDDA が印加される。

【0044】

よって、第 1 の実施の形態の場合 (図 3 参照) と同様のタイミングで、第 2 制御部 32 は、制御信号 (CNT) をオン状態にすることによって、アナログ電圧をソースドライバ 40 および階調生成回路 50 に供給することができ、制御信号 (CNT) をオフ状態にすることによって、ソースドライバ 40 および階調生成回路 50 にアナログ電圧を供給しないようにすることができる。

【0045】

すなわち、図 3 に示された第 1 の実施の場合と同様のタイミングで、第 2 制御部 32 が制御信号 (CNT) のオン状態およびオフ状態を制御することによって、第 1 の実施の形態の効果と同様の効果を得ることができる。

【0046】

また、第 2 の実施の形態でも、第 2 制御部 32 は、垂直ブランキング期間では、常に制御信号 (CNT) を出力する (オン状態にする) ことが好ましい。

【0047】

図 5 は、比較例としての電源回路の構成例をソースドライバ 40 および階調生成回路 50 とともに示す回路図である。

【0048】

図 5 に示す電源回路において、OE 端子には、常に VDD が印加されている。従って、電源回路は、常にアナログ電圧を出力する。また、図 5 に示す回路では、第 2 の実施の形態におけるアナログ電圧をスイッチングする回路は設けられていない。

【0049】

よって、ソースドライバ 40 および階調生成回路 50 には、常に VDDA が供給されている。その結果、ソースドライバ 40 には、常に所定電流 (一例として、21 mA) が流れ、階調生成回路 50 には、常に所定電流 (一例として、5 mA) が流れる。

【0050】

上記の第 1 の実施の形態および第 2 の実施の形態では、第 1 制御部 31, 第 2 制御部 32 によって制御信号 (CNT) がオン状態に設定されている期間が全期間の 2/3 であるとする、ソースドライバ 40 には、平均すると約 14 mA の電流が流れ、階調生成回路 50 には、平均すると約 3 mA の電流が流れる。すなわち、上記の第 1 の実施の形態および第 2 の実施の形態では、ソースドライバ 40 および階調生成回路 50 に流れる電流が低

10

20

30

40

50

減し、ソースドライバ４０および階調生成回路５０の消費電力が低減する。

【００５１】

しかも、特許文献１に記載された駆動装置とは異なり、上記の第１の実施の形態および第２の実施の形態の駆動装置では、制御信号（ＣＮＴ）がオン状態のときには、ソースドライバ４０および階調生成回路５０におけるアナログ電圧を扱う回路は実質的に動作していないので、従来例に比べて、液晶表示装置の消費電力をより低減することができる。また、さらなる消費電力の低減を実現するためには、第１の実施の形態に第２の実施の形態の第２制御部３２を配置して制御信号（ＣＮＴ）を制御すればよい。

【００５２】

なお、上記の第１の実施の形態および第２の実施の形態では、階調生成回路５０がソースドライバ４０とは別個に設けられているが、階調生成回路５０がソースドライバ４０に内蔵されている場合であっても、本発明を適用することができる。

10

【００５３】

また、上記の第１の実施の形態および第２の実施の形態では、液晶表示パネル１００として一般のＴＦＴ型表示パネルを例にしたが、横電界駆動方式のＴＦＴ型や、ＳＴＮ（Super Twisted Nematic）型やＴＮ型などのパッシブマトリクス駆動の表示パネルであっても本発明を適用できる。

【産業上の利用可能性】

【００５４】

本発明は、アナログ電圧を使用する液晶表示装置に適用可能である。

20

【符号の説明】

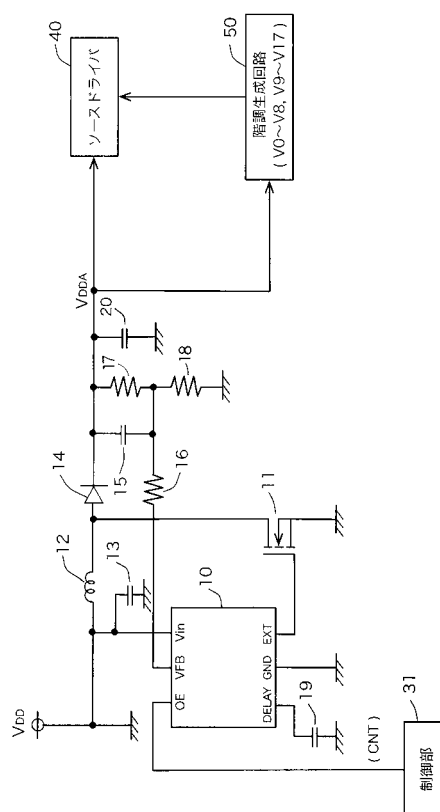
【００５５】

- １０ 電源ＩＣ
- １１ ＦＥＴ
- １２ コイル
- １３，１５，１７，１８，１９ コンデンサ
- １４ ダイオード
- １６ 抵抗
- ２０ 平滑用コンデンサ
- ２１ トランジスタ
- ２２，２３，２５，２６ 抵抗
- ２４ ＦＥＴ
- ３１ 第１制御部
- ３２ 第２制御部
- ４０ ソースドライバ
- ５０ 階調生成回路
- ６０ 制御部（タイミング制御回路）
- ７０ ゲートドライバ
- ８０ コモン電極
- ９０ コモンドライバ
- １００ 液晶表示パネル
- １１０ ゲート配線
- １２０ ソース配線

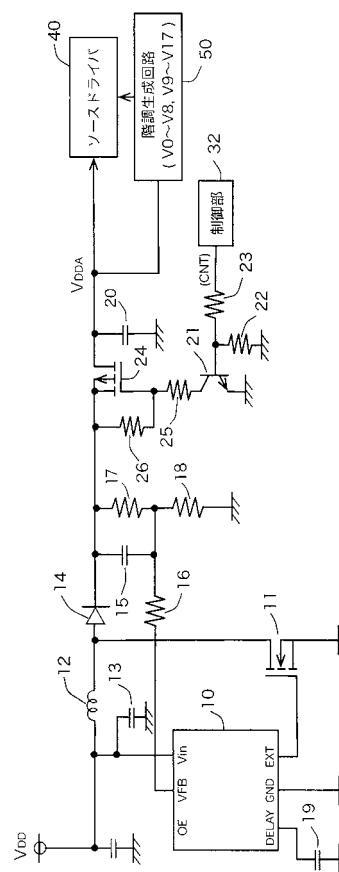
30

40

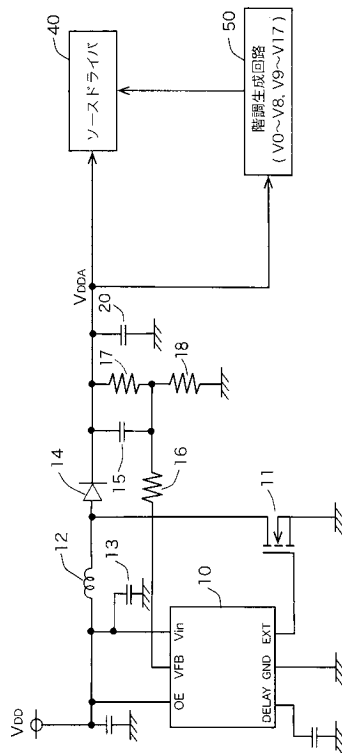
【図 2】



【图 4】



【図 5】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/133 5 2 0

Fターム(参考) 5C006 AA16 AC02 AF42 AF54 AF68 AF69 AF73 AF83 BA19 BB12
BB16 BC06 BC11 BF21 BF31 BF36 BF37 BF42 BF43 BF46
EB05 FA47
5C080 AA10 BB05 DD25 DD26 EE29 FF11 JJ02 JJ03 JJ04

专利名称(译)	液晶显示装置的驱动装置和液晶显示装置		
公开(公告)号	JP2012247462A	公开(公告)日	2012-12-13
申请号	JP2011116493	申请日	2011-05-25
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	権藤賢二		
发明人	権藤 賢二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3696 G09G2310/08 G09G2330/02 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.612.G G09G3/20.612.T G09G3/20.612.D G09G3/20.611.A G02F1/133.520		
F-TERM分类号	2H193/ZA04 2H193/ZF02 2H193/ZF31 2H193/ZQ06 2H193/ZQ09 2H193/ZQ16 5C006/AA16 5C006/AC02 5C006/AF42 5C006/AF54 5C006/AF68 5C006/AF69 5C006/AF73 5C006/AF83 5C006/BA19 5C006/BB12 5C006/BB16 5C006/BC06 5C006/BC11 5C006/BF21 5C006/BF31 5C006/BF36 5C006/BF37 5C006/BF42 5C006/BF43 5C006/BF46 5C006/EB05 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04		
代理人(译)	岩冬树 盐川正人		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够进一步降低功耗的液晶显示装置的驱动装置和液晶显示装置。电源IC10调节从EXT端子输出的时钟信号的频率，使得输入到VFB端子的电压变为期望的电压。当输入到OE端子的控制信号（CNT）处于接通状态时，电源IC10输出时钟信号。控制单元31仅在直到对像素的充电完成之前的时段中存在一定余量的时段中打开控制信号（CNT），并且当该时段结束时，关闭控制信号（CNT）。因此，仅在一个水平周期的初始周期中输出模拟电压（VDDA），而在随后的周期中不输出模拟电压。[选择图]图2

