

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-242761

(P2012-242761A)

(43) 公開日 平成24年12月10日(2012.12.10)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 621B	5C080
	G09G 3/20 622C	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 6 O L (全 25 頁) 最終頁に続く		

(21) 出願番号	特願2011-115142 (P2011-115142)	(71) 出願人	000103747
(22) 出願日	平成23年5月23日 (2011. 5. 23)		京セラディスプレイ株式会社
			東京都荒川区東日暮里五丁目7番18号
		(74) 代理人	100103090
			弁理士 岩壁 冬樹
		(74) 代理人	100124501
			弁理士 塩川 誠人
		(72) 発明者	権藤 賢二
			東京都荒川区東日暮里5丁目7番18号
			オプトレックス株式会社内
		Fターム(参考)	2H193 ZA04 ZB06 ZC12 ZC13 ZF21
			ZF31 ZF59
			5C006 AA16 AC26 BB16 FA47
			5C080 AA10 BB05 DD26 EE29 FF11
			JJ02 JJ03 JJ04 JJ05

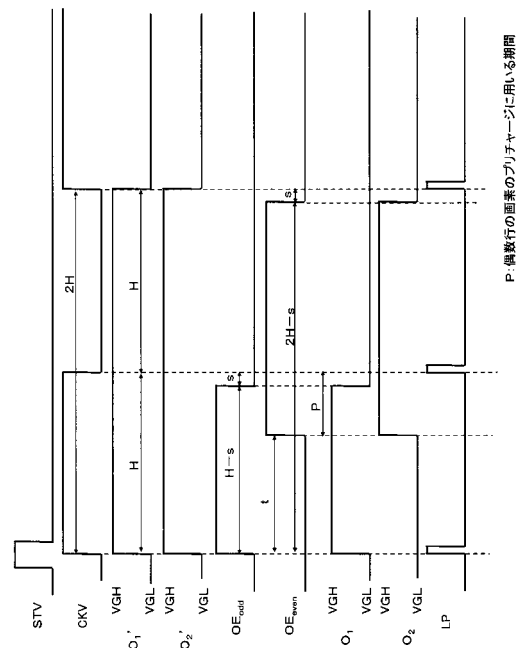
(54) 【発明の名称】 液晶表示装置の駆動装置

(57) 【要約】

【課題】少ない消費電力で2ラインドット反転駆動を実現することができる液晶表示装置の駆動装置を提供することを目的とする。

【解決手段】ゲートドライバ3は、奇数行目のゲートラインとその次の偶数行目のゲートラインを選択し、その奇数行目のゲートラインを選択時電位VGHに設定するタイミングから所定時間t遅らせて、その偶数行目のゲートラインを選択時電位VGHに設定する。その後、ゲートドライバ3は、選択時電位VGHに設定したゲートラインの電位を非選択時電位VGLに設定する。また、ソースドライバ4は、各列の画素の極性を2行毎に切り替えるとともに、隣り合う列の画素の極性を逆極性としながら、各ソースラインの電位を1行分の各画素の画像データに応じた電位に設定する。

【選択図】図4



【特許請求の範囲】

【請求項 1】

マトリクス状に形成された画素の列に沿って配置されるソースラインと、前記マトリクス状に形成された画素の行に沿って配置されるゲートラインとを含む液晶表示装置を駆動する液晶表示装置の駆動装置であって、

奇数行目のゲートラインとその次の偶数行目のゲートラインとを選択し、前記奇数行目のゲートラインを選択時電位に設定するタイミングから第 1 の所定時間遅らせて前記偶数行目のゲートラインを選択時電位に設定し、その後、前記奇数行目のゲートラインを非選択時電位に設定するゲートドライバと、

各列の画素の極性を 2 行毎に切り替えるとともに、隣り合う列の画素の極性を逆極性としながら、各ソースラインの電位を 1 行分の各画素の画像データに応じた電位に設定するソースドライバとを備える

ことを特徴とする液晶表示装置の駆動装置。

【請求項 2】

ゲートドライバに、選択するゲートラインの切り替えを指示する切替信号と、選択する奇数行目のゲートラインを選択時電位にする期間を指示する奇数行用アウトプットイネーブル信号と、選択する偶数行目のゲートラインを選択時電位にする期間を指示する偶数行用アウトプットイネーブル信号とを入力し、ソースドライバに、各ソースラインの電位を 1 行分の各画素の画像データに応じた電位に設定することを指示するソースライン電位設定指示信号と、各列の画素の極性を 2 行毎に切り替えさせる極性制御信号を入力する制御

手段を備え、

前記制御手段は、

前記切替信号として、所定の周期で第 1 のレベルおよび第 2 のレベルとなる信号をゲートドライバに入力し、

前記切替信号を第 1 のレベルにするタイミングでは、ソースライン電位設定指示信号を立ち上げ、ソースライン電位設定指示信号の周期を前記切替信号の周期の $1/2$ とし、

前記切替信号の周期を $2H$ とし、前記第 1 の所定時間を t とし、第 2 の所定時間を s としたときに、前記切替信号のレベルを第 1 のレベルにしてから $H - s$ の期間を、奇数行目のゲートラインを選択時電位にする期間として指示する奇数行用アウトプットイネーブル信号と、前記切替信号のレベルを第 1 のレベルにしてから t 経過する時点から、前記切替

信号のレベルを第 1 のレベルにしてから $2H - s$ 経過する時点までを、偶数行目のゲート

ラインを選択時電位にする期間として指示する偶数行用アウトプットイネーブル信号とをゲートドライバに入力し、

ゲートドライバは、

前記切替信号が第 1 のレベルに切り替えられる毎に、奇数行目のゲートラインとその次の偶数行目のゲートラインとを選択し、前記奇数行用アウトプットイネーブル信号に従って、選択した奇数行目のゲートラインを選択時電位とし、前記偶数行用アウトプットイネーブル信号に従って、選択した偶数行目のゲートラインを選択時電位とし、

ソースドライバは、ソースライン電位設定指示信号の立ち下がりエッジに合わせて、各

ソースラインの電位を 1 行分の各画素の画像データに応じた電位に設定する

請求項 1 に記載の液晶表示装置の駆動装置。

【請求項 3】

前記第 1 の所定時間は、ソースラインの電位をソースラインに対する設定電位の最小値から最大値まで変化させるのに要する時間と、ソースライン電位設定指示信号をハイレベルにする時間との和以上の時間である

請求項 2 に記載の液晶表示装置の駆動装置。

【請求項 4】

マトリクス状に形成された画素の列に沿って配置されるソースラインと、前記マトリクス状に形成された画素の行に沿って配置されるゲートラインとを含む液晶表示装置を駆動する液晶表示装置の駆動装置であって、

10

20

30

40

50

ゲートラインを選択するゲートドライバと、

各列の画素の極性を１行毎に切り替えるとともに、隣り合う列の画素の極性を逆極性としながら、各ソースラインの電位を１行分の各画素の画像データに応じた電位に設定するソースドライバとを備え、

ゲートドライバは、一のゲートラインと、当該一のゲートラインの次の次の行のゲートラインである後続ゲートラインとを選択し、前記一のゲートラインを選択時電位に設定するタイミングから第１の所定時間遅らせて前記後続ゲートラインを選択時電位に設定し、前記一のゲートラインの次のゲートラインを選択する前に、前記一のゲートラインおよび前記後続ゲートラインを非選択時電位に設定する

ことを特徴とする液晶表示装置の駆動装置。

10

【請求項５】

ゲートドライバに、選択するゲートラインの切り替えを指示する切替信号と、ゲートラインがゲートドライバに選択された場合に当該ゲートラインを選択時電位にする期間を指示する行毎のアウトプットイネーブル信号とを入力し、ソースドライバに、各ソースラインの電位を１行分の各画素の画像データに応じた電位に設定することを指示するソースライン電位設定指示信号と、各列の画素の極性を１行毎に切り替えさせる極性制御信号を入力する制御手段を備え、

前記制御手段は、

前記切替信号として、所定の周期で第１のレベルおよび第２のレベルとなる信号をゲートドライバに入力し、

20

前記切替信号のレベルを第１のレベルにするタイミングで、ソースライン電位設定指示信号を立ち上げ、ソースライン電位設定指示信号の周期を前記切替信号の周期と同じ周期とし、

前記切替信号の周期を H とし、前記第１の所定時間を t とし、第２の所定時間を s としたときに、前記切替信号のレベルを第１のレベルにしてから $H - s$ の間を、ゲートドライバに選択される一のゲートラインを選択時電位にする期間として指示するアウトプットイネーブル信号と、前記切替信号のレベルを第１のレベルにしてから t 経過する時点から、前記切替信号のレベルを第１のレベルにしてから $H - s$ 経過する時点までを、前記一のゲートラインの後続ゲートラインを選択時電位にする期間として指示するアウトプットイネーブル信号とをゲートドライバに入力し、

30

ゲートドライバは、

前記切替信号が第１のレベルに切り替えられる毎に、選択する一のゲートラインおよび後続ゲートラインを切り替え、アウトプットイネーブル信号に従って、選択する一のゲートラインおよび後続ゲートラインを選択時電位とし、

ソースドライバは、ソースライン電位設定指示信号の立ち下がりエッジに合わせて、各ソースラインの電位を１行分の各画素の画像データに応じた電位に設定する

請求項４に記載の液晶表示装置の駆動装置。

【請求項６】

前記第１の所定時間は、ソースラインの電位をソースラインに対する設定電位の最小値から最大値まで変化させるのに要する時間と、ソースライン電位設定指示信号をハイレベルにする時間との和以上の時間である

40

請求項５に記載の液晶表示装置の駆動装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置の駆動装置に関する。

【背景技術】

【０００２】

一般に、ＴＦＴ（Thin Film Transistor）を用いたアクティブマトリクス方式の液晶表示装置では、コモン電極と、マトリクス状に配置される複数の画素電極との間に液晶が挟

50

持される。そして、コモン電極と各画素電極との間の液晶に対する印加電圧を制御することにより、所望の画像を表示する。

【0003】

また、TFTを用いたアクティブマトリクス方式の液晶表示装置は、マトリクス状に配置された画素電極の列毎にソースラインを備え、画素電極の行毎にゲートラインを備える。そして、画素電極毎にTFTが設けられる。個々の画素電極はTFTに接続され、そのTFTはソースラインおよびゲートラインに接続される。図9は、画素電極、TFT、ソースラインおよびゲートラインの接続例を示す説明図である。図9では、マトリクス状に配置される複数の画素電極のうち、 i 行目のゲートライン G_i および k 列目のソースライン S_k に接続される画素電極を例示している。画素電極21はTFT22に接続され、TFT22はゲートライン G_i およびソースライン S_k に接続される。具体的には、画素電極21は、TFT22のドレイン22_bに接続される。そして、TFT22のゲート22_aがゲートライン G_i に接続され、TFT22のソース22_cがソースライン S_k に接続される。図9では、1つの画素電極を図示しているが、他の画素電極におけるTFT、ゲートラインおよびソースラインの接続態様も同様である。

10

【0004】

各ゲートラインは、線順次に選択され、選択されたゲートラインは、選択時電位に設定され、選択されていないゲートラインは、非選択時電位に設定される。あるゲートラインが選択されるとき、各ソースラインは、選択されたゲートラインの行の画像データに応じた電位に設定される。また、画素電極毎に配置されているTFT22では、ゲート22_aが選択時電位になると、ドレイン22_bとソース22_cとの間が導通状態となり、ゲート22_aが非選択時電位になると、ドレイン22_bとソース22_cとの間が非導通状態になる。従って、選択行の各画素電極は、それぞれ、その行の画像データに応じた電位に設定される。また、液晶(図示略)を介して各画素電極と対向するコモン電極30(図9参照)の電位も所定の電位に制御される。この結果、選択行における液晶に、その行の画像データに応じた電圧が印加される。ゲートラインを順次、選択していくことにより、画像データに応じた画像を表示することができる。以下、コモン電極の電位を V_{COM} と記す。

20

【0005】

以下の説明において、選択時電位の値を V_{GH} と記し、非選択時電位の値を V_{GL} と記す場合がある。

30

【0006】

また、コモン電極の電位よりも画素電極の電位の方が高い状態を正極性と記す。そして、コモン電極の電位よりも画素電極の電位の方が低い状態を負極性と記す。

【0007】

正極性および負極性を切り替える態様の一例として、隣り合う列同士で極性が異なるようにしつつ、各列では2行毎に極性を切り替える態様がある。以下、この態様を、2ラインドット反転駆動と記す。図10は、2ラインドット反転駆動における各画素の極性の例を示す。以下の説明では、液晶表示装置の観察者側から見て1番左側の列を第1列とし、左側から列を数えるものとする。図10等の図面において、“+”は正極性を表し、“-”は負極性を表す。2ラインドット反転駆動では、あるフレームにおいて、図10に示すように、個々の行に着目した場合、隣り合う列毎に画素の極性を異ならせる。例えば、第1行に着目すると、第1行の各画素では、隣り合う画素同士の極性が異なっている。このように、個々の行において隣り合う画素同士の極性を異ならせるようにしつつ、各列における画素の極性を2行毎に切り替える。この結果、例えば、第1列では、第1行および第2行の画素が正極性となり、第3行および第4行の画素が負極性となる。また、例えば、第2列では、第1行および第2行の画素が負極性となり、第3行および第4行の画素が正極性となる。

40

【0008】

図11は、2ラインドット反転駆動におけるゲートラインやソースラインの電位変化の例を示すタイミングチャートである。図11において、 $G_1 \sim G_4$ は、第1行から第4行

50

までの各行のゲートラインを意味する。また、 S_1 は、第 1 列のソースラインを意味する。図 1 1 に示すように、ゲートライン G_1 から各ゲートラインが選択され、選択されたゲートラインは、選択時電位 V_{GH} に設定される。また、図 1 1 に示すラッチパルス（以下、 LP と記す。）は、ソースラインに対する電位設定の開始タイミングを規定するパルス信号である。 LP の立ち上がりエッジで、各ソースラインは、選択行における各画素に応じた電位に設定される。

【0009】

図 1 1 に示すように、ソースライン S_1 は、第 1 行および第 2 行のゲートラインの選択期間では、コモン電極電位 V_{COM} よりも高い電位に設定され、第 3 行および第 4 行のゲートラインの選択期間では、コモン電極電位 V_{COM} よりも低い電位に設定される。以降、同様に、2 行毎に、 V_{COM} よりも高い電位と、 V_{COM} よりも低い電位とに交互に切り替えられる。他の奇数番目の列のソースラインに関しても同様である。また、図 1 1 では図示を省略しているが、偶数番目の列の各ソースラインは、第 1 行および第 2 行のゲートラインの選択期間では、 V_{COM} よりも低い電位に設定され、第 3 行および第 4 行のゲートラインの選択期間では、 V_{COM} よりも高い電位に設定される。以降、同様に、2 行毎に、 V_{COM} よりも低い電位と、 V_{COM} よりも高い電位とに交互に切り替えられる。なお、ここでは、 LP がハイレベルのとき、各ソースラインはハイインピーダンス状態となる場合を示している。

【0010】

このように、各ゲートラインおよび各ソースラインの電位が設定されることにより、各画素の極性は、図 1 0 に例示するようになる。なお、次のフレームでは、各画素の極性が逆転するように、液晶表示装置は駆動される。

【0011】

また、隣り合う列同士で極性が異なるようにしつつ、各列で 1 行毎に極性を切り替える態様がある。以下、この態様を、1 ラインドット反転駆動と記す。図 1 2 は、1 ラインドット反転駆動における各画素の極性の例を示す。1 ラインドット反転駆動では、図 1 2 に示すように、列および行の各方向に関して、隣り合う画素同士の極性が異なる。

【0012】

また、1 ラインドット反転駆動において、ある行のゲートラインの選択期間の前に、事前にそのゲートラインの電位を選択時電位 V_{GH} に設定する駆動方法が知られている。この駆動方法は、ダブルゲート方式と呼ばれることもある。ダブルゲート方式では、例えば、第 1 行の選択期間において、第 1 行および第 3 行のゲートラインの電位を同時に選択時電位 V_{GH} に設定し、第 3 行の選択期間において、第 3 行および第 5 行のゲートラインの電位を同時に選択時電位 V_{GH} に設定する。この場合、第 3 行のゲートラインは、第 3 行のゲートライン自身の選択期間の開始前に、第 1 行の選択期間において、第 1 行とともに選択時電位 V_{GH} に設定されている。第 3 行以外の他の行に関しても同様である。このように、ある行のゲートラインの選択期間の前に、事前にそのゲートラインの電位を選択時電位 V_{GH} に設定することで、その行の画素に対してプリチャージを行うことができ、消費電力を少なくすることができる。

【0013】

図 1 3 は、1 ラインドット反転駆動においてダブルゲート方式を採用した場合のゲートラインやソースラインの電位変化の例を示すタイミングチャートである。図 1 3 に示すように、第 1 行のゲートライン G_1 の選択期間において、ゲートライン G_1 だけでなくゲートライン G_3 も、選択時電位 V_{GH} に設定される。ゲートライン G_1 の選択期間において、ゲートライン G_1 、 G_3 を選択時電位 V_{GH} に設定する期間は同一である。以降、同様に、第 n 行のゲートライン G_n の選択期間において、ゲートライン G_n だけでなくゲートライン G_{n+2} も、選択時電位 V_{GH} に設定される。ゲートライン G_n の選択期間において、ゲートライン G_n 、 G_{n+2} を選択時電位 V_{GH} に設定する期間は同一である。

【0014】

また、図 1 3 に示すように、ソースライン S_1 は、第 1 行のゲートライン G_1 の選択期

間では、コモン電極電位 V_{COM} よりも高い電位に設定され、第2行のゲートライン G_2 の選択期間では、コモン電極電位 V_{COM} よりも低い電位に設定される。以降、同様に、1行毎に、 V_{COM} よりも高い電位と、 V_{COM} よりも低い電位とに交互に切り替えられる。他の奇数番目の列のソースラインに関して同様である。また、図13では図示を省略しているが、偶数番目の列の各ソースラインは、ゲートライン G_1 の選択期間ではコモン電極電位 V_{COM} よりも低い電位に設定され、ゲートライン G_2 の選択期間ではコモン電極電位 V_{COM} よりも高い電位に設定される。以降、同様に、1行毎に、 V_{COM} よりも低い電位と、 V_{COM} よりも高い電位とに交互に切り替えられる。なお、LPがハイレベルのとき、各ソースラインはハイインピーダンス状態となる。

【0015】

10

このように、各ゲートラインおよび各ソースラインの電位が設定されることにより、各画素の極性は、図12に示すようになる。また、ダブルゲート方式では、単純な線順次駆動の場合に比べて、消費電力を少なくすることができる。

【0016】

ダブルゲート方式は、例えば、特許文献1, 2等に記載されている。特許文献1では、正規オン信号の少なくとも2ライン前に予備オン信号を設定することが記載されている。正規オン信号のパルス幅と、予備オン信号のパルス幅は同一である。

【0017】

また、特許文献2には、各ゲートラインの選択期間をHとした場合に、第N行のゲートラインの選択期間の開始時から4H経過したときに、再度、第N行のゲートラインを選択時電位に設定することが記載されている。第N行のゲートラインを再度、選択時電位に設定する期間もHである。さらに、特許文献2には、ソースラインの電位を2H毎に、正極性時の電位と、負極性時の電位とに切り替え、図10に例示するような極性の切り替えを実現することが記載されている。

20

【0018】

また、特許文献3には、ゲート駆動波形を2クロック以上連続させることが記載されている。

【先行技術文献】

【特許文献】

【0019】

30

【特許文献1】特開平4-67122号公報(第3頁、図1)

【特許文献2】特開2001-249643号公報(段落0016-0024、図4)

【特許文献3】特開2001-195043号公報(第1頁)

【発明の概要】

【発明が解決しようとする課題】

【0020】

2ラインドット反転駆動において、消費電力を少なく抑えられることが好ましい。

【0021】

また、1ラインドット反転駆動においても、消費電力を少なく抑えられることが好ましい。

40

【0022】

そこで、本発明は、少ない消費電力で2ラインドット反転駆動を実現することができる液晶表示装置の駆動装置を提供することを目的とする。また、少ない消費電力で1ラインドット反転駆動を実現することができる液晶表示装置の駆動装置を提供することを目的とする。

【課題を解決するための手段】

【0023】

本発明による液晶表示装置の駆動装置は、マトリクス状に形成された画素の列に沿って配置されるソースラインと、マトリクス状に形成された画素の行に沿って配置されるゲートラインとを含む液晶表示装置を駆動する液晶表示装置の駆動装置であって、奇数行目の

50

ゲートラインとその次の偶数行目のゲートラインとを選択し、その奇数行目のゲートラインを選択時電位（例えば、 V_{GH} ）に設定するタイミングから第1の所定時間（例えば、 t ）遅らせてその偶数行目のゲートラインを選択時電位に設定し、その後、その奇数行目のゲートラインを非選択時電位（例えば、 V_{GL} ）に設定するゲートドライバ（例えば、ゲートドライバ3）と、各列の画素の極性を2行毎に切り替えるとともに、隣り合う列の画素の極性を逆極性としながら、各ソースラインの電位を1行分の各画素の画像データに応じた電位に設定するソースドライバ（例えば、第1の実施形態におけるソースドライバ4）とを備えることを特徴とする。

【0024】

また、ゲートドライバに、選択するゲートラインの切り替えを指示する切替信号（例えば、第1の実施形態における CKV ）と、選択する奇数行目のゲートラインを選択時電位にする期間を指示する奇数行用アウトプットイネーブル信号と、選択する偶数行目のゲートラインを選択時電位にする期間を指示する偶数行用アウトプットイネーブル信号とを入力し、ソースドライバに、各ソースラインの電位を1行分の各画素の画像データに応じた電位に設定することを指示するソースライン電位設定指示信号（例えば、 LP ）と、各列の画素の極性を2行毎に切り替えさせる極性制御信号（例えば、第1の実施形態における POL_2 ）を入力する制御手段（例えば、タイミングコントローラ2）を備え、制御手段が、切替信号として、所定の周期で第1のレベル（例えば、ハイレベル）および第2のレベル（例えば、ローレベル）となる信号をゲートドライバに入力し、切替信号を第1のレベルにするタイミングでは、ソースライン電位設定指示信号を立ち上げ、ソースライン電位設定指示信号の周期を切替信号の周期の $1/2$ とし、切替信号の周期を $2H$ とし、第1の所定時間を t とし、第2の所定時間を s としたときに、切替信号のレベルを第1のレベルにしてから $H-s$ の間を、奇数行目のゲートラインを選択時電位にする期間として指示する奇数行用アウトプットイネーブル信号（例えば、 OE_{odd} ）と、切替信号のレベルを第1のレベルにしてから t 経過する時点から、切替信号のレベルを第1のレベルにしてから $2H-s$ 経過する時点までを、偶数行目のゲートラインを選択時電位にする期間として指示する偶数行用アウトプットイネーブル信号（例えば、 OE_{even} ）とをゲートドライバに入力し、ゲートドライバが、切替信号が第1のレベルに切り替えられる毎に、奇数行目のゲートラインとその次の偶数行目のゲートラインとを選択し、奇数行用アウトプットイネーブル信号に従って、選択した奇数行目のゲートラインを選択時電位とし、偶数行用アウトプットイネーブル信号に従って、選択した偶数行目のゲートラインを選択時電位とし、ソースドライバが、ソースライン電位設定指示信号の立ち下がりエッジに合わせて、各ソースラインの電位を1行分の各画素の画像データに応じた電位に設定する構成であってもよい。

【0025】

第1の所定時間は、ソースラインの電位をソースラインに対する設定電位の最小値から最大値まで変化させるのに要する時間と、ソースライン電位設定指示信号をハイレベルにする時間との和以上の時間であることが好ましい。

【0026】

また、本発明による液晶表示装置の駆動装置は、マトリクス状に形成された画素の列に沿って配置されるソースラインと、マトリクス状に形成された画素の行に沿って配置されるゲートラインを含む液晶表示装置を駆動する液晶表示装置の駆動装置であって、ゲートラインを選択するゲートドライバ（例えば、ゲートドライバ3_a）と、各列の画素の極性を1行毎に切り替えるとともに、隣り合う列の画素の極性を逆極性としながら、各ソースラインの電位を1行分の各画素の画像データに応じた電位に設定するソースドライバ（例えば、第2の実施形態におけるソースドライバ4）とを備え、ゲートドライバが、一のゲートラインと、当該一のゲートラインの次の次の行のゲートラインである後続ゲートラインとを選択し、その一のゲートラインを選択時電位（例えば、 V_{GH} ）に設定するタイミングから第1の所定時間（例えば、 t ）遅らせてその後続ゲートラインを選択時電位に設定し、その一のゲートラインの次のゲートラインを選択する前に、その一のゲートライ

10

20

30

40

50

ンおよび後続ゲートラインを非選択時電位（例えば、 V_{GL} ）に設定することを特徴とする。

【0027】

また、ゲートドライバに、選択するゲートラインの切り替えを指示する切替信号（例えば、第2の実施形態における CKV ）と、ゲートラインがゲートドライバに選択された場合に当該ゲートラインを選択時電位にする期間を指示する行毎のアウトプットイネーブル信号とを入力し、ソースドライバに、各ソースラインの電位を1行分の各画素の画像データに応じた電位に設定することを指示するソースライン電位設定指示信号（例えば、 LP ）と、各列の画素の極性を1行毎に切り替えさせる極性制御信号（例えば、第2の実施形態における POL_2 ）を入力する制御手段（例えば、タイミングコントローラ2_a）を備え、制御手段が、切替信号として、所定の周期で第1のレベルおよび第2のレベルとなる信号をゲートドライバに入力し、切替信号のレベルを第1のレベルにするタイミングで、ソースライン電位設定指示信号を立ち上げ、ソースライン電位設定指示信号の周期を切替信号の周期と同じ周期とし、切替信号の周期を H とし、第1の所定時間を t とし、第2の所定時間を s としたときに、切替信号のレベルを第1のレベルにしてから $H-s$ の間を、ゲートドライバに選択される一のゲートラインを選択時電位にする期間として指示するアウトプットイネーブル信号と、切替信号のレベルを第1のレベルにしてから t 経過する時点から、切替信号のレベルを第1のレベルにしてから $H-s$ 経過する時点までを、一のゲートラインの後続ゲートラインを選択時電位にする期間として指示するアウトプットイネーブル信号とをゲートドライバに入力し、ゲートドライバが、切替信号が第1のレベルに切り替えられる毎に、選択する一のゲートラインおよび後続ゲートラインを切り替え、アウトプットイネーブル信号に従って、選択する一のゲートラインおよび後続ゲートラインを選択時電位とし、ソースドライバが、ソースライン電位設定指示信号の立ち下がりエッジに合わせて、各ソースラインの電位を1行分の各画素の画像データに応じた電位に設定する構成であってもよい。

10

20

【0028】

第1の所定時間は、ソースラインの電位をソースラインに対する設定電位の最小値から最大値まで変化させるのに要する時間と、ソースライン電位設定指示信号をハイレベルにする時間との和以上の時間であることが好ましい。

30

【発明の効果】

【0029】

本発明によれば、少ない消費電力で2ラインドット反転駆動を実現することができる。また、本発明によれば、少ない消費電力で1ラインドット反転駆動を実現することができる。

【図面の簡単な説明】

【0030】

【図1】本発明の第1の実施形態の液晶表示装置の駆動装置の構成例を示す説明図。

【図2】 POL_1 、 POL_2 の変化を示す説明図。

【図3】フレーム開始時におけるソースドライバ4への STH および CLK の入力タイミングを示すタイミングチャート。

40

【図4】ゲートドライバに入力される STV 、 CKV やゲートドライバ3の動作等を示すタイミングチャート。

【図5】素電極の電位変化等を示すタイミングチャート。

【図6】所定期間 t の決定方法を示す説明図。

【図7】発明の第2の実施形態の液晶表示装置の駆動装置の構成例を示す説明図。

【図8】第2の実施形態の動作の例を示すタイミングチャート。

【図9】画素電極、 TFT 、ソースラインおよびゲートラインの接続例を示す説明図。

【図10】2ラインドット反転駆動における各画素の極性の例を示す模式図。

【図11】ラインドット反転駆動におけるゲートラインやソースラインの電位変化の例を示すタイミングチャート。

50

【図 1 2】 1 ラインドット反転駆動における各画素の極性の例を示す模式図。

【図 1 3】 1 ラインドット反転駆動においてダブルゲート方式を採用した場合のゲートラインやソースラインの電位変化の例を示すタイミングチャート。

【発明を実施するための形態】

【0031】

以下、本発明の実施形態を図面を参照して説明する。

【0032】

[実施形態 1] 図 1 は、本発明の第 1 の実施形態の液晶表示装置の駆動装置の構成例を示す説明図である。本実施形態の駆動装置 1 は、TFT を用いたアクティブマトリクス方式の液晶表示装置 7 を駆動する。

10

【0033】

液晶表示装置 7 は、図 9 に例示したように、コモン電極 30 と、画素毎に配置される画素電極 21 とを備える。図 9 では 1 つの画素電極 21 を示しているが、液晶表示装置 7 は、マトリクス状に配置された複数の画素電極 21 を備えている。さらに、液晶表示装置 7 は、マトリクス状に配置された複数の画素電極 21 の列に沿って配置される複数のソースラインと、その複数の画素電極 21 の行に沿って配置される複数のゲートラインとを備える。ここでは、ソースラインが画素電極の列毎に配置され、ゲートラインが画素電極の行毎に配置される場合を例にして説明する。すなわち、ソースラインと各列が一对一に対応し、ゲートラインと各行が一对一に対応している場合を例にして説明する。

20

【0034】

また、液晶表示装置 7 は、図 9 に例示したように、個々の画素電極毎に設けられる TFT 22 も備える。従って、TFT 22 と画素電極 21 の組合せが、マトリクス状に配置されることになる。そして、個々の TFT 21 のゲート 22 は、その TFT が配置された行に対応するゲートラインに接続される。また、個々の TFT 21 のドレイン 22 は、その TFT に対応する画素電極に接続される。また、個々の TFT 21 のソース 22 は、その TFT が配置された列に対応するソースラインに接続される。

【0035】

駆動装置 1 は、タイミングコントローラ 2 と、ゲートドライバ 3 と、ソースドライバ 4 と、コモン電極電位設定回路 5 とを備える。なお、液晶用電源生成回路の図示を省略している。

30

【0036】

コモン電極電位設定回路 5 は、液晶表示装置 7 のコモン電極の電位を、予め定められた電位 V_{COM} に設定する。

【0037】

ゲートドライバ 3 は、タイミングコントローラ 2 に従って、各ゲートラインを選択しながら走査し、選択したゲートラインの電位を選択時電位 V_{GH} に設定し、選択していないゲートラインの電位を非選択時電位 V_{GL} に設定する。ゲートラインの電位を選択時電位 V_{GH} に設定する期間を、選択時電位設定期間と記す。

【0038】

ゲートドライバ 3 は、奇数番目の行のゲートラインの選択時電位設定期間を開始してから所定時間経過後に、その行の直後の偶数番目の行のゲートラインの選択時電位設定期間を開始する。以下、この所定時間を t と記す。時間 t は、奇数番目の行のゲートラインの選択時電位設定期間よりも短い。従って、奇数番目の行のゲートラインの選択時電位設定期間の終了前に、その次の行のゲートラインの選択時電位設定期間を開始することになり、奇数番目の行とその次の行とで、選択時電位設定期間が一部重複することになる。

40

【0039】

また、ゲートドライバ 3 は、偶数番目の行のゲートラインの選択時電位設定期間を終了させてから、その行の直後の奇数番目の行のゲートラインの選択時電位設定期間を開始する。従って、偶数番目の行とその次の行との間では、選択時電位設定期間は重複しない。

【0040】

50

ゲートドライバ 3 は、電位出力部 3 1 と、出力制御部 3 2 とを含む。

【 0 0 4 1 】

電位出力部 3 1 は、各ゲートラインに対応する電位出力端を有する。そして、 k を 1 以上の整数とした場合、 $2k - 1$ 番目のゲートラインおよび $2k$ 番目のゲートラインに対応する 2 つの電位出力端同士を組にして、2 つの電位出力端の組毎に、順次、選択時電位 V_{GH} を出力する。また、選択時電位 V_{GH} を出力する電位出力端以外の電位出力端からは、非選択時電位 V_{GL} を出力する。電位出力部 3 1 が 2 つの電位出力端の組から V_{GH} を出力しているということは、ゲートドライバ 3 が、その 2 つの電位出力端に対応するゲートライン（奇数行目のゲートラインおよびその次の偶数行目のゲートライン）を選択していることを意味する。また、タイミングコントローラ 2 は、ゲートラインを順次選択していくことを指示する制御信号（ゲートスタートパルス。以下、 STV と記す。）を電位出力部 3 1 に入力する。本実施形態では、 STV は、電位出力部 3 1 に、1 組目の電位出力端の組（すなわち、1 行目および 2 行目のゲートラインに対応する電位出力端の組）から選択時電位 V_{GH} を順次出力することを指示するために用いられる。電位出力部 3 1 は、 STV および後述の CKV に応じて、1 組目の電位出力端の組から順次、電位出力端の組毎に選択時電位 V_{GH} を出力する。また、タイミングコントローラ 2 は、選択するゲートラインの切り替えを指示する制御信号（ゲートシフトクロック。以下、 CKV と記す。）を電位出力部 3 1 に入力する。本実施形態では、 CKV は、電位出力部 3 1 に、選択時電位 V_{GH} を出力する電位出力端の組の切り替えを指示するために用いられる。電位出力部 3 1 は、タイミングコントローラ 2 から入力される CKV に応じて、選択時電位 V_{GH} を出力する電位出力端の組を切り替える。

【 0 0 4 2 】

出力制御部 3 2 は、各ゲートラインに対応する電位入力端および電位出力端を有する。出力制御部 3 2 の各電位入力端には、電位出力部 3 1 が出力する電位が入力される。従って、1 行目および 2 行目のゲートラインに対応する電位入力端の組から、順次、奇数番目とその次の偶数番目の電位入力端の組毎に、電位出力部 3 1 から選択時電位 V_{GH} が入力される。また、選択時電位 V_{GH} が入力されていない電位入力端には、電位出力部 3 1 から非選択時電位 V_{GL} が入力される。

【 0 0 4 3 】

出力制御部 3 2 の電位出力端は、それぞれ、対応するゲートラインに接続されている。そして、出力制御部 3 2 は、電位出力部 3 1 から選択時電位 V_{GH} が入力されている 2 つの電位入力端に対応する電位出力端（出力制御部 3 2 の電位出力端）から、タイミングコントローラ 2 から入力されるアウトプットイネーブル信号に応じて、選択時電位 V_{GH} を出力する。出力制御部 3 2 には、選択時電位 V_{GH} が入力されている 2 つの電位入力端に対応する 2 つの電位出力端のうち、先頭から奇数番目（ $2k - 1$ 番目）の電位出力端からの電位出力を規定するアウトプットイネーブル信号（以下、 OE_{odd} と記す。）と、先頭から偶数番目（ $2k$ 番目）の電位出力端からの電位出力を規定するアウトプットイネーブル信号（以下、 OE_{even} と記す。）とが入力される。出力制御部 3 2 は、 OE_{odd} がハイレベルのとき、選択時電位 V_{GH} が入力されている 2 つの電位入力端に対応する 2 つの電位出力端のうち、先頭から奇数番目の電位出力端から V_{GH} を出力する。同様に、 OE_{even} がハイレベルのとき、選択時電位 V_{GH} が入力されている 2 つの電位入力端に対応する 2 つの電位出力端のうち、先頭から偶数番目の電位出力端から V_{GH} を出力する。例えば、1 番目および 2 番目の電位入力端に電位出力部 3 1 から選択時電位 V_{GH} が入力されているとする。このとき、出力制御部 3 2 は、 OE_{odd} がハイレベルである期間中に、1 番目の電位出力端から選択時電位 V_{GH} を出力する。また、 OE_{even} がハイレベルである期間中に、2 番目の電位出力端から選択時電位 V_{GH} を出力する。

【 0 0 4 4 】

また、出力制御部 3 2 は、選択時電位 V_{GH} を出力している電位出力端以外の電位出力端からは、非選択時電位 V_{GL} を出力する。出力制御部 3 2 の電位出力端は、それぞれ対応するゲートラインに接続されているので、各ゲートラインは、対応する出力制御部 3 2

の電位出力端の出力電位に設定される。

【 0 0 4 5 】

以下、任意の n 番目のゲートラインに対応する電位出力部 3 1 の電位出力端を O_n と記す。また、任意の n 番目のゲートラインに対応する出力制御部 3 2 の電位出力端を O_n と記す。

【 0 0 4 6 】

ソースドライバ 4 は、各ソースラインに対応する電位出力端を有する。ソースドライバ 4 は、タイミングコントローラ 2 の制御に従い、画像データを取り込む。そして、ソースドライバ 4 は、各電位出力端に接続されている各ソースラインの電位を、選択されているゲートラインに対応する行の画素の画像データに応じた電位に設定する。具体的には、ソースドライバ 4 には、タイミングコントローラ 2 から、1 行分の画像データの取り込みの開始を指示する制御信号（ソーススタートパルス。以下、 STH と記す。）と、1 行内の 1 画素分の画像データの取り込みを指示するクロック信号（ドットクロック。以下、 CLK と記す。）と、取り込み済みの画像データに応じた電位の出力を指示する LP （ラッチパルス）とが入力される。 STH および LP の周期は、 CKV の周期の $1/2$ であり、ソースドライバ 4 は、 LP の立ち下がりエッジを検出すると、液晶表示装置 7 の各ソースラインの電位を、取り込んだ画像データに応じた電位に設定する。ただし、ここでは、ソースドライバ 4 が、 LP がハイレベルである期間中、各電位出力端をハイインピーダンス状態にする場合を例にして示す。

【 0 0 4 7 】

また、ソースドライバ 4 には、タイミングコントローラ 2 から、各画素の極性を規定するための 2 種類の制御信号（以下、 POL_1 , POL_2 と記す。）が入力される。図 2 は、 POL_1 , POL_2 の変化を示す説明図である。タイミングコントローラ 2 は、フレーム毎に、 POL_1 をハイレベル、ローレベルに交互に切り替える（図 2 参照）。また、タイミングコントローラ 2 は、 CKV の周期の 2 倍の周期で、 POL_2 を変化させる。以下、第 1 の実施形態において、 CKV の周期を $2H$ とする。従って、 POL_2 の周期は $4H$ である。そして、タイミングコントローラ 2 は、 $2H$ 毎に、 POL_2 のレベルを、ハイレベル、ローレベルに交互に切り替える。また、タイミングコントローラ 2 は、フレーム内における最初の LP の立ち下がりエッジにおいて、 POL_2 がハイレベルになるように、 POL_2 を変化させる。

【 0 0 4 8 】

ソースドライバ 4 は、 POL_1 , POL_2 がいずれもハイレベルであるときには、奇数番目のソースラインをコモン電極電位 V_{COM} よりも高い電位に設定し、偶数番目のソースラインをコモン電極電位 V_{COM} よりも低い電位に設定する。

【 0 0 4 9 】

また、ソースドライバ 4 は、 POL_1 がハイレベルであり、 POL_2 がローレベルであるときには、奇数番目のソースラインをコモン電極電位 V_{COM} よりも低い電位に設定し、偶数番目のソースラインをコモン電極電位 V_{COM} よりも高い電位に設定する。

【 0 0 5 0 】

また、ソースドライバ 4 は、 POL_1 がローレベルであり、 POL_2 がハイレベルであるときには、奇数番目のソースラインをコモン電極電位 V_{COM} よりも低い電位に設定し、偶数番目のソースラインをコモン電極電位 V_{COM} よりも高い電位に設定する。

【 0 0 5 1 】

また、ソースドライバ 4 は、 POL_1 , POL_2 がいずれもローレベルであるときには、奇数番目のソースラインをコモン電極電位 V_{COM} よりも高い電位に設定し、偶数番目のソースラインをコモン電極電位 V_{COM} よりも低い電位に設定する。

【 0 0 5 2 】

$2H$ は、 LP の周期の 2 倍である。従って、各フレームにおいて、各列の画素の極性を 2 行毎に切り替えることになる。また、奇数番目の列と偶数番目の列の極性は必ず異なることになるので、本実施形態では、2 ラインドット反転駆動を行うことになる。 POL_1

がハイレベルである期間では、各画素の極性は、図 10 に示す各画素の極性と同様である。また、 POL_1 がローレベルである期間では、各画素の極性は、図 10 に示す各画素の極性とは逆極性となる。

【0053】

タイミングコントローラ 2 は、ゲートドライバ 3 の電位出力部 31 に STV 、 CKV を入力し、ゲートドライバ 3 の出力制御部 32 に OEd_d 、 OEv_{en} を入力する。また、タイミングコントローラ 2 は、ソースドライバ 4 に STH 、 CLK 、 LP 、 POL_1 、 POL_2 を入力する。なお、 POL_1 、 POL_2 に関しては、タイミングコントローラ 2 から POL のみをソースドライバ 4 に入力してもよい。すなわち、タイミングコントローラ 2 は、極性を制御するための信号として 1 つの信号 (POL と記す。) をソースドライバ 4 に入力してもよい。この場合、タイミングコントローラ 2 は、既に説明した POL_1 、 POL_2 の Exclusive OR (XOR) となる信号を POL としてソースドライバ 4 に入力すればよい。

10

【0054】

次に、動作について説明する。

図 3 は、フレーム開始時におけるソースドライバ 4 への STH および CLK の入力タイミングを示すタイミングチャートである。フレームの開始時に、タイミングコントローラ 2 は、 STH をハイレベルにする。このとき、タイミングコントローラ 2 は、 LP をローレベルに保ち、また、ゲートドライバ 3 に対して入力する各信号 STV 、 CKV 、 OEd_d 、 OEv_{en} (図 3 において図示せず。) もローレベルに保つ。

20

【0055】

また、タイミングコントローラ 2 は、周期的に CLK をハイレベル、ローレベルに交互に変化させる。ただし、 STH がハイレベルの期間中に、 CLK の立ち上がりエッジが 1 回生じるように、 CLK を変化させる。タイミングコントローラ 2 は、 STH をハイレベルにすると、 STH がハイレベルである期間中に CLK をハイレベルにし、 STH をローレベルにする。ソースドライバ 3 は、 STH がハイレベルである期間中に CLK の立ち上がりエッジを検出すると、その次の CLK の立ち上がりエッジから、 CLK の立ち上がりエッジを検出する毎に、1 画素分ずつ画像データを取り込み、保持する (図 3 参照)。

【0056】

タイミングコントローラ 2 は、 CKV (図 3 において図示せず。) の $1/2$ の周期で、 STH をハイレベルに立ち上げる。そして、タイミングコントローラ 2 は、 STH の立ち上がりエッジから立ち上がりエッジまでの期間毎に、1 行分の画像データをソースドライバ 4 に入力する。フレームの開始時には、タイミングコントローラ 2 は、第 1 行の画像データをソースドライバ 4 に入力する。ソースドライバ 4 は、タイミングコントローラ 2 から入力される画像データを、 CLK の立ち上がりエッジ毎に、1 画素分ずつ取り込み、保持する。

30

【0057】

また、タイミングコントローラ 2 は、フレーム内で、最初に CKV をハイレベルにするときに、 LP をハイレベルにし、そして、ローレベルに戻す。以降、タイミングコントローラ 2 は、 CKV の $1/2$ の周期で LP をハイレベルに立ち上げる。そして、タイミングコントローラ 2 は、 LP の立ち上がりエッジのタイミングを、 CKV のレベル切り替えタイミングに合わせている。ソースドライバ 4 は、 LP の立ち下がりエッジを検出すると、液晶表示装置 7 の各ソースラインの電位を、保持している 1 行分の各画素の画像データに応じた電位に設定する。

40

【0058】

従って、図 3 に示すように、1 つのフレーム内において、ソースドライバ 4 は、最初の STH の立ち上がりエッジから STH の立ち下がりエッジまでの期間内で第 1 行の画像データを取り込んで保持し、フレーム内の最初の LP の立ち下がりエッジで、各ソースラインの電位を、第 1 行の各画素の画像データに応じた電位に設定する。なお、ここでは、 POL_1 がハイレベルであり、各画素の極性を図 10 に示すように設定する場合を例にして

50

説明する。

【 0 0 5 9 】

以降、同様に、ソースドライバ 4 は、 STH 、 CLK 、 LP に従って、周期的に、1 行分の画像データを取り込み、各ソースラインの電位をその画像データに応じた電位に設定する動作を繰り返す。

【 0 0 6 0 】

図 4 は、ゲートドライバに入力される STV 、 CKV やゲートドライバ 3 の動作等を示すタイミングチャートである。また、図 5 は、画素電極の電位変化等を示すタイミングチャートである。

【 0 0 6 1 】

タイミングコントローラ 2 は、第 1 行のゲートラインから順次選択を開始させるときに、 STV をハイレベルにし、 STV がハイレベルである期間中に CKV をハイレベルにし、その後、 STV をローレベルにする（図 4 参照）。また、タイミングコントローラ 2 は、この CKV の立ち上がりエッジに合わせて、ソースドライバ 2 に対して入力する LP をハイレベルにする（図 4 参照）。ただし、 CKV の立ち上がりエッジに合わせずに、数十～数百 CLK 分遅らせて LP をハイレベルにすることもできる。

【 0 0 6 2 】

CKV の周期は $2H$ であり、タイミングコントローラ 2 は、 CKV の立ち上がりエッジから期間 H が経過したときに、 CKV をローレベルにし、さらに期間 H が経過したときに、 CKV を再度ハイレベルにする。タイミングコントローラ 2 は、以降、同様に、 CKV を変化させる。

【 0 0 6 3 】

ゲートドライバ 3 の電位出力部 3 1（図 1 参照）は、 STV がハイレベルである期間中に CKV の立ち上がりエッジを検出すると、1 行目および 2 行目のゲートラインに対応する電位出力端 O_1' 、 O_2' から選択時電位 VGH を出力し（図 4 参照）、他の各電位出力端から非選択時電位 VGL を出力する。以降、電位出力部 3 1 は、 CKV の立ち上がりエッジ毎に（換言すれば、 $2H$ の周期で）、選択時電位 VGH を出力する電位出力端の組を切り替え、奇数行に対応する電位出力端 O_{2k-1}' および偶数行に対応する電位出力端 O_{2k}' から選択時電位 VGH を出力する。また、他の各電位出力端からは非選択時電位 VGL を出力する。

【 0 0 6 4 】

また、タイミングコントローラ 2 は、 CKV の立ち上がりエッジと同時に、 OE_{odd} をハイレベルに立ち上げる。さらに、 OE_{odd} の立ち上がりエッジから、所定時間 t が経過したときに、 OE_{even} をハイレベルに立ち上げる。また、 OE_{odd} の立ち上がりエッジから、期間 $H-s$ が経過したときに、 OE_{odd} をローレベルにする。そして、 OE_{odd} の立ち上がりエッジから、期間 $2H-s$ が経過したときに、 OE_{even} をローレベルにする。タイミングコントローラ 2 は、 CKV をハイレベルに立ち上げる度に、 OE_{odd} および OE_{even} をこのように変化させる。時間 t 、 s の長さは、予め定められている。

【 0 0 6 5 】

出力制御部 3 2 は、電子出力部 3 1 の電位出力端 O_1' 、 O_2' から選択時電位 VGH が入力される期間であって、 OE_{odd} がハイレベルである期間中に、1 行目のゲートラインに対応する電位出力端 O_1 から選択時電位 VGH を出力し、1 行目のゲートライン G_1 の電位を VGH に設定する。すなわち、出力制御部 3 2 は、 OE_{odd} の立ち上がりエッジから $H-s$ の期間、ゲートライン G_1 の電位を VGH に設定する（図 4 参照）。

【 0 0 6 6 】

また、出力制御部 3 2 は、電子出力部 3 1 の電位出力端 O_1' 、 O_2' から選択時電位 VGH が入力される期間であって、 OE_{even} がハイレベルである期間中に、2 行目のゲートラインに対応する電位出力端 O_2 から選択時電位 VGH を出力し、2 行目のゲートライン G_2 の電位を VGH に設定する。すなわち、出力制御部 3 2 は、 OE_{odd} の立ち

10

20

30

40

50

上がりエッジから所定時間 t が経過する時点から、 OE_{od} の立ち上がりエッジから $2H - s$ が経過する時点までの間、ゲートライン G_2 の電位を V_{GH} に設定する（図 4 参照）。

【0067】

また、フレーム開始後、最初の LP の立ち下がりエッジを検出すると、ソースドライバ 4 は、各ソースラインの電位を、1 行目の各画素に応じた電位に設定する。図 5 では、左から 1 番目のソースライン S_1 に対応するソースドライバ 4 の電位出力端の電位、および、左から 1 列目における第 1 行および第 2 行の画素電極の電位変化を示している。

【0068】

フレーム開始後、最初の LP の立ち下がりエッジにおいて、 POL_2 はハイレベルである。また、このフレームでは、 POL_1 もハイレベルであるものとする。従って、ソースドライバ 4 は、フレーム開始後、最初の LP の立ち下がりエッジを検出すると、ソースライン S_1 等の左から奇数番目のソースラインの電位を V_{COM} より高い電位に設定する（図 5 参照）。また、ソースドライバ 4 は、左から偶数番目のソースラインの電位を V_{COM} より低い電位に設定する。

【0069】

左から 1 列目における第 1 行および第 2 行の画素電極を例に説明すると、この 2 つの画素電極は、前のフレームにおいて V_{COM} より低い電位（図 5 に示す例では $0V$ ）に設定されている。なお、本例では、 $0V < V_{COM} < V_{MAX}$ であり、負極性における最大階調に対応する電位が $0V$ であり、正極性における最大階調に対応する電位が V_{MAX} であるものとする。また、 $V_{MAX} - V_{COM} = V_{COM} - 0$ である。上記のように、ソースドライバ 4 が、ソースライン S_1 の電位を V_{COM} より高い電位に設定すると、出力制御部 32 が 1 行目のゲートライン G_1 を選択時電位 V_{GH} に設定しているので、左から 1 列目における第 1 行の画素電極はソースライン S_1 と等しい電位に変化する（図 5 参照）。そして、 OE_{od} の立ち上がりエッジから所定時間 t が経過する時までには、ソースライン S_1 と等電位になっている。 OE_{od} の立ち上がりエッジから $H - s$ が経過したときに、ゲートライン G_1 の電位は非選択時電位 V_{GL} に切り替えられるが、1 列目における第 1 行の画素電極は、その時点における電位を維持する。

【0070】

さらに、出力制御部 32 は、電位出力端 O_1 から選択時電位 V_{GH} を出力してから、所定時間 t が経過したときに、電位出力端 O_2 から選択時電位 V_{GH} を出力して、2 行目のゲートライン G_2 の電位を V_{GH} にする。この結果、左から 1 列目における第 2 行の画素電極もソースライン S_1 の電位に近づくように変化していく（図 5 参照）。ただし、 LP がハイレベルになると各ソースラインはハイインピーダンス状態になるので、電位の変化が停止する。

【0071】

ソースドライバ 4 は、次の LP の立ち下がりエッジを検出すると、各ソースラインの電位を第 2 行の各画素の画像データに応じた電位に設定する。このときにも、 POL_2 はハイレベルであるので、ソースドライバ 4 は、ソースライン S_1 等の左から奇数番目のソースラインの電位を V_{COM} より高い電位に設定する（図 5 参照）。また、ソースドライバ 4 は、左から偶数番目のソースラインの電位を V_{COM} より低い電位に設定する。

【0072】

このとき、出力制御部 32 は、電位出力端 O_2 から選択時電位 V_{GH} を出力しており、2 行目のゲートライン G_2 の電位は V_{GH} である。従って、左から 1 列目における第 2 行の画素電極は、ソースライン S_2 の電位に変化していき、ソースライン S_2 と等電位になる。

【0073】

このフレームにおいて、左から 1 列目における第 1 行および第 2 行の画素電極は、何れも正極性の電位（すなわち、 V_{COM} よりも高い電位）に設定される。そして、左から 1 列目における第 2 行の画素電極は、フレーム開始後、2 回目の LP の立ち下がりエッジよ

10

20

30

40

50

り前に、 V_{COM} より高い電位に向けて変化を開始し始めている。すなわち、左から1列目における第2行の画素にはプリチャージが行われている。本例では、左から1列目を例に説明したが、他の奇数番目の各列における第2行の画素にも同様に、プリチャージが行われている。また、左から偶数番目の各列では、第2行の画素電極は、 V_{COM} より低い電位に設定されるが、フレーム開始後、2回目のLPの立ち下がりエッジより前に、 V_{COM} より低い電位に向けて変化を開始し始めている。すなわち、偶数番目の各列でも、第2行の画素にはプリチャージが行われている。

【0074】

以後、CKVがハイレベルに変化した場合におけるゲートドライバ3（電位出力部31および出力制御部32）の動作は、選択時電位VGHに設定するゲートラインを切り替える点以外は、上記の動作と同様である。従って、第3行目以降の各行の画素においても、偶数行の画素にはプリチャージが行われる。

10

【0075】

このように、本実施形態によれば、偶数行目の各画素に対してプリチャージを行うので、消費電力を少なくすることができる。

【0076】

また、本実施形態では、OE_{dd}の立ち上がりエッジから所定時間tが経過した時点から次のLPの立ち上がりエッジまでの期間P（図4参照）を、プリチャージを行う期間とする。従って、プリチャージを行う期間として、奇数行目のゲートラインの選択時電位設定期間を全て用いるわけではないので、消費電力を低減する効果を高めている。

20

【0077】

すなわち、本実施形態によれば、少ない消費電力で2ラインドット反転駆動を実現することができる。

【0078】

次に、所定期間tの決定方法について説明する。図6は、所定期間tの決定方法を示す説明図である。ソースラインの電位をソースラインに対する設定電位の最小値から最大値まで変化させるのに要する時間を、Rとする。なお、ソースラインの電位をソースラインに対する設定電位の最大値から最小値まで変化させるのに要する時間もRである。ソースラインに対する設定電位の最小値は、負極性における最大階調に対応する電位であり、本例では、0Vである。また、ソースラインに対する設定電位の最大値は、正極性における最大階調に対応する電位であり、本例では、 V_{MAX} である。従って、本例では、ソースラインの電位を0Vから V_{MAX} に変化させるのに要する時間をRとすればよい。所定時間tは、Rに、LPをハイレベルにする期間Qを加算した値以上になるように定めればよい。すなわち、 $t \geq Q + R$ を満たすように、tを決定すればよい。LPは、OE_{dd}の立ち上がりエッジに合わせてハイレベルにされ、LPの立ち下がりエッジから、ソースラインは画像データに応じた電位に設定される。従って、 $t \geq Q + R$ を満たすようにtを決定しておくことにより、所定時間t以内で、負極性における任意の電位から正極性における任意の所望の電位にソースラインの電位を遷移させることができる。同様に、所定時間t以内で、正極性における任意の電位から負極性における任意の所望の電位にソースラインの電位を遷移させることができる。

30

40

【0079】

〔実施形態2〕第2の実施形態では、1ラインドット反転駆動を実現する駆動装置について説明する。図7は、本発明の第2の実施形態の液晶表示装置の駆動装置の構成例を示す説明図である。第1の実施形態と同様の要素については、図1と同一の符号を付し、説明を省略する。

【0080】

液晶表示装置7は、第1の実施形態で述べた液晶表示装置7と同様である。

【0081】

本実施形態の駆動装置1_aは、タイミングコントローラ2_aと、ゲートドライバ3_aと、ソースドライバ4と、共通電極電位設定回路5とを備える。

50

【 0 0 8 2 】

タイミングコントローラ 2_a は、ソースドライバ 4 に STH, CLK, LP, POL₁, POL₂ を入力する。ただし、本実施形態では、STH, LP および POL₂ の周期は、タイミングコントローラ 2_a がゲートドライバ 3_a に入力する CKV の周期と同じ周期である。以下、第 2 の実施形態において、CKV, STH, LP, POL₂ の周期を H とする。STH, CLK, LP, POL₁, POL₂ に応じたソースドライバ 4 の動作は、第 1 の実施形態と同様である。なお、POL₁, POL₂ に関しては、タイミングコントローラ 2_a から POL のみをソースドライバ 4 に入力してもよい。すなわち、タイミングコントローラ 2_a は、極性を制御するための信号として 1 つの信号 (POL) をソースドライバ 4 に入力してもよい。この場合、タイミングコントローラ 2_a は、既に説明した POL₁, POL₂ の Exclusive OR (XOR) となる信号を POL としてソースドライバ 4 に入力すればよい。

10

【 0 0 8 3 】

ゲートドライバ 3_a は、奇数行目のゲートラインを選択するときには、その次の奇数行目のゲートラインも選択する。ただし、ゲートドライバ 3_a は、その 2 本のゲートラインのうち、順番が先のゲートラインを選択時電位 VGH に設定してから、所定時間 t が経過したときに、順番が後のゲートラインを選択時電位 VGH に設定する。そして、ゲートドライバ 3_a は、その 2 本の奇数行目のゲートラインの選択を終えてから、偶数行目のゲートラインを選択する。所定時間 t は、第 1 の実施形態と同様に定めておけばよい。

【 0 0 8 4 】

20

同様に、ゲートドライバ 3_a は、偶数行目のゲートラインを選択するときには、その次の偶数行目のゲートラインも選択する。ただし、ゲートドライバ 3_a は、その 2 本のゲートラインのうち、順番が先のゲートラインを選択時電位 VGH に設定してから、所定時間 t が経過したときに、順番が後のゲートラインを選択時電位 VGH に設定する。ゲートドライバ 3_a は、その 2 本の偶数行目のゲートラインの選択を終えてから、奇数行目のゲートラインを選択する。

【 0 0 8 5 】

従って、第 2 の実施形態では、奇数行目のゲートライン同士や、偶数行目のゲートライン同士で、選択時電位設定期間が重なるが、奇数行目と偶数行目では選択時電位設定期間は重ならない。

30

【 0 0 8 6 】

ゲートドライバ 3_a は、電位出力部 3_{1a} と、出力制御部 3_{2a} とを有する。電位出力部 3_{1a} は、各ゲートラインに対応する電位出力端を有する。そして、出力制御部 3_{2a} は、各ゲートラインに対応する電位入力端および電位出力端を有する。出力制御部 3_{2a} の電位入力端には、対応する電位出力部 3_{1a} の電位出力端から出力された電位が入力される。第 1 の実施形態と同様に、電位出力部 3_{1a} の電位出力端を O_n' と記し、出力制御部 3_{2a} の電位出力端を O_n と記す。

【 0 0 8 7 】

電位出力部 3_{1a} は、タイミングコントローラ 2_a から入力される STV がハイレベルである期間中に、CKV の立ち上がりエッジを検出すると、1 番目の電位出力端から選択時電位 VGH を出力する。そして、電位出力部 3_{1a} は、CKV の立ち上がりエッジを検出する度に、選択時電位 VGH を出力する電位出力端を 1 つずらす。後述するように、タイミングコントローラ 2_a は、フレームの冒頭で STV を 2 回ハイレベルにする。この 2 回の STV の立ち上がりエッジ間の時間間隔は、CKV の周期 (H) の 2 倍である。従って、電位出力部 3_{1a} は、1 番目の電位出力端から順番に選択時電位 VGH を出力していく動作を開始した後、その動作と合わせて、再度、1 番目の電位出力端から順番に選択時電位 VGH を出力していく。従って、電位出力部 3_{1a} は、2 つの電位出力端から選択時電位 VGH を出力し、VGH を出力する電位出力端を順次ずらす。具体的には、電位出力部 3_{1a} は、電位出力端 O₁', O₃' から VGH を出力し、次に、電位出力端 O₂', O₄' から VGH を出力し、以後、同様に、VGH を出力する電位出力端を順次ずらす。

40

50

【0088】

また、電位出力部 3 1_a は、VGH を出力しない電位出力端からは、非選択時電位 VGL を出力する。

【0089】

出力制御部 3 2_a は、電位出力部 3 1_a から選択時電位 VGH が入力されている 2 つの電位入力端に対応する電位出力端（出力制御部 3 2_a の電位出力端）から、タイミングコントローラ 2_a から入力されるアウトプットイネーブル信号に応じて、選択時電位 VGH を出力する。本実施形態では、タイミングコントローラ 2_a は、出力制御部 3 2_a の各電位出力端に対応するアウトプットイネーブル信号を出力制御部 3 2_a に入力する。n 番目の電位出力端に対応するアウトプットイネーブル信号を OE_n と記す。

10

【0090】

出力制御部 3 2_a は、奇数番目の 2 つの電位入力端に電位出力部 3 1_a から VGH が入力されている場合、その 2 つの電位入力端に対応する 2 つの電位出力端から、それぞれの電位出力端に対応するアウトプットイネーブル信号がハイレベルである期間中に、VGH を出力する。例えば、 $2j + 1$ 番目および $2j + 3$ 番目の電位入力端に電位出力部 3 1_a から VGH が入力されている場合、 $2j + 1$ 番目の電位出力端からは、 OE_{2j+1} がハイレベルになっている期間中に、VGH を出力する。また、 $2j + 3$ 番目の電位出力端からは、 OE_{2j+3} がハイレベルになっている期間中に、VGH を出力する。なお、j は、0 以上の整数である。

【0091】

20

出力制御部 3 2_a は、偶数番目の 2 つの電位入力端に電位出力部 3 1_a から VGH が入力されている場合、その 2 つの電位入力端に対応する 2 つの電位出力端から、それぞれの電位出力端に対応するアウトプットイネーブル信号がハイレベルである期間中に、VGH を出力する。例えば、 $2j + 2$ 番目および $2j + 4$ 番目の電位入力端に電位出力部 3 1_a から VGH が入力されている場合、 $2j + 2$ 番目の電位出力端からは、 OE_{2j+2} がハイレベルになっている期間中に、VGH を出力する。また、 $2j + 4$ 番目の電位出力端からは、 OE_{2j+4} がハイレベルになっている期間中に、VGH を出力する。

【0092】

タイミングコントローラ 2_a は、電位出力部 3 1_a に STV, CKV を入力する。前述のように、第 2 の実施形態では、CKV の周期を H とする。また、フレームの冒頭で、STV をハイレベルにし、ローレベルに戻した後、その立ち上がりエッジから 2H 経過後、再度、STV をハイレベルにし、ローレベルに戻す。そして、STV がハイレベルである期間中に、CKV の立ち上がりエッジが 1 回生じるように CKV を制御する。

30

【0093】

また、タイミングコントローラ 2_a は、出力制御部 3 2_a に各アウトプットイネーブル信号を入力する。n 番目の電位出力端に対応するアウトプットイネーブル信号 OE_n を以下のように制御する。すなわち、タイミングコントローラ 2_a は、電位出力部 3 1_a における n - 2 番目の電位出力部から VGH を出力させる CKV の立ち上がりエッジから所定時間 t が経過した時点で、 OE_n をハイレベルにし、その CKV の立ち上がりエッジから H - s が経過した時点で、 OE_n をローレベルにする。さらに、電位出力部 3 1_a における n 番目の電位出力部から VGH を出力させる CKV の立ち上がりエッジで、 OE_n をハイレベルにし、その CKV の立ち上がりエッジから H - s が経過した時点で、 OE_n をローレベルにする。時間 s の長さは、予め決めておけばよい。

40

【0094】

ただし、1 番目の電位出力端に対応する OE_1 に関しては、電位出力部 3 1_a における 1 番目の電位出力部から VGH を出力させる CKV の立ち上がりエッジで、 OE_1 をハイレベルにし、その CKV の立ち上がりエッジから H - s が経過した時点で、 OE_1 をローレベルにすればよい。また、2 番目の電位出力端に対応する OE_2 に関しては、電位出力部 3 1_a における 2 番目の電位出力部から VGH を出力させる CKV の立ち上がりエッジで、 OE_2 をハイレベルにし、その CKV の立ち上がりエッジから H - s が経過した時点

50

で、 OE_2 をローレベルにすればよい。

【0095】

また、タイミングコントローラ 2_a は、ソースドライバ 4 に STH , CLK , LP , POL_1 , POL_2 を入力する。既に説明したように、 STH , LP および POL_2 の周期は、 CKV の周期 H と同じである。

【0096】

次に、動作について説明する。

図 8 は、第 2 の実施形態の動作の例を示すタイミングチャートである。タイミングコントローラ 2_a は、フレームの開始時に STV をハイレベルにし、 STV がハイレベルである期間中に CKV をハイレベルにし、 STV をローレベルに戻す。タイミングコントローラ 2_a は、 $H/2$ の時間が経過する毎に、 CKV のレベルをハイレベル、ローレベルに交互に切り替える（図 8 参照）。この結果、 CKV の周期は H となる。また、このとき、タイミングコントローラ 2_a は、各 OE_n をローレベルに維持する。

【0097】

電位出力部 3₁ は、 STV がハイレベルである期間中に CKV の立ち上がりエッジを検出すると、1 番目の電位出力端 O_1 ' から選択時電位 VGH を出力し、以降、 CKV の立ち上がりエッジを検出する度に、 VGH を出力する電位出力端を切り替える。

【0098】

なお、このとき、各アウトプットイネーブル信号はローレベルなので、出力制御部 3₂ の各電位出力端の出力電位は VGL である。

【0099】

タイミングコントローラ 2_a は、フレームにおける最初の STV の立ち上がりエッジから $2H$ (CKV の周期の 2 倍) が経過したときに、再度、 STV をハイレベルにし、ローレベルに戻す。このときにも、タイミングコントローラ 2_a は、 STV がハイレベルである期間中に、 CKV をハイレベルにする（図 8 参照）。従って、電位出力部 3₁ は、 STV がハイレベルである期間中に CKV の立ち上がりエッジを再度検出する。よって、電位出力部 3₁ は、1 番目の電位出力端 O_1 ' から選択時電位 VGH を出力し、以降、 CKV の立ち上がりエッジを検出する度に、 VGH を出力する電位出力端を切り替える。すなわち、電位出力部 3₁ は、電位出力端 O_1 ' , O_3 ' から電位 VGH を出力し、 CKV の立ち上がりエッジを検出すると、電位出力端 O_2 ' , O_4 ' から電位 VGH を出力する。さらに、 CKV の立ち上がりエッジを検出すると、電位出力端 O_3 ' , O_5 ' から電位 VGH を出力する。このように、電位出力部 3₁ は、 VGH を出力する電位出力端を順次切り替える。

【0100】

また、タイミングコントローラ 2_a は、2 回目の STV のハイレベルの期間中における CKV の立ち上がりエッジに合わせて、出力制御部 3₂ の 1 番目の電位出力端 O_1 に対応する OE_1 をハイレベルにする。さらに、タイミングコントローラ 2_a は、その CKV の立ち上がりエッジから所定時間 t が経過したときに、出力制御部 3₂ の 3 番目の電位出力端 O_3 に対応する OE_3 をハイレベルにする。そして、タイミングコントローラ 2_a は、 CKV の立ち上がりエッジから時間 $H - s$ が経過したときに、 OE_1 および OE_3 をローレベルにする。

【0101】

従って、出力制御部 3₂ は、2 回目の STV のハイレベルの期間中における CKV の立ち上がりエッジから時間 $H - s$ の間、電位出力端 O_1 から VGH を出力し、1 行目のゲートライン G_1 の電位を VGH にする。

【0102】

また、タイミングコントローラ 2_a は、その CKV の立ち上がりエッジに合わせて、 LP をハイレベルにし、ローレベルに戻す。なお、このときまで、 LP はローレベルに維持する。また、タイミングコントローラ 2_a は、最初の LP の立ち上がりエッジまでにソースドライバ 4 が 1 行目の画像データの取り込みを完了するように、 STH を出力すればよい

。S T HおよびC L Kに合わせて、ソースドライバ4が画像データを取り込む動作は、第1の実施形態と同様である。また、C K Vの立ち上がりエッジに合わせて、数十～数百C L K分遅らせてL Pをハイレベルにすることもできる。

【0103】

ソースドライバ4は、最初のL Pの立ち下がりエッジで、各ソースラインの電位を、1行目の各画素の画像データに応じた電位に設定する。このとき、1行目のゲートラインG₁の電位はV G Hであるので、1行目の各画素電極は、それぞれ、対応する列のソースラインと等電位に変化していく。

【0104】

このフレームでは、P O L₁がハイレベルであり、最初のL Pの立ち下がりエッジにおいて、P O L₂もハイレベルになっているものとする。従って、ソースドライバ4は、奇数番目のソースラインをコモン電極電位V_{C O M}よりも高い電位に設定し、偶数番目のソースラインをコモン電極電位V_{C O M}よりも低い電位に設定する。従って、1行目の画素電極のうち、奇数列目の画素電極は、V_{C O M}よりも高い電位に変化し、偶数列目の画素電極は、V_{C O M}よりも低い電位に変化する。

10

【0105】

また、各画素電極は、前のフレームとは逆極性の電位に設定されるので、V_{C O M}を跨いで変化する。所定時間tは、第1の実施形態と同様に定められているので、C K Vの立ち上がりエッジから所定時間tが経過するまでに、1行目の各画素電極は、対応するソースラインと等電位になっている。

20

【0106】

前述のように、C K Vの立ち上がりエッジから所定時間tが経過した時点で、タイミングコントローラ2_aは、O E₃をハイレベルにする。すると、出力制御部32_aは、3行目に対応する電位出力端O₃からもV G Hを出力し、3行目のゲートラインG₃の電位をV G Hにする。この結果、3行目の各画素電極も、対応するソースラインの電位に向けて変化し始める。タイミングコントローラ2_aは、C K Vの立ち上がりエッジからH - sの時間が経過するとO E₃をローレベルにし、出力制御部32_aは、電位出力端O₁、O₃からのV G Hの出力を停止する。よって、この時点まで、3行目の各画素電極の電位は変化していき、この時点で電位の変化が止まる。

30

【0107】

本実施形態では、P O L₂の周期は、C K Vの周期と同じであり、各列において、奇数行の画素同士の極性は同極性であり、偶数行の画素同士の極性も同極性である。ただし、各列において、奇数行の画素と偶数行の画素とでは、逆極性になる。

【0108】

従って、O E₃がハイレベルである期間中に、3行目の各画素電極は、本フレームにおける3行目の各画素の極性の電位に向けて変化していくことになる。すなわち、3行目の画素にプリチャージが行われることになる。

【0109】

続いて、電位出力部31_aは、次のC K Vの立ち上がりエッジで、V G Hを出力する電位出力端をO₁'、O₃'からO₂'、O₄'に切り替える。また、タイミングコントローラ2_aは、そのC K Vの立ち上がりエッジに合わせて、出力制御部32_aの2番目の電位出力端O₂に対応するO E₂をハイレベルにする。さらに、タイミングコントローラ2_aは、そのC K Vの立ち上がりエッジから所定時間tが経過したときに、出力制御部32_aの4番目の電位出力端O₄に対応するO E₄をハイレベルにする。そして、タイミングコントローラ2_aは、C K Vの立ち上がりエッジから時間H - sが経過したときに、O E₂およびO E₄をローレベルにする。

40

【0110】

出力制御部32_aは、そのC K Vの立ち上がりエッジから時間H - sの間、電位出力端O₂からV G Hを出力し、2行目のゲートラインG₂の電位をV G Hにする。

【0111】

50

また、タイミングコントローラ 2_a は、その CKV の立ち上がりエッジに合わせて、LP をハイレベルにし、ローレベルに戻す。ソースドライバ 4 は、LP の立ち下がりエッジで、各ソースラインの電位を、2 行目の各画素の画像データに応じた電位に設定する。2 行目のゲートライン G₂ の電位は VGH であるので、2 行目の各画素電極は、それぞれ、対応する列のソースラインと等電位に変化していく。また、このとき POL₂ はローレベルであるので、ソースドライバ 4 は、奇数番目のソースラインをコモン電極電位 V_{COM} よりも低い電位に設定し、偶数番目のソースラインをコモン電極電位 V_{COM} よりも高い電位に設定する。従って、2 行目の画素電極のうち、奇数列目の画素電極は、V_{COM} よりも低い電位に変化し、偶数列目の画素電極は、V_{COM} よりも高い電位に変化する。第 1 行の画素電極と同様に、第 2 行の画素電極は V_{COM} を跨いで変化するが、CKV の立ち上がりエッジから所定時間 t が経過するまでに、2 行目の各画素電極は、対応するソースラインと等電位になっている。

10

【0112】

前述のように、CKV の立ち上がりエッジから所定時間 t が経過した時点で、タイミングコントローラ 2_a は、OE₄ をローレベルにする。すると、出力制御部 32_a は、4 行目に対応する電位出力端 O₄ から VGH を出力し、4 行目のゲートライン G₄ の電位を VGH にする。この結果、4 行目の各画素電極も、対応するソースラインの電位に向けて変化し始める。タイミングコントローラ 2_a は、CKV の立ち上がりエッジから H - s の時間が経過すると、電位出力端 O₂ , O₄ からの VGH の出力を停止する。よって、この時点まで 4 行目の各画素電極の電位は変化していき、この時点で、電位の変化が止まる。

20

【0113】

従って、OE₄ がハイレベルである期間中に、4 行目の各画素電極は、本フレームにおける 4 行目の各画素の極性に応じた電位に変化していくことになる。すなわち、4 行目の画素にプリチャージが行われることになる。

【0114】

さらに、電位出力部 31_a は、次の CKV の立ち上がりエッジで、VGH を出力する電位出力端を O₂' , O₄' から O₃' , O₅' に切り替える。また、タイミングコントローラ 2_a は、その CKV の立ち上がりエッジに合わせて、出力制御部 32_a の 3 番目の電位出力端 O₃ に対応する OE₃ をハイレベルにする。さらに、タイミングコントローラ 2_a は、その CKV の立ち上がりエッジから所定時間 t が経過したときに、出力制御部 32_a の 5 番目の電位出力端 O₅ に対応する OE₅ をハイレベルにする。そして、タイミングコントローラ 2_a は、CKV の立ち上がりエッジから時間 H - s が経過したときに、OE₃ および OE₅ をローレベルにする。

30

【0115】

そして、出力制御部 32_a は、その CKV の立ち上がりエッジから時間 H - s の間、電位出力端 O₃ から VGH を出力し、3 行目のゲートライン G₃ の電位を VGH にする。

【0116】

また、タイミングコントローラ 2_a は、その CKV の立ち上がりエッジに合わせて、LP をハイレベルにし、ローレベルに戻す。ソースドライバ 4 は、LP の立ち下がりエッジで、各ソースラインの電位を、3 行目の各画素の画像データに応じた電位に設定する。3 行目のゲートライン G₃ の電位は VGH であるので、3 行目の各画素電極は、それぞれ、対応する列のソースラインと等電位に変化していく。ここで、3 行目の各画素は、ソースドライバ 4 が 1 行目の画像データに応じた電位を出力するときに、プリチャージされている。従って、3 行目の各画素電極を、各列のソースラインと等電位にするために要する消費電力は抑えられる。

40

【0117】

また、3 行目の各画素電極をプリチャージする場合と同様に、OE₅ がハイレベルである期間中に、5 行目の各画素電極にプリチャージを行う。

【0118】

駆動装置 1_a は、以降も、このフレーム内で同様の動作を繰り返す。

50

【0119】

このように、本実施形態では、 CKV の立ち上がりエッジとともに、 n 行目に対応する OE_n をハイレベルにすることにより、ゲートライン G_n の電位を VGH にする場合、 CKV の立ち上がりエッジから時間 t が経過した時に、 OE_{n+2} もハイレベルにすることによって、 $n+2$ 行目の画素電極に対してプリチャージを行う。従って、消費電力を少なくすることができる。そして、本実施形態では、 OE_n をハイレベルするときに、 OE_n をハイレベルにする期間よりも t 短い時間だけ、 OE_{n+2} をハイレベルにする。従って、消費電力を低減する効果を高めることができる。

【0120】

このように、本実施形態によれば、少ない消費電力で1ラインドット反転駆動を実現することができる。

10

【0121】

なお、上記の各実施形態の駆動装置によって駆動される液晶表示装置7は、横電界駆動方式の液晶表示装置であってもよい。横電界駆動方式の液晶表示装置も、列毎にソースラインを備え、行毎にゲートラインを備えている。

【産業上の利用可能性】

【0122】

本発明は、例えば、TFT液晶表示装置等の駆動に好適に適用される。

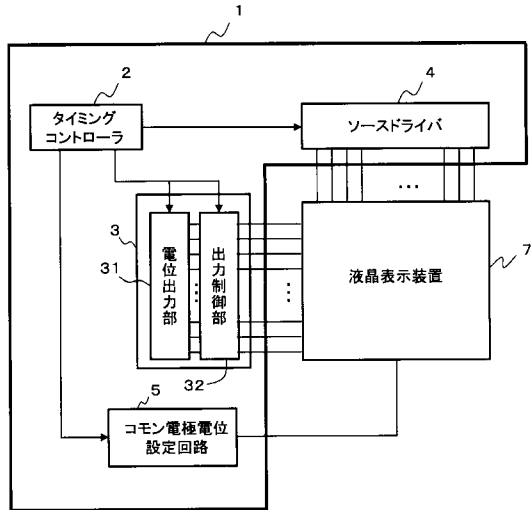
【符号の説明】

【0123】

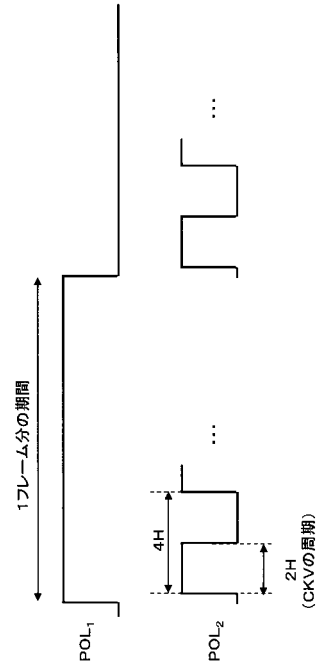
20

- 1, 1_a 駆動装置
- 2, 2_a タイミングコントローラ
- 3, 3_a ゲートドライバ
- 4 ソースドライバ
- 5 コモン電極電位設定回路
- 7 液晶表示装置
- 31, 31_a 電位出力部
- 32, 32_a 出力制御部

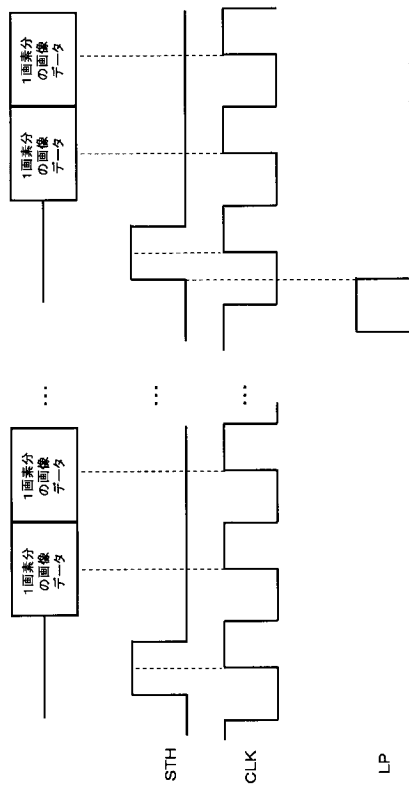
【図 1】



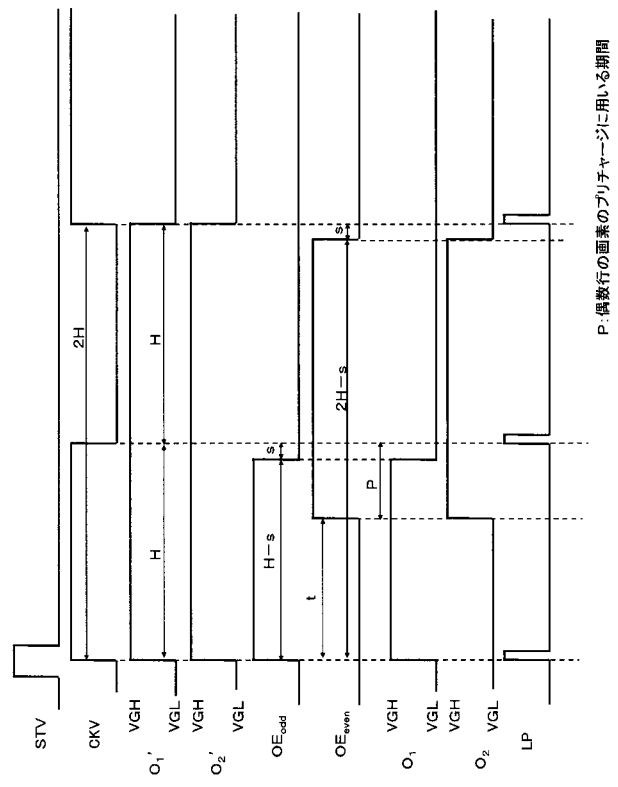
【図 2】



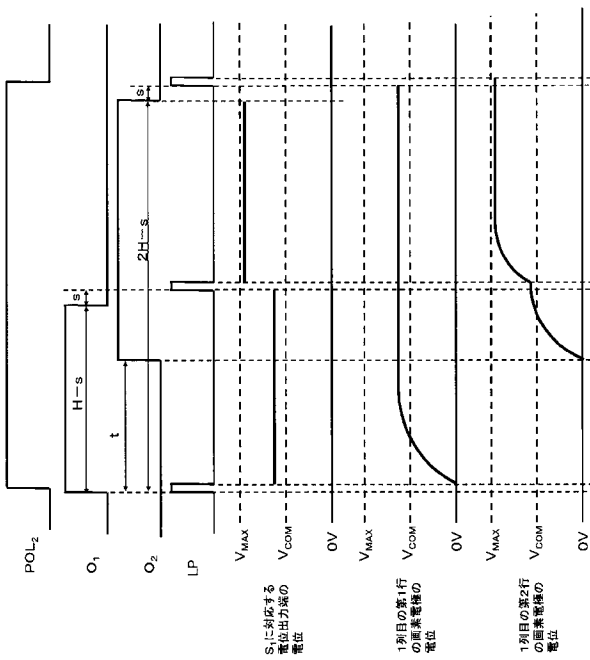
【図 3】



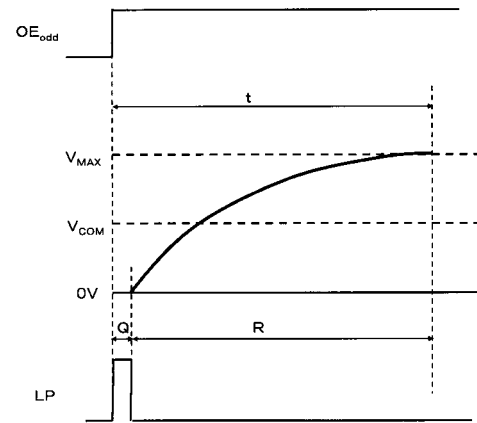
【図 4】



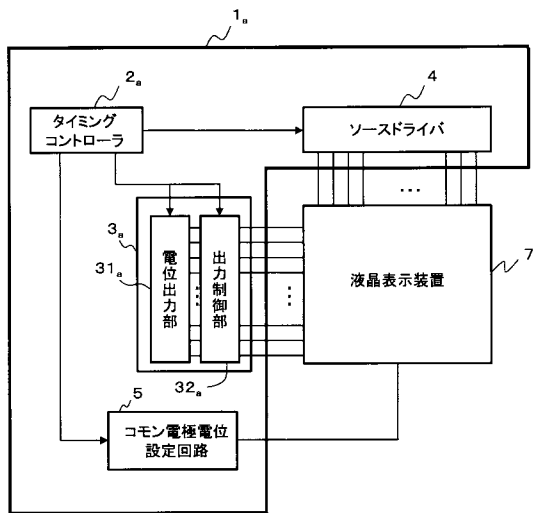
【図 5】



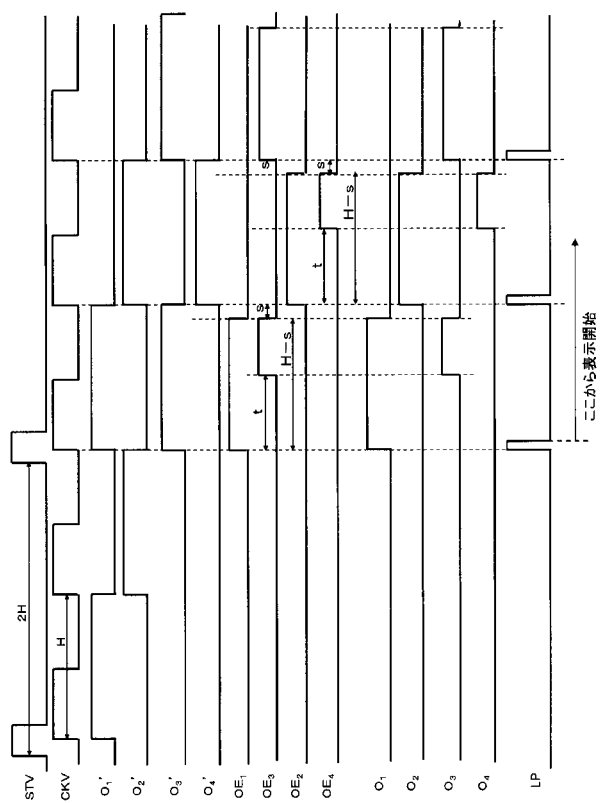
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 3 B
G 0 2 F	1/133	5 5 0

专利名称(译)	液晶显示装置的驱动装置		
公开(公告)号	JP2012242761A	公开(公告)日	2012-12-10
申请号	JP2011115142	申请日	2011-05-23
[标]申请(专利权)人(译)	京瓷显示器株式会社		
申请(专利权)人(译)	京瓷显示器有限公司		
[标]发明人	権藤 賢二		
发明人	権藤 賢二		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3677 G09G2310/0205 G09G2310/0251 G09G2310/08 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.621.B G09G3/20.622.C G09G3/20.623.C G09G3/20.641.C G09G3/20.622.B G09G3/20.623.B G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZB06 2H193/ZC12 2H193/ZC13 2H193/ZF21 2H193/ZF31 2H193/ZF59 5C006/AA16 5C006/AC26 5C006/BB16 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	岩冬树 盐川正人		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够以低功耗实现两线点反转驱动的液晶显示装置的驱动装置。栅极驱动器3选择奇数栅极线和下一个偶数栅极线，并且从设置所选电位VGH的时刻起将奇数栅极线延迟预定时间t。然后，在选择期间将偶数栅极线设置为电势VGH。此后，栅极驱动器3将设置为选择电位VGH的栅极线的电位设置为非选择电位VGL。另外，源极驱动器4每两行切换每列中的像素的极性，并且在将相邻列中的像素的极性设置为相反的极性的同时，将源极线的电位设置为一行中的像素的图像数据。相应地设置电位。[选择图]图4

