

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-141569

(P2012-141569A)

(43) 公開日 平成24年7月26日(2012.7.26)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 642D	5C006
G09G 3/34 (2006.01)	G09G 3/34 J	5C080
G02F 1/133 (2006.01)	G09G 3/20 622D	
	G09G 3/20 622Q	

審査請求 未請求 請求項の数 2 O L (全 23 頁) 最終頁に続く

(21) 出願番号	特願2011-112130 (P2011-112130)	(71) 出願人	000153878
(22) 出願日	平成23年5月19日 (2011.5.19)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2010-119070 (P2010-119070)		神奈川県厚木市長谷398番地
(32) 優先日	平成22年5月25日 (2010.5.25)	(72) 発明者	豊高 耕平
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-181500 (P2010-181500)		半導体エネルギー研究所内
(32) 優先日	平成22年8月16日 (2010.8.16)	(72) 発明者	三宅 博之
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-281575 (P2010-281575)		半導体エネルギー研究所内
(32) 優先日	平成22年12月17日 (2010.12.17)	Fターム(参考)	2H193 ZA04 ZA07 ZC21 ZF22 ZF23
(33) 優先権主張国	日本国 (JP)		ZG03 ZG27 ZG28 ZG34 ZG43
			ZQ06 ZQ11 ZQ14 ZQ16
			5C006 AF69 BB16 BB29 BC03 BC06
			EA01

最終頁に続く

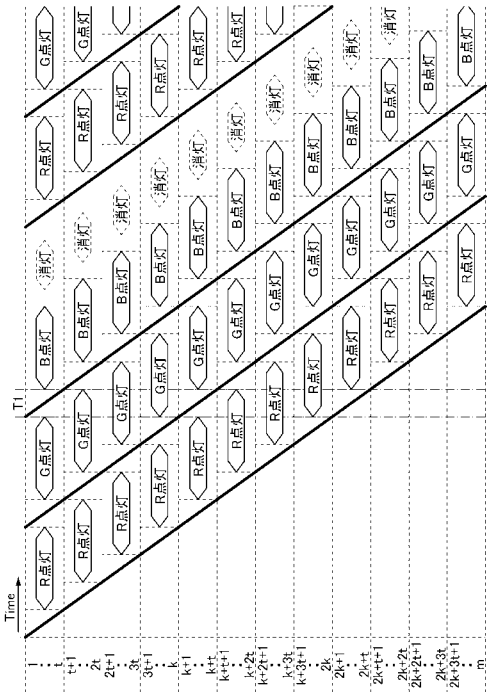
(54) 【発明の名称】 液晶表示装置及びその駆動方法

(57) 【要約】

【課題】画像信号の書き込みと、フィールドシーケンシャル方式による表示とを並行して行うことが可能な液晶表示装置を、簡便な画素構成によって実現すること。

【解決手段】簡便な画素構成を有する液晶表示装置において、特定の行に配設された画素に対する画像信号の書き込みに続いて該特定の行から隔離された行に配設された画素に対する画像信号の書き込みを行う。そのため、当該液晶表示装置においては、画素部全面において画像信号の書き込み及びバックライトの点灯を順次行うのではなく、画素部の特定の領域毎に画像信号の書き込み及びバックライトの点灯を順次行うことが可能である。これにより、当該液晶表示装置における画像信号の書き込み及びバックライトの点灯を並行して行うことが可能である。

【選択図】図6



【特許請求の範囲】

【請求項 1】

m 行 n 列 (m、n は、2 以上の自然数) に配設された複数の画素と、

前記複数の画素のうち 1 行目に配設された n 個の画素に電氣的に接続された第 1 の走査線、乃至、前記複数の画素のうち m 行目に配設された n 個の画素に電氣的に接続された第 m の走査線と、

前記複数の画素のうち 1 列目に配設された m 個の画素に電氣的に接続された第 1 の信号線、乃至、前記複数の画素のうち n 列目に配設された m 個の画素に電氣的に接続された第 n の信号線と、

前記第 1 の走査線乃至前記第 m の走査線に電氣的に接続された走査線駆動回路と、

前記第 1 の信号線乃至前記第 n の信号線に電氣的に接続された信号線駆動回路と、を有し、

前記走査線駆動回路は、

スタートパルスをきっかけとしてシフト期間毎にシフトパルスを順次シフトする第 1 のパルス出力回路乃至第 m のパルス出力回路を有し、

前記第 A のパルス出力回路 (A は、 $m/2$ 以下の自然数) は、第 A のシフト期間に渡って前記第 (A + 1) のパルス出力回路に対してシフトパルスを出力する第 1 の出力端子と、前記第 A のシフト期間と重畳する期間を有する第 A の走査線選択期間において前記第 A の走査線に対して選択信号を出力する第 2 の出力端子と、を有し、

前記第 (A + B) のパルス出力回路 (B は、 $m/2$ 以下の自然数) は、前記第 A のシフト期間に渡って前記第 (A + B + 1) のパルス出力回路に対してシフトパルスを出力する第 1 の出力端子と、前記第 A のシフト期間と重畳する期間及び前記第 A の走査線選択期間と重畳しない期間を有する第 (A + B) の走査線選択期間において前記第 (A + B) の走査線に対して選択信号を出力する第 2 の出力端子と、を有し、

前記信号線駆動回路は、

前記第 A のシフト期間及び前記第 A の走査線選択期間が重畳する期間において A 行目に配設された画素用画像信号を前記第 1 の信号線乃至前記第 n の信号線に供給し、且つ前記第 (A + B) の走査線選択期間のうち前記第 A のシフト期間及び前記第 A の走査線選択期間が重畳しない期間において (A + B) 行目に配設された画素用画像信号を前記第 1 の信号線乃至前記第 n の信号線に供給する液晶表示装置。

【請求項 2】

m 行 n 列 (m、n は、2 以上の自然数) に配設された複数の画素を有する画素部に対して異なる色を呈する光を発光する複数の光源が順次点灯し、且つ前記画素毎にそれぞれの色を呈する光の透過を制御することで前記画素部において画像を形成する液晶表示装置の駆動方法であって、

連続して設けられた、1 行目に配設された画素に対して画像信号を供給し次いで (A + 1) 行目 (A は、 $m/2$ 以下の自然数) に配設された画素に対して画像信号を供給する第 1 のシフト期間、乃至、A 行目に配設された画素に対して画像信号を供給し次いで 2 A 行目に配設された画素に対して画像信号を供給する第 A のシフト期間内において、前記第 B のシフト期間 (B は、A 未満の自然数) 後に 1 行目乃至 B 行目用光源及び (A + 1) 行目乃至 (A + B) 行目用光源を点灯させる液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置及びその駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置及びその駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈

10

20

30

40

50

する光のみを透過するカラーフィルター（例えば、R（赤）、G（緑）、B（青））を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれが異なる色を呈する光を発光する複数の光源（例えば、R（赤）、G（緑）、B（青））が設けられる。そして、当該複数の光源が順次発光し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に面積分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に時間分割することで所望の色を形成する方式である。

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、当該カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

10

【0004】

特許文献1では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の書き込みと、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-42405号公報

【発明の概要】

【発明が解決しようとする課題】

30

【0006】

汎用されている液晶表示装置では、各画素が、画像信号の入力を制御するトランジスタ、画像信号に応じた電圧が印加されることで配向が制御される液晶素子、及び液晶素子に印加される電圧を保持するための容量素子によって構成されることが多い。これに対し、特許文献1で開示される液晶表示装置では、上述した液晶表示装置の各画素の構成に加えて、電荷の移動を制御するトランジスタが必要になる。また、該トランジスタのスイッチングを制御するための信号線も別途必要になる。そのため、特許文献1で開示される液晶表示装置では、従来の液晶表示装置と比較して画素構成が煩雑化するという問題がある。

【0007】

そこで、本発明の一態様は、画像信号の書き込みと、フィールドシーケンシャル方式による表示とを並行して行うことが可能な液晶表示装置を、簡便な画素構成によって実現することを目的とする。

40

【課題を解決するための手段】

【0008】

上述した目的は、簡便な画素構成を有する液晶表示装置において、特定の行に配設された画素に対する画像信号の書き込みに続いて該特定の行に隣接する行に配設された画素に対して画像信号の書き込みを行うのではなく、当該特定の行に配設された画素に対する画像信号の書き込みに続いて当該特定の行から隔離された行に配設された画素に対する画像信号の書き込みを行うことによって達成することが可能である。

【0009】

50

すなわち、本発明の一態様は、 m 行 n 列 (m 、 n は、2以上の自然数)に配設された複数の画素と、複数の画素のうち1行目に配設された n 個の画素に電氣的に接続された第1の走査線、乃至、複数の画素のうち m 行目に配設された n 個の画素に電氣的に接続された第 m の走査線と、複数の画素のうち1列目に配設された m 個の画素に電氣的に接続された第1の信号線、乃至、複数の画素のうち n 列目に配設された m 個の画素に電氣的に接続された第 n の信号線と、第1の走査線乃至第 m の走査線に電氣的に接続された走査線駆動回路と、第1の信号線乃至第 n の信号線に電氣的に接続された信号線駆動回路と、を有し、走査線駆動回路は、スタートパルスをつきかけとしてシフト期間毎にシフトパルスを順次シフトする第1のパルス出力回路乃至第 m のパルス出力回路を有し、第 A のパルス出力回路 (A は、 $m/2$ 以下の自然数)は、第 A のシフト期間に渡って第 ($A+1$) のパルス出力回路に対してシフトパルスを出力する第1の出力端子と、第 A のシフト期間と重畳する期間を有する第 A の走査線選択期間において第 A の走査線に対して選択信号を出力する第2の出力端子と、を有し、第 ($A+B$) のパルス出力回路 (B は、 $m/2$ 以下の自然数)は、第 A のシフト期間に渡って第 ($A+B+1$) のパルス出力回路に対してシフトパルスを出力する第1の出力端子と、第 A のシフト期間と重畳する期間及び第 A の走査線選択期間と重畳しない期間を有する第 ($A+B$) の走査線選択期間において第 ($A+B$) の走査線に対して選択信号を出力する第2の出力端子と、を有し、信号線駆動回路は、第 A のシフト期間及び第 A の走査線選択期間が重畳する期間において A 行目に配設された画素用画像信号を第1の信号線乃至第 n の信号線に供給し、且つ第 ($A+B$) の走査線選択期間のうち第 A のシフト期間及び第 A の走査線選択期間が重畳しない期間において ($A+B$) 行目に配設された画素用画像信号を第1の信号線乃至第 n の信号線に供給する液晶表示装置である。

10

20

30

40

50

【0010】

また、本発明の一態様は、 m 行 n 列 (m 、 n は、2以上の自然数)に配設された複数の画素を有する画素部に対して異なる色を呈する光を発光する複数の光源が順次点灯し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで画素部において画像を形成する液晶表示装置の駆動方法であって、連続して設けられた、1行目に配設された画素に対して画像信号を供給し次いで ($A+1$) 行目 (A は、 $m/2$ 以下の自然数)に配設された画素に対して画像信号を供給する第1のシフト期間、乃至、 A 行目に配設された画素に対して画像信号を供給し次いで $2A$ 行目に配設された画素に対して画像信号を供給する第 A のシフト期間内において、第 B のシフト期間 (B は、 A 未満の自然数)後に1行目乃至 B 行目用光源及び ($A+1$) 行目乃至 ($A+B$) 行目用光源を点灯させる液晶表示装置の駆動方法である。

【発明の効果】

【0011】

本発明の一態様の液晶表示装置は、特定の行に配設された画素に対する画像信号の書き込みに続いて該特定の行から隔離された行に配設された画素に対する画像信号の書き込みを行うことが可能である。そのため、当該液晶表示装置においては、画素部全面において画像信号の書き込み及びバックライトの点灯を順次行うのではなく、画素部の特定の領域毎に画像信号の書き込み及びバックライトの点灯を順次行うことが可能である。これにより、当該液晶表示装置における画像信号の書き込み及びバックライトの点灯を並行して行うことが可能である。

【図面の簡単な説明】

【0012】

【図1】 (A) 液晶表示装置の構成例を示す図、 (B) 画素の構成例を示す図。

【図2】 (A) 走査線駆動回路の構成例を示す図、 (B) 走査線駆動回路で用いられる信号の一例を示すタイミングチャート、 (C) パルス出力回路の構成例を示す図。

【図3】 (A) パルス出力回路の一例を示す回路図、 (B) ~ (D) パルス出力回路の動作の一例を示すタイミングチャート。

【図4】 (A) 信号線駆動回路の構成例を示す図、 (B) 信号線駆動回路の動作の一例を

示す図。

【図 5】バックライトの構成例を示す図。

【図 6】液晶表示装置の動作例を説明する図。

【図 7】(A)、(B)パルス出力回路の一例を示す回路図。

【図 8】(A)、(B)パルス出力回路の一例を示す回路図。

【図 9】(A)～(F)電子機器の一例を示す図。

【図 10】液晶表示装置の動作例を説明する図。

【図 11】液晶表示装置の動作例を説明する図。

【発明を実施するための形態】

【0013】

10

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0014】

なお、以下において述べる液晶表示装置は、様々な液晶モードの液晶表示装置に対して適用することが可能である。具体的には、以下に述べる液晶表示装置として、TN (Twisted Nematic) 型、VA (Vertical Alignment) 型、OCB (Optically Compensated Birefringence) 型、IPS (In-Plane Switching) 型、MVA (Multi-domain Vertical Alignment) 型などを適用することが可能である。また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤を含む液晶組成物は、応答速度が $10 \mu\text{sec}$ 以上 $100 \mu\text{sec}$ 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

20

【0015】

まず、本発明の一態様の液晶表示装置について図 1～図 8、図 10、及び図 11 を参照して説明する。

30

【0016】

< 液晶表示装置の構成例 >

図 1 (A) は、液晶表示装置の構成例を示す図である。図 1 (A) に示す液晶表示装置は、画素部 10 と、走査線駆動回路 11 と、信号線駆動回路 12 と、各々が平行又は略平行に配設され、且つ走査線駆動回路 11 によって電位が制御される m 本の走査線 13 と、各々が平行又は略平行に配設され、且つ信号線駆動回路 12 によって電位が制御される、n 本の信号線 14 と、を有する。さらに、画素部 10 は、3 つの領域 (領域 101～領域 103) に分割され、領域毎にマトリクス状に配設された複数の画素を有する。なお、各走査線 13 は、画素部 10 において m 行 n 列に配設された複数の画素のうち、いずれかの行に配設された n 個の画素に電氣的に接続される。また、各信号線 14 は、m 行 n 列に配設された複数の画素のうち、いずれかの列に配設された m 個の画素に電氣的に接続される。

40

【0017】

図 1 (B) は、図 1 (A) に示す液晶表示装置が有する画素 15 の回路図の一例を示す図である。図 1 (B) に示す画素 15 は、ゲートが走査線 13 に電氣的に接続され、ソース及びドレインの一方が信号線 14 に電氣的に接続されたトランジスタ 16 と、一方の電極がトランジスタ 16 のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線 (容量線ともいう) に電氣的に接続された容量素子 17 と、一方の電極 (画素電極ともいう) がトランジスタ 16 のソース及びドレインの他方及び容量素子 17 の一方の電極に電氣的に接続され、他方の電極 (対向電極ともいう) が対向電位を供

50

給する配線に電氣的に接続された液晶素子 18 と、を有する。なお、トランジスタ 16 は、 n チャネル型のトランジスタである。また、容量電位と対向電位を同一の電位とすることが可能である。

【0018】

< 走査線駆動回路 11 の構成例 >

図 2 (A) は、図 1 (A) に示す液晶表示装置が有する走査線駆動回路 11 の構成例を示す図である。図 2 (A) に示す走査線駆動回路 11 は、第 1 の走査線駆動回路用クロック信号 (GCK1) を供給する配線乃至第 4 の走査線駆動回路用クロック信号 (GCK4) を供給する配線と、第 1 のパルス幅制御信号 (PWC1) を供給する配線乃至第 6 のパルス幅制御信号 (PWC6) を供給する配線と、1 行目に配設された走査線 13 に電氣的に接続された第 1 のパルス出力回路 20_1、乃至、 m 行目に配設された走査線 13 に電氣的に接続された第 m のパルス出力回路 20_m と、を有する。なお、ここでは、第 1 のパルス出力回路 20_1 ~ 第 k のパルス出力回路 20_k (k は、 $m/2$ 未満の 4 の倍数) が、領域 101 に配設された走査線 13 に電氣的に接続され、第 ($k+1$) のパルス出力回路 20_{k+1} ~ 第 $2k$ のパルス出力回路 20_{2k} が、領域 102 に配設された走査線 13 に電氣的に接続され、第 ($2k+1$) のパルス出力回路 20_{2k+1} ~ 第 m のパルス出力回路 20_m が領域 103 に配設された走査線 13 に電氣的に接続されることとする。また、第 1 のパルス出力回路 20_1 乃至第 m のパルス出力回路 20_m は、第 1 のパルス出力回路 20_1 に入力される走査線駆動回路用スタートパルス (GSP) をきっかけとしてシフト期間毎にシフトパルスを順次シフトする機能を有する。さらに、第 1 のパルス出力回路 20_1 乃至第 m のパルス出力回路 20_m において複数のシフトパルスのシフトを並行して行うことが可能である。すなわち、第 1 のパルス出力回路 20_1 乃至第 m のパルス出力回路 20_m においてシフトパルスのシフトが行われている期間内であっても、第 1 のパルス出力回路 20_1 に走査線駆動回路用スタートパルス (GSP) を入力することが可能である。

【0019】

図 2 (B) は、上記信号の具体的な波形の一例を示す図である。図 2 (B) に示す第 1 の走査線駆動回路用クロック信号 (GCK1) は、周期的にハイレベルの電位 (高電源電位 (Vdd)) とロウレベルの電位 (低電源電位 (Vss)) を繰り返す、デューティ比が $1/4$ の信号である。また、第 2 の走査線駆動回路用クロック信号 (GCK2) は、第 1 の走査線駆動回路用クロック信号 (GCK1) から $1/4$ 周期位相がずれた信号であり、第 3 の走査線駆動回路用クロック信号 (GCK3) は、第 1 の走査線駆動回路用クロック信号 (GCK1) から $1/2$ 周期位相がずれた信号であり、第 4 の走査線駆動回路用クロック信号 (GCK4) は、第 1 の走査線駆動回路用クロック信号 (GCK1) から $3/4$ 周期位相がずれた信号である。第 1 のパルス幅制御信号 (PWC1) は、周期的にハイレベルの電位 (高電源電位 (Vdd)) とロウレベルの電位 (低電源電位 (Vss)) を繰り返す、デューティ比が $1/3$ の信号である。また、第 2 のパルス幅制御信号 (PWC2) は、第 1 のパルス幅制御信号 (PWC1) から $1/6$ 周期位相がずれた信号であり、第 3 のパルス幅制御信号 (PWC3) は、第 1 のパルス幅制御信号 (PWC1) から $1/3$ 周期位相がずれた信号であり、第 4 のパルス幅制御信号 (PWC4) は、第 1 のパルス幅制御信号 (PWC1) から $1/2$ 周期位相がずれた信号であり、第 5 のパルス幅制御信号 (PWC5) は、第 1 のパルス幅制御信号 (PWC1) から $2/3$ 周期位相がずれた信号であり、第 6 のパルス幅制御信号 (PWC6) は、第 1 のパルス幅制御信号 (PWC1) から $5/6$ 周期位相がずれた信号である。なお、ここでは、第 1 の走査線駆動回路用クロック信号 (GCK1) 乃至第 4 の走査線駆動回路用クロック信号 (GCK4) のパルス幅と第 1 のパルス幅制御信号 (PWC1) 乃至第 6 のパルス幅制御信号 (PWC6) のパルス幅の比は、 $3:2$ とする。

【0020】

上述した液晶表示装置においては、第 1 のパルス出力回路 20_1 乃至第 m のパルス出力回路 20_m として、同一の構成を有する回路を適用することができる。ただし、パル

10

20

30

40

50

ス出力回路が有する複数の端子の電氣的な接続関係は、パルス出力回路毎に異なる。具体的な接続関係について図2(A)、(C)を参照して説明する。

【0021】

第1のパルス出力回路20__1乃至第mのパルス出力回路20__mのそれぞれは、端子21～端子27を有する。なお、端子21～端子24及び端子26は入力端子であり、端子25及び端子27は出力端子である。

【0022】

まず、端子21について述べる。第1のパルス出力回路20__1の端子21は、走査線駆動回路用スタートパルス(GSP)を供給する配線に電氣的に接続され、第2のパルス出力回路20__2～第mのパルス出力回路20__mの端子21は、前段のパルス出力回路の端子27に電氣的に接続される。

10

【0023】

次いで、端子22について述べる。第(4a-3)のパルス出力回路(aは、m/4以下の自然数)の端子22は、第1の走査線駆動回路用クロック信号(GCK1)を供給する配線に電氣的に接続され、第(4a-2)のパルス出力回路の端子22は、第2の走査線駆動回路用クロック信号(GCK2)を供給する配線に電氣的に接続され、第(4a-1)のパルス出力回路の端子22は、第3の走査線駆動回路用クロック信号(GCK3)を供給する配線に電氣的に接続され、第4aのパルス出力回路の端子22は、第4の走査線駆動回路用クロック信号(GCK4)を供給する配線に電氣的に接続される。

20

【0024】

次いで、端子23について述べる。第(4a-3)のパルス出力回路の端子23は、第2の走査線駆動回路用クロック信号(GCK2)を供給する配線に電氣的に接続され、第(4a-2)のパルス出力回路の端子23は、第3の走査線駆動回路用クロック信号(GCK3)を供給する配線に電氣的に接続され、第(4a-1)のパルス出力回路の端子23は、第4の走査線駆動回路用クロック信号(GCK4)を供給する配線に電氣的に接続され、第4aのパルス出力回路の端子23は、第1の走査線駆動回路用クロック信号(GCK1)を供給する配線に電氣的に接続される。

【0025】

次いで、端子24について述べる。第(2b-1)のパルス出力回路(bは、k/2以下の自然数)の端子24は、第1のパルス幅制御信号(PWC1)を供給する配線に電氣的に接続され、第2bのパルス出力回路の端子24は、第4のパルス幅制御信号(PWC4)を供給する配線に電氣的に接続され、第(2c-1)のパルス出力回路(cは、k/2+1以上k以下の自然数)の端子24は、第2のパルス幅制御信号(PWC2)を供給する配線に電氣的に接続され、第2cのパルス出力回路の端子24は、第5のパルス幅制御信号(PWC5)を供給する配線に電氣的に接続され、第(2d-1)のパルス出力回路(dは、k+1以上m/2以下の自然数)の端子24は、第3のパルス幅制御信号(PWC3)を供給する配線に電氣的に接続され、第2dのパルス出力回路の端子24は、第6のパルス幅制御信号(PWC6)を供給する配線に電氣的に接続される。

30

【0026】

次いで、端子25について述べる。第xのパルス出力回路(xは、m以下の自然数)の端子25は、x行目に配設された走査線13に電氣的に接続される。

40

【0027】

次いで、端子26について述べる。第yのパルス出力回路(yは、m-1以下の自然数)の端子26は、第(y+1)のパルス出力回路の端子27に電氣的に接続され、第mのパルス出力回路の端子26は、第mのパルス出力回路用ストップ信号(STP)を供給する配線に電氣的に接続される。なお、第mのパルス出力回路用ストップ信号(STP)は、仮に第(m+1)のパルス出力回路が設けられていれば、当該第(m+1)のパルス出力回路の端子27から出力される信号に相当する信号である。具体的には、これらの信号は、実際にダミー回路として第(m+1)のパルス出力回路を設けること、又は外部から当該信号を直接入力することなどによって第mのパルス出力回路に供給することができる

50

。

【 0 0 2 8 】

各パルス出力回路の端子 2 7 の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

【 0 0 2 9 】

< パルス出力回路の構成例 >

図 3 (A) は、図 2 (A)、(C) に示すパルス出力回路の構成例を示す図である。図 3 (A) に示すパルス出力回路は、トランジスタ 3 1 乃至トランジスタ 3 9 を有する。

【 0 0 3 0 】

トランジスタ 3 1 は、ソース及びドレインの一方が高電源電位 (V d d) を供給する配線 (以下、高電源電位線ともいう) に電氣的に接続され、ゲートが端子 2 1 に電氣的に接続される。

10

【 0 0 3 1 】

トランジスタ 3 2 は、ソース及びドレインの一方が低電源電位 (V s s) を供給する配線 (以下、低電源電位線ともいう) に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 1 のソース及びドレインの他方に電氣的に接続される。

【 0 0 3 2 】

トランジスタ 3 3 は、ソース及びドレインの一方が端子 2 2 に電氣的に接続され、ソース及びドレインの他方が端子 2 7 に電氣的に接続され、ゲートがトランジスタ 3 1 のソース及びドレインの他方並びにトランジスタ 3 2 のソース及びドレインの他方に電氣的に接続される。

20

【 0 0 3 3 】

トランジスタ 3 4 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子 2 7 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲートに電氣的に接続される。

【 0 0 3 4 】

トランジスタ 3 5 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート及びトランジスタ 3 4 のゲートに電氣的に接続され、ゲートが端子 2 1 に電氣的に接続される。

【 0 0 3 5 】

30

トランジスタ 3 6 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、並びにトランジスタ 3 5 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 6 に電氣的に接続される。なお、トランジスタ 3 6 のソース及びドレインの一方が、低電源電位 (V s s) よりも高電位であり且つ高電源電位 (V d d) よりも低電位である電源電位 (V c c) を供給する配線に電氣的に接続される構成とすることもできる。

【 0 0 3 6 】

トランジスタ 3 7 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、並びにトランジスタ 3 6 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 3 に電氣的に接続される。なお、トランジスタ 3 7 のソース及びドレインの一方が、電源電位 (V c c) を供給する配線に電氣的に接続される構成とすることもできる。

40

【 0 0 3 7 】

トランジスタ 3 8 は、ソース及びドレインの一方が端子 2 4 に電氣的に接続され、ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、並びにトランジスタ 3 3 のゲートに電氣的に接続される。

【 0 0 3 8 】

トランジスタ 3 9 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、

50

ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、並びにトランジスタ 3 7 のソース及びドレインの他方に電氣的に接続される。

【 0 0 3 9 】

なお、以下においては、トランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、トランジスタ 3 3 のゲート、並びにトランジスタ 3 8 のゲートが電氣的に接続するノードをノード A とし、トランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、トランジスタ 3 7 のソース及びドレインの他方、並びにトランジスタ 3 9 のゲートが電氣的に接続するノードをノード B として説明する。

10

【 0 0 4 0 】

< パルス出力回路の動作例 >

上述したパルス出力回路の動作例について図 3 (B) ~ (D) を参照して説明する。なお、ここでは、第 1 のパルス出力回路 2 0 _ 1 の端子 2 1 に入力される走査線駆動回路用スタートパルスの入力タイミングを制御することで、第 1 のパルス出力回路 2 0 _ 1、第 (k + 1) のパルス出力回路 2 0 _ k + 1、及び第 (2 k + 1) のパルス出力回路 2 0 _ 2 k + 1 の端子 2 7 から同一タイミングでシフトパルスを入力する場合の動作例について説明する。具体的には、図 3 (B) には、走査線駆動回路用スタートパルス (G S P) が入力される際の第 1 のパルス出力回路 2 0 _ 1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (C) には、第 k のパルス出力回路 2 0 _ k からハイレベルの電位が入力される際の第 (k + 1) のパルス出力回路 2 0 _ k + 1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (D) には、第 2 k のパルス出力回路 2 0 _ 2 k からハイレベルの電位が入力される際の第 (2 k + 1) のパルス出力回路 2 0 _ 2 k + 1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示している。なお、図 3 (B) ~ (D) では、各端子に入力される信号を括弧書きで付記している。また、それぞれの後段に配設されるパルス出力回路 (第 2 のパルス出力回路 2 0 _ 2、第 (k + 2) のパルス出力回路 2 0 _ k + 2、第 (2 k + 2) のパルス出力回路 2 0 _ 2 k + 2) の端子 2 5 から出力される信号 (G o u t 2、G o u t k + 2、G o u t 2 k + 2) 及び端子 2 7 の出力信号 (S R o u t 2 = 第 1 のパルス出力回路 2 0 _ 1 の端子 2 6 の入力信号、S R o u t k + 2 = 第 (k + 1) のパルス出力回路 2 0 _ k + 1 の端子 2 6 の入力信号、S R o u t 2 k + 2 = 第 (2 k + 1) のパルス出力回路 2 0 _ 2 k + 1 の端子 2 6 の入力信号) も付記している。なお、図中において、G o u t は、パルス出力回路の走査線に対する出力信号を表し、S R o u t は、当該パルス出力回路の、後段のパルス出力回路に対する出力信号を表している。

20

30

【 0 0 4 1 】

まず、図 3 (B) を参照して、第 1 のパルス出力回路 2 0 _ 1 に走査線駆動回路用スタートパルスが入力される場合について説明する。

【 0 0 4 2 】

期間 t 1 において、端子 2 1 にハイレベルの電位 (高電源電位 (V d d)) が入力される。これにより、トランジスタ 3 1、3 5 がオン状態となる。そのため、ノード A の電位がハイレベルの電位 (高電源電位 (V d d)) からトランジスタ 3 1 のしきい値電圧分下降した電位) に上昇し、且つノード B の電位が低電源電位 (V s s) に下降する。これに付随して、トランジスタ 3 3、3 8 がオン状態となり、トランジスタ 3 2、3 4、3 9 がオフ状態となる。以上により、期間 t 1 において、端子 2 7 から出力される信号は、端子 2 2 に入力される信号となり、端子 2 5 から出力される信号は、端子 2 4 に入力される信号となる。ここで、期間 t 1 において、端子 2 2 及び端子 2 4 に入力される信号は、共にロウレベルの電位 (低電源電位 (V s s)) である。そのため、期間 t 1 において、第 1 のパルス出力回路 2 0 _ 1 は、第 2 のパルス出力回路 2 0 _ 2 の端子 2 1、及び画素部において 1 行目に配設された走査線にロウレベルの電位 (低電源電位 (V s s)) を出力する

40

50

。

【 0 0 4 3 】

期間 t_2 において、各端子に入力される信号は期間 t_1 から変化しない。そのため、端子 2 5 及び端子 2 7 から出力される信号も変化せず、共にロウレベルの電位（低電源電位（ V_{ss} ））を出力する。

【 0 0 4 4 】

期間 t_3 において、端子 2 4 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。なお、ノード A の電位（トランジスタ 3 1 のソースの電位）は、期間 t_1 においてハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 3 1 のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ 3 1 はオフ状態となっている。この時、端子 2 4 にハイレベルの電位（高電源電位（ V_{dd} ））が入力されることで、トランジスタ 3 8 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 3 8 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 2 5 から出力される信号が端子 2 4 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_3 において、第 1 のパルス出力回路 2 0 __ 1 は、画素部において 1 行目に配設された走査線にハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号）を出力する。

【 0 0 4 5 】

期間 t_4 において、端子 2 2 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 2 7 から出力される信号が端子 2 2 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_4 において、端子 2 7 からは、端子 2 2 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））が出力される。すなわち、第 1 のパルス出力回路 2 0 __ 1 は、第 2 のパルス出力回路 2 0 __ 2 の端子 2 1 にハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）を出力する。また、期間 t_4 において、端子 2 4 に入力される信号はハイレベルの電位（高電源電位（ V_{dd} ））を維持するため、第 1 のパルス出力回路 2 0 __ 1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号）のままである。なお、期間 t_4 における当該パルス出力回路の出力信号には直接関与しないが、端子 2 1 にロウレベルの電位（低電源電位（ V_{ss} ））が入力されるためトランジスタ 3 5 はオフ状態となる。

【 0 0 4 6 】

期間 t_5 において、端子 2 4 にロウレベルの電位（低電源電位（ V_{ss} ））が入力される。ここで、トランジスタ 3 8 はオン状態を維持する。そのため、期間 t_5 において、第 1 のパルス出力回路 2 0 __ 1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（ V_{ss} ））となる。

【 0 0 4 7 】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 2 5 及び端子 2 7 から出力される信号も変化せず、端子 2 5 からはロウレベルの電位（低電源電位（ V_{ss} ））が出力され、端子 2 7 からはハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）が出力される。

【 0 0 4 8 】

期間 t_7 において、端子 2 3 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 3 7 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 3 7 のしきい値電圧分下降した電位）に上昇する。つまり、トランジスタ 3 2、3 4、3 9 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 3 3、3 8 がオフ状態となる。以上により、期間 t_7 において、端子 2 5 及び端子 2 7 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 1 のパルス出力回路 2 0 __ 1 は、第 2 のパルス出力回路 2 0 __

10

20

30

40

50

2の端子21、及び画素部において1行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

【0049】

次いで、図3（C）を参照して、第（ $k+1$ ）のパルス出力回路20__ $k+1$ の端子21に第 k のパルス出力回路20__ k からシフトパルスが入力される場合について説明する。

【0050】

期間 t_1 及び期間 t_2 において、第（ $k+1$ ）のパルス出力回路20__ $k+1$ の動作は、上述した第1のパルス出力回路20__1と同様である。そのため、ここでは前述の説明を援用することとする。

【0051】

期間 t_3 において、各端子に入力される信号は期間 t_2 から変化しない。そのため、端子25及び端子27から出力される信号も変化せず、共にロウレベルの電位（低電源電位（ V_{ss} ））を出力する。

【0052】

期間 t_4 において、端子22及び端子24にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。なお、ノードAの電位（トランジスタ31のソースの電位）は、期間 t_1 においてハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ31のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ31は、期間 t_1 においてオフ状態となっている。ここで、端子22及び端子24にハイレベルの電位（高電源電位（ V_{dd} ））が入力されることで、トランジスタ33のソースとゲート及びトランジスタ38のソースとゲートの容量結合によって、ノードAの電位（トランジスタ33、38のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子25及び端子27から出力される信号が端子22及び端子24に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_4 において、第（ $k+1$ ）のパルス出力回路20__ $k+1$ は、画素部において（ $k+1$ ）行目に配設された走査線及び第（ $k+2$ ）のパルス出力回路20__ $k+2$ の端子21にハイレベルの電位（高電源電位（ V_{dd} ））＝選択信号、シフトパルス）を出力する。

【0053】

期間 t_5 において、各端子に入力される信号は期間 t_4 から変化しない。そのため、端子25及び端子27から出力される信号も変化せず、ハイレベルの電位（高電源電位（ V_{dd} ））＝選択信号、シフトパルス）を出力する。

【0054】

期間 t_6 において、端子24にロウレベルの電位（低電源電位（ V_{ss} ））が入力される。ここで、トランジスタ38はオン状態を維持する。そのため、期間 t_6 において、第（ $k+1$ ）のパルス出力回路20__ $k+1$ から画素部において（ $k+1$ ）行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（ V_{ss} ））となる。

【0055】

期間 t_7 において、端子23にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ37がオン状態となる。そのため、ノードBの電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ37のしきい値電圧分下降した電位）に上昇する。つまり、トランジスタ32、34、39がオン状態となる。また、これに付随して、ノードAの電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ33、38がオフ状態となる。以上により、期間 t_7 において、端子25及び端子27から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第（ $k+1$ ）のパルス出力回路20__ $k+1$ は、第（ $k+2$ ）のパルス出力回路20__ $k+2$ の端子21、及び画素部において（ $k+1$ ）行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

10

20

30

40

50

【 0 0 5 6 】

次いで、図 3 (D) を参照して、第 ($2k + 1$) のパルス出力回路 $20_2k + 1$ の端子 21 に第 $2k$ のパルス出力回路 20_2k からシフトパルスが入力される場合について説明する。

【 0 0 5 7 】

期間 t_1 乃至期間 t_3 において、第 ($2k + 1$) のパルス出力回路 $20_2k + 1$ の動作は、上述した第 ($k + 1$) のパルス出力回路 $20_k + 1$ と同様である。そのため、ここでは前述の説明を援用することとする。

【 0 0 5 8 】

期間 t_4 において、端子 22 にハイレベルの電位 (高電源電位 (V_{dd})) が入力される。なお、ノード A の電位 (トランジスタ 31 のソースの電位) は、期間 t_1 においてハイレベルの電位 (高電源電位 (V_{dd})) からトランジスタ 31 のしきい値電圧分下降した電位) まで上昇している。そのため、トランジスタ 31 は、期間 t_1 においてオフ状態となっている。ここで、端子 22 にハイレベルの電位 (高電源電位 (V_{dd})) が入力されることで、トランジスタ 33 のソースとゲートの容量結合によって、ノード A の電位 (トランジスタ 33 のゲートの電位) がさらに上昇する (ブートストラップ動作) 。また、当該ブートストラップ動作を行うことによって、端子 27 から出力される信号が端子 22 に入力されるハイレベルの電位 (高電源電位 (V_{dd})) から下降することがない。そのため、期間 t_4 において、第 ($2k + 1$) のパルス出力回路 $20_2k + 1$ は、第 ($2k + 2$) のパルス出力回路 $20_2k + 2$ の端子 21 にハイレベルの電位 (高電源電位 (V_{dd}) = シフトパルス) を出力する。なお、期間 t_4 における当該パルス出力回路の出力信号には直接関与しないが、端子 21 にロウレベルの電位 (低電源電位 (V_{ss})) が入力されるためトランジスタ 35 はオフ状態となる。

【 0 0 5 9 】

期間 t_5 において、端子 24 にハイレベルの電位 (高電源電位 (V_{dd})) が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 25 から出力される信号が端子 24 に入力されるハイレベルの電位 (高電源電位 (V_{dd})) から下降することがない。そのため、期間 t_5 において、端子 25 からは、端子 24 に入力されるハイレベルの電位 (高電源電位 (V_{dd})) が出力される。すなわち、第 ($2k + 1$) のパルス出力回路 $20_2k + 1$ は、画素部において ($2k + 1$) 行目に配設された走査線にハイレベルの電位 (高電源電位 (V_{dd}) = 選択信号) を出力する。また、期間 t_5 において、端子 22 に入力される信号はハイレベルの電位 (高電源電位 (V_{dd})) を維持するため、第 ($2k + 1$) のパルス出力回路 $20_2k + 1$ から第 ($2k + 2$) のパルス出力回路 $20_2k + 2$ の端子 21 に対して出力される信号は、ハイレベルの電位 (高電源電位 (V_{dd}) = シフトパルス) のままである。

【 0 0 6 0 】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にハイレベルの電位 (高電源電位 (V_{dd}) = 選択信号、シフトパルス) を出力する。

【 0 0 6 1 】

期間 t_7 において、端子 23 にハイレベルの電位 (高電源電位 (V_{dd})) が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位 (高電源電位 (V_{dd})) からトランジスタ 37 のしきい値電圧分下降した電位) に上昇する。つまり、トランジスタ 32 、 34 、 39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位 (低電源電位 (V_{ss})) へと下降する。つまり、トランジスタ 33 、 38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位 (V_{ss}) となる。すなわち、期間 t_7 において、第 ($2k + 1$) のパルス出力回路 $20_2k + 1$ は、第 ($2k + 2$) のパルス出力回路 $20_2k + 2$ の端子 21 、及び画素部において ($2k + 1$) 行目に配設された走査線に低電源電位 (V_{ss}) を出力する。

【 0 0 6 2 】

図 3 (B) ~ (D) に示すように、第 1 のパルス出力回路 2 0 _ 1 乃至第 m のパルス出力回路 2 0 _ m では、走査線駆動回路用スタートパルス (G S P) がハイレベルの電位となるタイミングを制御することで、複数のシフトパルスのシフトを並行して行うことが可能である。具体的には、第 k のパルス出力回路 2 0 _ k の端子 2 7 からシフトパルスが出力されるタイミングと同じタイミングで再度走査線駆動回路用スタートパルス (G S P) をハイレベルの電位とすることによって、第 1 のパルス出力回路 2 0 _ 1 及び第 (k + 1) のパルス出力回路 2 0 _ k + 1 から同じタイミングでシフトパルスを出力させることが可能である。また、同様に走査線駆動回路用スタートパルス (G S P) を入力することによって、第 1 のパルス出力回路 2 0 _ 1、第 (k + 1) のパルス出力回路 2 0 _ k + 1、及び第 (2 k + 1) のパルス出力回路 2 0 _ 2 k + 1 から同じタイミングでシフトパルスを出力させることが可能である。

10

【 0 0 6 3 】

加えて、第 1 のパルス出力回路 2 0 _ 1、第 (k + 1) のパルス出力回路 2 0 _ k + 1、及び第 (2 k + 1) のパルス出力回路 2 0 _ 2 k + 1 は、上記の動作に並行して、それぞれ異なるタイミングで走査線に対する選択信号の供給を行うことが可能である。すなわち、上述した走査線駆動回路は、固有のシフト期間を有するシフトパルスを複数シフトし且つ同一タイミングにおいてシフトパルスが入力された複数のパルス出力回路がそれぞれ異なるタイミングで走査線に対して選択信号を供給することが可能である。

20

【 0 0 6 4 】

< 信号線駆動回路 1 2 の構成例 >

図 4 (A) は、図 1 (A) に示す液晶表示装置が有する信号線駆動回路 1 2 の構成例を示す図である。図 4 (A) に示す信号線駆動回路 1 2 は、第 1 の出力端子乃至第 n の出力端子を有するシフトレジスタ 1 2 0 と、画像信号 (D A T A) を供給する配線と、ソース及びドレインの一方が画像信号 (D A T A) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部において 1 列目に配設された信号線に電氣的に接続され、ゲートがシフトレジスタ 1 2 0 の第 1 の出力端子に電氣的に接続されたトランジスタ 1 2 1 _ 1、乃至、ソース及びドレインの一方が画像信号 (D A T A) を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部において n 列目に配設された信号線に電氣的に接続され、ゲートがシフトレジスタ 1 2 0 の第 n の出力端子に電氣的に接続されたトランジスタ 1 2 1 _ n と、を有する。なお、シフトレジスタ 1 2 0 は、信号線駆動回路用スタートパルス (S S P) をきっかけとしてシフト期間毎に順次第 1 の出力端子乃至第 n の出力端子からハイレベルの電位を出力する機能を有する。すなわち、トランジスタ 1 2 1 _ 1 乃至トランジスタ 1 2 1 _ n は、シフト期間毎に順次オン状態となる。

30

【 0 0 6 5 】

図 4 (B) は、画像信号 (D A T A) を供給する配線に供給される画像信号のタイミングを示す図である。図 4 (B) に示すように、画像信号 (D A T A) を供給する配線は、期間 t 4 において、1 行目に配設された画素用画像信号 (d a t a _ 1) を供給し、期間 t 5 において、(k + 1) 行目に配設された画素用画像信号 (d a t a _ k + 1) を供給し、期間 t 6 において、(2 k + 1) 行目に配設された画素用画像信号 (d a t a _ 2 k + 1) を供給し、期間 t 7 において、2 行目に配設された画素用画像信号 (d a t a _ 2) を供給する。以下、同様に画像信号 (D A T A) を供給する配線は、特定の行毎に配設された画素用画像信号を順次供給する。具体的には、s 行目 (s は、k 未満の自然数) に配設された画素用画像信号 → (k + s) 行目に配設された画素用画像信号 → (2 k + s) 行目に配設された画素用画像信号 → (s + 1) 行目に配設された画素用画像信号という順序で画像信号を供給する。上述した走査線駆動回路及び信号線駆動回路が当該動作を行うことにより、走査線駆動回路が有するパルス出力回路におけるシフト期間毎に画素部に配設された 3 行の画素に対する画像信号の書き込みを行うことが可能である。

40

【 0 0 6 6 】

< バックライトの構成例 >

50

図5は、図1(A)に示す液晶表示装置の画素部10の後方に設けられるバックライトの構成例を示す図である。図5に示すバックライトは、赤(R)、緑(G)、青(B)のいずれか一を呈する光を発光する3種の光源を備えたバックライトユニット40を複数有する。なお、複数のバックライトユニット40は、マトリクス状に配設されており、且つ特定の領域毎に点灯を制御することが可能である。ここでは、 m 行 n 列に配設された複数の画素15に対するバックライトとして、少なくとも t 行 n 列毎(ここでは、 t は、 $k/4$ とする)にバックライトユニット群が設けられ、該バックライトユニット群の点灯を独立に制御できることとする。すなわち、当該バックライトが、少なくとも1行目乃至 t 行目用バックライトユニット群 $\sim (2k+3t+1)$ 行目乃至 m 行目用バックライトユニット群を有し、それぞれのバックライトユニット群の点灯を独立に制御できることとする。

10

【0067】

< 液晶表示装置の動作例 >

図6は、上述した液晶表示装置において、バックライトが有する1行目乃至 t 行目用バックライトユニット群 $\sim (2k+3t+1)$ 行目乃至 m 行目用バックライトユニット群において点灯される光のタイミング、及び画素部10において1行目に配設された n 個の画素乃至 m 行目に配設された n 個の画素に対する画像信号の走査が行われるタイミングを示す図である。具体的には、図6において、1乃至 m は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。図6に示すように当該液晶表示装置では、1行目に配設された走査線 $\sim m$ 行目に配設された走査線に対して順次選択信号を供給するのではなく、 k 行分隔離されて配設された走査線に対して順次選択信号を供給する(1行目に配設された走査線 $\rightarrow (k+1)$ 行目に配設された走査線 $\rightarrow (2k+1)$ 行目に配設された走査線 $\rightarrow 2$ 行目に配設された走査線という順序で選択信号を供給する)ことが可能である。そのため、期間 T_1 において、1行目に配設された n 個の画素から t 行目に配設された n 個の画素を順次選択し、且つ $(k+1)$ 行目に配設された n 個の画素から $(k+t)$ 行目に配設された n 個の画素を順次選択し、且つ $(2k+1)$ 行目に配設された n 個の画素から $(2k+t)$ 行目に配設された n 個の画素15を順次選択することで、各画素に画像信号を入力することが可能である。

20

【0068】

また、当該液晶表示装置では、特定の領域において画像信号の書き込みが行われる合間の期間において、バックライトの点灯を行うことが可能である。すなわち、当該液晶表示装置では、画素部全面において、赤(R)の画像信号(バックライトが赤(R)を点灯する際の透過率を決める画像信号)の書き込み $\rightarrow$ 赤(R)の点灯 $\rightarrow$ 緑(G)の画像信号の書き込み $\rightarrow$ 緑(G)の点灯 $\rightarrow$ 青(B)の画像信号の書き込み $\rightarrow$ 青(B)の点灯という動作を順次行うのではなく、画素部の特定の領域毎に当該動作を順次行うことが可能である。

30

【0069】

なお、図6に示すようにバックライトユニット群を点灯する場合、隣接するバックライトユニット群が異なる色を呈する光を発光することがない。具体的には、期間 T_1 において画像信号の書き込みが行われる領域に対して当該書き込み後にバックライト群を点灯する場合、隣接するバックライトユニット群が異なる色を呈する光を発光することがない。例えば、期間 T_1 において、 $(k+1)$ 行目に配設された n 個の画素から $(k+t)$ 行目に配設された n 個の画素に対して緑(G)の画像信号の入力が終了した後に $(k+1)$ 行目乃至 $(k+t)$ 行目用バックライトユニット群において緑(G)を点灯させる際に、 $(3t+1)$ 行目乃至 k 行目用バックライトユニット群及び $(k+t+1)$ 行目乃至 $(k+2t)$ 行目用バックライトユニット群においては、緑(G)が点灯される又は点灯自体が行われない(赤(R)、青(B)が点灯されることがない)。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

40

【0070】

< 変形例 >

上述した構成を有する液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異

50

なる点を有する液晶表示装置も本発明には含まれる。

【0071】

例えば、上述した液晶表示装置においては、画素部10を3つの領域に分割し、該3つの領域に並行して画像信号を供給する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部10を3以外の複数の領域に分割し、該複数の領域に並行して画像信号を供給する構成とすることが可能である。なお、当該領域数を変化させる場合、当該領域数に応じて走査線駆動回路用クロック信号及びパルス幅制御信号を設定する必要があることを付記する。

【0072】

また、上述した液晶表示装置においては、バックライトユニットが赤(R)、緑(G)、青(B)のいずれかを呈する光を発光する3種の光源を有する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光の光源を組み合わせるバックライトユニットを構成することが可能である。例えば、赤(R)、緑(G)、青(B)、白(W)の4種、赤(R)、緑(G)、青(B)、黄(Y)の4種、赤(R)、緑(G)、青(B)、シアン(C)の4種、若しくは赤(R)、緑(G)、青(B)、マゼンタ(M)の4種の光源を組み合わせるバックライトユニットを構成すること、又はシアン(C)、マゼンタ(M)、イエロー(Y)の3種の光源を組み合わせるバックライトユニットを構成することなどが可能である。さらに、4種の光源を組み合わせるバックライトユニットを構成する場合、画素部を4つの領域に分割し、該4つの領域に並行してそれぞれの色用の画像信号を供給することも可能である。また、淡色の赤(R)、緑(G)、及び青(B)、並びに濃色の赤(R)、緑(G)、及び青(B)の6種、又は赤(R)、緑(G)、青(B)、シアン(C)、マゼンタ(M)、イエロー(Y)の6種の光源を組み合わせるバックライトユニットを構成することなども可能である。さらに、6種の光源を組み合わせるバックライトユニットを構成する場合、画素部を6つの領域に分割し、該6つの領域に並行してそれぞれの色用の画像信号を供給することも可能である。このように、より多種の色を呈する光を組み合わせる画像を形成することで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0073】

また、上述した液晶表示装置においては、青(B)を呈する光の光源の点灯後にバックライトユニット群が有する全ての光源が消灯する期間を設ける構成(図6参照)について示したが、当該期間を設けずに連続的に赤(R)を呈する光の光源の点灯、緑(G)を呈する光の光源の点灯、青(B)を呈する光の光源の点灯を繰り返す構成(図10参照)とすることが可能である。

【0074】

また、上述した液晶表示装置においては、赤(R)を呈する光の光源の点灯、緑(G)を呈する光の光源の点灯、及び青(B)を呈する光の光源のそれぞれが1回点灯することで、画素部において1枚の画像を形成する構成(図6参照)について示したが、複数の光源の少なくとも一を2回以上点灯させることで、画素部において1枚の画像を形成する構成とすることも可能である。例えば、視感度の高い緑(G)を呈する光の光源を2回点灯させることで、画素部において一枚の画像を形成する構成(図11参照)とすることが可能である。この場合、視感度の高い緑(G)を呈する光の光源の点灯周波数を向上させることができるため、フリッカーの発生を抑制することが可能である。

【0075】

また、上述した液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成(図1(B)参照)について示したが、当該容量素子を設けない構成とすることも可能である。

【0076】

また、パルス出力回路として、図3(A)に示したパルス出力回路に、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジス

10

20

30

40

50

タ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、トランジスタ 3 7 のソース及びドレインの他方、並びにトランジスタ 3 9 のゲートに電氣的に接続され、ゲートがリセット端子 (Reset) に電氣的に接続されたトランジスタ 5 0 を付加した構成 (図 7 (A) 参照) を適用することが可能である。なお、当該リセット端子には、画素部において赤 (R) の画像信号の書き込み ~ 青 (B) のバックライトの点灯が行われた後の期間においてハイレベルの電位が入力され、その他の期間においてはロウレベルの電位が入力される。すなわち、トランジスタ 5 0 は、当該期間においてオン状態となるトランジスタである。これにより、当該期間において、各ノードの電位を初期化することができるので、誤動作を防止することが可能となる。

10

【 0 0 7 7 】

また、パルス出力回路として、図 3 (A) に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ 3 1 のソース及びドレインの他方並びにトランジスタ 3 2 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 3 のゲート及びトランジスタ 3 8 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 5 1 を付加した構成 (図 7 (B) 参照) を適用することも可能である。なお、トランジスタ 5 1 は、ノード A の電位がハイレベルの電位となる期間 (図 3 (B) ~ (D) に示した期間 t_1 ~ 期間 t_6) においてオフ状態となる。そのため、トランジスタ 5 1 を付加した構成とすることで、期間 t_1 ~ t_6 において、トランジスタ 3 3 のゲート及びトランジスタ 3 8 のゲートと、トランジスタ 3 1 のソース及びドレインの他方並びにトランジスタ 3 2 のソース及びドレインの他方との電氣的な接続を遮断することが可能となる。これにより、期間 t_1 ~ 期間 t_6 に含まれる期間において、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。

20

【 0 0 7 8 】

また、パルス出力回路として、図 7 (B) に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ 3 3 のゲート並びにトランジスタ 5 1 のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 8 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 5 2 を付加した構成 (図 8 (A) 参照) を適用することも可能である。なお、上述したようにトランジスタ 5 2 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。特に、当該パルス出力回路がトランジスタ 3 3 のソースとゲートとの容量結合のみによってノード A の電位を上昇させる場合 (図 3 (D) 参照) 、当該負荷の低減効果が大きい。

30

【 0 0 7 9 】

また、パルス出力回路として、図 8 (A) に示したパルス出力回路からトランジスタ 5 1 を削除し、且つソース及びドレインの一方がトランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、並びにトランジスタ 5 2 のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 3 のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ 5 3 を付加した構成 (図 8 (B) 参照) を適用することも可能である。なお、上述したようにトランジスタ 5 3 を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。また、当該パルス出力回路に生じる不正パルスが、トランジスタ 3 3 、 3 8 のスイッチングに与える影響を軽減することが可能である。

40

【 0 0 8 0 】

また、上述した液晶表示装置においては、バックライトユニットとして赤 (R) 、緑 (G) 、青 (B) のいずれか一を呈する光の 3 種の光源を横に直線的に並べる構成 (図 5 参照) について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該 3 種の光源を 3 角配置しても良いし、当該 3 種の光源を縦に直線的に並べてもよ

50

いし、赤（Ｒ）のバックライトユニット、緑（Ｇ）のバックライトユニット、及び青（Ｂ）のバックライトユニットを別途設けても良い。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成（図５参照）について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。

【００８１】

< 液晶表示装置を搭載した各種電子機器について >

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図９を参照して説明する。

【００８２】

図９（Ａ）は、ノート型のパーソナルコンピュータを示す図であり、本体２２０１、筐体２２０２、表示部２２０３、キーボード２２０４などによって構成されている。

【００８３】

図９（Ｂ）は、携帯情報端末（ＰＤＡ）を示す図であり、本体２２１１には表示部２２１３と、外部インターフェイス２２１５と、操作ボタン２２１４等が設けられている。また、操作用の付属品としてスタイラス２２１２がある。

【００８４】

図９（Ｃ）は、電子書籍２２２０を示す図である。電子書籍２２２０は、筐体２２２１および筐体２２２３の２つの筐体で構成されている。筐体２２２１および筐体２２２３は、軸部２２３７により一体とされており、該軸部２２３７を軸として開閉動作を行うことができる。このような構成により、電子書籍２２２０は、紙の書籍のように用いることが可能である。

【００８５】

筐体２２２１には表示部２２２５が組み込まれ、筐体２２２３には表示部２２２７が組み込まれている。表示部２２２５および表示部２２２７は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図９（Ｃ）では表示部２２２５）に文章を表示し、左側の表示部（図９（Ｃ）では表示部２２２７）に画像を表示することができる。

【００８６】

また、図９（Ｃ）では、筐体２２２１に操作部などを備えた例を示している。例えば、筐体２２２１は、電源２２３１、操作キー２２３３、スピーカー２２３５などを備えている。操作キー２２３３により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、ＵＳＢ端子、またはＡＣアダプタおよびＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍２２２０は、電子辞書としての機能を持たせた構成としてもよい。

【００８７】

また、電子書籍２２２０は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【００８８】

図９（Ｄ）は、携帯電話機を示す図である。当該携帯電話機は、筐体２２４０および筐体２２４１の二つの筐体で構成されている。筐体２２４１は、表示パネル２２４２、スピーカー２２４３、マイクロフォン２２４４、ポインティングデバイス２２４６、カメラ用レンズ２２４７、外部接続端子２２４８などを備えている。また、筐体２２４０は、当該携帯電話機の充電を行う太陽電池セル２２４９、外部メモリスロット２２５０などを備えている。また、アンテナは筐体２２４１内部に内蔵されている。

【００８９】

表示パネル２２４２はタッチパネル機能を備えており、図９（Ｄ）には映像表示されて

10

20

30

40

50

いる複数の操作キー 2245 を点線で示している。なお、当該携帯電話は、太陽電池セル 2249 から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 IC チップ、小型記録装置などを内蔵した構成とすることもできる。

【0090】

表示パネル 2242 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2242 と同一面上にカメラ用レンズ 2247 を備えているため、テレビ電話が可能である。スピーカー 2243 およびマイクロフォン 2244 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2240 と筐体 2241 はスライドし、図 9 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

10

【0091】

外部接続端子 2248 は AC アダプタや USB ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2250 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0092】

図 9 (E) は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2261、表示部 (A) 2267、接眼部 2263、操作スイッチ 2264、表示部 (B) 2265、バッテリー 2266 などによって構成されている。

20

【0093】

図 9 (F) は、テレビジョン装置を示す図である。テレビジョン装置 2270 では、筐体 2271 に表示部 2273 が組み込まれている。表示部 2273 により、映像を表示することが可能である。なお、ここでは、スタンド 2275 により筐体 2271 を支持した構成を示している。

【0094】

テレビジョン装置 2270 の操作は、筐体 2271 が備える操作スイッチや、別体のリモコン操作機 2280 により行うことができる。リモコン操作機 2280 が備える操作キー 2279 により、チャンネルや音量の操作を行うことができ、表示部 2273 に表示される映像を操作することができる。また、リモコン操作機 2280 に、当該リモコン操作機 2280 から出力する情報を表示する表示部 2277 を設ける構成としてもよい。

30

【0095】

なお、テレビジョン装置 2270 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向 (送信者から受信者) または双方向 (送信者と受信者間、あるいは受信者間同士など) の情報通信を行うことが可能である。

【符号の説明】

【0096】

10	画素部
11	走査線駆動回路
12	信号線駆動回路
13	走査線
14	信号線
15	画素
16	トランジスタ
17	容量素子
18	液晶素子
20__1 ~ 20__m	パルス出力回路
21 ~ 27	端子

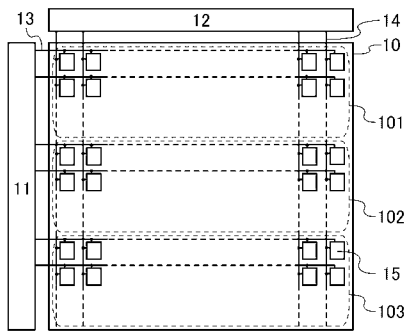
40

50

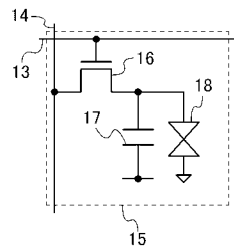
3 1 ~ 3 9	トランジスタ	
4 0	バックライトユニット	
5 0 ~ 5 3	トランジスタ	
1 0 1 ~ 1 0 3	領域	
1 2 0	シフトレジスタ	
1 2 1 __ 1 ~ 1 2 1 __ n	トランジスタ	
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	10
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	20
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	30
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	
2 2 6 5	表示部 (B)	
2 2 6 6	バッテリー	40
2 2 6 7	表示部 (A)	
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	
2 2 7 7	表示部	
2 2 7 9	操作キー	
2 2 8 0	リモコン操作機	

【図 1】

(A)

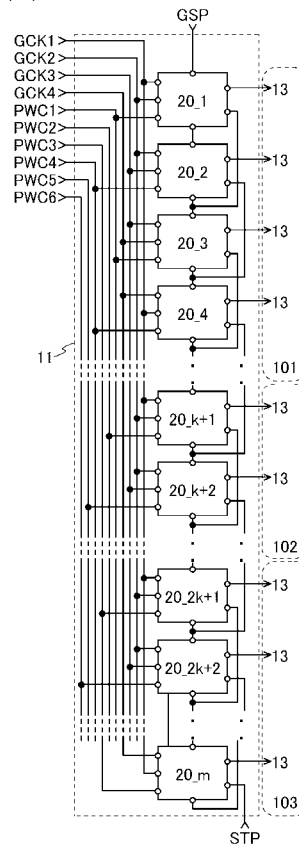


(B)

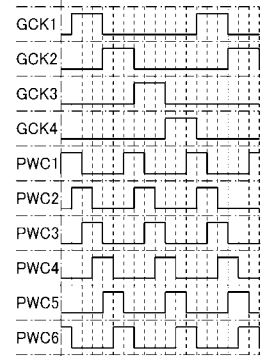


【図 2】

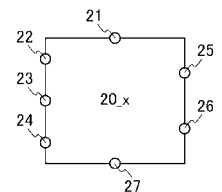
(A)



(B)

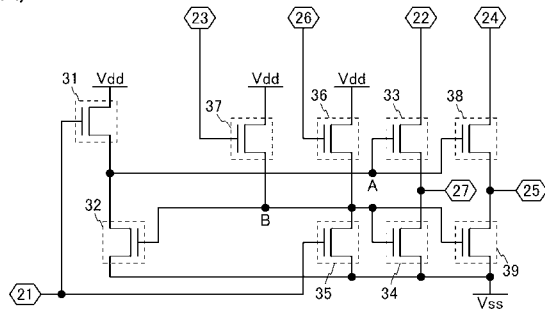


(C)

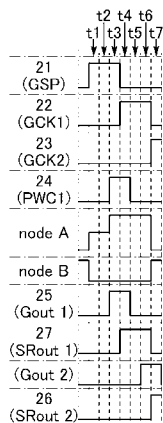


【図 3】

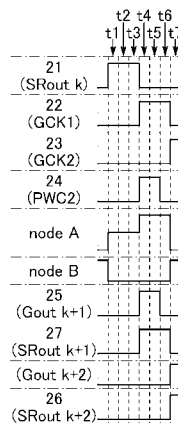
(A)



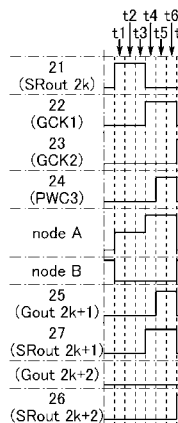
(B)



(C)

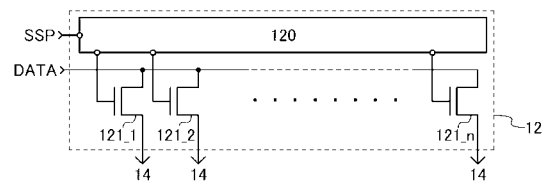


(D)

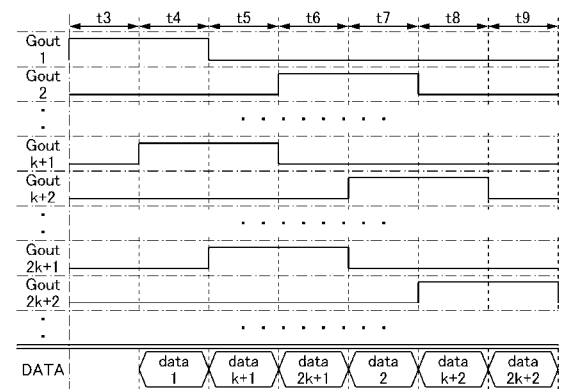


【図 4】

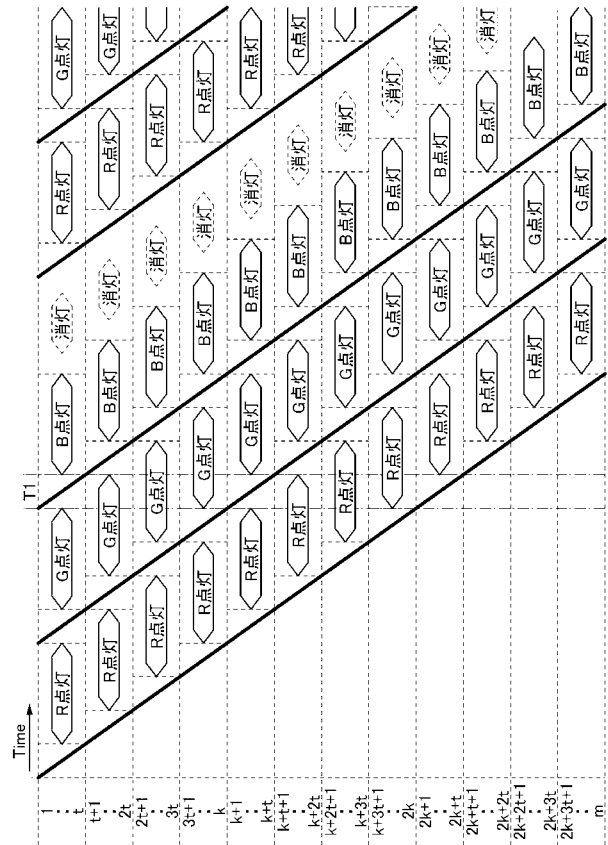
(A)



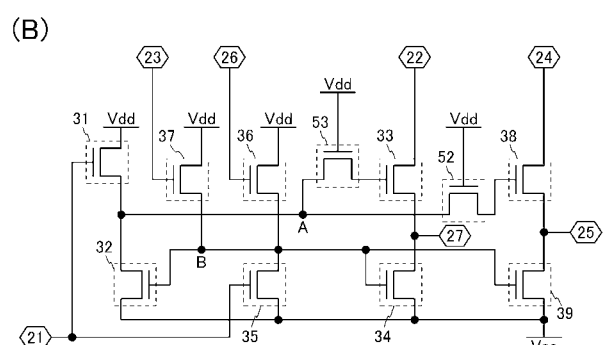
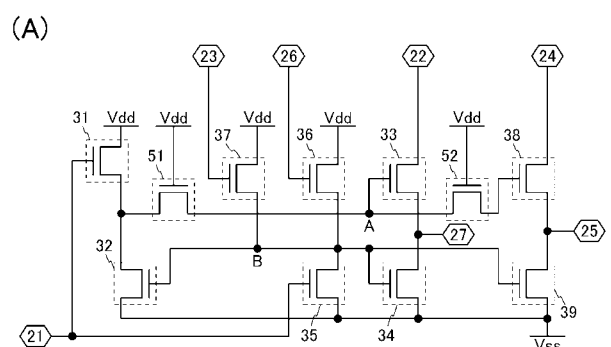
(B)



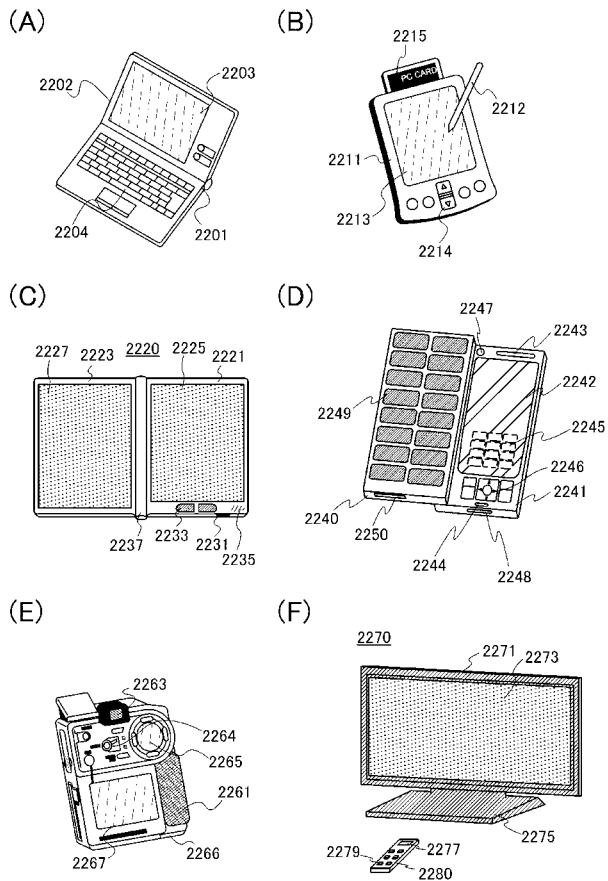
【 図 6 】



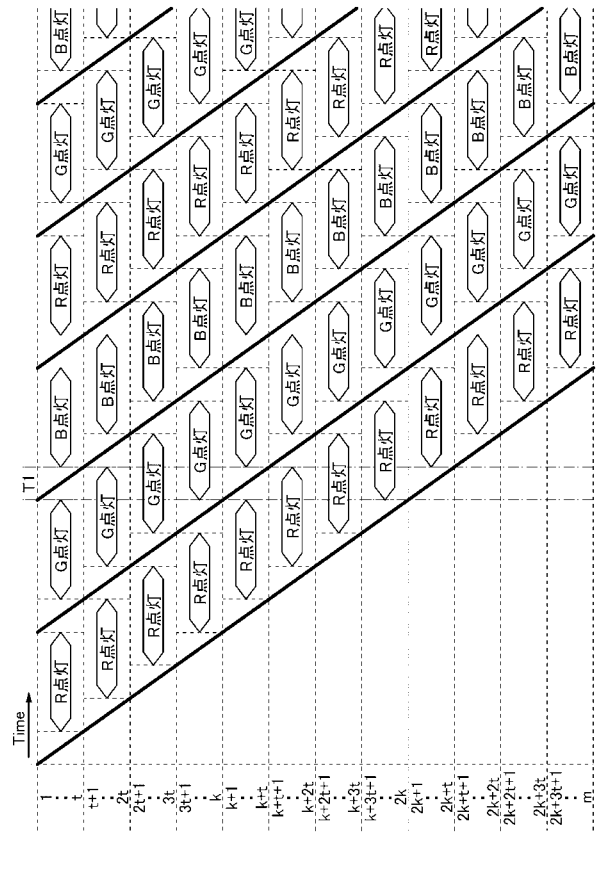
【 図 8 】



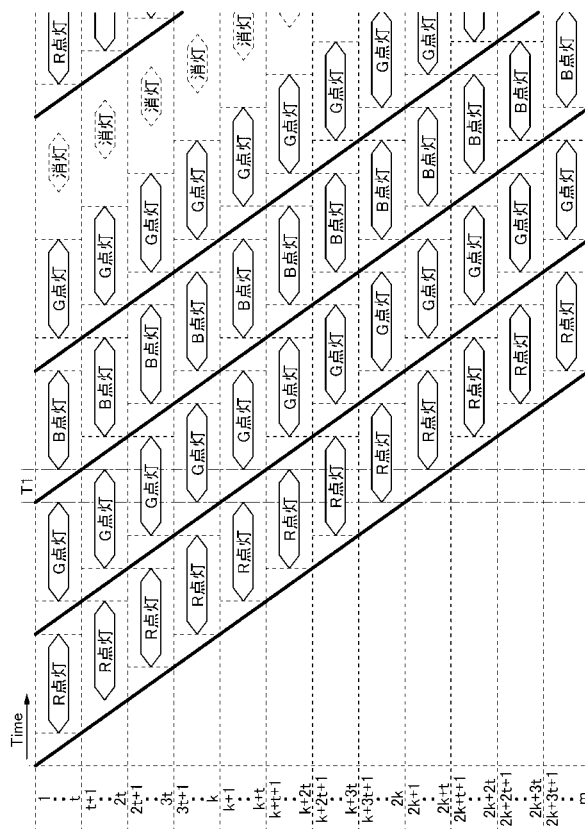
【 図 9 】



【 図 1 0 】



【 図 1 1 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 2 F 1/133 5 1 0	
	G 0 2 F 1/133 5 3 5	

F ターム(参考) 5C080 AA10 BB05 CC03 DD01 EE29 EE30 FF07 FF11 JJ02 JJ03
JJ04 JJ06 KK07 KK47

专利名称(译)	液晶显示器		
公开(公告)号	JP2012141569A5	公开(公告)日	2014-05-15
申请号	JP2011112130	申请日	2011-05-19
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	豊高耕平 三宅博之		
发明人	豊高 耕平 三宅 博之		
IPC分类号	G09G3/36 G09G3/20 G09G3/34 G02F1/133		
CPC分类号	G09G3/3677 G09G2310/021 G09G2310/0235		
FI分类号	G09G3/36 G09G3/20.642.D G09G3/34.J G09G3/20.622.D G09G3/20.622.Q G02F1/133.510 G02F1/133.535		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZC21 2H193/ZF22 2H193/ZF23 2H193/ZG03 2H193/ZG27 2H193/ZG28 2H193/ZG34 2H193/ZG43 2H193/ZQ06 2H193/ZQ11 2H193/ZQ14 2H193/ZQ16 5C006/AF69 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC06 5C006/EA01 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/EE29 5C080/EE30 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK07 5C080/KK47 5B074/AA10 5B074/CA01 5B074/EA01		
优先权	2010119070 2010-05-25 JP 2010181500 2010-08-16 JP 2010281575 2010-12-17 JP		
其他公开文献	JP2012141569A		

摘要(译)

本发明的一个目的是实现一种液晶显示装置，该液晶显示装置能够通过具有简单像素配置的场顺序方法同时执行图像信号的写入和显示。在具有简单像素配置的液晶显示装置中，在针对布置在特定行中的像素的图像信号的写入之后布置成与特定行分离的行中的像素的图像信号写道。因此，在液晶显示装置中，对于像素部分的每个特定区域顺序地执行图像信号的写入和背光的点亮，而不是在整个像素部分上顺序地写入图像信号和背光的点亮。有可能。因此，可以并行执行液晶显示装置中的图像信号的写入和背光的点亮。[选图]图6