

【特許請求の範囲】

【請求項 1】

異なる色を呈する複数の光源のそれぞれが点滅を繰り返し、且つ m 行 n 列 (m 、 n は、4 以上の自然数) に配設された複数の画素毎にそれぞれの色を呈する光の透過を制御することで画素部に画像を形成する液晶表示装置の駆動方法であって、

1 行目乃至 A 行目 (A は、 $m/2$ 以下の自然数) に配設された複数の画素に対して第 1 の色を呈する光の透過を制御するための画像信号を入力し且つ ($A+1$) 行目乃至 $2A$ 行目に配設された複数の画素に対して第 2 の色を呈する光の透過を制御するための画像信号を入力する期間内において、1 行目乃至 B 行目 (B は、 $A/2$ 以下の自然数) に配設された複数の画素に対して前記第 1 の色を呈する光の透過を制御するための画像信号が入力され且つ ($A+1$) 行目乃至 ($A+B$) 行目に配設された複数の画素に対して前記第 2 の色を呈する光の透過を制御するための画像信号が入力された後に、前記 1 行目乃至 B 行目に配設された複数の画素のそれぞれに対して第 1 の色を呈する光を照射し且つ前記 ($A+1$) 行目乃至 ($A+B$) 行目に配設された画素のそれぞれに対して第 2 の色を呈する光を照射し、

前記第 1 の色を呈する光及び前記第 2 の色を呈する光の一方は、前記異なる色を呈する複数の光源の少なくとも 2 つを点灯させることで形成される有彩色を呈する光であることを特徴とする液晶表示装置の駆動方法。

【請求項 2】

請求項 1 において、

前記有彩色を呈する光は、赤を呈する光、緑を呈する光、及び青を呈する光のいずれか 2 つを混色させることによって形成されることを特徴とする液晶表示装置の駆動方法。

【請求項 3】

請求項 1 又は請求項 2 において、

C 行目 (C は、 A 以下の自然数) に配設された複数の画素及び ($A+C$) 行目に配設された複数の画素に対する画像信号の入力が、異なる期間において行われることを特徴とする液晶表示装置の駆動方法。

【請求項 4】

請求項 1 又は請求項 2 において、

C 行目 (C は、 A 以下の自然数) に配設された複数の画素及び ($A+C$) 行目に配設された複数の画素に対する画像信号の入力が、同一期間において行われることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈する波長の光のみを透過するカラーフィルター (例えば、 R (赤)、 G (緑)、 B (青)) を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれが異なる色を呈する光を発光する複数の光源 (例えば、 R (赤)、 G (緑)、 B (青)) が設けられる。そして、当該異なる色を呈する複数の光源のそれぞれが点滅を繰り返し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に一画素の面積を分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に表示期間を時間分割することで所望の色を形成する方式である。

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、当該カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

【0004】

特許文献1では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の入力と、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-42405号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では色情報が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落することによって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化（劣化）すること（カラーブレイク、色割れともいう）がある。そこで、本発明の一態様は、フィールドシーケンシャル方式によって表示を行う液晶表示装置の画質の低下を抑制することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、異なる色を呈する複数の光源のそれぞれが点滅を繰り返し、且つ m 行 n 列（ m 、 n は、4以上の自然数）に配設された複数の画素毎にそれぞれの色を呈する光の透過を制御することで画素部に画像を形成する液晶表示装置の駆動方法であって、1行目乃至 A 行目（ A は、 $m/2$ 以下の自然数）に配設された複数の画素に対して第1の色を呈する光の透過を制御するための画像信号を入力し且つ（ $A+1$ ）行目乃至 $2A$ 行目に配設された複数の画素に対して第2の色を呈する光の透過を制御するための画像信号を入力する期間内において、1行目乃至 B 行目（ B は、 $A/2$ 以下の自然数）に配設された複数の画素に対して前記第1の色を呈する光の透過を制御するための画像信号が入力され且つ（ $A+1$ ）行目乃至（ $A+B$ ）行目に配設された複数の画素に対して前記第2の色を呈する光の透過を制御するための画像信号が入力された後に、前記1行目乃至 B 行目に配設された複数の画素のそれぞれに対して第1の色を呈する光を照射し且つ前記（ $A+1$ ）行目乃至（ $A+B$ ）行目に配設された画素のそれぞれに対して第2の色を呈する光を照射し、前記第1の色を呈する光及び前記第2の色を呈する光の一方は、前記異なる色を呈する複数の光源の少なくとも2つを点灯させることで形成される有彩色を呈する光であることを特徴とする液晶表示装置の駆動方法である。

【発明の効果】

【0008】

本発明の一態様の液晶表示装置は、画素部全面において画像信号の入力及びバックライトの点灯を順次行うのではなく、画素部の特定の領域毎に画像信号の入力及びバックライ

10

20

30

40

50

トの点灯を順次行うことが可能である。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、当該液晶表示装置において生じるカラーブレイクなどの表示劣化を抑制し、画質を向上させることが可能である。

【図面の簡単な説明】

【0009】

【図1】 (A) 液晶表示装置の構成例を示す図、(B) 画素の構成例を示す図。

【図2】 (A) 走査線駆動回路の構成例を示す図、(B) 走査線駆動回路で用いられる信号の一例を示すタイミングチャート、(C) パルス出力回路の構成例を示す図。

【図3】 (A) パルス出力回路の一例を示す回路図、(B) ~ (D) パルス出力回路の動作の一例を示すタイミングチャート。

【図4】 (A) 信号線駆動回路の構成例を示す図、(B) 信号線駆動回路の動作の一例を示す図。

【図5】 バックライトの構成例を示す図。

【図6】 液晶表示装置の動作例を説明する図。

【図7】 (A)、(B) パルス出力回路の一例を示す回路図。

【図8】 (A)、(B) パルス出力回路の一例を示す回路図。

【図9】 液晶表示装置の動作例を説明する図。

【図10】 液晶表示装置の動作例を説明する図。

【図11】 液晶表示装置の動作例を説明する図。

【図12】 液晶表示装置の動作例を説明する図。

【図13】 液晶表示装置の動作例を説明する図。

【図14】 液晶表示装置の動作例を説明する図。

【図15】 液晶表示装置の動作例を説明する図。

【図16】 (A) 液晶表示装置の構成例を示す図、(B) ~ (D) 画素の構成例を示す図。

【図17】 (A) 走査線駆動回路の構成例を示す図、(B) 走査線駆動回路の動作の一例を示す図。

【図18】 (A) 信号線駆動回路の構成例を示す図、(B) 信号線駆動回路の動作の一例を示す図。

【図19】 液晶表示装置の動作例を説明する図。

【図20】 液晶表示装置の動作例を説明する図。

【図21】 液晶表示装置の動作例を説明する図。

【図22】 (A) ~ (D) トランジスタの具体例を示す図。

【図23】 (A)、(B) 画素のレイアウトの具体例を示す上面図。

【図24】 画素のレイアウトの具体例を示す断面図。

【図25】 液晶表示装置の具体例を示す(A) 上面図、及び(B) 断面図。

【図26】 液晶表示装置の具体例を示す斜視図。

【図27】 (A) ~ (F) 電子機器の一例を示す図。

【図28】 (A)、(B)、(C1) ~ (E1)、(C2) ~ (E2) 液晶表示装置において用いられる基板の一形態を説明する図。

【図29】 液晶表示装置の一例を示す図。

【図30】 (A)、(B) トランジスタの構成を説明する図。

【図31】 V_{th} の算出方法を説明する図。

【図32】 (A) ~ (C) 光負バイアス試験結果を示す図。

【発明を実施するための形態】

【0010】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、

10

20

30

40

50

本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0011】

(実施の形態1)

本実施の形態では、本発明の一態様の液晶表示装置について図1～図6を参照して説明する。

【0012】

<液晶表示装置の構成例>

図1(A)は、液晶表示装置の構成例を示す図である。図1(A)に示す液晶表示装置は、画素部10と、走査線駆動回路11と、信号線駆動回路12と、各々が平行又は略平行に配設され、且つ走査線駆動回路11によって電位が制御されるm本の走査線13と、各々が平行又は略平行に配設され、且つ信号線駆動回路12によって電位が制御される、n本の信号線14と、を有する。さらに、画素部10は、3つの領域(領域101～領域103)に分割され、領域毎にマトリクス状に配設された複数の画素を有する。なお、各走査線13は、画素部10においてm行n列に配設された複数の画素のうち、いずれかの行に配設されたn個の画素に電氣的に接続される。また、各信号線14は、m行n列に配設された複数の画素のうち、いずれかの列に配設されたm個の画素に電氣的に接続される。

10

【0013】

図1(B)は、図1(A)に示す液晶表示装置が有する画素15の回路図の一例を示す図である。図1(B)に示す画素15は、ゲートが走査線13に電氣的に接続され、ソース及びドレインの一方が信号線14に電氣的に接続されたトランジスタ16と、一方の電極がトランジスタ16のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線(容量配線ともいう)に電氣的に接続された容量素子17と、一方の電極(画素電極ともいう)がトランジスタ16のソース及びドレインの他方及び容量素子17の一方の電極に電氣的に接続され、他方の電極(対向電極ともいう)が対向電位を供給する配線に電氣的に接続された液晶素子18と、を有する。なお、トランジスタ16は、nチャンネル型のトランジスタである。また、容量電位と対向電位を同一の電位とすることが可能である。

20

【0014】

<走査線駆動回路11の構成例>

図2(A)は、図1(A)に示す液晶表示装置が有する走査線駆動回路11の構成例を示す図である。図2(A)に示す走査線駆動回路11は、第1の走査線駆動回路用クロック信号(GCK1)を供給する配線乃至第4の走査線駆動回路用クロック信号(GCK4)を供給する配線と、第1のパルス幅制御信号(PWC1)を供給する配線乃至第6のパルス幅制御信号(PWC6)を供給する配線と、1行目に配設された走査線13__1に電氣的に接続された第1のパルス出力回路20__1、乃至、m行目に配設された走査線13__mに電氣的に接続された第mのパルス出力回路20__mと、を有する。なお、ここでは、第1のパルス出力回路20__1～第kのパルス出力回路20__k(kは、m/2未満の4の倍数)が、領域101に配設された走査線13__1から13__kにそれぞれ電氣的に接続され、第(k+1)のパルス出力回路20__k+1～第2kのパルス出力回路20__2kが、領域102に配設された走査線13__k+1から13__2kにそれぞれ電氣的に接続され、第(2k+1)のパルス出力回路20__2k+1～第mのパルス出力回路20__mが領域103に配設された走査線13__2k+1から13__mにそれぞれ電氣的に接続されることとする。また、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mは、第1のパルス出力回路20__1に入力される走査線駆動回路用スタートパルス(GSP)をきっかけとしてシフト期間毎にシフトパルスを順次シフトする機能を有する。さらに、第1のパルス出力回路20__1乃至第mのパルス出力回路において複数のシフトパルスのシフトを並行して行うことが可能である。すなわち、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mにおいてシフトパルスのシフトが行われている期間内であっても、第1のパルス出力回路20__1に走査線駆動回路用スタートパルス(

30

40

50

G S P)を入力することが可能である。

【0015】

図2(B)は、上記信号の具体的な波形の一例を示す図である。図2(B)に示す第1の走査線駆動回路用クロック信号(GCK1)は、周期的にハイレベルの電位(高電源電位(Vdd))とロウレベルの電位(低電源電位(Vss))を繰り返す、デューティ比が1/4の信号である。また、第2の走査線駆動回路用クロック信号(GCK2)は、第1の走査線駆動回路用クロック信号(GCK1)から1/4周期分位相がずれた信号であり、第3の走査線駆動回路用クロック信号(GCK3)は、第1の走査線駆動回路用クロック信号(GCK1)から1/2周期位相がずれた信号であり、第4の走査線駆動回路用クロック信号(GCK4)は、第1の走査線駆動回路用クロック信号(GCK1)から3/4周期位相がずれた信号である。第1のパルス幅制御信号(PWC1)は、周期的にハイレベルの電位(高電源電位(Vdd))とロウレベルの電位(低電源電位(Vss))を繰り返す、デューティ比が1/3の信号である。また、第2のパルス幅制御信号(PWC2)は、第1のパルス幅制御信号(PWC1)から1/6周期位相がずれた信号であり、第3のパルス幅制御信号(PWC3)は、第1のパルス幅制御信号(PWC1)から1/3周期位相がずれた信号であり、第4のパルス幅制御信号(PWC4)は、第1のパルス幅制御信号(PWC1)から1/2周期位相がずれた信号であり、第5のパルス幅制御信号(PWC5)は、第1のパルス幅制御信号(PWC1)から2/3周期位相がずれた信号であり、第6のパルス幅制御信号(PWC6)は、第1のパルス幅制御信号(PWC1)から5/6周期位相がずれた信号である。なお、ここでは、第1の走査線駆動回路用クロック信号(GCK1)乃至第4の走査線駆動回路用クロック信号(GCK4)のパルス幅と第1のパルス幅制御信号(PWC1)乃至第6のパルス幅制御信号(PWC6)のパルス幅の比は、3:2とする。

【0016】

上述した液晶表示装置においては、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mとして、同一の構成を有する回路を適用することができる。ただし、パルス出力回路が有する複数の端子の電氣的な接続関係は、パルス出力回路毎に異なる。具体的な接続関係について図2(A)、(C)を参照して説明する。

【0017】

第1のパルス出力回路20__1乃至第mのパルス出力回路20__mのそれぞれは、端子21~端子27を有する(図2(C)参照)。なお、端子21~端子24及び端子26は入力端子であり、端子25及び端子27は出力端子である。

【0018】

まず、端子21について述べる。第1のパルス出力回路20__1の端子21は、走査線駆動回路用スタートパルス(GSP)を供給する配線に電氣的に接続され、第2のパルス出力回路20__2~第mのパルス出力回路20__mの端子21は、前段のパルス出力回路の端子27に電氣的に接続される。

【0019】

次いで、端子22について述べる。第(4a-3)のパルス出力回路(aは、m/4以下の自然数)の端子22は、第1の走査線駆動回路用クロック信号(GCK1)を供給する配線に電氣的に接続され、第(4a-2)のパルス出力回路の端子22は、第2の走査線駆動回路用クロック信号(GCK2)を供給する配線に電氣的に接続され、第(4a-1)のパルス出力回路の端子22は、第3の走査線駆動回路用クロック信号(GCK3)を供給する配線に電氣的に接続され、第4aのパルス出力回路の端子22は、第4の走査線駆動回路用クロック信号(GCK4)を供給する配線に電氣的に接続される。

【0020】

次いで、端子23について述べる。第(4a-3)のパルス出力回路の端子23は、第2の走査線駆動回路用クロック信号(GCK2)を供給する配線に電氣的に接続され、第(4a-2)のパルス出力回路の端子23は、第3の走査線駆動回路用クロック信号(GCK3)を供給する配線に電氣的に接続され、第(4a-1)のパルス出力回路の端子2

3は、第4の走査線駆動回路用クロック信号（GCK4）を供給する配線に電氣的に接続され、第4aのパルス出力回路の端子23は、第1の走査線駆動回路用クロック信号（GCK1）を供給する配線に電氣的に接続される。

【0021】

次いで、端子24について述べる。第 $(2b-1)$ のパルス出力回路（ b は、 $k/2$ 以下の自然数）の端子24は、第1のパルス幅制御信号（PWC1）を供給する配線に電氣的に接続され、第2bのパルス出力回路の端子24は、第4のパルス幅制御信号（PWC4）を供給する配線に電氣的に接続され、第 $(2c-1)$ のパルス出力回路（ c は、 $(k/2+1)$ 以上 k 以下の自然数）の端子24は、第2のパルス幅制御信号（PWC2）を供給する配線に電氣的に接続され、第2cのパルス出力回路の端子24は、第5のパルス幅制御信号（PWC5）を供給する配線に電氣的に接続され、第 $(2d-1)$ のパルス出力回路（ d は、 $(k+1)$ 以上 $m/2$ 以下の自然数）の端子24は、第3のパルス幅制御信号（PWC3）を供給する配線に電氣的に接続され、第2dのパルス出力回路の端子24は、第6のパルス幅制御信号（PWC6）を供給する配線に電氣的に接続される。

10

【0022】

次いで、端子25について述べる。第 x のパルス出力回路（ x は、 m 以下の自然数）の端子25は、 x 行目に配設された走査線13— x に電氣的に接続される。

【0023】

次いで、端子26について述べる。第 y のパルス出力回路（ y は、 $m-1$ 以下の自然数）の端子26は、第 $(y+1)$ のパルス出力回路の端子27に電氣的に接続され、第 m のパルス出力回路の端子26は、第 m のパルス出力回路用ストップ信号（STP）を供給する配線に電氣的に接続される。なお、第 m のパルス出力回路用ストップ信号（STP）は、仮に第 $(m+1)$ のパルス出力回路が設けられていれば、当該第 $(m+1)$ のパルス出力回路の端子27から出力される信号に相当する信号である。具体的には、これらの信号は、実際にダミー回路として第 $(m+1)$ のパルス出力回路を設けること、又は外部から当該信号を直接入力することなどによって第 m のパルス出力回路に供給することができる。

20

【0024】

各パルス出力回路の端子27の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

30

【0025】

＜パルス出力回路の構成例＞

図3（A）は、図2（A）、（C）に示すパルス出力回路の構成例を示す図である。図3（A）に示すパルス出力回路は、トランジスタ31乃至トランジスタ39を有する。

【0026】

トランジスタ31は、ソース及びドレインの一方が高電源電位（Vdd）を供給する配線（以下、高電源電位線ともいう）に電氣的に接続され、ゲートが端子21に電氣的に接続される。

【0027】

トランジスタ32は、ソース及びドレインの一方が低電源電位（Vss）を供給する配線（以下、低電源電位線ともいう）に電氣的に接続され、ソース及びドレインの他方がトランジスタ31のソース及びドレインの他方に電氣的に接続される。

40

【0028】

トランジスタ33は、ソース及びドレインの一方が端子22に電氣的に接続され、ソース及びドレインの他方が端子27に電氣的に接続され、ゲートがトランジスタ31のソース及びドレインの他方並びにトランジスタ32のソース及びドレインの他方に電氣的に接続される。

【0029】

トランジスタ34は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子27に電氣的に接続され、ゲートがトランジスタ32の

50

ゲートに電氣的に接続される。

【0030】

トランジスタ35は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ32のゲート及びトランジスタ34のゲートに電氣的に接続され、ゲートが端子21に電氣的に接続される。

【0031】

トランジスタ36は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ32のゲート、トランジスタ34のゲート、並びにトランジスタ35のソース及びドレインの他方に電氣的に接続され、ゲートが端子26に電氣的に接続される。なお、トランジスタ36のソース及びドレインの一方が、低電源電位（ V_{ss} ）よりも高電位であり且つ高電源電位（ V_{dd} ）よりも低電位である電源電位（ V_{cc} ）を供給する配線に電氣的に接続される構成とすることもできる。

【0032】

トランジスタ37は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ32のゲート、トランジスタ34のゲート、トランジスタ35のソース及びドレインの他方、並びにトランジスタ36のソース及びドレインの他方に電氣的に接続され、ゲートが端子23に電氣的に接続される。なお、トランジスタ37のソース及びドレインの一方が、電源電位（ V_{cc} ）を供給する配線に電氣的に接続される構成とすることもできる。

【0033】

トランジスタ38は、ソース及びドレインの一方が端子24に電氣的に接続され、ソース及びドレインの他方が端子25に電氣的に接続され、ゲートがトランジスタ31のソース及びドレインの他方、トランジスタ32のソース及びドレインの他方、並びにトランジスタ33のゲートに電氣的に接続される。

【0034】

トランジスタ39は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子25に電氣的に接続され、ゲートがトランジスタ32のゲート、トランジスタ34のゲート、トランジスタ35のソース及びドレインの他方、トランジスタ36のソース及びドレインの他方、並びにトランジスタ37のソース及びドレインの他方に電氣的に接続される。

【0035】

なお、以下においては、トランジスタ31のソース及びドレインの他方、トランジスタ32のソース及びドレインの他方、トランジスタ33のゲート、並びにトランジスタ38のゲートが電氣的に接続するノードをノードAとし、トランジスタ32のゲート、トランジスタ34のゲート、トランジスタ35のソース及びドレインの他方、トランジスタ36のソース及びドレインの他方、トランジスタ37のソース及びドレインの他方、並びにトランジスタ39のゲートが電氣的に接続するノードをノードBとして説明する。

【0036】

＜パルス出力回路の動作例＞

上述したパルス出力回路の動作例について図3（B）～（D）を参照して説明する。なお、ここでは、第1のパルス出力回路20__1の端子21に入力される走査線駆動回路用スタートパルス（GSP）の入力タイミングを制御することで、第1のパルス出力回路20__1、第（ $k+1$ ）のパルス出力回路20__ $k+1$ 、及び第（ $2k+1$ ）のパルス出力回路20__ $2k+1$ の端子27から同一タイミングでシフトパルスを出力する場合の動作例について説明する。具体的には、図3（B）は、走査線駆動回路用スタートパルス（GSP）が入力される際の第1のパルス出力回路20__1の各端子に入力される信号の電位、並びにノードA及びノードBの電位を示しており、図3（C）は、第kのパルス出力回路20__kからハイレベルの電位が入力される際の第（ $k+1$ ）のパルス出力回路20__ $k+1$ の各端子に入力される信号の電位、並びにノードA及びノードBの電位を示しており、図3（D）は、第2kのパルス出力回路20__2kからハイレベルの電位が入力され

10

20

30

40

50

る際の第 $(2k+1)$ のパルス出力回路 20_2k+1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示している。なお、図 3 (B) ~ (D) では、各端子に入力される信号を括弧書きで付記している。また、それぞれの後段に配設されるパルス出力回路 (第 2 のパルス出力回路 20_2 、第 $(k+2)$ のパルス出力回路 20_k+2 、第 $(2k+2)$ のパルス出力回路 20_2k+2) の端子 25 から出力される信号 (Gout 2、Gout $k+2$ 、Gout $2k+2$) 及び端子 27 の出力信号 (SROUT 2 = 第 1 のパルス出力回路 20_1 の端子 26 の入力信号、SROUT $k+2$ = 第 $(k+1)$ のパルス出力回路 20_k+1 の端子 26 の入力信号、SROUT $2k+2$ = 第 $(2k+1)$ のパルス出力回路 20_2k+1 の端子 26 の入力信号) も付記している。なお、図中において、Gout は、パルス出力回路の走査線に対する出力信号を表し、SROUT は、当該パルス出力回路の、後段のパルス出力回路に対する出力信号を表している。

【0037】

まず、図 3 (B) を参照して、第 1 のパルス出力回路 20_1 に走査線駆動回路用スタートパルス (GSP) としてハイレベルの電位が入力される場合について説明する。

【0038】

期間 t_1 において、端子 21 にハイレベルの電位 (高電源電位 (Vdd)) が入力される。これにより、トランジスタ 31、35 がオン状態となる。そのため、ノード A の電位がハイレベルの電位 (高電源電位 (Vdd)) からトランジスタ 31 のしきい値電圧分下降した電位) に上昇し、且つノード B の電位が低電源電位 (Vss) に下降する。これに付随して、トランジスタ 33、38 がオン状態となり、トランジスタ 32、34、39 がオフ状態となる。以上により、期間 t_1 において、端子 27 から出力される信号は、端子 22 に入力される信号となり、端子 25 から出力される信号は、端子 24 に入力される信号となる。ここで、期間 t_1 において、端子 22 及び端子 24 に入力される信号は、共にロウレベルの電位 (低電源電位 (Vss)) である。そのため、期間 t_1 において、第 1 のパルス出力回路 20_1 は、第 2 のパルス出力回路 20_2 の端子 21、及び画素部において 1 行目に配設された走査線にロウレベルの電位 (低電源電位 (Vss)) を出力する。

【0039】

期間 t_2 において、各端子に入力される信号は期間 t_1 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位 (低電源電位 (Vss)) を出力する。

【0040】

期間 t_3 において、端子 24 にハイレベルの電位 (高電源電位 (Vdd)) が入力される。なお、ノード A の電位 (トランジスタ 31 のソースの電位) は、期間 t_1 においてハイレベルの電位 (高電源電位 (Vdd)) からトランジスタ 31 のしきい値電圧分下降した電位) まで上昇している。そのため、トランジスタ 31 はオフ状態となっている。この時、端子 24 にハイレベルの電位 (高電源電位 (Vdd)) が入力されることで、トランジスタ 38 のソースとゲートの容量結合によって、ノード A の電位 (トランジスタ 38 のゲートの電位) がさらに上昇する (ブートストラップ動作)。また、当該ブートストラップ動作を行うことによって、端子 25 から出力される信号が端子 24 に入力されるハイレベルの電位 (高電源電位 (Vdd)) から下降することがない。そのため、期間 t_3 において、第 1 のパルス出力回路 20_1 は、画素部において 1 行目に配設された走査線にハイレベルの電位 (高電源電位 (Vdd)) = 選択信号) を出力する。

【0041】

期間 t_4 において、端子 22 にハイレベルの電位 (高電源電位 (Vdd)) が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 27 から出力される信号が端子 22 に入力されるハイレベルの電位 (高電源電位 (Vdd)) から下降することがない。そのため、期間 t_4 において、端子 27 からは、端子 22 に入力されるハイレベルの電位 (高電源電位 (Vdd)) が出力される。すなわち、第 1

のパルス出力回路 20__1 は、第 2 のパルス出力回路 20__2 の端子 21 にハイレベルの電位（高電源電位（V_{dd}）＝シフトパルス）を出力する。また、期間 t₄ において、端子 24 に入力される信号はハイレベルの電位（高電源電位（V_{dd}））を維持するため、第 1 のパルス出力回路 20__1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ハイレベルの電位（高電源電位（V_{dd}）＝選択信号）のままである。なお、期間 t₄ における当該パルス出力回路の出力信号には直接関与しないが、端子 21 にロウレベルの電位（低電源電位（V_{ss}））が入力されるためトランジスタ 35 はオフ状態となる。

【0042】

期間 t₅ において、端子 24 にロウレベルの電位（低電源電位（V_{ss}））が入力される。ここで、トランジスタ 38 はオン状態を維持する。そのため、期間 t₅ において、第 1 のパルス出力回路 20__1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（V_{ss}））となる。

【0043】

期間 t₆ において、各端子に入力される信号は期間 t₅ から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、端子 25 からはロウレベルの電位（低電源電位（V_{ss}））が出力され、端子 27 からはハイレベルの電位（高電源電位（V_{dd}）＝シフトパルス）が出力される。

【0044】

期間 t₇ において、端子 23 にハイレベルの電位（高電源電位（V_{dd}））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（V_{dd}））からトランジスタ 37 のしきい値電圧分下降した電位に上昇する。つまり、トランジスタ 32、34、39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（V_{ss}））へと下降する。つまり、トランジスタ 33、38 がオフ状態となる。以上により、期間 t₇ において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（V_{ss}）となる。すなわち、期間 t₇ において、第 1 のパルス出力回路 20__1 は、第 2 のパルス出力回路 20__2 の端子 21、及び画素部において 1 行目に配設された走査線に低電源電位（V_{ss}）を出力する。

【0045】

次いで、図 3（C）を参照して、第（k+1）のパルス出力回路 20__k+1 の端子 21 に第 k のパルス出力回路 20__k からシフトパルスとしてハイレベルの電位が入力される場合について説明する。

【0046】

期間 t₁ 及び期間 t₂ において、第（k+1）のパルス出力回路 20__k+1 の動作は、上述した第 1 のパルス出力回路 20__1 と同様である。そのため、ここでは前述の説明を援用することとする。

【0047】

期間 t₃ において、各端子に入力される信号は期間 t₂ から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位（低電源電位（V_{ss}））を出力する。

【0048】

期間 t₄ において、端子 22 及び端子 24 にハイレベルの電位（高電源電位（V_{dd}））が入力される。なお、ノード A の電位（トランジスタ 31 のソースの電位）は、期間 t₁ においてハイレベルの電位（高電源電位（V_{dd}））からトランジスタ 31 のしきい値電圧分下降した電位まで上昇している。そのため、トランジスタ 31 は、期間 t₁ においてオフ状態となっている。ここで、端子 22 及び端子 24 にハイレベルの電位（高電源電位（V_{dd}））が入力されることで、トランジスタ 33 のソースとゲート及びトランジスタ 38 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 33、38 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラ

10

20

30

40

50

ップ動作を行うことによって、端子 2 5 及び端子 2 7 から出力される信号が端子 2 2 及び端子 2 4 に入力されるハイレベルの電位（高電源電位（V d d））から下降することがない。そのため、期間 t 4 において、第（k + 1）のパルス出力回路 2 0 __ k + 1 は、画素部において（k + 1）行目に配設された走査線及び第（k + 2）のパルス出力回路 2 0 __ k + 2 の端子 2 1 にハイレベルの電位（高電源電位（V d d）＝選択信号、シフトパルス）を出力する。

【0049】

期間 t 5 において、各端子に入力される信号は期間 t 4 から変化しない。そのため、端子 2 5 及び端子 2 7 から出力される信号も変化せず、ハイレベルの電位（高電源電位（V d d）＝選択信号、シフトパルス）を出力する。

10

【0050】

期間 t 6 において、端子 2 4 にロウレベルの電位（低電源電位（V s s））が入力される。ここで、トランジスタ 3 8 はオン状態を維持する。そのため、期間 t 6 において、第（k + 1）のパルス出力回路 2 0 __ k + 1 から画素部において（k + 1）行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（V s s））となる。

【0051】

期間 t 7 において、端子 2 3 にハイレベルの電位（高電源電位（V d d））が入力される。これにより、トランジスタ 3 7 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（V d d））からトランジスタ 3 7 のしきい値電圧分下降した電位（低電源電位（V s s））に上昇する。つまり、トランジスタ 3 2、3 4、3 9 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（V s s））へと下降する。つまり、トランジスタ 3 3、3 8 がオフ状態となる。以上により、期間 t 7 において、端子 2 5 及び端子 2 7 から出力される信号は、共に低電源電位（V s s）となる。すなわち、期間 t 7 において、第（k + 1）のパルス出力回路 2 0 __ k + 1 は、第（k + 2）のパルス出力回路 2 0 __ k + 2 の端子 2 1、及び画素部において（k + 1）行目に配設された走査線に低電源電位（V s s）を出力する。

20

【0052】

次いで、図 3（D）を参照して、第（2 k + 1）のパルス出力回路 2 0 __ 2 k + 1 の端子 2 1 に第 2 k のパルス出力回路 2 0 __ k からシフトパルスとしてハイレベルの電位が入力される場合について説明する。

30

【0053】

期間 t 1 乃至期間 t 3 において、第（2 k + 1）のパルス出力回路 2 0 __ 2 k + 1 の動作は、上述した第（k + 1）のパルス出力回路 2 0 __ k + 1 と同様である。そのため、ここでは前述の説明を援用することとする。

【0054】

期間 t 4 において、端子 2 2 にハイレベルの電位（高電源電位（V d d））が入力される。なお、ノード A の電位（トランジスタ 3 1 のソースの電位）は、期間 t 1 においてハイレベルの電位（高電源電位（V d d））からトランジスタ 3 1 のしきい値電圧分下降した電位（低電源電位（V s s））まで上昇している。そのため、トランジスタ 3 1 は、期間 t 1 においてオフ状態となっている。ここで、端子 2 2 にハイレベルの電位（高電源電位（V d d））が入力されることで、トランジスタ 3 3 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 3 3 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 2 7 から出力される信号が端子 2 2 に入力されるハイレベルの電位（高電源電位（V d d））から下降することがない。そのため、期間 t 4 において、第（2 k + 1）のパルス出力回路 2 0 __ 2 k + 1 は、第（2 k + 2）のパルス出力回路 2 0 __ 2 k + 2 の端子 2 1 にハイレベルの電位（高電源電位（V d d）＝シフトパルス）を出力する。なお、期間 t 4 における当該パルス出力回路の出力信号には直接関与しないが、端子 2 1 にロウレベルの電位（低電源電位（V s s））が入力されるためトランジスタ 3 5 はオフ状態となる。

40

50

【0055】

期間 t_5 において、端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 25 から出力される信号が端子 24 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_5 において、端子 25 からは、端子 22 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））が出力される。すなわち、第（ $2k+1$ ）のパルス出力回路 20_2k+1 は、画素部において（ $2k+1$ ）行目に配設された走査線にハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号）を出力する。また、期間 t_5 において、端子 22 に入力される信号はハイレベルの電位（高電源電位（ V_{dd} ））を維持するため、第（ $2k+1$ ）のパルス出力回路 20_2k+1 から第（ $2k+2$ ）のパルス出力回路 20_2k+2 の端子 21 に対して出力される信号は、ハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）のままである。

【0056】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号、シフトパルス）を出力する。

【0057】

期間 t_7 において、端子 23 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 37 のしきい値電圧分下降した電位に上昇する。つまり、トランジスタ 32、34、39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 33、38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第（ $2k+1$ ）のパルス出力回路 20_2k+1 は、第（ $2k+2$ ）のパルス出力回路 20_2k+2 の端子 21、及び画素部において（ $2k+1$ ）行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

【0058】

図 3（B）～（D）に示すように、第 1 のパルス出力回路 20_1 乃至第 m のパルス出力回路 20_m では、走査線駆動回路用スタートパルス（GSP）の入力タイミングを制御することで、複数のシフトパルスのシフトを並行して行うことが可能である。具体的には、走査線駆動回路用スタートパルス（GSP）の入力後、第 k のパルス出力回路 20_k の端子 27 からシフトパルスが出力されるタイミングと同じタイミングで再度走査線駆動回路用スタートパルス（GSP）を入力することによって、第 1 のパルス出力回路 20_1 及び第（ $k+1$ ）のパルス出力回路 20_k+1 から同じタイミングでシフトパルスを出力させることが可能である。また、同様に走査線駆動回路用スタートパルス（GSP）を入力することによって、第 1 のパルス出力回路 20_1 、第（ $k+1$ ）のパルス出力回路 20_k+1 、及び第（ $2k+1$ ）のパルス出力回路 20_2k+1 から同じタイミングでシフトパルスを出力させることが可能である。

【0059】

加えて、第 1 のパルス出力回路 20_1 、第（ $k+1$ ）のパルス出力回路 20_k+1 、及び第（ $2k+1$ ）のパルス出力回路 20_2k+1 は、上記の動作に並行して、それぞれ異なるタイミングで走査線に対する選択信号の供給を行うことが可能である。すなわち、上述した走査線駆動回路は、固有のシフト期間を有するシフトパルスを複数シフトし且つ同一タイミングにおいてシフトパルスが入力された複数のパルス出力回路がそれぞれ異なるタイミングで走査線に対して選択信号を供給することが可能である。

【0060】

<信号線駆動回路 12 の構成例>

図 4（A）は、図 1（A）に示す液晶表示装置が有する信号線駆動回路 12 の構成例を示す図である。図 4（A）に示す信号線駆動回路 12 は、第 1 の出力端子乃至第 n の出力

端子を有するシフトレジスタ120と、画像信号(DATA)を供給する配線と、ソース及びドレインの一方が画像信号(DATA)を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部において1列目に配設された信号線14_1に電氣的に接続され、ゲートがシフトレジスタ120の第1の出力端子に電氣的に接続されたトランジスタ121_1、乃至、ソース及びドレインの一方が画像信号(DATA)を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部においてn列目に配設された信号線14_nに電氣的に接続され、ゲートがシフトレジスタ120の第nの出力端子に電氣的に接続されたトランジスタ121_nと、を有する。なお、シフトレジスタ120は、信号線駆動回路用スタートパルス(SSP)をきっかけとしてシフト期間毎に順次第1の出力端子乃至第nの出力端子からハイレベルの電位を出力する機能を有する。すなわち、トランジスタ121_1乃至トランジスタ121_nは、シフト期間毎に順次オン状態となる。

10

【0061】

図4(B)は、画像信号(DATA)を供給する配線が供給する画像信号のタイミングの一例を示す図である。図4(B)に示すように、画像信号(DATA)を供給する配線は、期間t4において、1行目に配設された画素用画像信号(data_1)を供給し、期間t5において、(k+1)行目に配設された画素用画像信号(data_{k+1})を供給し、期間t6において、(2k+1)行目に配設された画素用画像信号(data_{2k+1})を供給し、期間t7において、2行目に配設された画素用画像信号(data_2)を供給する。以下、同様に画像信号(DATA)を供給する配線は、特定の行毎に配設された画素用画像信号を順次供給する。具体的には、s行目(sは、k未満の自然数)に配設された画素用画像信号→(k+s)行目に配設された画素用画像信号→(2k+s)行目に配設された画素用画像信号→(s+1)行目に配設された画素用画像信号という順序で画像信号を供給する。上述した走査線駆動回路及び信号線駆動回路が当該動作を行うことにより、走査線駆動回路が有するパルス出力回路におけるシフト期間毎に画素部に配設された3行の画素に対する画像信号の入力を行うことが可能である。

20

【0062】

<バックライトの構成例>

図5は、図1(A)に示す液晶表示装置の画素部10の後方に設けられるバックライトの構成例を示す図である。図5に示すバックライトは、赤(R)、緑(G)、青(B)のいずれか一を呈する光を発光する3種の光源を備えたバックライトユニット40を複数有する。なお、複数のバックライトユニット40は、マトリクス状に配設されており、且つ特定の領域毎に点灯を制御することが可能である。ここでは、m行n列に配設された複数の画素15に対するバックライトとして、少なくともt行n列毎(ここでは、tは、k/4とする)にバックライトユニット40が設けられ、該バックライトユニット40の点灯を独立に制御できることとする。すなわち、当該バックライトが、少なくとも1行目乃至t行目用バックライトユニット~2k+3t+1行目乃至m行目用バックライトユニットを有し、それぞれのバックライトユニット40の点灯を独立に制御できることとする。さらに、バックライトユニット40において、赤(R)、緑(G)、及び青(B)の3色を呈する光源のそれぞれの点灯も独立に制御できることとする。すなわち、バックライトユニット40において、赤(R)、緑(G)、及び青(B)のいずれか一つの光源を点灯させることで画素部10に対して赤(R)、緑(G)、又は青(B)を呈する光を照射すること、赤(R)、緑(G)、及び青(B)のいずれか二つの光源を点灯させることで画素部10に対して二つの光の混色によって形成される有彩色を呈する光を照射すること、並びに赤(R)、緑(G)、及び青(B)の全ての光源を点灯させることで画素部10に対して三つの光の混色によって形成される白(W)を呈する光を照射することが可能であることとする。

30

40

【0063】

<液晶表示装置の動作例>

図6は、上述した液晶表示装置における選択信号の走査と、バックライトが有する1行

50

目乃至 t 行目用バックライトユニット～ $(2k+3t+1)$ 行目乃至 m 行目用バックライトユニットの点灯タイミングとを示す図である。なお、図 6 において縦軸は画素部における行（1 行目乃至 m 行目）を表し、横軸は時間を表している。具体的には、図 6 において、1 乃至 m は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。図 6 に示すように当該液晶表示装置では、1 行目に配設された走査線～ m 行目に配設された走査線に対して順次選択信号を供給するのではなく、 k 行分隔離されて配設された走査線に対して順次選択信号を供給する（1 行目に配設された走査線→ $(k+1)$ 行目に配設された走査線→ $(2k+1)$ 行目に配設された走査線→2 行目に配設された走査線という順序で選択信号を供給する）ことが可能である。そのため、期間 T_1 において、1 行目に配設された n 個の画素から t 行目に配設された n 個の画素を順次選択し、且つ $(k+1)$ 行目に配設された n 個の画素から $(k+t)$ 行目に配設された n 個の画素を順次選択し、且つ $(2k+1)$ 行目に配設された n 個の画素から $(2k+t)$ 行目に配設された n 個の画素を順次選択することで、各画素に画像信号を入力することが可能である。なお、ここでは、1 行目に配設された n 個の画素乃至 t 行目に配設された n 個の画素には、赤（R）を呈する光及び緑（G）を呈する光の混色によって形成される有彩色を呈する光の透過を制御する画像信号が入力され、 $(k+1)$ 行目に配設された n 個の画素乃至 $(k+t)$ 行目に配設された n 個の画素には、青（B）を呈する光の透過を制御する画像信号が入力され、 $(2k+1)$ 行目に配設された n 個の画素乃至 $(2k+t)$ 行目に配設された n 個の画素には、緑（G）を呈する光の透過を制御する画像信号が入力されることとする。

10

20

【0064】

また、図 6 に示すように当該液晶表示装置では、特定の領域において画像信号の入力が行われる合間の期間において、バックライトユニット 40 の点灯を行うことが可能である。具体的には、期間 T_1 及び期間 T_2 の合間の期間において、1 行目乃至 t 行目用バックライトユニットにおいて赤（R）及び緑（G）の光源を点灯させ、且つ $(k+1)$ 行目乃至 $(k+t)$ 行目用バックライトユニットにおいて青（B）の光源を点灯させ、且つ $(2k+1)$ 行目乃至 $(2k+t)$ 行目用バックライトユニットにおいて緑（G）の光源を点灯させることが可能である。なお、当該液晶表示装置においては、図 6 に示す、赤（R）を呈する光の透過を制御するための画像信号の入力～バックライトユニットにおける青（B）及び赤（R）の光源の点灯までの動作によって画素部に 1 枚の画像が形成されることとする。

30

【0065】

＜本実施の形態で開示される液晶表示装置について＞

本実施の形態の液晶表示装置は、画像信号の入力と、バックライトの点灯とを並行して行うことが可能である。そのため、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、フィールドシーケンシャル方式によって表示を行う液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。

【0066】

また、本実施の形態で開示される液晶表示装置は、上記の動作を簡便な画素構成でありながら実現することが可能である。具体的には、特許文献 1 で開示される液晶表示装置の画素には、本実施の形態で開示される液晶表示装置の画素の構成に加えて、電荷の移動を制御するトランジスタが必要になる。また、該トランジスタのスイッチングを制御するための信号線も別途必要になる。これに対し、本実施の形態の液晶表示装置の画素構成は、簡便である。すなわち、本実施の形態の液晶表示装置は、特許文献 1 で開示される液晶表示装置と比較して画素の開口率を向上させることが可能である。また、画素部に延在する配線数を低減することで各種配線間に生じる寄生容量を低減することが可能である。すなわち、画素部に延在する各種配線の高速駆動が可能となる。

40

【0067】

また、図 6 に示す動作例のようにバックライトを点灯する場合、隣接するバックライト

50

ユニットが異なる色を呈する光を発光することがない。具体的には、期間 T 1 において画像信号の入力が行われる領域に対して当該書き込み後にバックライトを点灯する場合、隣接するバックライトユニットが異なる色を呈する光を発光することがない。例えば、期間 T 1 において、 $(k+1)$ 行目に配設された n 個の画素から $(k+t)$ 行目に配設された n 個の画素に対して青 (B) を呈する光の透過を制御するための画像信号の入力が終了した後に $(k+1)$ 行目乃至 $(k+t)$ 行目用バックライトユニットにおいて青 (B) の光源を点灯させる際に、 $(3t+1)$ 行目乃至 k 行目用バックライトユニット及び $(k+t+1)$ 行目乃至 $(k+2t)$ 行目用バックライトユニットにおいては、青 (B) の光源が点灯される又は点灯自体が行われない (赤 (R)、緑 (G) が点灯されることがない)。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。 10

【0068】

また、図 6 に示す動作例のようにバックライトユニットが有する 2 つの光源を同時に点灯させる期間を設ける場合、液晶表示装置の表示輝度の向上を図ることが可能である。また、バックライトユニットが有する複数の光源のそれぞれの点灯期間を長期間確保することで、液晶表示装置の表示色調の細分化を図る (表示する色の濃淡などをより細かく表現する) ことが可能である。ここで、図 6 に示す動作例においては、赤 (R)、緑 (G)、及び青 (B) の光源のいずれかが点灯される期間のみならず、それらの 2 つが同時に点灯される期間を有する。そのため、図 6 に示す動作例においては、6 回の画像信号の走査を行うことで赤 (R)、緑 (G)、及び青 (B) の光源のそれぞれが 3 回点灯する期間を確保することが可能である。すなわち、図 6 に示す動作例においては、複数の光源のそれぞれの点灯期間を効率よく長期化することが可能である。その結果、図 6 に示す動作例においては、効率よく表示色調の細分化を図ることが可能である。 20

【0069】

<変形例>

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0070】

例えば、本実施の形態の液晶表示装置においては、画素部 10 を 3 つの領域に分割し、該 3 つの領域に並行して画像信号を供給する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部 10 を 3 つ以外の複数の領域に分割し、該複数の領域に並行して画像信号を供給する構成とすることが可能である。なお、当該領域数を変化させる場合、当該領域数に応じて走査線駆動回路用クロック信号及びパルス幅制御信号を設定する必要があることを付記する。 30

【0071】

また、本実施の形態の液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成 (図 1 (B) 参照) について示したが、当該容量素子を設けない構成とすることも可能である。この場合、画素の開口率を向上させることが可能である。また、画素部に延在する容量配線を削除することができるため、画素部に延在する各種配線の高速駆動が可能となる。 40

【0072】

また、パルス出力回路として、図 3 (A) に示したパルス出力回路に、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 32 のゲート、トランジスタ 34 のゲート、トランジスタ 35 のソース及びドレインの他方、トランジスタ 36 のソース及びドレインの他方、トランジスタ 37 のソース及びドレインの他方、並びにトランジスタ 39 のゲートに電氣的に接続され、ゲートがリセット端子 (Reset) に電氣的に接続されたトランジスタ 50 を付加した構成 (図 7 (A) 参照) を適用することが可能である。なお、当該リセット端子には、画素部に 1 枚の画像が形成された後の期間においてハイレベルの電位が入力され、その他の期間においてはロウレベルの電位が入力される。なお、トランジスタ 50 は、ハイレベルの電位が入力され 50

ることによってオン状態となるトランジスタである。これにより、各ノードの電位を初期化することができるので、誤動作を防止することが可能となる。なお、当該初期化を行う場合には、画素部に1枚の画像が形成される期間後に初期化期間を設ける必要があることを付記する。また、図9を参照して後述するが、画素部に1枚の画像を形成する期間後にバックライトを消灯する期間を設ける場合、当該消灯する期間において当該初期化を行うことが可能である。

【0073】

また、パルス出力回路として、図3(A)に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ31のソース及びドレインの他方並びにトランジスタ32のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ33のゲート及びトランジスタ38のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ51を付加した構成(図7(B)参照)を適用することも可能である。なお、トランジスタ51は、ノードAの電位がハイレベルの電位となる期間(図3(B)~(D)に示した期間t1~期間t6)においてオフ状態となる。そのため、トランジスタ51を付加した構成とすることで、期間t1~t6において、トランジスタ33のゲート及びトランジスタ38のゲートと、トランジスタ31のソース及びドレインの他方並びにトランジスタ32のソース及びドレインの他方との電氣的な接続を遮断することが可能となる。これにより、期間t1~期間t6に含まれる期間において、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。

【0074】

また、パルス出力回路として、図7(B)に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ33のゲート並びにトランジスタ51のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ38のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ52を付加した構成(図8(A)参照)を適用することも可能である。なお、上述したようにトランジスタ52を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。特に、当該パルス出力回路がトランジスタ33のソースとゲートとの容量結合のみによってノードAの電位を上昇させる場合(図3(D)参照)、当該負荷の低減する効果が大きい。

【0075】

また、パルス出力回路として、図8(A)に示したパルス出力回路からトランジスタ51を削除し、且つソース及びドレインの一方がトランジスタ31のソース及びドレインの他方、トランジスタ32のソース及びドレインの他方、並びにトランジスタ52のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの他方がトランジスタ33のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ53を付加した構成(図8(B)参照)を適用することも可能である。なお、上述したようにトランジスタ53を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。また、当該パルス出力回路に生じる不正パルスが、トランジスタ33、38のスイッチングに与える影響を軽減することが可能である。

【0076】

また、本実施の形態の液晶表示装置においては、バックライトユニットとして赤(R)、緑(G)、青(B)のいずれか一を呈する光を発光する3種の光源を横に直線的に並べる構成(図5参照)について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該3種の光源を3角配置しても良いし、当該3種の光源を縦に直線的に並べてもよいし、赤(R)のバックライトユニット、緑(G)のバックライトユニット、及び青(B)のバックライトユニットを別途設けても良い。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成(図5参照)について示したが、当該バックライトとしてエッジライト方式のバックライトを適用

することも可能である。

【0077】

また、本実施の形態の液晶表示装置においては、選択信号の走査及びバックライトユニットの点灯を連続的に行う構成（図6参照）について示したが、液晶表示装置の動作は、当該構成に限定されない。例えば、画素部において1枚の画像を形成する期間（図6では、赤（R）を呈する光の透過を制御するための画像信号の入力～バックライトユニットにおいて青（B）及び赤（R）の光源が点灯される期間に相当する）の前後に、選択信号の走査及びバックライトユニットの点灯が行われない期間を設ける構成とすることが可能である（図9参照）。これにより、当該液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。なお、図9においては、選択信号の走査及びバックライトユニットの点灯の双方を行わない構成について例示しているが、選択信号の走査を行い各画素に対して光を透過させないための画像信号を入力する構成とすることも可能である。

10

【0078】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライトユニットが有する3つの光源の1つ又は2つを点灯させる期間を設ける構成（図6参照）について示したが、バックライトユニットが有する3つの光源のすべてが点灯される期間を設ける構成（図10参照）とすることも可能である。この場合、液晶表示装置の表示輝度をさらに向上させること及び表示色調をさらに細分化させることが可能である。なお、図10に示す動作例においては、赤（R）を呈する光の透過を制御するための画像信号の入力～バックライトユニットにおける赤（R）の光源、緑（G）の光源、及び青（B）の光源の点灯までの動作によって画素部に1枚の画像が形成されることとする。

20

【0079】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライトユニットを赤（R）→緑（G）→青（B）→赤（R）及び緑（G）→緑（G）及び青（B）→青（B）及び赤（R）の順で点灯することで1枚の画像を形成する構成（図6参照）について示したが、本実施の形態の液晶表示装置における光源の点灯順は当該順に限定されない。例えば、青（B）→青（B）及び緑（G）→緑（G）→緑（G）及び赤（R）→赤（R）→赤（R）及び青（B）の順で点灯することで1枚の画像を形成する構成（図11参照）、青（B）→青（B）及び赤（R）→赤（R）→赤（R）及び緑（G）→緑（G）→緑（G）及び青（B）の順で点灯することで1枚の画像を形成する構成（図12参照）、青（B）→赤（R）及び緑（G）→緑（G）→青（B）及び赤（R）→赤（R）→緑（G）及び青（B）の順で点灯することで1枚の画像を形成する構成（図13参照）、青（B）→赤（R）及び緑（G）→青（B）及び緑（G）→赤（R）→緑（G）→赤（R）及び青（B）の順で点灯することで1枚の画像を形成する構成（図14参照）などとすることも可能である。なお、光源の点灯順に合わせて、特定色を呈する光の透過を制御するための画像信号の入力順も適宜設計する必要があることは言うまでもない。

30

【0080】

また、本実施の形態の液晶表示装置においては、バックライトユニットが有する赤（R）、緑（G）、及び青（B）の光源のそれぞれが3回点灯することで1枚の画像を形成する構成（図6参照）について示したが、本実施の形態の液晶表示装置における光源毎の点灯回数を異ならせることも可能である。例えば、視感度が高い赤（R）及び緑（G）を呈する光が2回点灯され、且つ視感度の低い青（B）が3回点灯されるように、バックライトユニットを点灯することで1枚の画像を形成する構成（図15参照）とすることも可能である。なお、図15に示す動作例においては、赤（R）を呈する光の透過を制御するための画像信号の入力～バックライトユニットにおける緑（G）及び青（B）の光源の点灯までの動作によって画素部に1枚の画像が形成されることとする。

40

【0081】

また、本実施の形態の液晶表示装置においては、バックライトユニットとして赤（R）、緑（G）、青（B）のいずれか一を呈する光を発光する3種の光源を組み合わせて用い

50

る構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光源を組み合わせることでバックライトを構成することが可能である。例えば、赤（R）、緑（G）、青（B）、白（W）、若しくは赤（R）、緑（G）、青（B）、黄（Y）の4種の光源を組み合わせることで用いること、又はシアン（C）、マゼンタ（M）、イエロー（Y）の3種の光源を組み合わせることで用いることなどが可能である。なお、バックライトユニットが白（W）を呈する光を発光する光源を有する場合は、白（W）を呈する光を混色によって形成するのではなく、当該光源を用いて白（W）を呈する光を形成することができる。当該光源は、発光効率が高いため、当該光源を用いてバックライトを構成することで、消費電力を低減することが可能である。また、バックライトユニットが補色の関係にある光を発光する2種の光源を有する場合（例えば、青（B）と黄（Y）の2色の光源を有する場合）、それぞれが発光する光を混色することで白（W）を呈する光を形成することも可能である。さらに、淡色の赤（R）、緑（G）、及び青（B）、並びに濃色の赤（R）、緑（G）、及び青（B）の6種の光源を組み合わせることで用いること、又は赤（R）、緑（G）、青（B）、シアン（C）、マゼンタ（M）、イエロー（Y）の6種の光源を組み合わせることで用いることなども可能である。このように、より多種の光源を組み合わせることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0082】

なお、本実施の形態の変形例として述べた構成の複数を、本実施の形態の液晶表示装置に対して適用することも可能である。

【0083】

また、本実施の形態の内容又は該内容の一部を、他の実施の形態の内容又は該内容の一部と組み合わせることが可能である。

【0084】

（実施の形態2）

本実施の形態では、実施の形態1とは異なる構成を有する、本発明の一態様の液晶表示装置について図16～図19を参照して説明する。

【0085】

＜液晶表示装置の構成例＞

図16（A）は、液晶表示装置の構成例を示す図である。図16（A）に示す液晶表示装置は、画素部60と、走査線駆動回路61と、信号線駆動回路62と、各々が平行又は略平行に配設され、且つ走査線駆動回路61によって電位が制御される3i本（iは、2以上の自然数）の走査線63と、各々が平行又は略平行に配設され、且つ信号線駆動回路62によって電位が制御される、j本（jは、2以上の自然数）の信号線641、j本の信号線642、及びj本の信号線643と、を有する。

【0086】

さらに、画素部60は、3つの領域（領域601～領域603）に分割され、領域毎にマトリクス状（i行j列）に配設された複数の画素を有する。なお、各走査線63は、画素部60においてマトリクス状（3i行j列）に配設された複数の画素のうち、いずれかの行に配設されたj個の画素に電氣的に接続される。また、各信号線641は、領域601においてマトリクス状（i行j列）に配設された複数の画素のうち、いずれかの列に配設されたi個の画素に電氣的に接続される。また、各信号線642は、領域602においてマトリクス状（i行j列）に配設された複数の画素のうち、いずれかの列に配設されたi個の画素に電氣的に接続される。また、各信号線643は、領域603においてマトリクス状（i行j列）に配設された複数の画素のうち、いずれかの列に配設されたi個の画素に電氣的に接続される。

【0087】

なお、走査線駆動回路61には、外部から走査線駆動回路用スタート信号（GSP）、走査線駆動回路用クロック信号（GCK）、及び高電源電位、低電源電位などの駆動用電源が入力される。また、信号線駆動回路62には、外部から信号線駆動回路用スタートパ

ルス（SSP）、信号線駆動回路用クロック信号（CLK）、画像信号（data1～data3）などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

【0088】

図16（B）～（D）は、画素の回路構成例を示す図である。具体的には、図16（B）は、領域601に配設された画素651の回路構成例を示す図であり、図16（C）は、領域602に配設された画素652の回路構成例を示す図であり、図16（D）は、領域603に配設された画素653の回路構成例を示す図である。図16（B）に示す画素651は、ゲートが走査線63に電氣的に接続され、ソース及びドレインの一方が信号線641に電氣的に接続されたトランジスタ6511と、一方の電極がトランジスタ6511のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線（容量配線ともいう）に電氣的に接続された容量素子6512と、一方の電極（画素電極ともいう）がトランジスタ6511のソース及びドレインの他方並びに容量素子6512の一方の電極に電氣的に接続され、他方の電極（対向電極ともいう）が対向電位を供給する配線に電氣的に接続された液晶素子6513と、を有する。

10

【0089】

図16（C）に示す画素652及び図16（D）に示す画素653も回路構成自体は、図16（B）に示す画素651と同一である。ただし、図16（C）に示す画素652では、トランジスタ6521のソース及びドレインの一方が信号線641ではなく信号線642に電氣的に接続される点が図16（B）に示す画素651と異なり、図16（D）に示す画素653では、トランジスタ6531のソース及びドレインの一方が信号線641ではなく信号線643に電氣的に接続される点が図16（B）に示す画素651と異なる。

20

【0090】

<走査線駆動回路61の構成例>

図17（A）は、図16（A）に示す液晶表示装置が有する走査線駆動回路61の構成例を示す図である。図17（A）に示す走査線駆動回路61は、 i 個の出力端子を有するシフトレジスタ611～613を有する。なお、シフトレジスタ611が有する出力端子のそれぞれは、領域601に配設された i 本の走査線63のいずれかに電氣的に接続され、シフトレジスタ612が有する出力端子のそれぞれは、領域602に配設された i 本の走査線63のいずれかに電氣的に接続され、シフトレジスタ613が有する出力端子のそれぞれは、領域603に配設された i 本の走査線63のいずれかに電氣的に接続される。すなわち、シフトレジスタ611は、領域601において選択信号を走査するシフトレジスタであり、シフトレジスタ612は、領域602において選択信号を走査するシフトレジスタであり、シフトレジスタ613は、領域603において選択信号を走査するシフトレジスタである。具体的には、シフトレジスタ611は、外部から入力される走査線駆動回路用スタートパルス（GSP）をきっかけとして、1行目に配設された走査線63を起点として順次選択信号をシフト（走査線63を走査線駆動回路用クロック信号（CLK）1/2周期毎に順次選択）する機能を有し、シフトレジスタ612は、外部から入力される走査線駆動回路用スタートパルス（GSP）をきっかけとして、 $i+1$ 行目に配設された走査線63を起点として順次選択信号をシフトする機能を有し、シフトレジスタ613は、外部から入力される走査線駆動回路用スタートパルス（GSP）をきっかけとして、 $2i+1$ 行目に配設された走査線63を起点として順次選択信号をシフトする機能を有する。

30

40

【0091】

上述した走査線駆動回路61の動作例について図17（B）を参照して説明する。なお、図17（B）には、走査線駆動回路用クロック信号（CLK）、シフトレジスタ611が有する i 個の出力端子から出力される信号（SR611out）、シフトレジスタ612が有する i 個の出力端子から出力される信号（SR612out）、及びシフトレジスタ613が有する i 個の出力端子から出力される信号（SR613out）を示している。

50

【0092】

サンプリング期間 (t_1) において、シフトレジスタ 611 によって、1 行目に配設された走査線 63_1 を起点として i 行目に配設された走査線 63_ i までハイレベルの電位が $1/2$ クロック周期 (水平走査期間) 毎に順次シフトされ、シフトレジスタ 612 によって、($i+1$) 行目に配設された走査線 63_ $i+1$ を起点として $2i$ 行目に配設された走査線 63_ $2i$ までハイレベルの電位が $1/2$ クロック周期 (水平走査期間) 毎に順次シフトされ、シフトレジスタ 613 によって、($2i+1$) 行目に配設された走査線 63_ $2i+1$ を起点として $3i$ 行目に配設された走査線 63_ $3i$ までハイレベルの電位が $1/2$ クロック周期 (水平走査期間) 毎に順次シフトされる。そのため、走査線駆動回路 61 は、1 行目に配設された j 個の画素 651 から i 行目に配設された j 個の画素 651 を順次選択するとともに、($i+1$) 行目に配設された j 個の画素 652 から $2i$ 行目に配設された j 個の画素 652 を順次選択し、($2i+1$) 行目に配設された j 個の画素 653 から $3i$ 行目に配設された j 個の画素 653 を順次選択することになる。すなわち、走査線駆動回路 61 は、水平走査期間毎に異なる 3 行に配設された $3j$ 個の画素に対して選択信号を供給することが可能である。

10

【0093】

サンプリング期間 (t_2) 乃至サンプリング期間 (t_6) において、シフトレジスタ 611~613 の動作は、サンプリング期間 (t_1) と同じである。すなわち、走査線駆動回路 61 は、サンプリング期間 (t_1) と同様に、水平走査期間毎に特定の 3 行に配設された $3j$ 個の画素に対して選択信号を供給することが可能である。

20

【0094】

< 信号線駆動回路 62 の構成例 >

図 18 (A) は、図 16 (A) に示す液晶表示装置が有する信号線駆動回路 62 の構成例を示す図である。図 18 (A) に示す信号線駆動回路 62 は、 j 個の出力端子を有するシフトレジスタ 620 と、 j 個のトランジスタ 621 と、 j 個のトランジスタ 622 と、 j 個のトランジスタ 623 と、を有する。なお、トランジスタ 621 のゲートは、シフトレジスタ 620 が有する p 番目 (p は、1 以上 j 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方は、第 1 の画像信号 (DATA1) を供給する配線に電氣的に接続され、ソース及びドレインの他方は、画素部 60 において p 列目に配設された信号線 641 に電氣的に接続される。また、トランジスタ 622 のゲートは、シフトレジスタ 620 が有する p 番目の出力端子に電氣的に接続され、ソース及びドレインの一方は、第 2 の画像信号 (DATA2) を供給する配線に電氣的に接続され、ソース及びドレインの他方は、画素部 60 において p 列目に配設された信号線 642 に電氣的に接続される。また、トランジスタ 623 のゲートは、シフトレジスタ 620 が有する p 番目の出力端子に電氣的に接続され、ソース及びドレインの一方は、第 3 の画像信号 (DATA3) を供給する配線に電氣的に接続され、ソース及びドレインの他方は、画素部 60 において p 列目に配設された信号線 643 に電氣的に接続される。

30

【0095】

図 18 (B) は、第 1 の画像信号 (DATA1) 乃至第 3 の画像信号 (DATA3) を供給する配線が供給する画像信号のタイミングの一例を示す図である。

40

【0096】

図 18 (B) に示すように、第 1 の画像信号 (DATA1) を供給する配線は、サンプリング期間 (t_1) において、1 行目に配設された画素乃至 i 行目に配設された画素用の赤 (R) を呈する光の透過を制御するための画像信号 ($dataR(1 \rightarrow i)$) を供給し、サンプリング期間 (t_2) において、1 行目に配設された画素乃至 i 行目に配設された画素用の緑 (G) を呈する光の透過を制御するための画像信号 ($dataG(1 \rightarrow i)$) を供給し、サンプリング期間 (t_3) において、1 行目に配設された画素乃至 i 行目に配設された画素用の青 (B) を呈する光の透過を制御するための画像信号 ($dataB(1 \rightarrow i)$) を供給し、サンプリング期間 (t_4) において、1 行目に配設された画素乃至 i 行目に配設された画素用の赤 (R) を呈する光及び緑 (G) を呈する光の混色によって形

50

成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data R} + \text{G} (1 \rightarrow i)$) を供給し、サンプリング期間 (t_5) において、1 行目に配設された画素乃至 i 行目に配設された画素用の緑 (G) を呈する光及び青 (B) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data G} + \text{B} (1 \rightarrow i)$) を供給し、サンプリング期間 (t_6) において、1 行目に配設された画素乃至 i 行目に配設された画素用の青 (B) を呈する光及び赤 (R) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data B} + \text{R} (1 \rightarrow i)$) を供給する。

【0097】

また、第 2 の画像信号 (DATA 2) を供給する配線は、サンプリング期間 (t_1) において、($i + 1$) 行目に配設された画素乃至 $2i$ 行目に配設された画素用の青 (B) を呈する光及び赤 (R) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data B} + \text{R} (i + 1 \rightarrow 2i)$) を供給し、サンプリング期間 (t_2) において、($i + 1$) 行目に配設された画素乃至 $2i$ 行目に配設された画素用の赤 (R) を呈する光の透過を制御するための画像信号 ($\text{data R} (i + 1 \rightarrow 2i)$) を供給し、サンプリング期間 (t_3) において、($i + 1$) 行目に配設された画素乃至 $2i$ 行目に配設された画素用の緑 (G) を呈する光の透過を制御するための画像信号 ($\text{data G} (i + 1 \rightarrow 2i)$) を供給し、サンプリング期間 (t_4) において、($i + 1$) 行目に配設された画素乃至 $2i$ 行目に配設された画素用の青 (B) を呈する光の透過を制御するための画像信号 ($\text{data B} (i + 1 \rightarrow 2i)$) を供給し、サンプリング期間 (t_5) において、($i + 1$) 行目に配設された画素乃至 $2i$ 行目に配設された画素用の赤 (R) を呈する光及び緑 (G) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data R} + \text{G} (i + 1 \rightarrow 2i)$) を供給し、サンプリング期間 (t_6) において、($i + 1$) 行目に配設された画素乃至 $2i$ 行目に配設された画素用の緑 (G) を呈する光及び青 (B) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data G} + \text{B} (i + 1 \rightarrow 2i)$) を供給する。

【0098】

また、第 3 の画像信号 (DATA 3) を供給する配線は、サンプリング期間 (t_1) において、($2i + 1$) 行目に配設された画素乃至 $3i$ 行目に配設された画素用の緑 (G) を呈する光及び青 (B) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data G} + \text{B} (2i + 1 \rightarrow 3i)$) を供給し、サンプリング期間 (t_2) において、($2i + 1$) 行目に配設された画素乃至 $3i$ 行目に配設された画素用の青 (B) を呈する光及び赤 (R) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data B} + \text{R} (2i + 1 \rightarrow 3i)$) を供給し、サンプリング期間 (t_3) において、($2i + 1$) 行目に配設された画素乃至 $3i$ 行目に配設された画素用の赤 (R) を呈する光の透過を制御するための画像信号 ($\text{data R} (2i + 1 \rightarrow 3i)$) を供給し、サンプリング期間 (t_4) において、($2i + 1$) 行目に配設された画素乃至 $3i$ 行目に配設された画素用の緑 (G) を呈する光の透過を制御するための画像信号 ($\text{data G} (2i + 1 \rightarrow 3i)$) を供給し、サンプリング期間 (t_5) において、($2i + 1$) 行目に配設された画素乃至 $3i$ 行目に配設された画素用の青 (B) を呈する光の透過を制御するための画像信号 ($\text{data B} (2i + 1 \rightarrow 3i)$) を供給し、サンプリング期間 (t_6) において、($2i + 1$) 行目に配設された画素乃至 $3i$ 行目に配設された画素用の赤 (R) を呈する光及び緑 (G) を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号 ($\text{data R} + \text{G} (2i + 1 \rightarrow 3i)$) を供給する。

【0099】

<バックライトの構成例>

本実施の形態の液晶表示装置のバックライトとして、実施の形態 1 に示したバックライト (図 5 参照) と同様のバックライトを適用することが可能である。ただし、本実施の形態のバックライトは、 $3i$ 行 j 列に配設された複数の画素に対するバックライトとして、

10

20

30

40

50

少なくとも h 行 j 列毎（ここでは、 h は、 $i / 4$ とする）にバックライトユニットが設けられ、該バックライトユニットの点灯を独立に制御できることとする。すなわち、当該バックライトが、少なくとも 1 行目乃至 h 行目用バックライトユニット～（ $2i + 3h + 1$ ）行目乃至 $3i$ 行目用バックライトユニットを有し、それぞれのバックライトユニットの点灯を独立に制御できることとする。

【0100】

<液晶表示装置の動作例>

図 19 は、上述した液晶表示装置における選択信号の走査と、バックライトの点灯タイミングとを示す図である。なお、図 19 において縦軸は画素部における行を表し、横軸は時間を表している。具体的には、図 19 において、1 乃至 $3i$ は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。当該液晶表示装置は、サンプリング期間（ t_1 ）～サンプリング期間（ t_6 ）のそれぞれにおいて、1 行目に配設された j 個の画素 651 から i 行目に配設された j 個の画素 651 を順次選択し、且つ（ $i + 1$ ）行目に配設された j 個の画素 652 から $2i$ 行目に配設された j 個の画素 652 を順次選択し、且つ（ $2i + 1$ ）行目に配設された j 個の画素 653 から $3i$ 行目に配設された j 個の画素 653 を順次選択することで、各画素に画像信号を入力することが可能である。サンプリング期間（ t_1 ）を例に挙げて具体的に述べると、当該液晶表示装置は、当該サンプリング期間（ t_1 ）において、1 行目に配設された j 個の画素 651 が有するトランジスタ 6511 から i 行目に配設された j 個の画素 651 が有するトランジスタ 6511 を順次オン状態とすることで、信号線 641 を介して赤（R）を呈する光の透過を制御するための画像信号を各画素に順次入力することが可能であり、（ $i + 1$ ）行目に配設された j 個の画素 652 が有するトランジスタ 6521 から $2i$ 行目に配設された j 個の画素 652 が有するトランジスタ 6521 を順次オン状態とすることで、信号線 642 を介して青（B）を呈する光及び赤（R）を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号を各画素に順次入力することが可能であり、（ $2i + 1$ ）行目に配設された j 個の画素 653 が有するトランジスタ 6531 から $3i$ 行目に配設された j 個の画素 653 が有するトランジスタ 6531 を順次オン状態とすることで、信号線 643 を介して緑（G）を呈する光及び青（B）を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号を各画素に順次入力することが可能である。

【0101】

さらに、当該液晶表示装置では、サンプリング期間（ t_1 ）内において、1 行目に配設された j 個の画素 651 から h 行目に配設された j 個の画素 651 に対して赤（R）を呈する光の透過を制御するための画像信号の入力が終了した後に 1 行目乃至 h 行目用バックライトユニットにおいて赤（R）の光源を点灯させ、且つ（ $i + 1$ ）行目に配設された j 個の画素 652 から（ $i + h$ ）行目に配設された j 個の画素 652 に対して青（B）を呈する光及び赤（R）を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号の入力が終了した後に（ $i + 1$ ）行目乃至（ $i + h$ ）行目用バックライトユニットにおいて青（B）の光源及び赤（R）の光源を点灯させ、且つ（ $2i + 1$ ）行目に配設された j 個の画素 653 から（ $2i + h$ ）行目に配設された j 個の画素 653 に対して緑（G）を呈する光及び青（B）を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号の入力が終了した後に（ $2i + 1$ ）行目乃至（ $2i + h$ ）行目用バックライトユニットにおいて緑（G）の光源及び青（B）の光源を点灯させることが可能である。すなわち、当該液晶表示装置では、画素部の特定の領域（1 行目乃至 i 行目、（ $i + 1$ ）行目乃至 $2i$ 行目、及び（ $2i + 1$ ）行目乃至 $3i$ 行目）毎に、選択信号の走査と、特定色を呈するバックライトユニットの点灯とを並行して行うことが可能である。

【0102】

なお、当該液晶表示装置においては、1 行目乃至 i 行目に配設された画素を有する領域 601 において、赤（R）を呈する光の透過を制御するための画像信号の入力～バックラ

イトにおける青（B）の光源及び赤（R）の光源の点灯までの動作が行われ、且つ（ $i + 1$ ）行目乃至 $2i$ 行目に配設された画素を有する領域602において、青（B）を呈する光及び赤（R）を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号の入力～バックライトにおける緑（G）の光源及び青（B）の光源の点灯までの動作が行われ、且つ（ $2i + 1$ ）行目乃至 $3i$ 行目に配設された画素を有する領域603において、緑（G）を呈する光及び青（B）を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号の入力～バックライトにおける赤（R）の光源及び緑（G）の光源の点灯までの動作が行われることによって画素部に1枚の画像が形成されることとする。

【0103】

10

＜本実施の形態の液晶表示装置について＞

本実施の形態で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を向上させることが可能になる。その結果、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置、又は倍速駆動を行う液晶表示装置として好適である。

【0104】

さらに、フィールドシーケンシャル方式によって表示を行う液晶表示装置として本明細書で開示される液晶表示装置を適用することは、以下の点で好ましい。上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では色情報が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落することによって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化（劣化）すること（カラーブレイク、色割れともいう）がある。ここで、カラーブレイクの抑制には、フレーム周波数を高くすることが効果的である。一方、フィールドシーケンシャル方式によって表示を行うためには、フレーム周波数よりも高い頻度で各画素に対して画像信号を入力する必要がある。そのため、従来の液晶表示装置においてフィールドシーケンシャル方式且つ高フレーム周波数駆動によって表示を行う場合、当該液晶表示装置を構成する素子の性能（高速応答性）に対する要求が非常に厳しくなる。これに対し、本明細書で開示される液晶表示装置は、素子の特性に制約されることなく各画素に対する画像信号の入力頻度を向上させることが可能である。そのため、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクの抑制を容易に行うことが可能である。

20

30

【0105】

さらに、図19に示すようにバックライトユニットを点灯する場合、隣接するバックライトユニットが異なる色を呈することがない。例えば、サンプリング期間（ t_4 ）内において、（ $i + 1$ ）行目に配設された j 個の画素652から（ $i + h$ ）行目に配設された j 個の画素652に対して青（B）を呈する光の透過を制御するための画像信号の入力が終了した後に（ $i + 1$ ）行目乃至（ $i + h$ ）行目用バックライトユニットにおいて青（B）の光源を点灯させる際に、（ $3h + 1$ ）行目乃至 i 行目用バックライトユニット及び（ $i + h + 1$ ）行目乃至（ $i + 2h$ ）行目用バックライトユニットにおいては、青（B）の光源が点灯される又は点灯自体が行われない（赤（R）、緑（G）が点灯されることがない）。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

40

【0106】

また、図19に示す動作例のようにバックライトユニットが有する2つの光源を同時に点灯させる期間を設ける場合、液晶表示装置の表示輝度の向上を図ることが可能である。また、図19に示す動作例においては、複数の光源のそれぞれの点灯期間を効率よく長期化することが可能である。その結果、図19に示す動作例においては、効率よく表示色調の細分化を図ることが可能である。

50

【0107】

<変形例>

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0108】

例えば、本実施の形態の液晶表示装置においては、画素部60を3つの領域に分割する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部60を任意の複数領域に分割する構成とすることが可能である。なお、自明ではあるが、当該領域数を変化させる場合、当該領域数と同数のシフトレジスタなどを設ける必要があることを付記する。

10

【0109】

また、本実施の形態の液晶表示装置においては、3つの領域に含まれる画素数が同一である構成（全ての領域において*i*行*j*列の画素が含まれる構成）について示したが、本発明の液晶表示装置では、領域毎に含まれる画素数を変化させることが可能である。具体的には、第1の領域には*a*行*j*列（*a*は、自然数）の画素が含まれ、第2の領域には*b*行*j*列（*b*は、*a*と異なる自然数）の画素が含まれる構成とすることが可能である。

【0110】

また、本実施の形態の液晶表示装置においては、走査線駆動回路がシフトレジスタを用いて構成される液晶表示装置について示したが、当該シフトレジスタを同等の機能を有する回路に置換することが可能である。例えば、当該シフトレジスタをデコーダに置換することが可能である。

20

【0111】

また、本実施の形態の液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成（図16（B）～（D）参照）について示したが、当該容量素子を設けない構成とすることも可能である。この場合、画素の開口率を向上させることが可能である。また、画素部に延在する容量配線を削除することができるため、画素部に延在する各種配線の高速駆動が可能となる。

【0112】

また、本実施の形態の液晶表示装置においては、選択信号の走査及びバックライトユニットの点灯を連続的に行う構成（図19参照）について示したが、液晶表示装置の動作は、当該構成に限定されない。例えば、画素部において1枚の画像を形成する期間の前後に、選択信号の走査及びバックライトユニットの点灯が行われない期間を設ける構成とすることが可能である（図20参照）。これにより、当該液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。なお、図9においては、選択信号の走査及びバックライトユニットの点灯の双方を行わない構成について例示しているが、選択信号の走査を行い各画素に対して光を透過させないための画像信号を入力する構成とすることも可能である。

30

【0113】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライトユニットが有する3つの光源の1つ又は2つを点灯させる期間を設ける構成（図19参照）について示したが、バックライトユニットが有する3つの光源のすべてが点灯される期間を設ける構成（図21参照）とすることも可能である。この場合、液晶表示装置の表示輝度をさらに向上させること及び表示色調をさらに細分化させることが可能である。なお、図21に示す動作例においては、1行目乃至*i*行目に配設された画素を有する領域601において、赤（R）を呈する光の透過を制御するための画像信号の入力～バックライトにおける赤（R）の光源、緑（G）の光源、及び青（B）の光源の点灯までの動作が行われ、且つ*i*+1行目乃至2*i*行目に配設された画素を有する領域602において、赤（R）を呈する光、緑（G）を呈する光、及び青（B）を呈する光の混色によって形成される白（W）を呈する光の透過を制御するための画像信号の入力～バックライトにおける青（B）の光源及び赤（R）の光源の点灯までの動作が行われ、且つ2*i*+1行目乃至3*i*行

40

50

目に配設された画素を有する領域603において、青（B）を呈する光及び赤（R）を呈する光の混色によって形成される有彩色を呈する光の透過を制御するための画像信号の入力～バックライトにおける青（B）の光源及び赤（R）の光源の点灯までの動作が行われることによって画素部に1枚の画像が形成されることとする。

【0114】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライトユニットを赤（R）→緑（G）→青（B）→赤（R）及び緑（G）→緑（G）及び青（B）→青（B）及び赤（R）の順で点灯することで1枚の画像を形成する構成（図19参照）について示したが、本実施の形態の液晶表示装置における光源の点灯順は当該順に限定されない。例えば、青（B）→青（B）及び緑（G）→緑（G）→緑（G）及び赤（R）→赤（R）→赤（R）及び青（B）の順で点灯することで1枚の画像を形成する構成（図示しない）、青（B）→青（B）及び赤（R）→赤（R）→赤（R）及び緑（G）→緑（G）→緑（G）及び青（B）の順で点灯することで1枚の画像を形成する構成（図示しない）、青（B）→赤（R）及び緑（G）→緑（G）→青（B）及び赤（R）→赤（R）→緑（G）及び青（B）の順で点灯することで1枚の画像を形成する構成（図示しない）、青（B）→赤（R）及び緑（G）→青（B）及び緑（G）→赤（R）→緑（G）→赤（R）及び青（B）の順で点灯することで1枚の画像を形成する構成（図示しない）などすることも可能である。なお、光源の点灯順に合わせて、特定色を呈する光の透過を制御するための画像信号の入力順も適宜設計する必要があることは言うまでもない。

【0115】

また、本実施の形態の液晶表示装置においては、バックライトユニットが有する赤（R）、緑（G）、及び青（B）の光源のそれぞれが3回点灯することで1枚の画像を形成する構成（図19参照）について示したが、本実施の形態の液晶表示装置における光源毎の点灯回数を異ならせることも可能である。例えば、視感度が高い赤（R）及び緑（G）を呈する光が2回点灯され、且つ視感度の低い青（B）が3回点灯されるように、バックライトユニットを点灯することで1枚の画像を形成する構成（図示しない）とすることも可能である。

【0116】

また、本実施の形態の液晶表示装置においては、バックライトとして赤（R）、緑（G）、青（B）のいずれか一を呈する光を発光する3種の光源を組み合わせる構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光の光源を組み合わせるバックライトを構成することが可能である。例えば、赤（R）、緑（G）、青（B）、白（W）、若しくは赤（R）、緑（G）、青（B）、黄（Y）の4種の光源を組み合わせる用いること、又はシアン（C）、マゼンタ（M）、イエロー（Y）の3種の光源を組み合わせる用いることなどが可能である。なお、バックライトユニットが白（W）を呈する光を発光する光源を有する場合は、白（W）を呈する光を混色によって形成するのではなく、当該光源を用いて白（W）を呈する光を形成することができる。当該光源は、発光効率が高いため、当該光源を用いてバックライトを構成することで、消費電力を低減することが可能である。また、バックライトユニットが補色の関係にある光を発光する2種の光源を有する場合（例えば、青（B）と黄（Y）の2種の光源を有する場合）、それぞれの光を混色することで白（W）を呈する光を形成することも可能である。さらに、淡色の赤（R）、緑（G）、及び青（B）、並びに濃色の赤（R）、緑（G）、及び青（B）の6種の光源を組み合わせる用いること、又は赤（R）、緑（G）、青（B）、シアン（C）、マゼンタ（M）、イエロー（Y）の6種の光源を組み合わせる用いることなども可能である。このように、より多種の光源を組み合わせる用いることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0117】

なお、本実施の形態の変形例として述べた構成の複数を、本実施の形態の液晶表示装置に対して適用することも可能である。

【0118】

また、本実施の形態の内容又は該内容の一部を、他の実施の形態の内容又は該内容の一部と組み合わせることが可能である。

【0119】

(実施の形態3)

本実施の形態では、実施の形態1又は2に示した液晶表示装置の具体的な構成について、説明する。

【0120】

<トランジスタの具体例>

まず、上述した液晶表示装置の画素部又は各種回路に用いられるトランジスタの具体例について図22を参照して説明する。なお、当該液晶表示装置において、画素部及び各種回路のそれぞれに設けられるトランジスタは、同一構成を有するトランジスタを適用してもよいし、それぞれ毎に異なる構成を有するトランジスタを適用してもよい。

10

【0121】

図22(A)に示すトランジスタ2450は、基板2400上にゲート層2401が形成され、ゲート層2401上にゲート絶縁層2402が形成され、ゲート絶縁層2402上に半導体層2403が形成され、半導体層2403上に、ソース層2405a、及びドレイン層2405bが形成されている。また、半導体層2403、ソース層2405a、及びドレイン層2405b上に絶縁層2407が形成されている。また、絶縁層2407上に保護絶縁層2409を形成してもよい。トランジスタ2450は、ボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

20

【0122】

図22(B)に示すトランジスタ2460は、基板2400上にゲート層2401が形成され、ゲート絶縁層2402上に半導体層2403が形成され、半導体層2403上にチャネル保護層2406が形成され、チャネル保護層2406及び半導体層2403上に、ソース層2405a、及びドレイン層2405bが形成されている。また、ソース層2405a、及びドレイン層2405b上に保護絶縁層2409を形成してもよい。トランジスタ2460は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造のトランジスタの一つであり、逆スタガ型トランジスタの一つでもある。

【0123】

図22(C)に示すトランジスタ2470は、基板2400上に下地層2436が形成され、下地層2436上に半導体層2403が形成され、半導体層2403、及び下地層2436上に、ソース層2405a、及びドレイン層2405bが形成され、半導体層2403、ソース層2405a、及びドレイン層2405b上にゲート絶縁層2402が形成され、ゲート絶縁層2402上にゲート層2401が形成されている。また、ゲート層2401上に保護絶縁層2409を形成してもよい。トランジスタ2470は、トップゲート構造のトランジスタの一つである。

30

【0124】

図22(D)に示すトランジスタ2480は、基板2400上に、第1のゲート層2411が形成され、第1のゲート層2411上に第1のゲート絶縁層2413が形成され、第1のゲート絶縁層2413上に半導体層2403が形成され、半導体層2403、及び第1のゲート絶縁層2413上に、ソース層2405a、及びドレイン層2405bが形成されている。また、半導体層2403、ソース層2405a、及びドレイン層2405b上に第2のゲート絶縁層2414が形成され、第2のゲート絶縁層2414上に第2のゲート層2412が形成されている。また、第2のゲート層2412上に保護絶縁層2409を形成してもよい。

40

【0125】

トランジスタ2480は、トランジスタ2450とトランジスタ2470を併せた構成を有する。第1のゲート層2411と第2のゲート層2412を電氣的に接続して一つのゲート層として機能させることができる。また、第1のゲート層2411と第2のゲート

50

層 2 4 1 2 のうち、どちらか一方を単に「ゲート」と呼び、他方を「バックゲート」と呼ぶことがある。なお、トランジスタ 2 4 8 0 において、バックゲートの電位を変化させることで、ゲートの電位によってスイッチングを制御する際のトランジスタ 2 4 8 0 のしきい値電圧を変化させることができる。

【0 1 2 6】

なお、基板 2 4 0 0 としては、半導体基板（例えば単結晶基板又はシリコン基板）、S O I 基板、ガラス基板、石英基板、表面に絶縁層が設けられた導電性基板、又はプラスチック基板、貼り合わせフィルム、繊維状の材料を含む紙、若しくは基材フィルムなどの可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポ
10

【0 1 2 7】

また、ゲート層 2 4 0 1 及び第 1 のゲート層 2 4 1 1 としては、アルミニウム (A l)、銅 (C u)、チタン (T i)、タンタル (T a)、タングステン (W)、モリブデン (M o)、クロム (C r)、ネオジム (N d)、スカンジウム (S c) から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0 1 2 8】

また、ゲート絶縁層 2 4 0 2、第 1 のゲート絶縁層 2 4 1 3、第 2 のゲート絶縁層 2 4 1 4 としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が 5 5 ~ 6 5 原子%、窒素が 1 ~ 2 0 原子%、シリコンが 2 5 ~ 3 5 原子%、水素が 0 . 1 ~ 1 0 原子%の範囲において、合計 1 0 0 原子%となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が 1 5 ~ 3 0 原子%、窒素が 2 0 ~ 3 5 原子%、S i が 2 5 ~ 3 5 原子%、水素が 1 5 ~ 2 5 原子%の範囲において、合計 1 0 0 原子%となるよ
20
30

【0 1 2 9】

また、半導体層 2 4 0 3 としては、シリコン (S i) 若しくはゲルマニウム (G e) などの周期表第 1 4 族元素を主構成元素とする材料、シリコンゲルマニウム (S i G e) 若しくはガリウムヒ素 (G a A s) などの化合物、酸化亜鉛 (Z n O) 若しくはインジウム (I n) 及びガリウム (G a) を含む酸化亜鉛などの酸化物、又は半導体特性を示す有機化合物などの半導体材料を適用することができる。また、これらの半導体材料からなる層の積層構造を適用することもできる。

【0 1 3 0】

さらに、半導体層 2 4 0 3 としてシリコン (S i) を適用する場合、当該半導体層 2 4 0 3 の結晶状態は限定されない。すなわち、アモルファスシリコン、微結晶シリコン、多結晶シリコン、及び単結晶シリコンのいずれかを半導体層 2 4 0 3 として適用することが可能である。なお、微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手 (ダングリングボンド) を終端するため水素またはハロゲンを少なくとも 1 原子%またはそれ以上含んでいる。さらに、ヘリウム、アルゴン、クリプトン、またはネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体が得られる。

【0 1 3 1】

10

20

30

40

50

また、半導体層 2403 として酸化物（酸化物半導体）を適用する場合、少なくとも In、Ga、Sn、Zn、Al、Mg、Hf 及びランタノイドから選ばれた一種以上の元素を含有する。例えば、四元系金属酸化物である In-Sn-Ga-Zn-O 系、三元系金属酸化物である In-Ga-Zn-O 系、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Hf-Zn-O 系、In-La-Zn-O 系、In-Ce-Zn-O 系、In-Pr-Zn-O 系、In-Nd-Zn-O 系、In-Pm-Zn-O 系、In-Sm-Zn-O 系、In-Eu-Zn-O 系、In-Gd-Zn-O 系、In-Tb-Zn-O 系、In-Dy-Zn-O 系、In-Ho-Zn-O 系、In-Er-Zn-O 系、In-Tm-Zn-O 系、In-Yb-Zn-O 系、In-Lu-Zn-O 系、二元系金属酸化物である In-Ga-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、Zn-Mg-O 系、Sn-Mg-O 系、In-Mg-O 系、または単元系金属酸化物である In-O 系、Sn-O 系、Zn-O 系などを用いることができる。また、上記酸化物半導体に SiO₂ を含んでもよい。ここで、例えば、In-Ga-Zn-O 系酸化物半導体とは、少なくとも In と Ga と Zn を含む酸化物であり、その組成比に特に制限はない。また、In と Ga と Zn 以外の元素を含んでもよい。

【0132】

また、酸化物半導体として、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される薄膜を用いることができる。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば M として、Ga、Ga 及び Al、Ga 及び Mn、または Ga 及び Co などを選択することができる。

【0133】

また、酸化物半導体として In-Zn-O 系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In}:\text{Zn}=50:1\sim 1:2$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim 1:4$ ）、好ましくは $\text{In}:\text{Zn}=20:1\sim 1:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim 1:2$ ）、さらに好ましくは $\text{In}:\text{Zn}=1.5:1\sim 15:1$ （モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=3:4\sim 15:2$ ）とする。例えば、In-Zn-O 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In}:\text{Zn}:\text{O}=X:Y:Z$ のとき、 $Z > 1.5X+Y$ とする。

【0134】

また、ソース層 2405a、ドレイン層 2405b、及び第 2 のゲート層 2412 としては、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0135】

また、ソース層 2405a、ドレイン層 2405b（これらと同じ層で形成される配線層を含む）となる導電膜は導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム (In_2O_3)、酸化スズ (SnO_2)、酸化亜鉛 (ZnO)、酸化インジウム酸化スズ ($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITO と略記する)、酸化インジウム酸化亜鉛 ($\text{In}_2\text{O}_3-\text{ZnO}$) またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0136】

なお、チャネル保護層 2406 としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0137】

また、絶縁層 2407 としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウムなどの絶縁体を適用することができる。また、こ

10

20

30

40

50

これらの材料の積層構造を適用することもできる。

【0138】

また、保護絶縁層2409としては、窒化シリコン、窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0139】

また、下地層2436としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0140】

なお、半導体層2403として酸化物半導体を適用する場合、該酸化物半導体に接する絶縁層（ここでは、ゲート絶縁層2402、絶縁層2407、チャンネル保護層2406、下地層2436、第1のゲート絶縁層2413、第2のゲート絶縁層2414が相当する）としては、第13族元素および酸素を含む絶縁材料を用いることが好ましい。酸化物半導体材料には第13族元素を含むものが多く、第13族元素を含む絶縁材料は酸化物半導体との相性が良く、これを酸化物半導体に接する絶縁層に用いることで、酸化物半導体との界面の状態を良好に保つことができる。

【0141】

第13族元素を含む絶縁材料とは、絶縁材料に一または複数の第13族元素を含むことを意味する。第13族元素を含む絶縁材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウム、酸化ガリウムアルミニウムなどがある。ここで、酸化アルミニウムガリウムとは、ガリウムの含有量（原子％）よりアルミニウムの含有量（原子％）が多いものを示し、酸化ガリウムアルミニウムとは、ガリウムの含有量（原子％）がアルミニウムの含有量（原子％）以上のものを示す。

【0142】

例えば、ガリウムを含有する酸化物半導体層に接して絶縁層を形成する場合に、絶縁層に酸化ガリウムを含む材料を用いることで酸化物半導体層と絶縁層の界面特性を良好に保つことができる。例えば、酸化物半導体層と酸化ガリウムを含む絶縁層とを接して設けることにより、酸化物半導体層と絶縁層の界面における水素のパイルアップを低減することができる。なお、絶縁層に酸化物半導体の成分元素と同じ族の元素を用いる場合には、同様の効果を得ることが可能である。例えば、酸化アルミニウムを含む材料を用いて絶縁層を形成することも有効である。なお、酸化アルミニウムは、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層への水の侵入防止という点においても好ましい。

【0143】

また、半導体層2403として酸化物半導体を適用する場合、該酸化物半導体に接する絶縁層は、酸素雰囲気下による熱処理や、酸素ドーピングなどにより、絶縁材料を化学量論的組成比より酸素が多い状態とすることが好ましい。酸素ドーピングとは、酸素をバルクに添加することをいう。なお、当該バルクの用語は、酸素を薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、酸素ドーピングには、プラズマ化した酸素をバルクに添加する酸素プラズマドーピングが含まれる。また、酸素ドーピングは、イオン注入法またはイオンドーピング法を用いてもよい。

【0144】

例えば、当該絶縁層として酸化ガリウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムの組成を Ga_2O_X （ $X=3+\alpha$ 、 $0<\alpha<1$ ）とすることができる。

【0145】

また、当該絶縁層として酸化アルミニウムを用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化アルミニウムの組成を Al_2O_X （ $X=3+\alpha$ 、 $0<\alpha<1$ ）とすることができる。

【0146】

また、当該絶縁層として酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を用いた場合、酸素雰囲気下による熱処理や、酸素ドーピングを行うことにより、酸化ガリウムアルミニウム（酸化アルミニウムガリウム）の組成を $Ga_x Al_{2-x} O_{3+\alpha}$ ($0 < x < 2$ 、 $0 < \alpha < 1$) とすることができる。

【0147】

酸素ドーピング処理を行うことにより、化学量論的組成比より酸素が多い領域を有する絶縁層を形成することができる。このような領域を備える絶縁層と酸化物半導体層が接することにより、絶縁層中の過剰な酸素が酸化物半導体層に供給され、酸化物半導体層中、または酸化物半導体層と絶縁層の界面における酸素不足欠陥を低減し、酸化物半導体層を I 型化または I 型に限りなく近い酸化物半導体とすることができる。

10

【0148】

なお、半導体層 2403 として酸化物半導体を適用する場合において、半導体層 2403 に接する絶縁層のうち、上層に位置する絶縁層及び下層に位置する絶縁層の一方のみを化学量論的組成比より酸素が多い領域を有する絶縁層とすることもできるが、両方の絶縁層を化学量論的組成比より酸素が多い領域を有する絶縁層とすることが好ましい。化学量論的組成比より酸素が多い領域を有する絶縁層を、半導体層 2403 に接する絶縁層の、上層及び下層に位置する絶縁層に用い、半導体層 2403 を挟む構成とすることで、上記効果をより高めることができる。

【0149】

20

また、半導体層 2403 として酸化物半導体を適用する場合において、半導体層 2403 の上層または下層に用いる絶縁層は、上層と下層で同じ構成元素を有する絶縁層としても良いし、異なる構成元素を有する絶縁層としても良い。例えば、上層と下層とも、組成が $Ga_2 O_x$ ($x = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムとしても良いし、上層と下層の一方を組成が $Ga_2 O_x$ ($x = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムとし、他方を組成が $Al_2 O_x$ ($x = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化アルミニウムとしても良い。

【0150】

また、半導体層 2403 として酸化物半導体を適用する場合において、半導体層 2403 に接する絶縁層は、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良い。例えば、半導体層 2403 の上層に組成が $Ga_2 O_x$ ($x = 3 + \alpha$ 、 $0 < \alpha < 1$) の酸化ガリウムを形成し、その上に組成が $Ga_x Al_{2-x} O_{3+\alpha}$ ($0 < x < 2$ 、 $0 < \alpha < 1$) の酸化ガリウムアルミニウム（酸化アルミニウムガリウム）を形成してもよい。なお、半導体層 2403 の下層を、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良いし、半導体層 2403 の上層及び下層の両方を、化学量論的組成比より酸素が多い領域を有する絶縁層の積層としても良い。

30

【0151】

ここで、半導体層として酸化物半導体が適用されたトランジスタ 951、及び半導体層として酸化物半導体が適用され且つバックゲートを備えたトランジスタ 952 を作製し、光負バイアス劣化前後でのしきい値電圧 (V_{th}) 変化量を評価した結果を示す。

【0152】

40

まず、図 30 (A) を用いてトランジスタ 951 の積層構成及び作製方法について説明する。基板 900 上に、下地層 936 として、CVD 法により窒化シリコン膜（厚さ 200 nm）と酸化窒化シリコン膜（厚さ 400 nm）の積層膜を形成した。次に、下地層 936 上に、スパッタ法により窒化タンタル膜（厚さ 30 nm）と、タングステン膜（厚さ 100 nm）の積層膜を成膜し、選択的にエッチングしてゲート層 901 を形成した。

【0153】

次に、ゲート層 901 上に、ゲート絶縁層 902 として、高密度プラズマ CVD 法により酸化窒化シリコン層（厚さ 30 nm）を形成した。

【0154】

次に、ゲート絶縁層 902 上に、スパッタ法により $In-Ga-Zn-O$ 系金属酸化物

50

ターゲットを用いて、酸化物半導体膜（厚さ30nm）を形成した。続いて、酸化物半導体膜を選択的にエッチングし、島状の酸化物半導体層903を形成した。

【0155】

次に、窒素雰囲気下、450℃で60分間の第1の加熱処理を行った。

【0156】

次に、酸化物半導体層903上にチタン膜（厚さ100nm）、アルミニウム膜（厚さ200nm）、及びチタン膜（厚さ100nm）の積層膜をスパッタ法により成膜し、選択的にエッチングしてソース層905a及びドレイン層905bを形成した。

【0157】

次に、窒素雰囲気下、300℃で60分間の第2の加熱処理を行った。

10

【0158】

次に、酸化物半導体層903の一部に接し且つソース層905a及びドレイン層905b上に形成される絶縁層907として、スパッタ法により酸化シリコン膜（厚さ300nm）を形成し、絶縁層907上に、絶縁層908として、ポリイミド樹脂層（厚さ1.5μm）を形成した。

【0159】

次に、窒素雰囲気下、250℃で60分間の第3の加熱処理を行った。

【0160】

次に、絶縁層908上に絶縁層909として、ポリイミド樹脂層（厚さ2.0μm）を形成した。

20

【0161】

次に、窒素雰囲気下、250℃で60分間の第4の加熱処理を行った。

【0162】

図30（B）に示すトランジスタ952は、トランジスタ951と同様に作製することができる。なお、トランジスタ951とは、絶縁層908と絶縁層909の間にバックゲート層912が形成されている点が異なる。バックゲート層912は、絶縁層908上に、チタン膜（厚さ100nm）、アルミニウム膜（厚さ200nm）、及びチタン膜（厚さ100nm）の積層膜をスパッタ法により成膜し、選択的にエッチングすることで形成した。なお、バックゲート層912は、ソース層905aと電氣的に接続される。

【0163】

また、トランジスタ951及びトランジスタ952とも、チャネル長は3μm、チャネル幅は20μmとした。

30

【0164】

続いて、本実施の形態で作製したトランジスタ951及びトランジスタ952に対して行った光負バイアス試験について説明する。

【0165】

光負バイアス試験は加速試験の一種であり、光が照射されている環境下におけるトランジスタの特性変化を、短時間で評価することができる。特に、光負バイアス試験におけるトランジスタの V_{th} の変化量は、信頼性を調べるための重要な指標となる。光負バイアス試験において、 V_{th} の変化量が少ないほど、信頼性が高いトランジスタであるといえる。光負バイアス試験の前後における V_{th} の変化量は、1V以下が好ましく、0.5V以下がさらに好ましい。

40

【0166】

具体的には、光負バイアス試験は、トランジスタが形成されている基板の温度（基板温度）を一定に維持し、トランジスタのソース及びドレインを同電位とし、光を照射しながら、ゲートにソース及びドレインよりも低い電位を一定時間印加することで行う。

【0167】

光負バイアス試験の強度は、光照射条件、基板温度、ゲート絶縁層に加えられる電界強度、電界印加時間により決定することができる。ゲート絶縁層に加えられる電界強度は、ゲートと、ソース及びドレインとの電位差をゲート絶縁層の厚さで除して決定される。例

50

えば、厚さが100nmのゲート絶縁層に印加する電界強度を2MV/cmとしたい場合は、電位差を20Vとすればよい。

【0168】

なお、光が照射されている環境下において、ソース及びドレインの電位よりも高い電位をゲートに印加して行う試験を光正バイアス試験というが、光正バイアス試験よりも、光負バイアス試験の方が、トランジスタの特性変動が起きやすいため、本実施の形態では光負バイアス試験にて評価している。

【0169】

ここでは、光負バイアス試験における基板温度を室温(25℃)とし、ゲート絶縁層902に印加する電界強度を2MV/cmとし、光照射及び電界印加時間を1時間として行った。また、光照射の条件は、朝日分光社キセノン光源「MAX-302」を用いて、ピーク波長400nm(半値幅10nm)、放射照度326μW/cm²とした。

【0170】

光負バイアス試験に先立ち、まず、試験対象となるトランジスタの初期特性を測定した。ここでは、基板温度を室温(25℃)とし、ソースとドレイン間の電圧(以下、ドレイン電圧またはV_dという)を3Vとし、ソースとゲート間の電圧(以下、ゲート電圧またはV_gという)を-5V~+5Vまで変化させた時の、ソースとドレイン間に流れる電流(以下、ドレイン電流またはI_dという)の変化特性、すなわちV_g-I_d特性を測定した。

【0171】

次に、絶縁層908側から光照射を開始し、トランジスタのソース及びドレインの電位を0Vとし、トランジスタのゲート絶縁層902へ印加される電界強度が2MV/cmとなるようにゲートに負の電圧を印加した。ここでは、トランジスタのゲート絶縁層902の厚さが30nmであるため、ゲートに-6Vを印加し、そのまま1時間保持した。ここでは印加時間を1時間としたが、目的に応じて適宜時間を変更してもよい。

【0172】

次に、電圧の印加を終了し、光を照射したまま、初期特性の測定と同じ条件でV_g-I_d特性を測定し、光負バイアス試験後のV_g-I_d特性を得た。

【0173】

ここで、V_thの算出方法について図31を例示して説明しておく。図31の横軸はゲート電圧をリニアスケールで示しており、縦軸はドレイン電流の平方根(以下、√I_dともいう)をリニアスケールで示している。曲線921は、V_g-I_d特性におけるI_dの値を平方根で表した曲線(以下、√I_d曲線ともいう)である。

【0174】

まず、測定したV_g-I_d曲線から√I_d曲線(曲線921)を求める。次に、√I_d曲線上の、√I_d曲線の微分値が最大になる点の接線924を求める。次に、接線924を延伸し、接線924上でI_dが0Aとなる時のV_g、すなわち接線924のゲート電圧軸切片925の値をV_thとして定義する。

【0175】

図32に、光負バイアス試験前後におけるトランジスタ951及びトランジスタ952のV_g-I_d特性を示す。図32(A)及び図32(B)とも、横軸はゲート電圧(V_g)で、縦軸はゲート電圧に対するドレイン電流(I_d)を対数目盛で示している。

【0176】

図32(A)は、光負バイアス試験前後におけるトランジスタ951のV_g-I_d特性を示している。初期特性931は、光負バイアス試験前のトランジスタ951のV_g-I_d特性であり、試験後特性932は、光負バイアス試験後のトランジスタ951のV_g-I_d特性である。初期特性931のV_thは、1.01Vであり、試験後特性932のV_thは、0.44Vであった。

【0177】

図32(B)は、光負バイアス試験前後におけるトランジスタ952のV_g-I_d特性

10

20

30

40

50

を示している。また、図 3 2 (C) は、図 3 2 (B) 中の部位 9 4 5 を拡大した図である。初期特性 9 4 1 は、光負バイアス試験前のトランジスタ 9 5 2 の $V_g - I_d$ 特性であり、試験後特性 9 4 2 は、光負バイアス試験後のトランジスタ 9 5 2 の $V_g - I_d$ 特性である。初期特性 9 4 1 の V_{th} は、1. 1 6 V であり、試験後特性 9 4 2 の V_{th} は、1. 1 0 V であった。なお、トランジスタ 9 5 2 のバックゲート層 9 1 2 はソース層 9 0 5 a と電氣的に接続されているため、バックゲート層 9 1 2 とソース層 9 0 5 a の電位は同電位となる。

【0178】

図 3 2 (A) において、試験後特性 9 3 2 は、初期特性 9 3 1 に比べて V_{th} がマイナス方向に 0. 5 7 V 変化しており、図 3 2 (B) において、試験後特性 9 4 2 は、初期特性 9 4 1 に比べて V_{th} がマイナス方向に 0. 0 6 V 変化している。トランジスタ 9 5 1 及びトランジスタ 9 5 2 とも、 V_{th} の変化量は 1 V 以下であり、信頼性が高いトランジスタであることが確認できる。また、バックゲート層 9 1 2 を設けたトランジスタ 9 5 2 は、 V_{th} の変化量が 0. 1 V 以下であり、トランジスタ 9 5 1 よりもさらに信頼性の高いトランジスタであることが確認できる。

【0179】

<画素レイアウトの具体例>

次いで、上述した液晶表示装置の画素のレイアウトの具体例について図 2 3 (A)、(B)、2 4 を参照して説明する。なお、図 2 3 (A) は、図 1 (B) に示した画素のレイアウトの上面図を示す図であり、図 2 3 (B) は、図 2 3 (A) 上に示した画素上に設けられる遮蔽層 2 4 2 を含んだレイアウトを示す図であり、図 2 4 は、図 2 3 (A)、(B) に示す A-B 線における断面図を示す図である。なお、図 2 3 (A)、(B) においては、液晶層、対向電極などの構成は割愛している。以下、具体的な構造について図 2 4 を参照して説明する。

【0180】

トランジスタ 1 6 は、基板 2 2 0 上に絶縁層 2 2 1 を介して設けられた導電層 2 2 2 と、導電層 2 2 2 上に設けられた絶縁層 2 2 3 と、導電層 2 2 2 上に絶縁層 2 2 3 を介して設けられた半導体層 2 2 4 と、半導体層 2 2 4 の一端上に設けられた導電層 2 2 5 a と、半導体層 2 2 4 の他端上に設けられた導電層 2 2 5 b と、を有する。なお、導電層 2 2 2 は、ゲート層として機能し、絶縁層 2 2 3 は、ゲート絶縁層として機能し、導電層 2 2 5 a 及び導電層 2 2 5 b の一方は、ソース層、他方はドレイン層として機能する。

【0181】

容量素子 1 7 は、基板 2 2 0 上に絶縁層 2 2 1 を介して設けられた導電層 2 2 6 と、導電層 2 2 6 上に設けられた絶縁層 2 2 7 と、導電層 2 2 6 上に絶縁層 2 2 7 を介して設けられた導電層 2 2 8 と、を有する。なお、導電層 2 2 6 は、容量素子 1 7 の一方の電極として機能し、絶縁層 2 2 7 は、容量素子 1 7 の誘電体として機能し、導電層 2 2 8 は、容量素子 1 7 の他方の電極として機能する。また、導電層 2 2 6 は、導電層 2 2 2 と同一材料からなり、絶縁層 2 2 7 は、絶縁層 2 2 3 と同一材料からなり、導電層 2 2 8 は、導電層 2 2 5 a 及び導電層 2 2 5 b と同一材料からなる。また、導電層 2 2 6 は、導電層 2 2 5 b と電氣的に接続されている。

【0182】

なお、トランジスタ 1 6 及び容量素子 1 7 上には、絶縁層 2 2 9 及び平坦化絶縁層 2 3 0 が設けられている。

【0183】

液晶素子 1 8 は、平坦化絶縁層 2 3 0 上に設けられた透明導電層 2 3 1 と、対向基板 2 4 0 上に設けられた透明導電層 2 4 1 と、透明導電層 2 3 1 と透明導電層 2 4 1 に挟持された液晶層 2 5 0 と、を有する。なお、透明導電層 2 3 1 は、液晶素子 1 8 の画素電極として機能し、透明導電層 2 4 1 は、液晶素子 1 8 の対向電極として機能する。また、透明導電層 2 3 1 は、導電層 2 2 5 b 及び導電層 2 2 6 と電氣的に接続されている。

【0184】

10

20

30

40

50

なお、透明導電層 231 と液晶層 250 の間、または透明導電層 241 と液晶層 250 の間に、配向膜を適宜設けても良い。配向膜は、ポリイミド、ポリビニルアルコールなどの有機樹脂を用いて形成することができ、その表面には、ラビングなどの、液晶分子を一定方向に配列させるための配向処理が施されている。ラビングは、配向膜に接するように、ナイロンなどの布を巻いたローラーを回転させて、上記配向膜の表面を一定方向に擦ることで、行うことができる。なお、酸化珪素などの無機材料を用い、配向処理を施すことなく、蒸着法で配向特性を有する配向膜を直接形成することも可能である。

【0185】

また、液晶層 250 を形成するために行われる液晶の注入は、ディスペンサ式（滴下式）を用いても良いし、ディップ式（汲み上げ式）を用いても良い。

10

【0186】

なお、対向基板 240 上には、画素間における液晶の配向の乱れに起因するディスクリネーションが視認されるのを防ぐため、又は、拡散した光が隣接する複数の画素に並行して入射するのを防ぐために、光を遮蔽することができる遮蔽層 242 が設けられている。遮蔽層 242 には、カーボンブラック、二酸化チタンよりも酸化数が小さい低原子価酸化チタンなどの黒色顔料を含む有機樹脂を用いることができる。また、クロムを用いた膜で、遮蔽層 242 を形成することも可能である。

【0187】

特に、トランジスタ 16 の半導体層 224 として酸化物半導体が適用される場合、図 24 に示す構成は以下の点で好ましい。上述したように、半導体層として酸化物半導体が適用されたトランジスタは、光照射によって劣化する。これに対し、図 24 に示すトランジスタ 16 は、少なくとも導電層 222、225a、225b 及び遮蔽層 242 によって半導体層 224 を遮光することが可能である。そのため、トランジスタ 16 の信頼性を向上させることが可能である。

20

【0188】

透明導電層 231 及び透明導電層 241 は、例えば、酸化珪素を含む酸化インジウムスズ（ITO）、酸化インジウムスズ（ITO）、酸化亜鉛（ZnO）、酸化インジウム亜鉛（IZO）、ガリウムを添加した酸化亜鉛（GZO）などの透光性を有する導電材料を用いることができる。

【0189】

なお、図 24 では、透明導電層 231 と透明導電層 241 の間に液晶層 250 が挟持される構造を有する液晶素子を例に挙げて説明したが、本発明の一態様に係る液晶表示装置はこの構成に限定されない。IPS 型の液晶素子やブルー相を用いた液晶素子のように、一対の電極が共に一の基板に形成されていても良い。

30

【0190】

<液晶表示装置の具体例>

次いで、液晶表示装置のパネルの具体例について、図 25 を用いて説明する。図 25（A）は、基板 4001 と対向基板 4006 とをシール材 4005 によって接着させたパネルの上面図であり、図 25（B）は、図 25（A）の C-D 線における断面図に相当する。

40

【0191】

基板 4001 上に設けられた画素部 4002 と、走査線駆動回路 4004 とを囲むように、シール材 4005 が設けられている。また、画素部 4002、走査線駆動回路 4004 の上に対向基板 4006 が設けられている。よって、画素部 4002 と走査線駆動回路 4004 は、基板 4001 とシール材 4005 と対向基板 4006 とによって、液晶 4007 と共に封止されている。

【0192】

また、基板 4001 上のシール材 4005 によって囲まれている領域とは異なる領域に、信号線駆動回路 4003 が形成された基板 4021 が、実装されている。図 25 では、信号線駆動回路 4003 に含まれるトランジスタ 4009 を例示している。

50

【0193】

また、基板4001上に設けられた画素部4002、走査線駆動回路4004は、トランジスタを複数有している。図25(B)では、画素部4002に含まれるトランジスタ4010、トランジスタ4022を例示している。

【0194】

また、液晶素子4011が有する画素電極4030は、トランジスタ4010と電氣的に接続されている。そして、液晶素子4011の対向電極4031は、対向基板4006に形成されている。画素電極4030と対向電極4031と液晶4007とが重なっている部分が、液晶素子4011に相当する。

【0195】

また、スペーサ4035が、画素電極4030と対向電極4031との間の距離(セルギャップ)を制御するために設けられている。なお、図25(B)では、スペーサ4035が、絶縁膜をパターンニングすることで形成されている場合を例示しているが、球状スペーサを用いていても良い。

【0196】

また、信号線駆動回路4003、走査線駆動回路4004、画素部4002に与えられる各種信号及び電位は、引き回し配線4014及び引き回し配線4015を介して、接続端子4016から供給されている。接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0197】

なお、基板4001、対向基板4006、基板4021には、ガラス、セラミックス、プラスチックを用いることができる。プラスチックには、FRP(Fiber glass-Reinforced Plastics)板、PVF(ポリビニルフルオライド)フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムなどが含まれる。

【0198】

但し、液晶素子4011からの光の取り出し方向に位置する基板には、ガラス板、プラスチック、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0199】

図26は、本発明の一態様に係る液晶表示装置の構造を示す、斜視図の一例である。図26に示す液晶表示装置は、画素部を有するパネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607と、回路基板1608と、信号線駆動回路の形成された基板1611とを有している。

【0200】

パネル1601と、第1の拡散板1602と、プリズムシート1603と、第2の拡散板1604と、導光板1605と、バックライトパネル1607とは、順に積層されている。バックライトパネル1607は、複数のバックライトユニットで構成されたバックライト1612を有している。導光板1605内部に拡散されたバックライト1612からの光は、第1の拡散板1602、プリズムシート1603及び第2の拡散板1604によって、パネル1601に照射される。

【0201】

なお、ここでは、第1の拡散板1602と第2の拡散板1604とを用いているが、拡散板の数はこれに限定されず、単数であっても3以上であっても良い。そして、拡散板は導光板1605とパネル1601の間に設けられていれば良い。よって、プリズムシート1603よりもパネル1601に近い側にのみ拡散板が設けられていても良いし、プリズムシート1603よりも導光板1605に近い側にのみ拡散板が設けられていても良い。

【0202】

また、プリズムシート1603は、図26に示した断面が鋸歯状の形状に限定されず、導光板1605からの光をパネル1601側に集光できる形状を有していれば良い。

10

20

30

40

50

【0203】

回路基板1608には、パネル1601に入力される各種信号を生成する回路、またはこれら信号に処理を施す回路などが設けられている。そして、図26では、回路基板1608とパネル1601とが、COFテープ1609を介して接続されている。また、信号線駆動回路の形成された基板1611が、COF (Chip On Film) 法を用いてCOFテープ1609に接続されている。

【0204】

図26では、バックライト1612の駆動を制御する制御系の回路が回路基板1608に設けられており、該制御系の回路とバックライトパネル1607とがFPC1610を介して接続されている例を示している。ただし、上記制御系の回路はパネル1601に形成されていても良く、この場合はパネル1601とバックライトパネル1607とがFPCなどにより接続されるようにする。

【0205】

<液晶表示装置を搭載した各種電子機器について>

以下では、本明細書で開示される液晶表示装置を搭載した電子機器の例について図27を参照して説明する。

【0206】

図27(A)は、ノート型のパーソナルコンピュータを示す図であり、本体2201、筐体2202、表示部2203、キーボード2204などによって構成されている。

【0207】

図27(B)は、携帯情報端末(PDA)を示す図であり、本体2211には表示部2213と、外部インターフェイス2215と、操作ボタン2214等が設けられている。また、操作用の付属品としてスタイラス2212がある。

【0208】

図27(C)は、電子書籍2220を示す図である。電子書籍2220は、筐体2221および筐体2223の2つの筐体で構成されている。筐体2221および筐体2223は、軸部2237により一体とされており、該軸部2237を軸として開閉動作を行うことができる。このような構成により、電子書籍2220は、紙の書籍のように用いることが可能である。

【0209】

筐体2221には表示部2225が組み込まれ、筐体2223には表示部2227が組み込まれている。表示部2225および表示部2227は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部(図27(C)では表示部2225)に文章を表示し、左側の表示部(図27(C)では表示部2227)に画像を表示することができる。

【0210】

また、図27(C)では、筐体2221に操作部などを備えた例を示している。例えば、筐体2221は、電源2231、操作キー2233、スピーカー2235などを備えている。操作キー2233により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2220は、電子辞書としての機能を持たせた構成としてもよい。

【0211】

また、電子書籍2220は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0212】

図27(D)は、携帯電話機を示す図である。当該携帯電話機は、筐体2240および

10

20

30

40

50

筐体 2 2 4 1 の二つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカー 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 0は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

【0 2 1 3】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 2 7 (D) には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 2 2 4 9 から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 I C チップ、小型記録装置などを内蔵した構成とすることもできる。

10

【0 2 1 4】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカー 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 2 7 (D) のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0 2 1 5】

外部接続端子 2 2 4 8 は A C アダプタや U S B ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

20

【0 2 1 6】

図 2 7 (E) は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、表示部 (A) 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、表示部 (B) 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

【0 2 1 7】

図 2 7 (F) は、テレビジョン装置を示す図である。テレビジョン装置 2 2 7 0 では、筐体 2 2 7 1 に表示部 2 2 7 3 が組み込まれている。表示部 2 2 7 3 により、映像を表示することが可能である。なお、ここでは、スタンド 2 2 7 5 により筐体 2 2 7 1 を支持した構成を示している。

30

【0 2 1 8】

テレビジョン装置 2 2 7 0 の操作は、筐体 2 2 7 1 が備える操作スイッチや、別体のリモコン操作機 2 2 8 0 により行うことができる。リモコン操作機 2 2 8 0 が備える操作キー 2 2 7 9 により、チャンネルや音量の操作を行うことができ、表示部 2 2 7 3 に表示される映像を操作することができる。また、リモコン操作機 2 2 8 0 に、当該リモコン操作機 2 2 8 0 から出力する情報を表示する表示部 2 2 7 7 を設ける構成としてもよい。

【0 2 1 9】

なお、テレビジョン装置 2 2 7 0 は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向 (送信者から受信者) または双方向 (送信者と受信者間、あるいは受信者間同士など) の情報通信を行うことが可能である。

40

【0 2 2 0】

(実施の形態 4)

本実施の形態では、本発明の一態様に係る液晶表示装置において用いられる、基板の一形態について図 2 8、2 9 を参照して説明する。

【0 2 2 1】

まず、作製基板 6 2 0 0 上に、剥離層 6 2 0 1 を介して、トランジスタや層間絶縁膜、

50

配線、画素電極など、素子基板として必要な要素を含む被剥離層 6 1 1 6 を形成する。

【0 2 2 2】

作製基板 6 2 0 0 としては、石英基板、サファイア基板、セラミック基板や、ガラス基板、金属基板などを用いることができる。なお、これら基板は、可撓性を明確に表さない程度に厚みのあるものを使用することで、精度良くトランジスタなどの素子を形成することができる。可撓性を明確に表さない程度とは、通常液晶ディスプレイを作製する際に使用されているガラス基板の弾性率程度、またはより弾性率が大きいことを言う。

【0 2 2 3】

剥離層 6 2 0 1 は、スパッタリング法やプラズマ C V D 法、塗布法、印刷法等により、タングステン (W)、モリブデン (Mo)、チタン (Ti)、タンタル (Ta)、ニオブ (Nb)、ニッケル (Ni)、コバルト (Co)、ジルコニウム (Zr)、亜鉛 (Zn)、ルテニウム (Ru)、ロジウム (Rh)、パラジウム (Pd)、オスミウム (Os)、イリジウム (Ir)、珪素 (Si) から選択された元素、又は元素を主成分とする合金材料、又は元素を主成分とする化合物材料からなる層を、単層又は積層して形成する。

【0 2 2 4】

剥離層 6 2 0 1 が単層構造の場合、好ましくは、タングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成する。また、剥離層 6 2 0 1 として、タングステンの酸化物若しくは酸化窒化物を含む層、モリブデンの酸化物若しくは酸化窒化物を含む層、又はタングステンとモリブデンの混合物の酸化物若しくは酸化窒化物を含む層を形成することも可能である。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

【0 2 2 5】

剥離層 6 2 0 1 が積層構造の場合、好ましくは、1 層目として金属層を形成し、2 層目として金属酸化物層を形成する。代表的には 1 層目としてタングステン層、モリブデン層、又はタングステンとモリブデンの混合物を含む層を形成し、2 層目として、タングステン、モリブデン若しくはタングステンとモリブデンの混合物の酸化物、それらの窒化物、それらの酸化窒化物、又はそれらの窒化酸化物を形成すると良い。2 層目の金属酸化物層の形成は、1 層目の金属層上に、酸化物層 (例えば酸化シリコンなどの絶縁層として利用できるもの) を形成することで金属層表面に当該金属の酸化物が形成されることを応用しても良い。

【0 2 2 6】

続いて、剥離層 6 2 0 1 上に、被剥離層 6 1 1 6 を形成する (図 2 8 (A) 参照)。被剥離層 6 1 1 6 としては、トランジスタや層間絶縁膜、配線、画素電極など、素子基板として必要な要素が含まれる。これらは、フォトリソグラフィ法などを用いて作製することができる。

【0 2 2 7】

次いで、剥離用接着剤 6 2 0 3 を用いて被剥離層 6 1 1 6 を仮支持基板 6 2 0 2 に接着した後、被剥離層 6 1 1 6 を作製基板 6 2 0 0 の剥離層 6 2 0 1 から剥離して転置する (図 2 8 (B) 参照)。これにより被剥離層 6 1 1 6 は、仮支持基板側に設けられる。なお、本明細書において、作製用基板から仮支持基板に剥離層を転置する工程を転置工程という。

【0 2 2 8】

仮支持基板 6 2 0 2 は、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板などを用いることができる。また、以降の処理温度に耐えうる耐熱性を有するプラスチック基板を用いても良い。

【0 2 2 9】

また、ここで用いる剥離用接着剤 6 2 0 3 は、水や溶媒に可溶なものや、紫外線などの照射により可塑化させることが可能であるような、必要時に仮支持基板 6 2 0 2 と被剥離層 6 1 1 6 とを分離することが可能な接着剤を用いる。

【0 2 3 0】

なお、仮支持基板 6 2 0 2 への転置工程は、様々な方法を適宜用いることができる。例えば、剥離層 6 2 0 1 として、被剥離層 6 1 1 6 と接する側に金属酸化膜を含む膜を形成した場合は、当該金属酸化膜を結晶化させることにより脆弱化して、被剥離層 6 1 1 6 を作製基板 6 2 0 0 から剥離することができる。また、作製基板 6 2 0 0 と被剥離層 6 1 1 6 の間に、剥離層 6 2 0 1 として水素を含む非晶質シリコン膜を形成した場合は、レーザー光の照射またはエッチングにより当該水素を含む非晶質シリコン膜を除去して、被剥離層 6 1 1 6 を作製基板 6 2 0 0 から剥離することができる。また、剥離層 6 2 0 1 として窒素、酸素や水素等を含む膜（例えば、水素を含む非晶質シリコン膜、水素含有合金膜、酸素含有合金膜など）を用いた場合には、剥離層 6 2 0 1 にレーザー光を照射して剥離層 6 2 0 1 内に含有する窒素、酸素や水素をガスとして放出させ、被剥離層 6 1 1 6 と作製基板 6 2 0 0 との分離を促進することができる。他の方法として、剥離層 6 2 0 1 と被剥離層 6 1 1 6 との界面に液体を浸透させて作製基板 6 2 0 0 から被剥離層 6 1 1 6 を剥離してもよい。剥離層 6 2 0 1 をタングステンで形成し、アンモニア水と過酸化水素水の混合溶液により剥離層 6 2 0 1 をエッチングしながら剥離を行う方法もある。

【0 2 3 1】

また、上記剥離方法を複数組み合わせることでより容易に剥離工程を行うことができる。レーザー光の照射、ガスや溶液などによる剥離層 6 2 0 1 へのエッチング、鋭いナイフやメスなどによる機械的な除去を部分的に行い、剥離層 6 2 0 1 と被剥離層 6 1 1 6 とを剥離しやすい状態にしてから、物理的な力（機械等による）によって剥離を行う工程などがこれに当たる。剥離層 6 2 0 1 を金属と金属酸化物との積層構造により形成した場合、レーザー光の照射によって形成される溝や鋭いナイフやメスなどによる傷などをきっかけとして、剥離層 6 2 0 1 から物理的に引き剥がすことも容易となる。

【0 2 3 2】

また、これら剥離を行う際に水などの液体をかけながら剥離してもよい。

【0 2 3 3】

被剥離層 6 1 1 6 を作製基板 6 2 0 0 から分離する方法としては、他に、被剥離層 6 1 1 6 が形成された作製基板 6 2 0 0 を、機械的に研磨などを行って除去する方法や、溶液や NF_3 、 BrF_3 、 ClF_3 等のフッ化ハロゲンガスによるエッチングで除去する方法等も用いることができる。この場合は、剥離層 6 2 0 1 を設けなくとも良い。

【0 2 3 4】

続いて、作製基板 6 2 0 0 から剥離され、露出した剥離層 6 2 0 1、若しくは被剥離層 6 1 1 6 表面に剥離用接着剤 6 2 0 3 とは異なる接着剤による第 1 の接着剤層 6 1 1 1 を用いて転置基板 6 1 1 0 を接着する（図 2 8（C 1）参照）。

【0 2 3 5】

第 1 の接着剤層 6 1 1 1 の材料としては、紫外線硬化型接着剤など光硬化型の接着剤、反応硬化型接着剤、熱硬化型接着剤、または嫌気型接着剤など各種硬化型接着剤を用いることができる。

【0 2 3 6】

転置基板 6 1 1 0 としては、じん性が大きい各種基板を用い、例えば、有機樹脂のフィルムや金属基板などを好適に使用することができる。じん性の大きい基板は耐衝撃性に優れ、破損し難い基板である。有機樹脂のフィルムは軽量であり、また、金属基板も薄いものは軽量であることから、通常のガラス基板を使用する場合と比較して、大幅な軽量化が可能となる。このような基板を用いることによって、軽く、破損しにくい表示装置を作製することができるようになる。

【0 2 3 7】

このような基板を構成する材料としては、例えば、ポリエチレンテレフタレート（PET）又はポリエチレンナフタレート（PEN）等のポリエステル樹脂、アクリル樹脂、ポリアクリルニトリル樹脂、ポリイミド樹脂、ポリメチルメタクリレート、ポリカーボネート樹脂（PC）、ポリエーテルスルホン樹脂（PES）、ポリアミド樹脂、ポリシクロオレフィン樹脂、ポリスチレン、ポリアミドイミド樹脂、ポリ塩化ビニル等などが挙げら

れる。これら有機材料からなる基板は、じん性が大きいことから、耐衝撃性にも優れ、破損しにくい基板である。また、これら有機材料は軽量であることから、通常のガラス基板と比較して、非常に軽量化された表示装置を作製することが可能となる。また、この場合、転置基板 6 1 1 0 は、少なくとも各画素の光が透過する領域と重なる部分に開口が設けられた金属板 6 2 0 6 をさらに備えることが好ましい構成である。この構成とすることによって、寸法変化を抑制しながらじん性が大きく、耐衝撃性が高く破損しにくい転置基板 6 1 1 0 を構成できる。さらに、金属板 6 2 0 6 の厚さを薄くすることで、従来のガラス基板よりも軽い転置基板 6 1 1 0 を構成できる。このような基板を用いることによって、軽く、破損しにくい表示装置を作製することができるようになる。(図 2 8 (D 1) 参照)。

10

【0 2 3 8】

図 2 9 は、液晶表示装置の上面図の一例を示す図である。図 2 9 のように、第 1 の配線層 6 2 1 0 と第 2 の配線層 6 2 1 1 とが交差し、第 1 の配線層 6 2 1 0 と第 2 の配線層 6 2 1 1 に囲まれた領域が光の透過する領域 6 2 1 2 である液晶表示装置の場合、第 1 の配線層 6 2 1 0 及び第 2 の配線層 6 2 1 1 と重なる部分が残し、基盤の目状に開口が設けられた金属板 6 2 0 6 を用いれば良い。このような金属板 6 2 0 6 を貼り合わせて用いることにより、有機樹脂からなる基板を用いたことによる合わせ精度の悪化や基板の伸びによる寸法変化を抑制することができる。なお、偏光板(図示せず)が必要な場合には、転置基板 6 1 1 0 と金属板 6 2 0 6 の間に設けても、金属板 6 2 0 6 のさらに外側に設けても良い。偏光板はあらかじめ金属板 6 2 0 6 に貼り付けられていても良い。なお、軽量化の観点からは、金属板 6 2 0 6 として上記寸法安定化の効果を奏する範囲内において薄い基板を採用することが好ましい。

20

【0 2 3 9】

その後、被剥離層 6 1 1 6 から仮支持基板 6 2 0 2 を分離する。剥離用接着剤 6 2 0 3 は必要時に仮支持基板 6 2 0 2 と被剥離層 6 1 1 6 とを分離することが可能な材料で形成されているので、当該材料に合った方法により仮支持基板 6 2 0 2 を分離すれば良い。なお、バックライトが点灯することによって、図面矢印の方向から転置基板 6 1 1 0 に対して光が照射される(図 2 8 (E 1) 参照)。

【0 2 4 0】

以上により、トランジスタから画素電極までが形成された被剥離層 6 1 1 6 を転置基板 6 1 1 0 上に作製することができ、軽量かつ耐衝撃性の高い素子基板を作製することができる。

30

【0 2 4 1】

<変形例>

上述した構成を有する表示装置は、本発明の一態様であり、当表示装置と異なる構成を備える以下の表示装置も、本発明に含まれる。上述の転置工程(図 2 8 (B) 参照)の後、転置基板 6 1 1 0 を貼り付ける前に、露出した剥離層 6 2 0 1、若しくは被剥離層 6 1 1 6 表面に、金属板 6 2 0 6 を貼り付けても良い(図 2 8 (C 2) 参照)。この場合、金属板 6 2 0 6 からの汚染物質が、被剥離層 6 1 1 6 におけるトランジスタの特性に悪影響を及ぼすことを防ぐため、バリア層 6 2 0 7 を間に設けると良い。バリア層 6 2 0 7 を設ける場合は、露出した剥離層 6 2 0 1、または被剥離層 6 1 1 6 表面にバリア層 6 2 0 7 を設けてから、金属板 6 2 0 6 を貼り付ければ良い。バリア層 6 2 0 7 は無機材料や有機材料などにより形成すれば良く、代表的には窒化シリコンなどが挙げられるが、トランジスタの汚染を防止することができれば、これらに限られることはない。バリア層 6 2 0 7 は透光性を有する材料で形成するか、もしくは透光性を有する程度に薄い膜とするなど、少なくとも可視光に対する透光性を有するように作製する。なお、金属板 6 2 0 6 は、剥離用接着剤 6 2 0 3 とは異なる接着剤を用いて第 2 の接着剤層(図示せず)を形成し、接着すればよい。

40

【0 2 4 2】

この後、第 1 の接着剤層 6 1 1 1 を金属板 6 2 0 6 表面に形成し、転置基板 6 1 1 0 を

50

貼り付け（図 28（D2））、被剥離層 6116 から仮支持基板 6202 を分離する（図 28（E2））ことにより、同様に軽量且つ耐衝撃性の高い素子基板を作製することができる。なお、バックライトが点灯することによって、図面矢印の方向から転置基板 6110 に対して光が照射される。

【0243】

このように作製した軽量かつ耐衝撃性の高い素子基板と、対向基板とを液晶層を間に挟持させてシール材で固着することによって、軽量かつ耐衝撃性の高い液晶表示装置を作製することができる。対向基板としては、じん性が大きく、可視光に対する透光性を有する基板（転置基板 6110 に用いることが可能なプラスチック基板と同様のもの）を用いることができる。必要に応じてこれに偏光板、ブラックマトリクス、及び配向膜が設けられていても良い。液晶層を形成する方法としては、ディスペンサ法や注入法などを適用することができる。

10

【0244】

以上のように作製された軽量かつ耐衝撃性の高い液晶表示装置は、トランジスタなどの微細な素子の作製を、寸法安定性が比較的良好なガラス基板上などで行うことができ、また、従来どおりの作製方法の適用が可能であることから、微細な素子であっても精度良く形成することができる。このため、耐衝撃性を有しながらも、高精細で高品質な画像を提供でき、且つ軽量の液晶表示装置を提供することが可能となる。

【0245】

さらに、上記のように作製した液晶表示装置は、可撓性を有せしめることも可能である。

20

【符号の説明】

【0246】

10	画素部
11	走査線駆動回路
12	信号線駆動回路
13	走査線
13__1～13__m	走査線
14	信号線
14__1～14__n	トランジスタ
15	画素
16	トランジスタ
17	容量素子
18	液晶素子
20__1～20__m	パルス出力回路
21～27	端子
31～39	トランジスタ
40	バックライトユニット
50～53	トランジスタ
60	画素部
61	走査線駆動回路
62	信号線駆動回路
63	走査線
63__1～63__3i	走査線
101～103	領域
120	シフトレジスタ
121__1～121__n	トランジスタ
220	基板
221	絶縁層
222	導電層

30

40

50

2 2 3	絶縁層	
2 2 4	半導体層	
2 2 5 a	導電層	
2 2 5 b	導電層	
2 2 6	導電層	
2 2 7	絶縁層	
2 2 8	導電層	
2 2 9	絶縁層	
2 3 0	平坦化絶縁層	
2 3 1	透明導電層	10
2 4 0	対向基板	
2 4 1	透明導電層	
2 4 2	遮蔽層	
2 5 0	液晶層	
6 0 1	領域	
6 0 2	領域	
6 0 3	領域	
6 1 1	シフトレジスタ	
6 1 2	シフトレジスタ	
6 1 3	シフトレジスタ	20
6 2 0	シフトレジスタ	
6 2 1	トランジスタ	
6 2 1 __ 1 ~ 6 2 1 __ n	トランジスタ	
6 2 2	トランジスタ	
6 2 2 __ 1 ~ 6 2 2 __ n	トランジスタ	
6 2 3	トランジスタ	
6 2 3 __ 1 ~ 6 2 3 __ n	トランジスタ	
6 4 1	信号線	
6 4 1 __ 1 ~ 6 4 1 __ n	信号線	
6 4 2	信号線	30
6 4 2 __ 1 ~ 6 4 2 __ n	信号線	
6 4 3	信号線	
6 4 3 __ 1 ~ 6 4 3 __ n	信号線	
6 5 1	画素	
6 5 2	画素	
6 5 3	画素	
9 0 0	基板	
9 0 1	ゲート層	
9 0 2	ゲート絶縁層	
9 0 3	酸化物半導体層	40
9 0 5 a	ソース層	
9 0 5 b	ドレイン層	
9 0 7	絶縁層	
9 0 8	絶縁層	
9 0 9	絶縁層	
9 1 2	バックゲート層	
9 2 1	曲線	
9 2 4	接線	
9 2 5	ゲート電圧軸切片	
9 3 1	初期特性	50

9 3 2	試験後特性	
9 3 6	下地層	
9 4 1	初期特性	
9 4 2	試験後特性	
9 4 5	部位	
9 5 1	トランジスタ	
9 5 2	トランジスタ	
1 6 0 1	パネル	
1 6 0 2	拡散板	
1 6 0 3	プリズムシート	10
1 6 0 4	拡散板	
1 6 0 5	導光板	
1 6 0 7	バックライトパネル	
1 6 0 8	回路基板	
1 6 0 9	C O F テープ	
1 6 1 0	F P C	
1 6 1 1	基板	
1 6 1 2	バックライト	
2 2 0 1	本体	
2 2 0 2	筐体	20
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	
2 2 2 1	筐体	
2 2 2 3	筐体	30
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	40
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	50

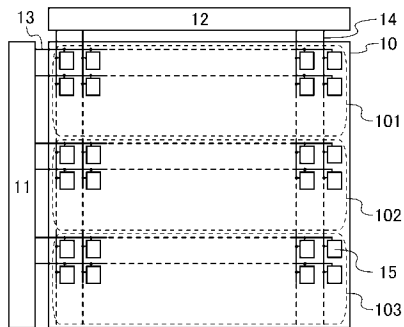
2 2 6 5	表示部 (B)	
2 2 6 6	バッテリー	
2 2 6 7	表示部 (A)	
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	
2 2 7 7	表示部	
2 2 7 9	操作キー	
2 2 8 0	リモコン操作機	10
2 4 0 0	基板	
2 4 0 1	ゲート層	
2 4 0 2	ゲート絶縁層	
2 4 0 3	半導体層	
2 4 0 5 a	ソース層	
2 4 0 5 b	ドレイン層	
2 4 0 6	チャンネル保護層	
2 4 0 7	絶縁層	
2 4 0 9	保護絶縁層	
2 4 1 1	第 1 のゲート層	20
2 4 1 2	第 2 のゲート層	
2 4 1 3	第 1 のゲート絶縁層	
2 4 1 4	第 2 のゲート絶縁層	
2 4 3 6	下地層	
2 4 5 0	トランジスタ	
2 4 6 0	トランジスタ	
2 4 7 0	トランジスタ	
2 4 8 0	トランジスタ	
4 0 0 1	基板	
4 0 0 2	画素部	30
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	
4 0 0 6	対向基板	
4 0 0 7	液晶	
4 0 0 9	トランジスタ	
4 0 1 0	トランジスタ	
4 0 1 1	液晶素子	
4 0 1 4	引き回し配線	
4 0 1 5	引き回し配線	40
4 0 1 6	接続端子	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 1	基板	
4 0 2 2	トランジスタ	
4 0 3 0	画素電極	
4 0 3 1	対向電極	
4 0 3 5	スペーサ	
6 1 1 0	転置基板	
6 1 1 1	接着剤層	50

6 1 1 6	被剥離層
6 2 0 0	作製基板
6 2 0 1	剥離層
6 2 0 2	仮支持基板
6 2 0 3	剥離用接着剤
6 2 0 6	金属板
6 2 0 7	バリア層
6 2 1 0	配線層
6 2 1 1	配線層
6 2 1 2	領域
6 5 1 1	トランジスタ
6 5 1 2	容量素子
6 5 1 3	液晶素子
6 5 2 1	トランジスタ
6 5 3 1	トランジスタ

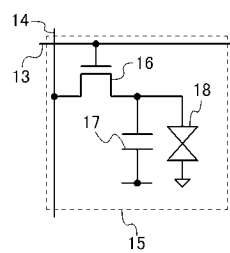
10

【図 1】

(A)

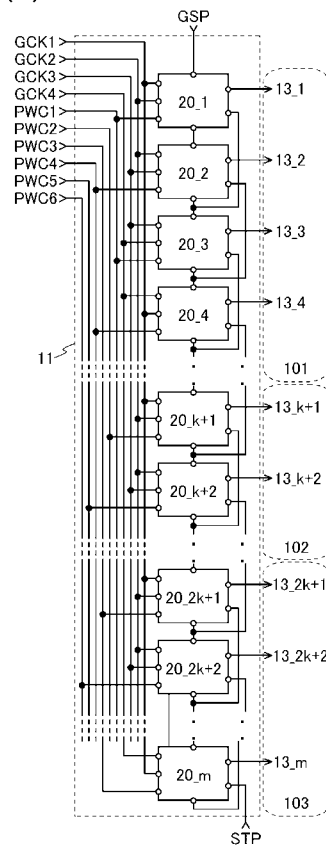


(B)

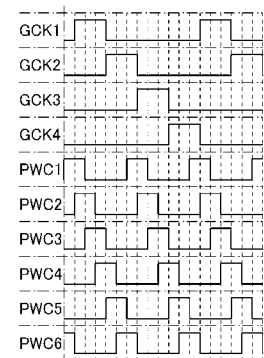


【図 2】

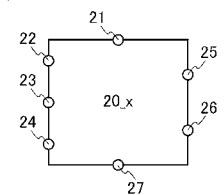
(A)



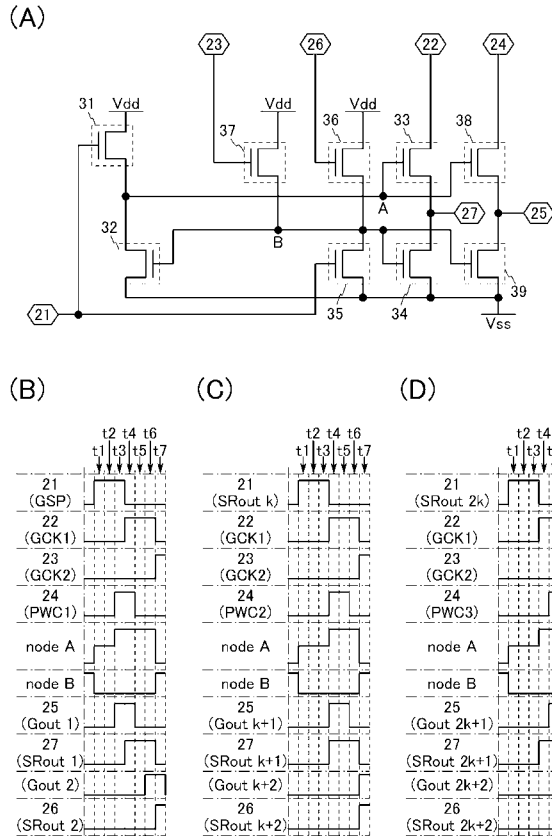
(B)



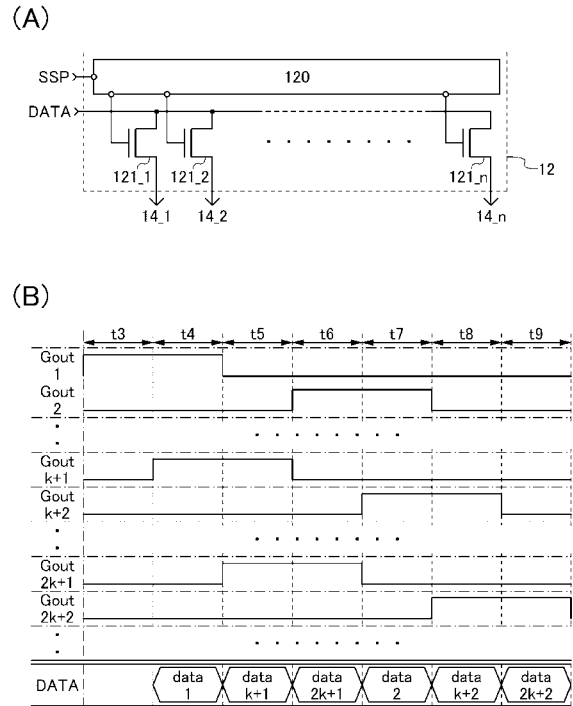
(C)



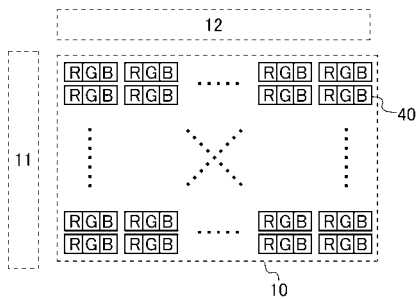
【図 3】



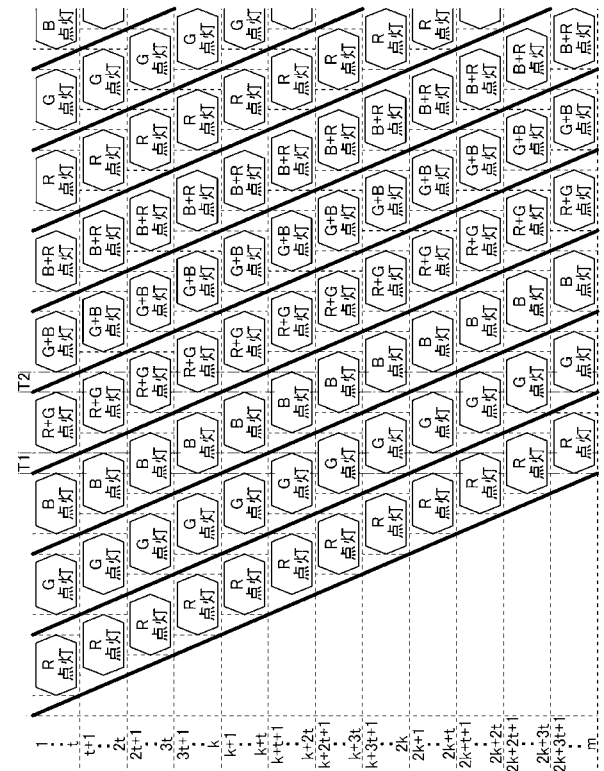
【図 4】



【図 5】

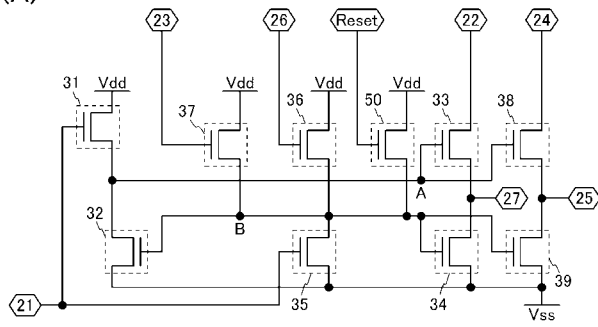


【図 6】

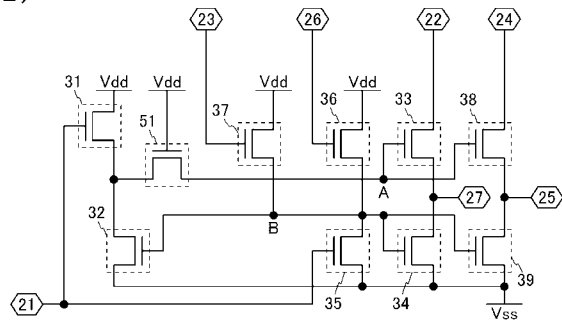


【図 7】

(A)

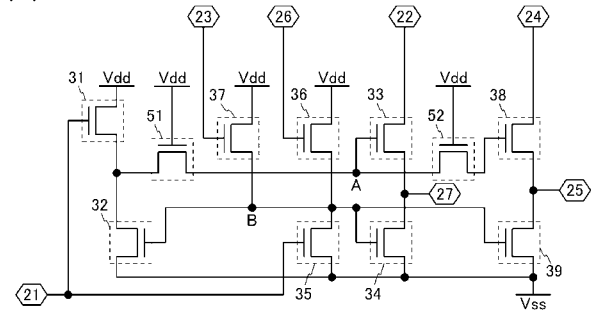


(B)

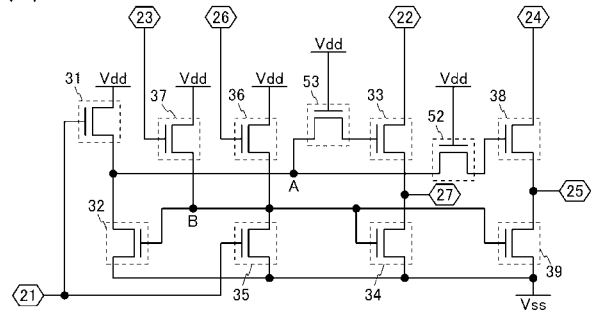


【図 8】

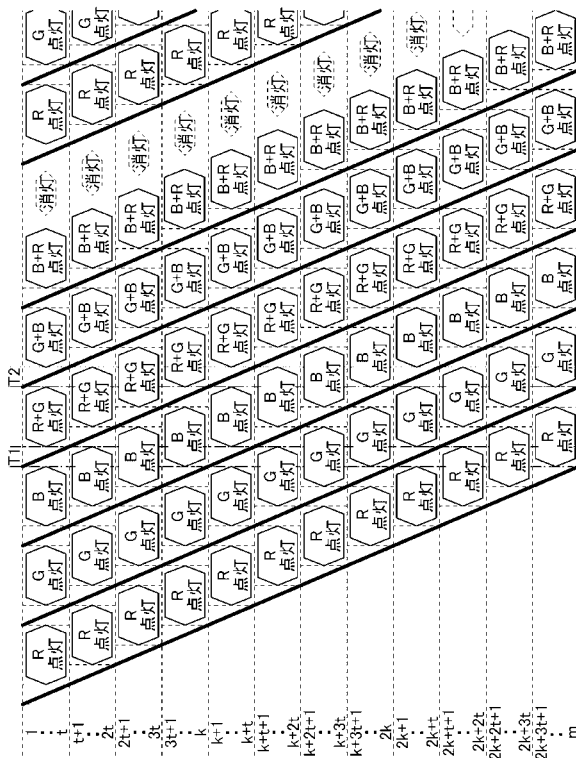
(A)



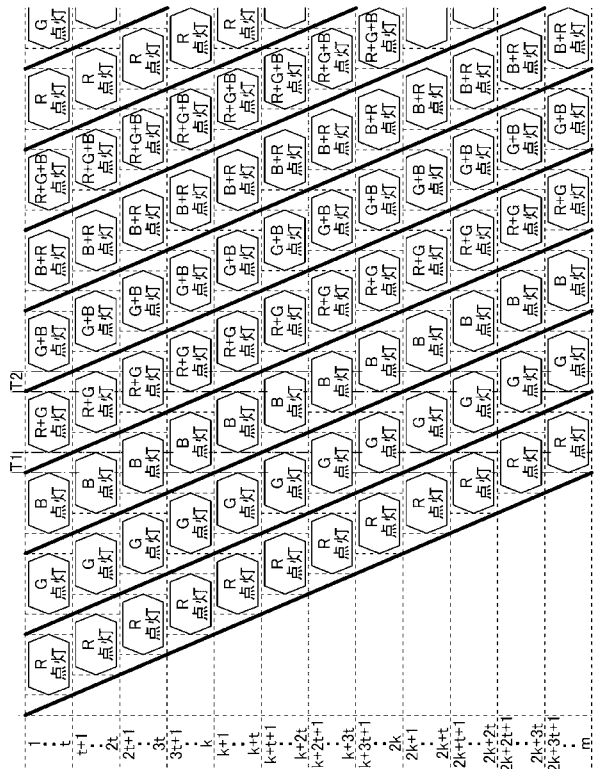
(B)



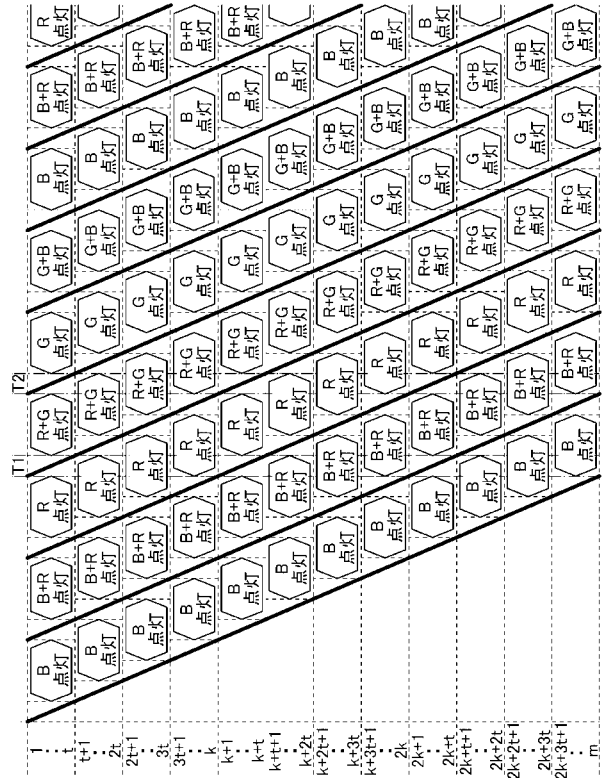
【図 9】



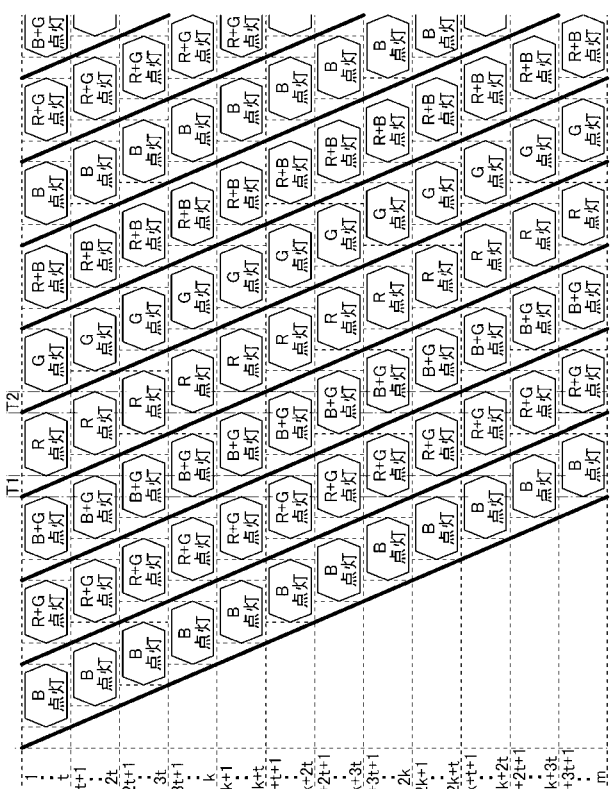
【図 10】



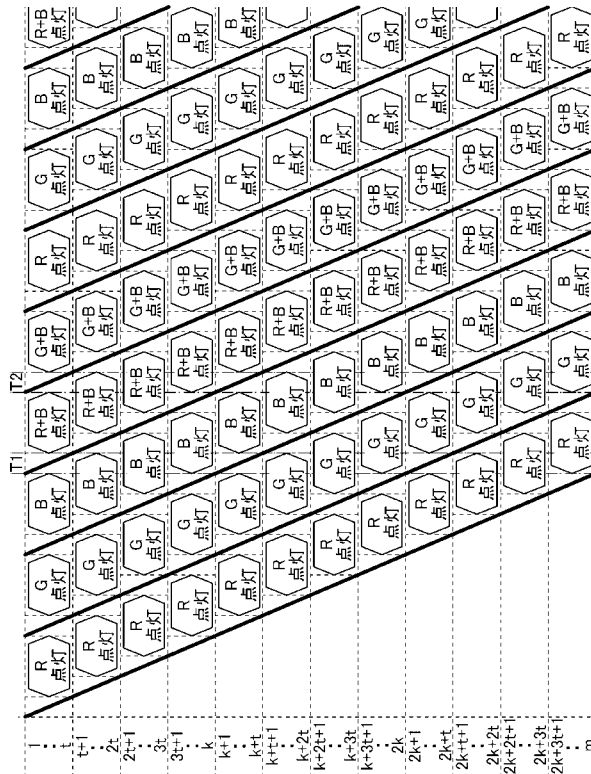
【图 1 2】



【 図 1 4 】

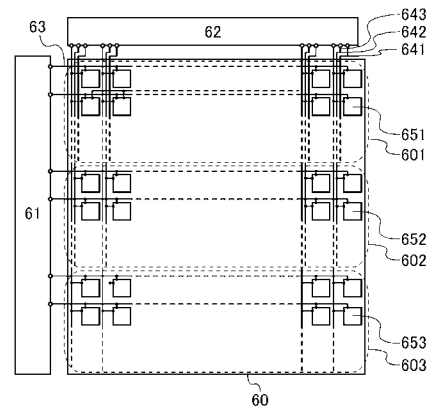


【図 15】

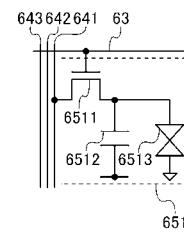


【図 16】

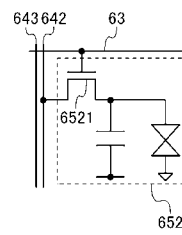
(A)



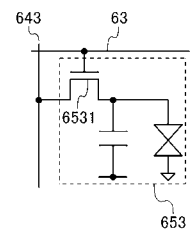
(B)



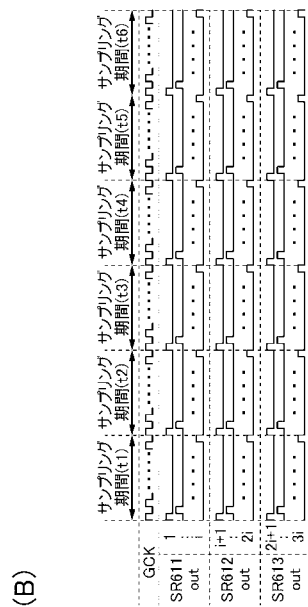
(C)



(D)

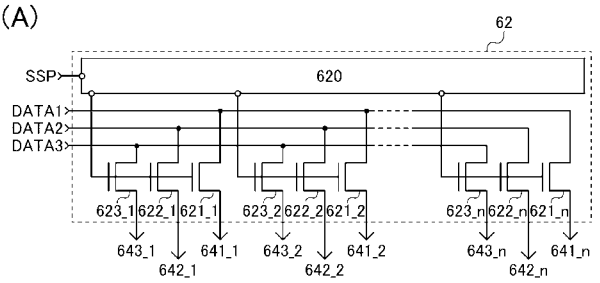


【図 17】

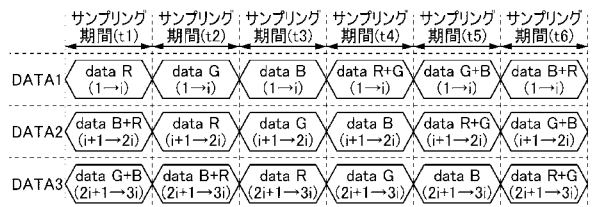


【図 18】

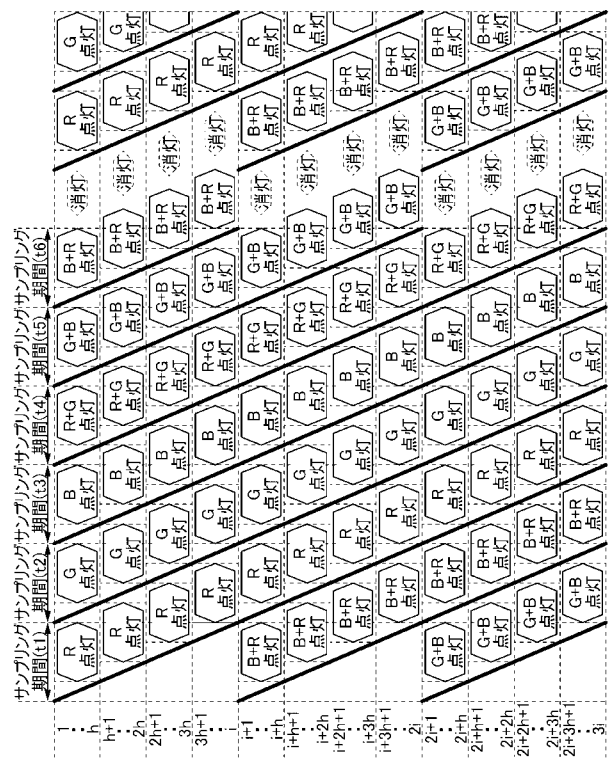
(A)



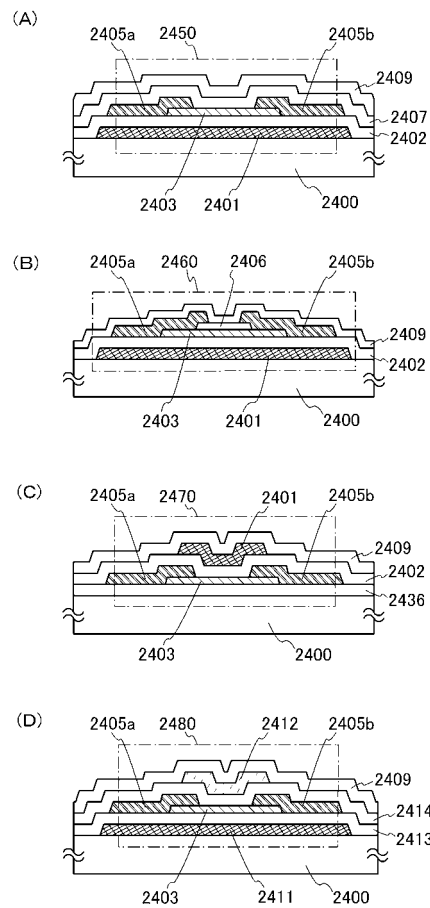
(B)



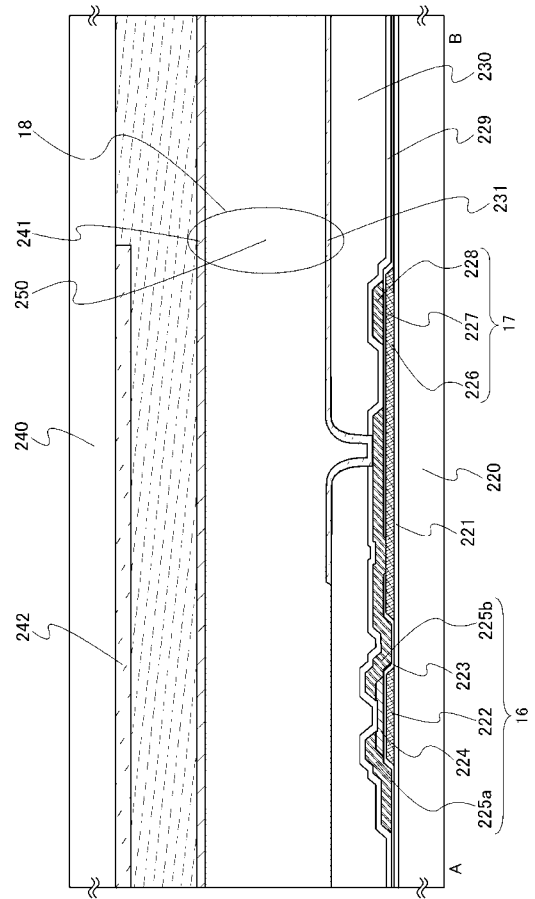
【図 20】



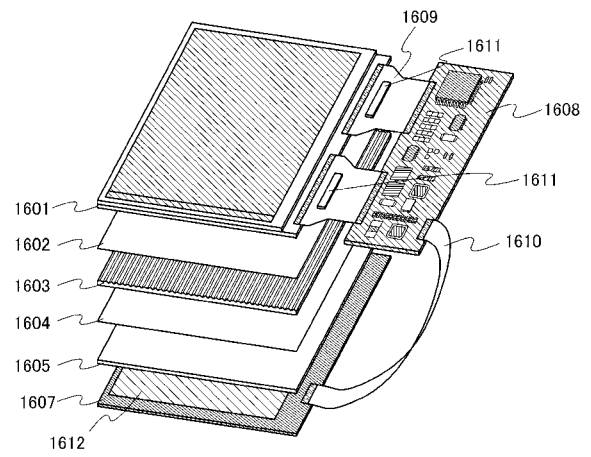
【図 2 2】



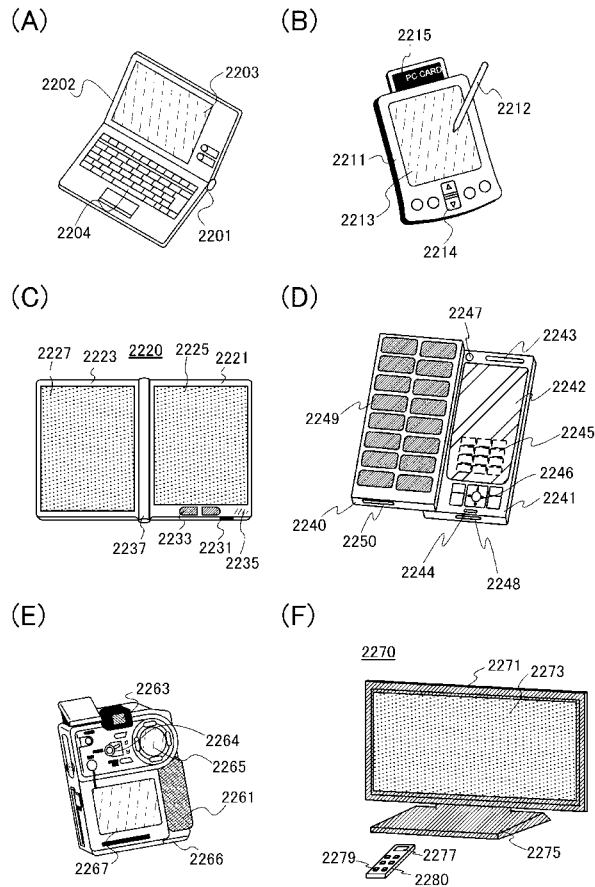
【図 24】



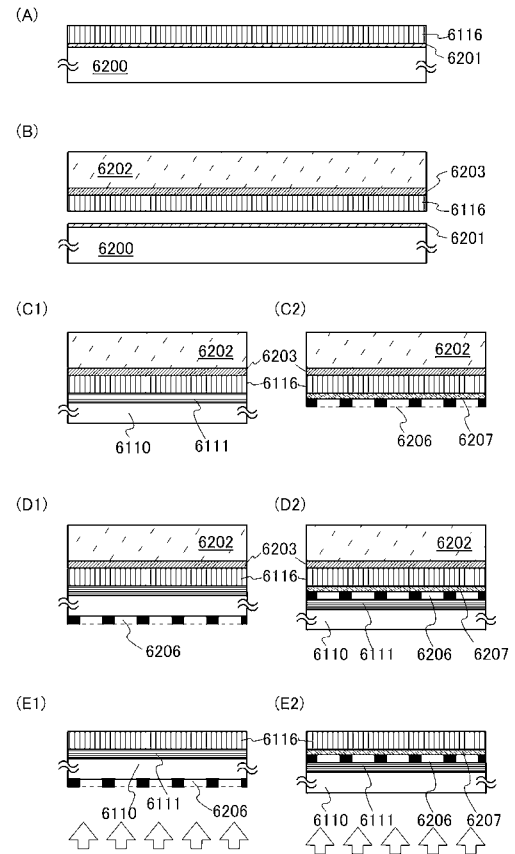
【图 2 6】



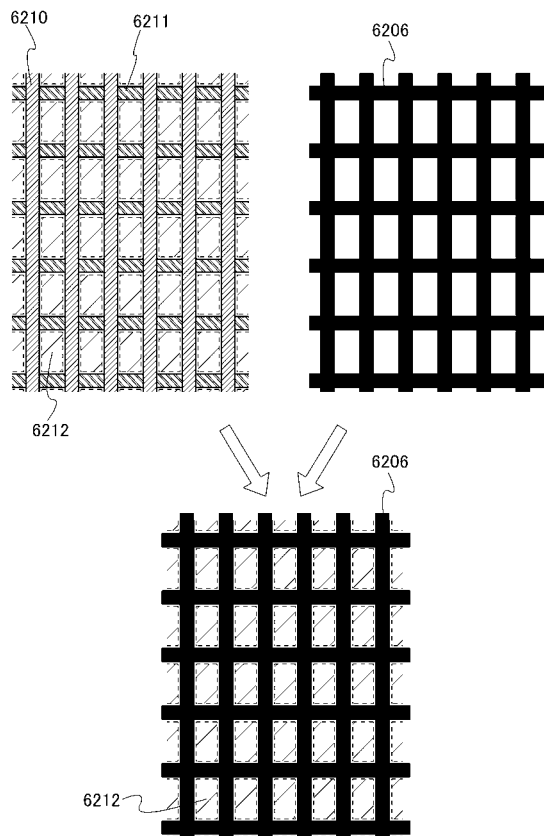
【図 27】



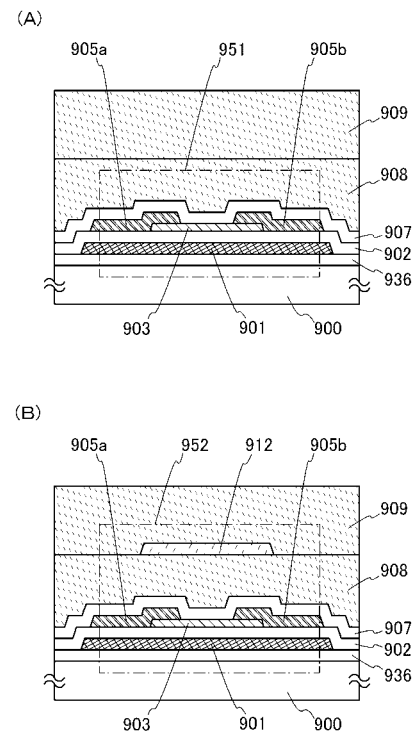
【図 28】



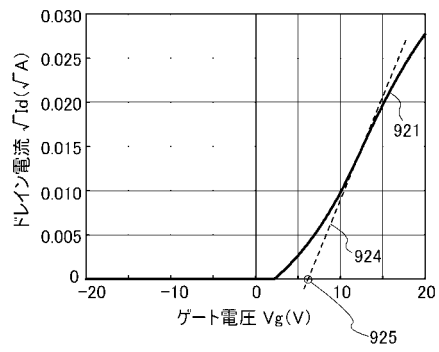
【図 29】



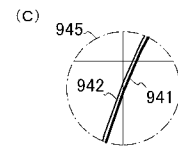
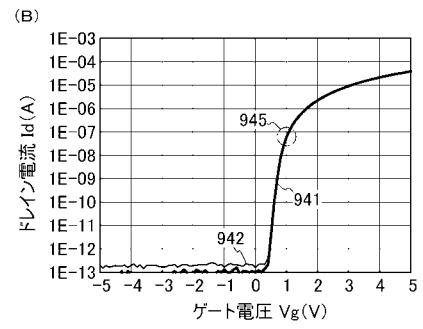
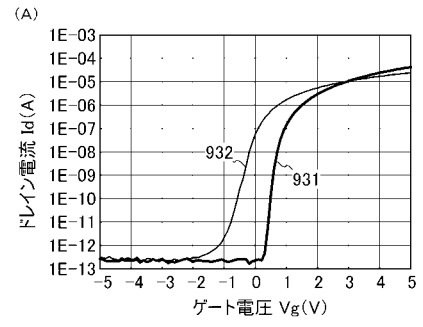
【図 30】



【図 3 1】



【図 3 2】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 4 2 K
G 0 9 G	3/20	6 2 3 Q
G 0 9 G	3/20	6 2 1 A
G 0 2 F	1/133	5 3 5

专利名称(译)	用于驱动液晶显示装置的方法		
公开(公告)号	JP2012032794A	公开(公告)日	2012-02-16
申请号	JP2011139769	申请日	2011-06-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	山崎舜平 小山潤		
发明人	山崎 舜平 小山 潤		
IPC分类号	G09G3/36 G09G3/34 G09G3/20 G02F1/133		
CPC分类号	G09G3/3413 G02F2001/133622 G09G3/342 G09G3/3648 G09G3/3677 G09G3/3688 G09G2310/0235 G09G2310/024 G09G2320/0242		
FI分类号	G09G3/36 G09G3/34.J G09G3/20.612.U G09G3/20.621.E G09G3/20.622.K G09G3/20.623.U G09G3 /20.642.K G09G3/20.623.Q G09G3/20.621.A G02F1/133.535		
F-TERM分类号	2H193/ZG27 2H193/ZG34 2H193/ZG35 5C006/AA22 5C006/AC24 5C006/AF22 5C006/AF42 5C006 /AF72 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC06 5C006/BC16 5C006/BF03 5C006/EA01 5C006/FA12 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/JJ03 5C080/JJ04 5C080 /JJ05 5C080/JJ06		
优先权	2010152016 2010-07-02 JP		
其他公开文献	JP2012032794A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善液晶显示装置的图像质量。对于像素部分的每个特定区域，未写入图像信号并且背光在液晶显示装置的整个像素部分上依次打开，但是图像信号被写入并且背光在像素部分的每个特定区域上依次打开。这使得可以提高将图像信号输入到液晶显示装置的每个像素的频率。结果，可以抑制在液晶显示装置中发生的诸如色差之类的显示劣化，并且可以改善图像质量。[选择图]图6

