

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2012-22303
(P2012-22303A)

(43) 公開日 平成24年2月2日(2012. 2. 2)

(51) Int.Cl.	F 1	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 641E	5C006
G09G 3/34 (2006.01)	G09G 3/34 J	5C080
G02F 1/133 (2006.01)	G09G 3/20 641R	
	G09G 3/20 622Q	

審査請求 未請求 請求項の数 5 O L (全 35 頁) 最終頁に続く

(21) 出願番号 特願2011-124724 (P2011-124724)	(71) 出願人 000153878
(22) 出願日 平成23年6月3日 (2011. 6. 3)	株式会社半導体エネルギー研究所
(31) 優先権主張番号 特願2010-136755 (P2010-136755)	神奈川県厚木市長谷398番地
(32) 優先日 平成22年6月16日 (2010. 6. 16)	(72) 発明者 小山 潤
(33) 優先権主張国 日本国 (JP)	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
	(72) 発明者 山崎 舜平
	神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
	Fターム(参考) 2H193 ZA04 ZA07 ZC25 ZD11 ZG02
	ZG27 ZG28 ZG34
	5C006 AA14 AC24 AF42 AF43 AF44
	BB16 BB29 BC03 BC06 BF03
	BF34 EA01 FA29 FA47

最終頁に続く

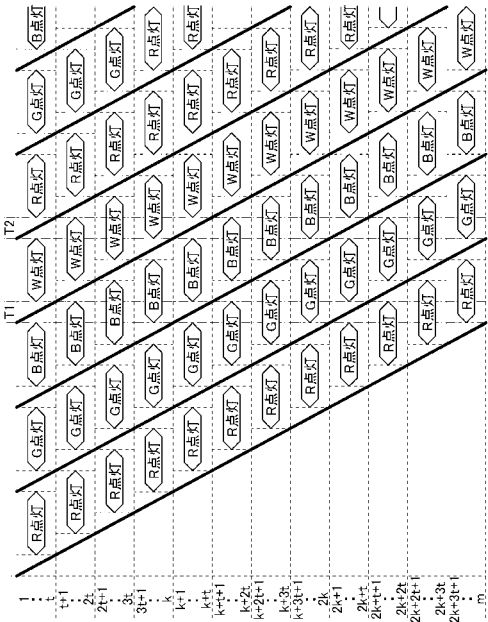
(54) 【発明の名称】 液晶表示装置の駆動方法

(57) 【要約】

【課題】 液晶表示装置の画質を向上させること。

【解決手段】 液晶表示装置の画素部全面において画像信号の書き込み及びバックライトの点灯を順次行うのではなく、画素部の特定の領域毎に画像信号の書き込み及びバックライトの点灯を順次行う。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、当該液晶表示装置において生じるカラーブレイクなどの表示劣化を抑制し、画質を向上させることが可能である。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

異なる色を呈する複数の光源のそれぞれが点滅を繰り返し、且つ m 行 n 列 (m 、 n は、4 以上の自然数) に配設された複数の画素毎にそれぞれの色を呈する光の透過を制御することで画素部に画像を形成する液晶表示装置の駆動方法であって、

1 行目乃至 A 行目 (A は、 $m/2$ 以下の自然数) に配設された複数の画素に対して第 1 の色用画像信号を入力し且つ ($A+1$) 行目乃至 $2A$ 行目に配設された複数の画素に対して第 2 の色用画像信号を入力する期間内において、1 行目乃至 B 行目 (B は、 $A/2$ 以下の自然数) に配設された複数の画素に対して前記第 1 の色用画像信号が入力され且つ ($A+1$) 行目乃至 ($A+B$) 行目に配設された複数の画素に対して前記第 2 の色用画像信号が入力された後に、前記 1 行目乃至 B 行目に配設された複数の画素のそれぞれにおいて第 1 の色を呈する光の透過を制御し且つ前記 ($A+1$) 行目乃至 ($A+B$) 行目に配設された画素のそれぞれにおいて第 2 の色を呈する光の透過を制御し、

前記第 1 の色を呈する光又は前記第 2 の色を呈する光は、白色を呈する光であることを特徴とする液晶表示装置の駆動方法。

【請求項 2】

請求項 1 において、

前記白色を呈する光は、前記異なる色を呈する複数の光源の少なくとも 2 つを同時に点灯させることによって形成される液晶表示装置の駆動方法。

【請求項 3】

請求項 1 において、

前記白色を呈する光は、前記異なる色を呈する複数の光源に含まれる 1 つの光源のみの点灯によって形成される液晶表示装置の駆動方法。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、

C 行目 (C は、 A 以下の自然数) に配設された複数の画素及び ($A+C$) 行目に配設された複数の画素に対して、異なる期間において画像信号が入力されることを特徴とする液晶表示装置の駆動方法。

【請求項 5】

請求項 1 乃至請求項 3 のいずれか一項において、

C 行目 (C は、 A 以下の自然数) に配設された複数の画素及び ($A+C$) 行目に配設された複数の画素に対して、同一期間において画像信号が入力されることを特徴とする液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置の駆動方法に関する。特に、フィールドシーケンシャル方式によって表示を行う液晶表示装置の駆動方法に関する。

【背景技術】

【0002】

液晶表示装置の表示方法として、カラーフィルター方式及びフィールドシーケンシャル方式が知られている。前者によって表示を行う液晶表示装置では、各画素に、特定色を呈する波長の光のみを透過するカラーフィルター (例えば、 R (赤)、 G (緑)、 B (青)) を有する複数の副画素が設けられる。そして、副画素毎に白色光の透過を制御し、且つ画素毎に複数の色を混色することで所望の色を形成している。一方、後者によって表示を行う液晶表示装置では、それぞれが異なる色を呈する光を発光する複数の光源 (例えば、 R (赤)、 G (緑)、 B (青)) が設けられる。そして、当該複数の光源のそれぞれが点滅を繰り返し、且つ画素毎にそれぞれの色を呈する光の透過を制御することで所望の色を形成している。すなわち、前者は、特定色を呈する光毎に一画素の面積を分割することで所望の色を形成する方式であり、後者は、特定色を呈する光毎に表示期間を時間分割する

10

20

30

40

50

ことで所望の色を形成する方式である。

【0003】

フィールドシーケンシャル方式によって表示を行う液晶表示装置は、カラーフィルター方式によって表示を行う液晶表示装置と比較し、以下の利点を有する。まず、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、各画素に副画素を設ける必要がない。そのため、開口率を向上させること又は画素数を増加させることが可能である。加えて、フィールドシーケンシャル方式によって表示を行う液晶表示装置では、カラーフィルターを設ける必要がない。つまり、カラーフィルターにおける光吸収による光の損失がない。そのため、透過率を向上させること及び消費電力を低減することが可能である。

【0004】

特許文献1では、フィールドシーケンシャル方式によって表示を行う液晶表示装置が開示されている。具体的には、各画素に、画像信号の入力を制御するトランジスタと、該画像信号を保持する信号保持容量と、該信号保持容量から表示画素容量への電荷の移動を制御するトランジスタとが設けられた液晶表示装置が開示されている。当該構成を有する液晶表示装置は、信号保持容量に対する画像信号の書き込みと、表示画素容量が保持する電荷に応じた表示とを並行して行うことが可能である。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2009-42405号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では色情報が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落することによって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化（劣化）すること（カラーブレイク、色割れともいう）がある。そこで、本発明の一態様は、フィールドシーケンシャル方式によって表示を行う液晶表示装置の画質の低下を抑制することを課題の一とする。

【課題を解決するための手段】

【0007】

本発明の一態様は、異なる色を呈する複数の光源のそれぞれが点滅を繰り返し、且つ m 行 n 列（ m 、 n は、4以上の自然数）に配設された複数の画素毎にそれぞれの色を呈する光の透過を制御することで画素部に画像を形成する液晶表示装置の駆動方法であって、1行目乃至 A 行目（ A は、 $m/2$ 以下の自然数）に配設された複数の画素に対して第1の色用画像信号を入力し且つ $A+1$ 行目乃至 $2A$ 行目に配設された複数の画素に対して第2の色用画像信号を入力する期間内において、1行目乃至 B 行目（ B は、 $A/2$ 以下の自然数）に配設された複数の画素に対して第1の色用画像信号が入力され且つ $A+1$ 行目乃至 $A+B$ 行目に配設された複数の画素に対して第2の画像信号が入力された後に、1行目乃至 B 行目に配設された複数の画素のそれぞれにおいて第1の色を呈する光の透過を制御し且つ $A+1$ 行目乃至 $A+B$ 行目に配設された画素のそれぞれにおいて第2の色を呈する光の透過を制御し、第1の色を呈する光又は第2の色を呈する光は、白色を呈する光であることを特徴とする液晶表示装置の駆動方法である。

【発明の効果】

【0008】

本発明の一態様の液晶表示装置は、画素部全面において画像信号の書き込み及びバックライトの点灯を順次行うのではなく、画素部の特定の領域毎に画像信号の書き込み及びバックライトの点灯を順次行うことが可能である。これにより、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、当該液晶表示装置において生じるカラーブレイクなどの表示劣化を抑制し、画質を向上させることが

10

20

30

40

50

可能である。

【図面の簡単な説明】

【0009】

【図1】(A) 液晶表示装置の構成例を示す図、(B) 画素の構成例を示す図。

【図2】(A) 走査線駆動回路の構成例を示す図、(B) 走査線駆動回路で用いられる信号の一例を示すタイミングチャート、(C) パルス出力回路の構成例を示す図。

【図3】(A) パルス出力回路の一例を示す回路図、(B)～(D) パルス出力回路の動作の一例を示すタイミングチャート。

【図4】(A) 信号線駆動回路の構成例を示す図、(B) 信号線駆動回路の動作の一例を示す図。

10

【図5】バックライトの構成例を示す図。

【図6】液晶表示装置の動作例を説明する図。

【図7】(A)、(B) パルス出力回路の一例を示す回路図。

【図8】(A)、(B) パルス出力回路の一例を示す回路図。

【図9】液晶表示装置の動作例を説明する図。

【図10】(A) 液晶表示装置の構成例を示す図、(B)～(D) 画素の構成例を示す図。

【図11】(A) 走査線駆動回路の構成例を示す図、(B) 走査線駆動回路の出力信号を示す図。

【図12】(A) 信号線駆動回路の構成例を示す図、(B) 信号線駆動回路の動作の一例を示す図。

20

【図13】液晶表示装置の動作例を説明する図。

【図14】液晶表示装置の動作例を説明する図。

【図15】トランジスタの構造例を示す図。

【図16】(A)～(C) トランジスタの構造例を示す図。

【図17】(A)～(F) 電子機器の一例を示す図。

【発明を実施するための形態】

【0010】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

30

【0011】

なお、以下において述べる液晶表示装置は、様々な液晶モードの液晶表示装置に対して適用することが可能である。具体的には、以下に述べる液晶表示装置として、TN (Twisted Nematic) 型、VA (Vertical Alignment) 型、OCB (Optically Compensated Birefringence) 型、IPS (In-Plane Switching) 型、MVA (Multi-domain Vertical Alignment) 型などを適用することが可能である。また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、カイラル剤や紫外線硬化樹脂を添加して温度範囲を改善する。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10\mu\text{sec}$ 以上 $100\mu\text{sec}$ 以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さいため好ましい。

40

【0012】

(実施の形態1)

本実施の形態では、本発明の一態様の液晶表示装置について図1～図6を参照して説明する。

【0013】

50

<液晶表示装置の構成例>

図1(A)は、液晶表示装置の構成例を示す図である。図1(A)に示す液晶表示装置は、画素部10と、走査線駆動回路11と、信号線駆動回路12と、各々が平行又は略平行に配設され、且つ走査線駆動回路11によって電位が制御されるm本の走査線13と、各々が平行又は略平行に配設され、且つ信号線駆動回路12によって電位が制御される、n本の信号線14と、を有する。さらに、画素部10は、3つの領域(領域101~領域103)に分割され、領域毎にマトリクス状に配設された複数の画素を有する。なお、各走査線13は、画素部10においてm行n列に配設された複数の画素のうち、いずれかの行に配設されたn個の画素に電氣的に接続される。また、各信号線14は、m行n列に配設された複数の画素のうち、いずれかの列に配設されたm個の画素に電氣的に接続される。

10

【0014】

図1(B)は、図1(A)に示す液晶表示装置が有する画素15の回路図の一例を示す図である。図1(B)に示す画素15は、ゲートが走査線13に電氣的に接続され、ソース及びドレインの一方が信号線14に電氣的に接続されたトランジスタ16と、一方の電極がトランジスタ16のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線(容量配線ともいう)に電氣的に接続された容量素子17と、一方の電極(画素電極ともいう)がトランジスタ16のソース及びドレインの他方及び容量素子17の一方の電極に電氣的に接続され、他方の電極(対向電極ともいう)が対向電位を供給する配線に電氣的に接続された液晶素子18と、を有する。なお、トランジスタ16は、nチャンネル型のトランジスタである。また、容量電位と対向電位を同一の電位とすることが可能である。

20

【0015】

<走査線駆動回路11の構成例>

図2(A)は、図1(A)に示す液晶表示装置が有する走査線駆動回路11の構成例を示す図である。図2(A)に示す走査線駆動回路11は、第1の走査線駆動回路用クロック信号(GCK1)を供給する配線乃至第4の走査線駆動回路用クロック信号(GCK4)を供給する配線と、第1のパルス幅制御信号(PWC1)を供給する配線乃至第6のパルス幅制御信号(PWC6)を供給する配線と、1行目に配設された走査線13に電氣的に接続された第1のパルス出力回路20_1、乃至、m行目に配設された走査線13に電氣的に接続された第mのパルス出力回路20_mと、を有する。なお、ここでは、第1のパルス出力回路20_1~第kのパルス出力回路20_k(kは、m/2未満の4の倍数)が、領域101に配設された走査線13に電氣的に接続され、第(k+1)のパルス出力回路20_{k+1}~第2kのパルス出力回路20_{2k}が、領域102に配設された走査線13に電氣的に接続され、第(2k+1)のパルス出力回路20_{2k+1}~第mのパルス出力回路20_mが領域103に配設された走査線13に電氣的に接続されることとする。また、第1のパルス出力回路20_1乃至第mのパルス出力回路20_mは、第1のパルス出力回路20_1に入力される走査線駆動回路用スタートパルス(GSP)をきっかけとしてシフト期間毎にシフトパルスを順次シフトする機能を有する。さらに、第1のパルス出力回路20_1乃至第mのパルス出力回路20_mにおいて複数のシフトパルスのシフトを並行して行うことが可能である。すなわち、第1のパルス出力回路20_1乃至第mのパルス出力回路20_mにおいてシフトパルスのシフトが行われている期間内であっても、第1のパルス出力回路20_1に走査線駆動回路用スタートパルス(GSP)を入力することが可能である。

30

40

【0016】

図2(B)は、上記信号の具体的な波形の一例を示す図である。図2(B)に示す第1の走査線駆動回路用クロック信号(GCK1)は、周期的にハイレベルの電位(高電源電位(Vdd))とロウレベルの電位(低電源電位(Vss))を繰り返す、デューティ比が1/4の信号である。また、第2の走査線駆動回路用クロック信号(GCK2)は、第1の走査線駆動回路用クロック信号(GCK1)から1/4周期分位相がずれた信号で

50

あり、第3の走査線駆動回路用クロック信号（GCK3）は、第1の走査線駆動回路用クロック信号（GCK1）から $1/2$ 周期位相がずれた信号であり、第4の走査線駆動回路用クロック信号（GCK4）は、第1の走査線駆動回路用クロック信号（GCK1）から $3/4$ 周期位相がずれた信号である。第1のパルス幅制御信号（PWC1）は、周期的にハイレベルの電位（高電源電位（Vdd））とロウレベルの電位（低電源電位（Vss））を繰り返す、デューティ比が $1/3$ の信号である。また、第2のパルス幅制御信号（PWC2）は、第1のパルス幅制御信号（PWC1）から $1/6$ 周期位相がずれた信号であり、第3のパルス幅制御信号（PWC3）は、第1のパルス幅制御信号（PWC1）から $1/3$ 周期位相がずれた信号であり、第4のパルス幅制御信号（PWC4）は、第1のパルス幅制御信号（PWC1）から $1/2$ 周期位相がずれた信号であり、第5のパルス幅制御信号（PWC5）は、第1のパルス幅制御信号（PWC1）から $2/3$ 周期位相がずれた信号であり、第6のパルス幅制御信号（PWC6）は、第1のパルス幅制御信号（PWC1）から $5/6$ 周期位相がずれた信号である。なお、ここでは、第1の走査線駆動回路用クロック信号（GCK1）乃至第4の走査線駆動回路用クロック信号（GCK4）のパルス幅と第1のパルス幅制御信号（PWC1）乃至第6のパルス幅制御信号（PWC6）のパルス幅の比は、3：2とする。

10

【0017】

上述した液晶表示装置においては、第1のパルス出力回路20__1乃至第mのパルス出力回路20__mとして、同一の構成を有する回路を適用することができる。ただし、パルス出力回路が有する複数の端子の電氣的な接続関係は、パルス出力回路毎に異なる。具体的な接続関係について図2（A）、（C）を参照して説明する。

20

【0018】

第1のパルス出力回路20__1乃至第mのパルス出力回路20__mのそれぞれは、端子21～端子27を有する。なお、端子21～端子24及び端子26は入力端子であり、端子25及び端子27は出力端子である。

【0019】

まず、端子21について述べる。第1のパルス出力回路20__1の端子21は、走査線駆動回路用スタートパルス（GSP）を供給する配線に電氣的に接続され、第2のパルス出力回路20__2～第mのパルス出力回路20__mの端子21は、前段のパルス出力回路の端子27に電氣的に接続される。

30

【0020】

次いで、端子22について述べる。第（4a-3）のパルス出力回路（aは、 $m/4$ 以下の自然数）の端子22は、第1の走査線駆動回路用クロック信号（GCK1）を供給する配線に電氣的に接続され、第（4a-2）のパルス出力回路の端子22は、第2の走査線駆動回路用クロック信号（GCK2）を供給する配線に電氣的に接続され、第（4a-1）のパルス出力回路の端子22は、第3の走査線駆動回路用クロック信号（GCK3）を供給する配線に電氣的に接続され、第4aのパルス出力回路の端子22は、第4の走査線駆動回路用クロック信号（GCK4）を供給する配線に電氣的に接続される。

【0021】

次いで、端子23について述べる。第（4a-3）のパルス出力回路の端子23は、第2の走査線駆動回路用クロック信号（GCK2）を供給する配線に電氣的に接続され、第（4a-2）のパルス出力回路の端子23は、第3の走査線駆動回路用クロック信号（GCK3）を供給する配線に電氣的に接続され、第（4a-1）のパルス出力回路の端子23は、第4の走査線駆動回路用クロック信号（GCK4）を供給する配線に電氣的に接続され、第4aのパルス出力回路の端子23は、第1の走査線駆動回路用クロック信号（GCK1）を供給する配線に電氣的に接続される。

40

【0022】

次いで、端子24について述べる。第（2b-1）のパルス出力回路（bは、 $k/2$ 以下の自然数）の端子24は、第1のパルス幅制御信号（PWC1）を供給する配線に電氣的に接続され、第2bのパルス出力回路の端子24は、第4のパルス幅制御信号（PWC

50

4) を供給する配線に電氣的に接続され、第 (2c-1) のパルス出力回路 (c は、 $(k/2 + 1)$ 以上 k 以下の自然数) の端子 24 は、第 2 のパルス幅制御信号 (PWC2) を供給する配線に電氣的に接続され、第 2c のパルス出力回路の端子 24 は、第 5 のパルス幅制御信号 (PWC5) を供給する配線に電氣的に接続され、第 (2d-1) のパルス出力回路 (d は、 $(k+1)$ 以上 $m/2$ 以下の自然数) の端子 24 は、第 3 のパルス幅制御信号 (PWC3) を供給する配線に電氣的に接続され、第 2d のパルス出力回路の端子 24 は、第 6 のパルス幅制御信号 (PWC6) を供給する配線に電氣的に接続される。

【0023】

次いで、端子 25 について述べる。第 x のパルス出力回路 (x は、 m 以下の自然数) の端子 25 は、x 行目に配設された走査線 13_x に電氣的に接続される。

10

【0024】

次いで、端子 26 について述べる。第 y のパルス出力回路 (y は、 $m-1$ 以下の自然数) の端子 26 は、第 (y+1) のパルス出力回路の端子 27 に電氣的に接続され、第 m のパルス出力回路の端子 26 は、第 m のパルス出力回路用ストップ信号 (STP) を供給する配線に電氣的に接続される。なお、第 m のパルス出力回路用ストップ信号 (STP) は、仮に第 (m+1) のパルス出力回路が設けられていれば、当該第 (m+1) のパルス出力回路の端子 27 から出力される信号に相当する信号である。具体的には、これらの信号は、実際にダミー回路として第 (m+1) のパルス出力回路を設けること、又は外部から当該信号を直接入力することなどによって第 m のパルス出力回路に供給することができる。

20

【0025】

各パルス出力回路の端子 27 の接続関係は既出である。そのため、ここでは前述の説明を援用することとする。

【0026】

<パルス出力回路の構成例>

図 3 (A) は、図 2 (A)、(C) に示すパルス出力回路の構成例を示す図である。図 3 (A) に示すパルス出力回路は、トランジスタ 31 乃至トランジスタ 39 を有する。

【0027】

トランジスタ 31 は、ソース及びドレインの一方が高電源電位 (V_{dd}) を供給する配線 (以下、高電源電位線ともいう) に電氣的に接続され、ゲートが端子 21 に電氣的に接続される。

30

【0028】

トランジスタ 32 は、ソース及びドレインの一方が低電源電位 (V_{ss}) を供給する配線 (以下、低電源電位線ともいう) に電氣的に接続され、ソース及びドレインの他方がトランジスタ 31 のソース及びドレインの他方に電氣的に接続される。

【0029】

トランジスタ 33 は、ソース及びドレインの一方が端子 22 に電氣的に接続され、ソース及びドレインの他方が端子 27 に電氣的に接続され、ゲートがトランジスタ 31 のソース及びドレインの他方並びにトランジスタ 32 のソース及びドレインの他方に電氣的に接続される。

40

【0030】

トランジスタ 34 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子 27 に電氣的に接続され、ゲートがトランジスタ 32 のゲートに電氣的に接続される。

【0031】

トランジスタ 35 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 32 のゲート及びトランジスタ 34 のゲートに電氣的に接続され、ゲートが端子 21 に電氣的に接続される。

【0032】

トランジスタ 36 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、

50

ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、並びにトランジスタ 3 5 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 6 に電氣的に接続される。なお、トランジスタ 3 6 のソース及びドレインの一方が、低電源電位 (V_{ss}) よりも高電位であり且つ高電源電位 (V_{dd}) よりも低電位である電源電位 (V_{cc}) を供給する配線に電氣的に接続される構成とすることもできる。

【0033】

トランジスタ 3 7 は、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、並びにトランジスタ 3 6 のソース及びドレインの他方に電氣的に接続され、ゲートが端子 2 3 に電氣的に接続される。なお、トランジスタ 3 7 のソース及びドレインの一方が、電源電位 (V_{cc}) を供給する配線に電氣的に接続される構成とすることもできる。

10

【0034】

トランジスタ 3 8 は、ソース及びドレインの一方が端子 2 4 に電氣的に接続され、ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、並びにトランジスタ 3 3 のゲートに電氣的に接続される。

【0035】

トランジスタ 3 9 は、ソース及びドレインの一方が低電源電位線に電氣的に接続され、ソース及びドレインの他方が端子 2 5 に電氣的に接続され、ゲートがトランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、並びにトランジスタ 3 7 のソース及びドレインの他方に電氣的に接続される。

20

【0036】

なお、以下においては、トランジスタ 3 1 のソース及びドレインの他方、トランジスタ 3 2 のソース及びドレインの他方、トランジスタ 3 3 のゲート、並びにトランジスタ 3 8 のゲートが電氣的に接続するノードをノード A とし、トランジスタ 3 2 のゲート、トランジスタ 3 4 のゲート、トランジスタ 3 5 のソース及びドレインの他方、トランジスタ 3 6 のソース及びドレインの他方、トランジスタ 3 7 のソース及びドレインの他方、並びにトランジスタ 3 9 のゲートが電氣的に接続するノードをノード B として説明する。

30

【0037】

<パルス出力回路の動作例>

上述したパルス出力回路の動作例について図 3 (B) ~ (D) を参照して説明する。なお、ここでは、第 1 のパルス出力回路 2 0 _ 1 の端子 2 1 に入力される走査線駆動回路用スタートパルスの入力タイミングを制御することで、第 1 のパルス出力回路 2 0 _ 1、第 $k + 1$ のパルス出力回路 2 0 _ $k + 1$ 、及び第 $2k + 1$ のパルス出力回路 2 0 _ $2k + 1$ の端子 2 7 から同一タイミングでシフトパルスを出力する場合の動作例について説明する。具体的には、図 3 (B) は、走査線駆動回路用スタートパルス (GSP) が入力される際の第 1 のパルス出力回路 2 0 _ 1 の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (C) は、第 k のパルス出力回路 2 0 _ k からハイレベルの電位が入力される際の第 $(k + 1)$ のパルス出力回路 2 0 _ $k + 1$ の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示しており、図 3 (D) は、第 $2k$ のパルス出力回路 2 0 _ $2k$ からハイレベルの電位が入力される際の第 $(2k + 1)$ のパルス出力回路 2 0 _ $2k + 1$ の各端子に入力される信号の電位、並びにノード A 及びノード B の電位を示している。なお、図 3 (B) ~ (D) では、各端子に入力される信号を括弧書きで付記している。また、それぞれの後段に配設されるパルス出力回路 (第 2 のパルス出力回路 2 0 _ 2、第 $(k + 2)$ のパルス出力回路 2 0 _ $k + 2$ 、第 $(2k + 2)$ のパルス出力回路 2 0 _ $2k + 2$) の端子 2 5 から出力される信号 ($Gout_2$ 、 $Gout_{k+2}$ 、 $Gout_{2k+2}$) 及び端子 2 7 の出力信号 ($SROUT_2$ = 第 1 のパルス出力回路 2 0 _ 1 の端子 2 6 の入力信号、 $SROUT_{k+2}$ = 第 $(k + 1)$ のパルス出力

40

50

回路 20 __ k + 1 の端子 26 の入力信号、S R o u t 2 k + 2 = 第 (2 k + 1) のパルス出力回路 20 __ 2 k + 1 の端子 26 の入力信号) も付記している。なお、図中において、G o u t は、パルス出力回路の走査線に対する出力信号を表し、S R o u t は、当該パルス出力回路の、後段のパルス出力回路に対する出力信号を表している。

【0038】

まず、図 3 (B) を参照して、第 1 のパルス出力回路 20 __ 1 に走査線駆動回路用スタートパルスが入力される場合について説明する。

【0039】

期間 t 1 において、端子 21 にハイレベルの電位 (高電源電位 (V d d)) が入力される。これにより、トランジスタ 31、35 がオン状態となる。そのため、ノード A の電位がハイレベルの電位 (高電源電位 (V d d)) からトランジスタ 31 のしきい値電圧分下降した電位) に上昇し、且つノード B の電位が低電源電位 (V s s) に下降する。これに付随して、トランジスタ 33、38 がオン状態となり、トランジスタ 32、34、39 がオフ状態となる。以上により、期間 t 1 において、端子 27 から出力される信号は、端子 22 に入力される信号となり、端子 25 から出力される信号は、端子 24 に入力される信号となる。ここで、期間 t 1 において、端子 22 及び端子 24 に入力される信号は、共にロウレベルの電位 (低電源電位 (V s s)) である。そのため、期間 t 1 において、第 1 のパルス出力回路 20 __ 1 は、第 2 のパルス出力回路 20 __ 2 の端子 21、及び画素部において 1 行目に配設された走査線にロウレベルの電位 (低電源電位 (V s s)) を出力する。

【0040】

期間 t 2 において、各端子に入力される信号は期間 t 1 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位 (低電源電位 (V s s)) を出力する。

【0041】

期間 t 3 において、端子 24 にハイレベルの電位 (高電源電位 (V d d)) が入力される。なお、ノード A の電位 (トランジスタ 31 のソースの電位) は、期間 t 1 においてハイレベルの電位 (高電源電位 (V d d)) からトランジスタ 31 のしきい値電圧分下降した電位) まで上昇している。そのため、トランジスタ 31 はオフ状態となっている。この時、端子 24 にハイレベルの電位 (高電源電位 (V d d)) が入力されることで、トランジスタ 38 のソースとゲートの容量結合によって、ノード A の電位 (トランジスタ 38 のゲートの電位) がさらに上昇する (ブートストラップ動作) 。また、当該ブートストラップ動作を行うことによって、端子 25 から出力される信号が端子 24 に入力されるハイレベルの電位 (高電源電位 (V d d)) から下降することがない。そのため、期間 t 3 において、第 1 のパルス出力回路 20 __ 1 は、画素部において 1 行目に配設された走査線にハイレベルの電位 (高電源電位 (V d d) = 選択信号) を出力する。

【0042】

期間 t 4 において、端子 22 にハイレベルの電位 (高電源電位 (V d d)) が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 27 から出力される信号が端子 22 に入力されるハイレベルの電位 (高電源電位 (V d d)) から下降することがない。そのため、期間 t 4 において、端子 27 からは、端子 22 に入力されるハイレベルの電位 (高電源電位 (V d d)) が出力される。すなわち、第 1 のパルス出力回路 20 __ 1 は、第 2 のパルス出力回路 20 __ 2 の端子 21 にハイレベルの電位 (高電源電位 (V d d) = シフトパルス) を出力する。また、期間 t 4 において、端子 24 に入力される信号はハイレベルの電位 (高電源電位 (V d d)) を維持するため、第 1 のパルス出力回路 20 __ 1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ハイレベルの電位 (高電源電位 (V d d) = 選択信号) のままである。なお、期間 t 4 における当該パルス出力回路の出力信号には直接関与しないが、端子 21 にロウレベルの電位 (低電源電位 (V s s)) が入力されるためトランジスタ 35 はオフ状態となる。

【0043】

期間 t_5 において、端子 24 にロウレベルの電位（低電源電位（ V_{ss} ））が入力される。ここで、トランジスタ 38 はオン状態を維持する。そのため、期間 t_5 において、第 1 のパルス出力回路 20__1 から画素部において 1 行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（ V_{ss} ））となる。

【0044】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、端子 25 からはロウレベルの電位（低電源電位（ V_{ss} ））が出力され、端子 27 からはハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）が出力される。

10

【0045】

期間 t_7 において、端子 23 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 37 のしきい値電圧分下降した電位に上昇する。つまり、トランジスタ 32、34、39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 33、38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 1 のパルス出力回路 20__1 は、第 2 のパルス出力回路 20__2 の端子 21、及び画素部において 1 行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

20

【0046】

次いで、図 3（C）を参照して、第（ $k+1$ ）のパルス出力回路 20__ $k+1$ の端子 21 に第 k のパルス出力回路 20__ k からシフトパルスが入力される場合について説明する。

【0047】

期間 t_1 及び期間 t_2 において、第（ $k+1$ ）のパルス出力回路 20__ $k+1$ の動作は、上述した第 1 のパルス出力回路 20__1 と同様である。そのため、ここでは前述の説明を援用することとする。

【0048】

期間 t_3 において、各端子に入力される信号は期間 t_2 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にロウレベルの電位（低電源電位（ V_{ss} ））を出力する。

30

【0049】

期間 t_4 において、端子 22 及び端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。なお、ノード A の電位（トランジスタ 31 のソースの電位）は、期間 t_1 においてハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 31 のしきい値電圧分下降した電位まで上昇している。そのため、トランジスタ 31 は、期間 t_1 においてオフ状態となっている。ここで、端子 22 及び端子 24 にハイレベルの電位（高電源電位（ V_{dd} ））が入力されることで、トランジスタ 33 のソースとゲート及びトランジスタ 38 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 33、38 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 25 及び端子 27 から出力される信号が端子 22 及び端子 24 に入力されるハイレベルの電位（高電源電位（ V_{dd} ））から下降することがない。そのため、期間 t_4 において、第（ $k+1$ ）のパルス出力回路 20__ $k+1$ は、画素部において（ $k+1$ ）行目に配設された走査線及び第（ $k+2$ ）のパルス出力回路 20__ $k+2$ の端子 21 にハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号、シフトパルス）を出力する。

40

【0050】

期間 t_5 において、各端子に入力される信号は期間 t_4 から変化しない。そのため、端

50

子 2 5 及び端子 2 7 から出力される信号も変化せず、ハイレベルの電位（高電源電位（V_{dd}）＝選択信号、シフトパルス）を出力する。

【0051】

期間 t 6 において、端子 2 4 にロウレベルの電位（低電源電位（V_{ss}））が入力される。ここで、トランジスタ 3 8 はオン状態を維持する。そのため、期間 t 6 において、第（k + 1）のパルス出力回路 2 0 __ k + 1 から画素部において（k + 1）行目に配設された走査線に対して出力される信号は、ロウレベルの電位（低電源電位（V_{ss}））となる。

【0052】

期間 t 7 において、端子 2 3 にハイレベルの電位（高電源電位（V_{dd}））が入力される。これにより、トランジスタ 3 7 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（V_{dd}））からトランジスタ 3 7 のしきい値電圧分下降した電位）に上昇する。つまり、トランジスタ 3 2、3 4、3 9 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（V_{ss}））へと下降する。つまり、トランジスタ 3 3、3 8 がオフ状態となる。以上により、期間 t 7 において、端子 2 5 及び端子 2 7 から出力される信号は、共に低電源電位（V_{ss}）となる。すなわち、期間 t 7 において、第（k + 1）のパルス出力回路 2 0 __ k + 1 は、第（k + 2）のパルス出力回路 2 0 __ k + 2 の端子 2 1、及び画素部において（k + 1）行目に配設された走査線に低電源電位（V_{ss}）を出力する。

【0053】

次いで、図 3（D）を参照して、第（2k + 1）のパルス出力回路 2 0 __ 2k + 1 の端子 2 1 に第 2k のパルス出力回路 2 0 __ 2k からシフトパルスが入力される場合について説明する。

【0054】

期間 t 1 乃至期間 t 3 において、第（2k + 1）のパルス出力回路 2 0 __ 2k + 1 の動作は、上述した第（k + 1）のパルス出力回路 2 0 __ k + 1 と同様である。そのため、ここでは前述の説明を援用することとする。

【0055】

期間 t 4 において、端子 2 2 にハイレベルの電位（高電源電位（V_{dd}））が入力される。なお、ノード A の電位（トランジスタ 3 1 のソースの電位）は、期間 t 1 においてハイレベルの電位（高電源電位（V_{dd}））からトランジスタ 3 1 のしきい値電圧分下降した電位）まで上昇している。そのため、トランジスタ 3 1 は、期間 t 1 においてオフ状態となっている。ここで、端子 2 2 にハイレベルの電位（高電源電位（V_{dd}））が入力されることで、トランジスタ 3 3 のソースとゲートの容量結合によって、ノード A の電位（トランジスタ 3 3 のゲートの電位）がさらに上昇する（ブートストラップ動作）。また、当該ブートストラップ動作を行うことによって、端子 2 7 から出力される信号が端子 2 2 に入力されるハイレベルの電位（高電源電位（V_{dd}））から下降することがない。そのため、期間 t 4 において、第（2k + 1）のパルス出力回路 2 0 __ 2k + 1 は、第（2k + 2）のパルス出力回路 2 0 __ 2k + 2 の端子 2 1 にハイレベルの電位（高電源電位（V_{dd}）＝シフトパルス）を出力する。なお、期間 t 4 における当該パルス出力回路の出力信号には直接関与しないが、端子 2 1 にロウレベルの電位（低電源電位（V_{ss}））が入力されるためトランジスタ 3 5 はオフ状態となる。

【0056】

期間 t 5 において、端子 2 4 にハイレベルの電位（高電源電位（V_{dd}））が入力される。ここで、ノード A の電位は、ブートストラップ動作によって上昇しているため、端子 2 5 から出力される信号が端子 2 4 に入力されるハイレベルの電位（高電源電位（V_{dd}））から下降することがない。そのため、期間 t 5 において、端子 2 5 からは、端子 2 2 に入力されるハイレベルの電位（高電源電位（V_{dd}））が出力される。すなわち、第（2k + 1）のパルス出力回路 2 0 __ 2k + 1 は、画素部において（2k + 1）行目に配設された走査線にハイレベルの電位（高電源電位（V_{dd}）＝選択信号）を出力する。また

、期間 t_5 において、端子 22 に入力される信号はハイレベルの電位（高電源電位（ V_{dd} ））を維持するため、第 $(2k+1)$ のパルス出力回路 20__ $2k+1$ から第 $(2k+2)$ のパルス出力回路 20__ $2k+2$ の端子 21 に対して出力される信号は、ハイレベルの電位（高電源電位（ V_{dd} ）＝シフトパルス）のままである。

【0057】

期間 t_6 において、各端子に入力される信号は期間 t_5 から変化しない。そのため、端子 25 及び端子 27 から出力される信号も変化せず、共にハイレベルの電位（高電源電位（ V_{dd} ）＝選択信号、シフトパルス）を出力する。

【0058】

期間 t_7 において、端子 23 にハイレベルの電位（高電源電位（ V_{dd} ））が入力される。これにより、トランジスタ 37 がオン状態となる。そのため、ノード B の電位がハイレベルの電位（高電源電位（ V_{dd} ））からトランジスタ 37 のしきい値電圧分下降した電位に上昇する。つまり、トランジスタ 32、34、39 がオン状態となる。また、これに付随して、ノード A の電位がロウレベルの電位（低電源電位（ V_{ss} ））へと下降する。つまり、トランジスタ 33、38 がオフ状態となる。以上により、期間 t_7 において、端子 25 及び端子 27 から出力される信号は、共に低電源電位（ V_{ss} ）となる。すなわち、期間 t_7 において、第 $(2k+1)$ のパルス出力回路 20__ $2k+1$ は、第 $(2k+2)$ のパルス出力回路 20__ $2k+2$ の端子 21、及び画素部において $(2k+1)$ 行目に配設された走査線に低電源電位（ V_{ss} ）を出力する。

【0059】

図 3（B）～（D）に示すように、第 1 のパルス出力回路 20__1 乃至第 m のパルス出力回路 20__ m では、走査線駆動回路用スタートパルス（GSP）の入力タイミングを制御することで、複数のシフトパルスのシフトを並行して行うことが可能である。具体的には、走査線駆動回路用スタートパルス（GSP）の入力後、第 k のパルス出力回路 20__ k の端子 27 からシフトパルスが出力されるタイミングと同じタイミングで再度走査線駆動回路用スタートパルス（GSP）を入力することによって、第 1 のパルス出力回路 20__1 及び第 $k+1$ のパルス出力回路 20__ $k+1$ から同じタイミングでシフトパルスを出力させることが可能である。また、同様に走査線駆動回路用スタートパルス（GSP）を入力することによって、第 1 のパルス出力回路 20__1、第 $(k+1)$ のパルス出力回路 20__ $k+1$ 、及び第 $(2k+1)$ のパルス出力回路 20__ $2k+1$ から同じタイミングでシフトパルスを出力させることが可能である。

【0060】

加えて、第 1 のパルス出力回路 20__1、第 $(k+1)$ のパルス出力回路 20__ $k+1$ 、及び第 $(2k+1)$ のパルス出力回路 20__ $2k+1$ は、上記の動作に並行して、それぞれ異なるタイミングで走査線に対する選択信号の供給を行うことが可能である。すなわち、上述した走査線駆動回路は、固有のシフト期間を有するシフトパルスを複数シフトし且つ同一タイミングにおいてシフトパルスが入力された複数のパルス出力回路がそれぞれ異なるタイミングで走査線に対して選択信号を供給することが可能である。

【0061】

<信号線駆動回路 12 の構成例>

図 4（A）は、図 1（A）に示す液晶表示装置が有する信号線駆動回路 12 の構成例を示す図である。図 4（A）に示す信号線駆動回路 12 は、第 1 の出力端子乃至第 n の出力端子を有するシフトレジスタ 120 と、画像信号（DATA）を供給する配線と、ソース及びドレインの一方が画像信号（DATA）を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部において 1 列目に配設された信号線に電氣的に接続され、ゲートがシフトレジスタ 120 の第 1 の出力端子に電氣的に接続されたトランジスタ 121__1、乃至、ソース及びドレインの一方が画像信号（DATA）を供給する配線に電氣的に接続され、ソース及びドレインの他方が画素部において n 列目に配設された信号線に電氣的に接続され、ゲートがシフトレジスタ 120 の第 n の出力端子に電氣的に接続されたトランジスタ 121__ n と、を有する。なお、シフトレジスタ 120 は、信号線駆動回路

10

20

30

40

50

用スタートパルス（SSP）をきっかけとしてシフト期間毎に順次第1の出力端子乃至第nの出力端子からハイレベルの電位を出力する機能を有する。すなわち、トランジスタ121__1乃至トランジスタ121__nは、シフト期間毎に順次オン状態となる。

【0062】

図4（B）は、画像信号（DATA）を供給する配線が供給する画像信号のタイミングの一例を示す図である。図4（B）に示すように、画像信号（DATA）を供給する配線は、期間t4において、1行目に配設された画素用画像信号（data1）を供給し、期間t5において、（k+1）行目に配設された画素用画像信号（datak+1）を供給し、期間t6において、（2k+1）行目に配設された画素用画像信号（data2k+1）を供給し、期間t7において、2行目に配設された画素用画像信号（data2）を供給する。以下、同様に画像信号（DATA）を供給する配線は、特定の行毎に配設された画素用画像信号を順次供給する。具体的には、s行目（sは、k未満の自然数）に配設された画素用画像信号→（k+s）行目に配設された画素用画像信号→（2k+s）行目に配設された画素用画像信号→（s+1）行目に配設された画素用画像信号という順序で画像信号を供給する。上述した走査線駆動回路及び信号線駆動回路が当該動作を行うことにより、走査線駆動回路が有するパルス出力回路におけるシフト期間毎に画素部に配設された3行の画素に対する画像信号の書き込みを行うことが可能である。

【0063】

<バックライトの構成例>

図5は、図1（A）に示す液晶表示装置の画素部10の後方に設けられるバックライトの構成例を示す図である。図5に示すバックライトは、赤（R）、緑（G）、青（B）のいずれか一を呈する光を発光する3種の光源を備えたバックライトユニット40を複数有する。なお、複数のバックライトユニット40は、マトリクス状に配設されており、且つ特定の領域毎に点灯を制御することが可能である。ここでは、m行n列に配設された複数の画素15に対するバックライトとして、少なくともt行n列毎（ここでは、tは、k/4とする）にバックライトユニット40が設けられ、該バックライトユニット40の点灯を独立に制御できることとする。すなわち、当該バックライトが、少なくとも1行目乃至t行目用バックライトユニット～（2k+3t+1）行目乃至m行目用バックライトユニットを有し、それぞれのバックライトユニット40の点灯を独立に制御できることとする。さらに、当該バックライトユニット40において、赤（R）、緑（G）、及び青（B）の3色を呈する光源を同時に点灯させる（赤（R）、緑（G）、及び青（B）の3色を呈する光を混色する）ことで、白（W）を呈する光を形成することが可能であることとする。

【0064】

<液晶表示装置の動作例>

図6は、上述した液晶表示装置における選択信号の走査と、バックライトの点灯タイミングとを示す図である。なお、図6において縦軸は画素部における行を表し、横軸は時間を表している。具体的には、図6において、1乃至mは、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。図6に示すように当該液晶表示装置では、1行目に配設された走査線～m行目に配設された走査線に対して順次選択信号を供給するのではなく、k行分隔離されて配設された走査線に対して順次選択信号を供給する（1行目に配設された走査線→（k+1）行目に配設された走査線→（2k+1）行目に配設された走査線→2行目に配設された走査線という順序で選択信号を供給する）ことが可能である。そのため、期間T1において、1行目に配設されたn個の画素からt行目に配設されたn個の画素を順次選択し、且つ（k+1）行目に配設されたn個の画素から（k+t）行目に配設されたn個の画素を順次選択し、且つ（2k+1）行目に配設されたn個の画素から（2k+t）行目に配設されたn個の画素を順次選択することで、各画素に画像信号を入力することが可能である。なお、ここでは、1行目に配設されたn個の画素乃至t行目に配設されたn個の画素には、白（W）を呈する光の透過を制御する画像信号が入力され、（k+1）行目に配設されたn個の画素乃至（k+t）行目に配設

された n 個の画素には、青 (B) を呈する光の透過を制御する画像信号が入力され、 $(2k+1)$ 行目に配設された n 個の画素乃至 $(2k+t)$ 行目に配設された n 個の画素には、緑 (G) を呈する光の透過を制御する画像信号が入力されることとする。

【0065】

また、図 6 に示すように当該液晶表示装置では、特定の領域において画像信号の書き込みが行われる合間の期間において、バックライトの点灯を行うことが可能である。具体的には、期間 T_1 及び期間 T_2 の合間の期間において、1 行目乃至 t 行目用バックライトユニットに白 (W) を呈する光 (赤 (R) を呈する光、緑 (G) を呈する光、及び青 (B) を呈する光の全て) を発光させ、且つ $(k+1)$ 行目乃至 $(k+t)$ 行目用バックライトユニットに青 (B) を呈する光を発光させ、且つ $(2k+1)$ 行目乃至 $(2k+t)$ 行目用バックライトユニットに緑 (G) を呈する光を発光させることが可能である。なお、当該液晶表示装置においては、図 6 に示す、赤 (R) の画像信号の書き込み～白 (W) のバックライトの点灯までの動作によって画素部に 1 枚の画像が形成されることとする。

【0066】

<本実施の形態で開示される液晶表示装置について>

本実施の形態の液晶表示装置は、画像信号の書き込みと、フィールドシーケンシャル方式による表示とを並行して行うことが可能である。そのため、当該液晶表示装置の各画素に対する画像信号の入力頻度を向上させることなどが可能になる。その結果、フィールドシーケンシャル方式によって表示を行う液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。

【0067】

また、本実施の形態で開示される液晶表示装置は、上記の動作を簡便な画素構成でありながら実現することが可能である。具体的には、特許文献 1 で開示される液晶表示装置の画素には、本実施の形態で開示される液晶表示装置の画素の構成に加えて、電荷の移動を制御するトランジスタが必要になる。また、該トランジスタのスイッチングを制御するための信号線も別途必要になる。これに対し、本実施の形態の液晶表示装置の画素構成は、簡便である。すなわち、本実施の形態の液晶表示装置は、特許文献 1 で開示される液晶表示装置と比較して画素の開口率を向上させることが可能である。また、画素部に延在する配線数を低減することで各種配線間に生じる寄生容量を低減することが可能である。すなわち、画素部に延在する各種配線の高速駆動が可能となる。

【0068】

また、本実施の形態で開示される液晶表示装置において図 6 に示すようにバックライトを点灯する場合、隣接するバックライトユニットが異なる色を呈する光を発光することがない。具体的には、期間 T_1 において画像信号の書き込みが行われる領域に対して当該書き込み後にバックライトを点灯する場合、隣接するバックライトユニットが異なる色を呈する光を発光することがない。例えば、期間 T_1 において、 $(k+1)$ 行目に配設された n 個の画素から $(k+t)$ 行目に配設された n 個の画素に対して青 (B) の画像信号の入力が終了した後に $(k+1)$ 行目乃至 $(k+t)$ 行目用バックライトユニットにおいて青 (B) を点灯させる際に、 $(3t+1)$ 行目乃至 k 行目用バックライトユニット及び $(k+t+1)$ 行目乃至 $(k+2t)$ 行目用バックライトユニットにおいては、青 (B) が点灯される又は点灯自体が行われない (赤 (R)、緑 (G) が点灯されることがない)。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

【0069】

<変形例>

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0070】

例えば、本実施の形態の液晶表示装置においては、画素部 10 を 3 つの領域に分割し、該 3 つの領域に並行して画像信号を供給する構成について示したが、本発明の液晶表示装

10

20

30

40

50

置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部10を3つ以外の複数の領域に分割し、該複数の領域に並行して画像信号を供給する構成とすることが可能である。なお、当該領域数を変化させる場合、当該領域数に応じて走査線駆動回路用クロック信号及びパルス幅制御信号を設定する必要があることを付記する。

【0071】

また、本実施の形態の液晶表示装置においては、バックライトが赤（R）、緑（G）、青（B）のいずれか一を呈する光を発光する3種の光源を有する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、任意の色を呈する光の光源を組み合わせて用いることが可能である。例えば、赤（R）、緑（G）、青（B）、白（W）、若しくは赤（R）、緑（G）、青（B）、黄（Y）の4種の光源を組み合わせて用いること、又はシアン（C）、マゼンタ（M）、イエロー（Y）の3種の光源を組み合わせて用いることなどが可能である。なお、バックライトユニットが白（W）を呈する光を発光する光源を有する場合は、白（W）を呈する光を混色によって形成するのではなく、当該光源を用いて白（W）を呈する光を形成することができる。当該光源は、発光効率が高いため、当該光源を用いてバックライトを構成することで、消費電力を低減することが可能である。また、バックライトユニットが補色の関係にある2色を有する場合（例えば、青（B）と黄（Y）の2色を有する場合）当該2色を呈する光を混色することで白（W）を呈する光を形成することも可能である。さらに、淡色の赤（R）、緑（G）、及び青（B）、並びに濃色の赤（R）、緑（G）、及び青（B）の6色を組み合わせて用いること、又は赤（R）、緑（G）、青（B）、シアン（C）、マゼンタ（M）、イエロー（Y）の6色を組み合わせて用いることなども可能である。このように、より多種の光源を組み合わせることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0072】

また、本実施の形態の液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成（図1（B）参照）について示したが、当該容量素子を設けない構成とすることも可能である。この場合、画素の開口率を向上させることが可能である。また、画素部に延在する容量配線を削除することができるため、画素部に延在する各種配線の高速駆動が可能となる。

【0073】

また、パルス出力回路として、図3（A）に示したパルス出力回路に、ソース及びドレインの一方が高電源電位線に電氣的に接続され、ソース及びドレインの他方がトランジスタ32のゲート、トランジスタ34のゲート、トランジスタ35のソース及びドレインの他方、トランジスタ36のソース及びドレインの他方、トランジスタ37のソース及びドレインの他方、並びにトランジスタ39のゲートに電氣的に接続され、ゲートがリセット端子（Reset）に電氣的に接続されたトランジスタ50を付加した構成（図7（A）参照）を適用することが可能である。なお、当該リセット端子には、画素部において赤（R）の画像信号の書き込み～白（W）のバックライトの点灯が行われた後の期間においてハイレベルの電位が入力され、その他の期間においてはロウレベルの電位が入力される。なお、トランジスタ50は、ハイレベルの電位が入力されることでオン状態となるトランジスタである。これにより、バックライトの点灯が行われた後の期間において、各ノードの電位を初期化することができるので、誤動作を防止することが可能となる。なお、当該初期化を行う場合には、画素部に1枚の画像が形成される期間の間に初期化期間を設ける必要があることを付記する。また、図9を参照して後述するが、画素部に1枚の画像を形成する期間後にバックライトを消灯する期間を設ける場合、当該消灯する期間において当該初期化を行うことが可能である。

【0074】

また、パルス出力回路として、図3（A）に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ31のソース及びドレインの他方並びにトランジスタ32のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ

33のゲート及びトランジスタ38のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ51を付加した構成(図7(B)参照)を適用することも可能である。なお、トランジスタ51は、ノードAの電位がハイレベルの電位となる期間(図3(B)~(D))に示した期間 t_1 ~期間 t_6)においてオフ状態となる。そのため、トランジスタ51を付加した構成とすることで、期間 t_1 ~ t_6 において、トランジスタ33のゲート及びトランジスタ38のゲートと、トランジスタ31のソース及びドレインの他方並びにトランジスタ32のソース及びドレインの他方との電氣的な接続を遮断することが可能となる。これにより、期間 t_1 ~期間 t_6 に含まれる期間において、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。

10

【0075】

また、パルス出力回路として、図7(B)に示したパルス出力回路に、ソース及びドレインの一方がトランジスタ33のゲート並びにトランジスタ51のソース及びドレインの他方に電氣的に接続され、ソース及びドレインの他方がトランジスタ38のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ52を付加した構成(図8(A)参照)を適用することも可能である。なお、上述したようにトランジスタ52を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。特に、当該パルス出力回路がトランジスタ33のソースとゲートとの容量結合のみによってノードAの電位を上昇させる場合(図3(D)参照)における負荷の低減による効果が大きい。

20

【0076】

また、パルス出力回路として、図8(A)に示したパルス出力回路からトランジスタ51を削除し、且つソース及びドレインの一方がトランジスタ31のソース及びドレインの他方、トランジスタ32のソース及びドレインの他方、並びにトランジスタ52のソース及びドレインの一方に電氣的に接続され、ソース及びドレインの他方がトランジスタ33のゲートに電氣的に接続され、ゲートが高電源電位線に電氣的に接続されたトランジスタ53を付加した構成(図8(B)参照)を適用することも可能である。なお、上述したようにトランジスタ53を設けることによって、当該パルス出力回路で行われるブートストラップ動作時の負荷を低減することが可能である。また、当該パルス出力回路に生じる不正パルスが、トランジスタ33、38のスイッチングに与える影響を軽減することが可能である。

30

【0077】

また、本実施の形態の液晶表示装置においては、バックライトユニットとして赤(R)、緑(G)、青(B)のいずれか一を呈する光の3種の光源を横に直線的に並べる構成(図5参照)について示したが、バックライトユニットの構成は、当該構成に限定されない。例えば、当該3種の光源を3角配置しても良いし、当該3種の光源を縦に直線的に並べてもよいし、赤(R)のバックライトユニット、緑(G)のバックライトユニット、及び青(B)のバックライトユニットを別途設けても良い。また、上述した液晶表示装置においては、バックライトとして直下型方式のバックライトを適用する構成(図5参照)について示したが、当該バックライトとしてエッジライト方式のバックライトを適用することも可能である。

40

【0078】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライトを赤(R)、緑(G)、青(B)、及び白(W)の順で点灯することで1枚の画像を形成する構成について示したが、バックライトの点灯順は当該構成に限定されない。例えば、青(B)、緑(G)、赤(R)、及び白(W)の順、又は緑(G)、白(W)、赤(R)、及び青(B)の順で点灯することで1枚の画像を形成する構成とすることも可能である。また、特定色を複数回点灯させることも可能である。例えば、視感度の低い青(B)を呈する光が2回点灯されるように、青(B)、赤(R)、緑(G)、青(B)、及び白(W)の順で点灯することで1枚の画像を形成する構成とすることも可能である。なお、バ

50

ックライトの点灯順に合わせて、特定色の画像信号の入力順も適宜設計する必要があることは言うまでもない。

【0079】

また、本実施の形態の液晶表示装置においては、選択信号の走査及びバックライトユニットの点灯を連続的に行う構成（図6参照）について示したが、液晶表示装置の動作は、当該構成に限定されない。例えば、画素部において1枚の画像を形成する期間（図6では、赤（R）の画像信号の入力が行われる期間～バックライトにおいて白（W）が点灯される期間が相当する）の前後に、選択信号の走査及びバックライトユニットの点灯が行われない期間を設ける構成とすることが可能である（図9参照）。これにより、当該液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。なお、図9においては、選択信号の走査及びバックライトユニットの点灯の双方を行わない構成について例示しているが、選択信号の走査を行い各画素に対して光を透過させないための画像信号を入力する構成とすることも可能である。

10

【0080】

なお、本実施の形態の変形例として述べた構成の複数を、本実施の形態の液晶表示装置に対して適用することも可能である。

【0081】

また、本実施の形態の内容又は該内容の一部を、他の実施の形態の内容又は該内容の一部と組み合わせることが可能である。

【0082】

20

（実施の形態2）

本実施の形態では、実施の形態1とは異なる構成を有する、本発明の一態様の液晶表示装置について図10～図13を参照して説明する。

【0083】

<液晶表示装置の構成例>

図10（A）は、液晶表示装置の構成例を示す図である。図10（A）に示す液晶表示装置は、画素部60と、走査線駆動回路61と、信号線駆動回路62と、各々が平行又は略平行に配設され、且つ走査線駆動回路61によって電位が制御される3i本（iは、2以上の自然数）の走査線63と、各々が平行又は略平行に配設され、且つ信号線駆動回路62によって電位が制御される、j本（jは、2以上の自然数）の信号線641、j本の信号線642、及びj本の信号線643と、を有する。

30

【0084】

さらに、画素部60は、3つの領域（領域601～領域603）に分割され、領域毎にマトリクス状（i行j列）に配設された複数の画素を有する。なお、各走査線63は、画素部60においてマトリクス状（3i行j列）に配設された複数の画素のうち、いずれかの行に配設されたj個の画素に電氣的に接続される。また、各信号線641は、領域601においてマトリクス状（i行j列）に配設された複数の画素のうち、いずれかの列に配設されたi個の画素に電氣的に接続される。また、各信号線642は、領域602においてマトリクス状（i行j列）に配設された複数の画素のうち、いずれかの列に配設されたi個の画素に電氣的に接続される。また、各信号線643は、領域603においてマトリクス状（i行j列）に配設された複数の画素のうち、いずれかの列に配設されたi個の画素に電氣的に接続される。

40

【0085】

なお、走査線駆動回路61には、外部から走査線駆動回路用スタート信号（GSP）、走査線駆動回路用クロック信号（GCK）、及び高電源電位、低電源電位などの駆動用電源が入力される。また、信号線駆動回路62には、外部から信号線駆動回路用スタートパルス（SSP）、信号線駆動回路用クロック信号（SCK）、画像信号（data1～data3）などの信号、及び高電源電位、低電源電位などの駆動用電源が入力される。

【0086】

図10（B）～（D）は、画素の回路構成例を示す図である。具体的には、図10（B

50

）は、領域 601 に配設された画素 651 の回路構成例を示す図であり、図 10（C）は、領域 602 に配設された画素 652 の回路構成例を示す図であり、図 10（D）は、領域 603 に配設された画素 653 の回路構成例を示す図である。図 10（B）に示す画素 651 は、ゲートが走査線 63 に電氣的に接続され、ソース及びドレインの一方が信号線 641 に電氣的に接続されたトランジスタ 6511 と、一方の電極がトランジスタ 6511 のソース及びドレインの他方に電氣的に接続され、他方の電極が容量電位を供給する配線（容量配線ともいう）に電氣的に接続された容量素子 6512 と、一方の電極（画素電極ともいう）がトランジスタ 6511 のソース及びドレインの他方並びに容量素子 6512 の一方の電極に電氣的に接続され、他方の電極（対向電極ともいう）が対向電位を供給する配線に電氣的に接続された液晶素子 6513 と、を有する。

10

【0087】

図 10（C）に示す画素 652 及び図 10（D）に示す画素 653 も回路構成自体は、図 10（B）に示す画素 651 と同一である。ただし、図 10（C）に示す画素 652 では、トランジスタ 6521 のソース及びドレインの一方が信号線 641 ではなく信号線 642 に電氣的に接続される点が図 10（B）に示す画素 651 と異なり、図 10（D）に示す画素 653 では、トランジスタ 6531 のソース及びドレインの一方が信号線 641 ではなく信号線 643 に電氣的に接続される点が図 10（B）に示す画素 651 と異なる。

【0088】

＜走査線駆動回路 61 の構成例＞

20

図 11（A）は、図 10（A）に示す液晶表示装置が有する走査線駆動回路 61 の構成例を示す図である。図 11（A）に示す走査線駆動回路 61 は、 i 個の出力端子を有するシフトレジスタ 611～613 を有する。なお、シフトレジスタ 611 が有する出力端子のそれぞれは、領域 601 に配設された i 本の走査線 63 のいずれかに電氣的に接続され、シフトレジスタ 612 が有する出力端子のそれぞれは、領域 602 に配設された i 本の走査線 63 のいずれかに電氣的に接続され、シフトレジスタ 613 が有する出力端子のそれぞれは、領域 603 に配設された i 本の走査線 63 のいずれかに電氣的に接続される。すなわち、シフトレジスタ 611 は、領域 601 において選択信号を走査するシフトレジスタであり、シフトレジスタ 612 は、領域 602 において選択信号を走査するシフトレジスタであり、シフトレジスタ 613 は、領域 603 において選択信号を走査するシフト

30

【0089】

40

上述した走査線駆動回路 61 の動作例について図 11（B）を参照して説明する。なお、図 11（B）には、走査線駆動回路用クロック信号（GCK）、シフトレジスタ 611 が有する i 個の出力端子から出力される信号（SR611out）、シフトレジスタ 612 が有する i 個の出力端子から出力される信号（SR612out）、及びシフトレジスタ 613 が有する i 個の出力端子から出力される信号（SR613out）を示している。

【0090】

サンプリング期間（ t_1 ）において、シフトレジスタ 611 によって、1 行目に配設された走査線 63 を起点として i 行目に配設された走査線 63 までハイレベルの電位が $1/2$ クロック周期（水平走査期間）毎に順次シフトされ、シフトレジスタ 612 によって、

50

($i + 1$) 行目に配設された走査線 6 3 を起点として 2 i 行目に配設された走査線 6 3 までハイレベルの電位が $1 / 2$ クロック周期 (水平走査期間) 毎に順次シフトされ、シフトレジスタ 6 1 3 によって、(2 $i + 1$) 行目に配設された走査線 6 3 を起点として 3 i 行目に配設された走査線 6 3 までハイレベルの電位が $1 / 2$ クロック周期 (水平走査期間) 毎に順次シフトされる。そのため、走査線駆動回路 6 1 は、走査線 6 3 を介して、1 行目に配設された j 個の画素 6 5 1 から i 行目に配設された j 個の画素 6 5 1 を順次選択するとともに、($i + 1$) 行目に配設された j 個の画素 6 5 2 から 2 i 行目に配設された j 個の画素 6 5 2 を順次選択し、(2 $i + 1$) 行目に配設された j 個の画素 6 5 3 から 3 i 行目に配設された j 個の画素 6 5 3 を順次選択することになる。すなわち、走査線駆動回路 6 1 は、水平走査期間毎に異なる 3 行に配設された 3 j 個の画素に対して選択信号を供給することが可能である。

10

【0091】

サンプリング期間 (t_2) 乃至サンプリング期間 (t_4) において、シフトレジスタ 6 1 1 ~ 6 1 3 の動作は、サンプリング期間 (t_1) と同じである。すなわち、走査線駆動回路 6 1 は、サンプリング期間 (t_1) と同様に、水平走査期間毎に特定の 3 行に配設された 3 j 個の画素に対して選択信号を供給することが可能である。

【0092】

< 信号線駆動回路 6 2 の構成例 >

図 1 2 (A) は、図 1 0 (A) に示す液晶表示装置が有する信号線駆動回路 6 2 の構成例を示す図である。図 1 2 (A) に示す信号線駆動回路 6 2 は、 j 個の出力端子を有するシフトレジスタ 6 2 0 と、 j 個のトランジスタ 6 2 1 と、 j 個のトランジスタ 6 2 2 と、 j 個のトランジスタ 6 2 3 と、を有する。なお、トランジスタ 6 2 1 のゲートは、シフトレジスタ 6 2 0 が有する p 番目 (p は、1 以上 j 以下の自然数) の出力端子に電氣的に接続され、ソース及びドレインの一方は、第 1 の画像信号 (DATA 1) を供給する配線に電氣的に接続され、ソース及びドレインの他方は、画素部 6 0 において p 列目に配設された信号線 6 4 1 に電氣的に接続される。また、トランジスタ 6 2 2 のゲートは、シフトレジスタ 6 2 0 が有する p 番目の出力端子に電氣的に接続され、ソース及びドレインの一方は、第 2 の画像信号 (DATA 2) を供給する配線に電氣的に接続され、ソース及びドレインの他方は、画素部 6 0 において p 列目に配設された信号線 6 4 2 に電氣的に接続される。また、トランジスタ 6 2 3 のゲートは、シフトレジスタ 6 2 0 が有する p 番目の出力端子に電氣的に接続され、ソース及びドレインの一方は、第 3 の画像信号 (DATA 3) を供給する配線に電氣的に接続され、ソース及びドレインの他方は、画素部 6 0 において p 列目に配設された信号線 6 4 3 に電氣的に接続される。

20

30

【0093】

図 1 2 (B) は、第 1 の画像信号 (DATA 1) 乃至第 3 の画像信号 (DATA 3) を供給する配線が供給する画像信号のタイミングの一例を示す図である。図 1 2 (B) に示すように、第 1 の画像信号 (DATA 1) を供給する配線は、サンプリング期間 (t_1) において、1 行目に配設された画素用乃至 i 行目に配設された画素用の赤 (R) の画像信号 (data R ($1 \rightarrow i$)) を供給し、サンプリング期間 (t_2) において、1 行目に配設された画素用乃至 i 行目に配設された画素用の緑 (G) の画像信号 (data G ($1 \rightarrow i$)) を供給し、サンプリング期間 (t_3) において、1 行目に配設された画素用乃至 i 行目に配設された画素用の青 (B) の画像信号 (data B ($1 \rightarrow i$)) を供給し、サンプリング期間 (t_4) において、1 行目に配設された画素用乃至 i 行目に配設された画素用の白 (W) の画像信号 (data W ($1 \rightarrow i$)) を供給する。また、第 2 の画像信号 (DATA 2) を供給する配線は、サンプリング期間 (t_1) において、($i + 1$) 行目に配設された画素用乃至 2 i 行目に配設された画素用の白 (W) の画像信号 (data W ($i + 1 \rightarrow 2 i$)) を供給し、サンプリング期間 (t_2) において、($i + 1$) 行目に配設された画素用乃至 2 i 行目に配設された画素用の赤 (R) の画像信号 (data R ($i + 1 \rightarrow 2 i$)) を供給し、サンプリング期間 (t_3) において、($i + 1$) 行目に配設された画素用乃至 2 i 行目に配設された画素用の緑 (G) の画像信号 (data G ($i + 1 \rightarrow$

40

50

2 i)) を供給し、サンプリング期間 (t 4) において、(i + 1) 行目に配設された画素用乃至 2 i 行目に配設された画素用の青 (B) の画像信号 (data B (i + 1 → 2 i)) を供給する。また、第 3 の画像信号 (DATA 3) を供給する配線は、サンプリング期間 (t 1) において、(2 i + 1) 行目に配設された画素用乃至 3 i 行目に配設された画素用の青 (B) の画像信号 (data B (2 i + 1 → 3 i)) を供給し、サンプリング期間 (t 2) において、(2 i + 1) 行目に配設された画素用乃至 3 i 行目に配設された画素用の白 (W) の画像信号 (data W (2 i + 1 → 3 i)) を供給し、サンプリング期間 (t 3) において、(2 i + 1) 行目に配設された画素用乃至 3 i 行目に配設された画素用の赤 (R) の画像信号 (data R (2 i + 1 → 3 i)) を供給し、サンプリング期間 (t 4) において、(2 i + 1) 行目に配設された画素用乃至 3 i 行目に配設された画素用の緑 (G) の画像信号 (data G (2 i + 1 → 3 i)) を供給する。

10

【0094】

＜バックライトの構成例＞

本実施の形態の液晶表示装置のバックライトとして、実施の形態 1 に示したバックライト (図 5 参照) と同様のバックライトを適用することが可能である。ただし、本実施の形態のバックライトは、3 i 行 j 列に配設された複数の画素に対するバックライトとして、少なくとも h 行 j 列毎 (ここでは、h は、i / 4 とする) にバックライトユニットが設けられ、該バックライトユニットの点灯を独立に制御できることとする。すなわち、当該バックライトが、少なくとも 1 行目乃至 h 行目用バックライトユニット ~ (2 i + 3 h + 1) 行目乃至 3 i 行目用バックライトユニットを有し、それぞれのバックライトユニットの点灯を独立に制御できることとする。

20

【0095】

＜液晶表示装置の動作例＞

図 1 3 は、上述した液晶表示装置における選択信号の走査と、バックライトの点灯タイミングとを示す図である。なお、図 1 3 において縦軸は画素部における行を表し、横軸は時間を表している。具体的には、図 1 3 において、1 乃至 3 i は、行数を表し、実線は、該当する行において画像信号が入力されるタイミングを表している。当該液晶表示装置は、サンプリング期間 (T 1) において、1 行目に配設された j 個の画素 6 5 1 から i 行目に配設された j 個の画素 6 5 1 を順次選択し、且つ (i + 1) 行目に配設された j 個の画素 6 5 2 から 2 i 行目に配設された j 個の画素 6 5 2 を順次選択し、且つ (2 i + 1) 行目に配設された j 個の画素 6 5 3 から 3 i 行目に配設された j 個の画素 6 5 3 を順次選択することで、各画素に画像信号を入力することが可能である。具体的に述べると、当該液晶表示装置は、サンプリング期間 (T 1) において、走査線 6 3 を介して 1 行目に配設された j 個の画素 6 5 1 が有するトランジスタ 6 5 1 1 から i 行目に配設された j 個の画素 6 5 1 が有するトランジスタ 6 5 1 1 を順次オン状態とすることで、信号線 6 4 1 を介して白 (W) の画像信号を各画素に順次入力することが可能であり、走査線 6 3 を介して (i + 1) 行目に配設された j 個の画素 6 5 2 が有するトランジスタ 6 5 2 1 から 2 i 行目に配設された j 個の画素 6 5 2 が有するトランジスタ 6 5 2 1 を順次オン状態とすることで、信号線 6 4 2 を介して青 (B) の画像信号を各画素に順次入力することが可能であり、走査線 6 3 を介して (2 i + 1) 行目に配設された j 個の画素 6 5 3 が有するトランジスタ 6 5 3 1 から 3 i 行目に配設された j 個の画素 6 5 3 が有するトランジスタ 6 5 3 1 を順次オン状態とすることで、信号線 6 4 3 を介して緑 (G) の画像信号を各画素に順次入力することが可能である。

30

40

【0096】

さらに、当該液晶表示装置では、サンプリング期間 (T 1) 内において、1 行目に配設された j 個の画素 6 5 1 から h 行目に配設された j 個の画素 6 5 1 に対して白 (W) の画像信号の入力が終了した後に 1 行目乃至 h 行目用バックライトユニットにおいて白 (W) を点灯させ、且つ (i + 1) 行目に配設された j 個の画素 6 5 2 から (i + h) 行目に配設された j 個の画素 6 5 2 に対して青 (B) の画像信号の入力が終了した後に (i + 1) 行目乃至 (i + h) 行目用バックライトユニットにおいて青 (B) を点灯させ、且つ (2

50

$i + 1$ ）行目に配設された j 個の画素 6 5 3 から $(2 i + h)$ 行目に配設された j 個の画素 6 5 3 に対して緑（G）の画像信号の入力が終了した後に $(2 i + 1)$ 行目乃至 $(2 i + h)$ 行目用バックライトユニットにおいて緑（G）を点灯させることが可能である。すなわち、当該液晶表示装置では、画素部の特定の領域（1 行目乃至 i 行目、 $(i + 1)$ 行目乃至 $2 i$ 行目、及び $(2 i + 1)$ 行目乃至 $3 i$ 行目）毎に、選択信号の走査と、特定色を呈するバックライトユニットの点灯とを並行して行うことが可能である。なお、当該液晶表示装置においては、1 行目乃至 i 行目に配設された画素を有する領域 6 0 1 において、赤（R）の画像信号の書き込み～白（W）のバックライトの点灯までの動作が行われ、且つ $(i + 1)$ 行目乃至 $2 i$ 行目に配設された画素を有する領域 6 0 2 において、白（W）の画像信号の書き込み～青（B）のバックライトの点灯までの動作が行われ、且つ $(2 i + 1)$ 行目乃至 $3 i$ 行目に配設された画素を有する領域 6 0 3 において、青（B）の画像信号の書き込み～緑（G）のバックライトの点灯までの動作が行われることによって画素部に 1 枚の画像が形成されることとする。

10

【0097】

＜本実施の形態の液晶表示装置について＞

本明細書で開示される液晶表示装置は、マトリクス状に配設された画素のうち、複数行に配設された画素に対して同時に画像信号を供給することが可能である。これにより、当該液晶表示装置が有するトランジスタなどの応答速度を変化させることなく、各画素に対する画像信号の入力頻度を向上させることが可能になる。その結果、当該液晶表示装置は、フィールドシーケンシャル方式によって表示を行う液晶表示装置、又は倍速駆動を行う液晶表示装置として好適である。

20

【0098】

さらに、フィールドシーケンシャル方式によって表示を行う液晶表示装置として本明細書で開示される液晶表示装置を適用することは、以下の点で好ましい。上述したように、フィールドシーケンシャル方式によって表示を行う液晶表示装置では色情報が時間分割される。そのため、利用者の瞬きなど短時間の表示の遮りに起因して特定の表示情報が欠落することによって、当該利用者に視認される表示が本来の表示情報に基づく表示から変化（劣化）すること（カラーブレイク、色割れともいう）がある。ここで、カラーブレイクの抑制には、フレーム周波数を高くすることが効果的である。一方、フィールドシーケンシャル方式によって表示を行うためには、フレーム周波数よりも高い頻度で各画素に対して画像信号を入力する必要がある。そのため、従来の液晶表示装置においてフィールドシーケンシャル方式且つ高フレーム周波数駆動によって表示を行う場合、当該液晶表示装置を構成する素子の性能（高速応答性）に対する要求が非常に厳しくなる。これに対し、本明細書で開示される液晶表示装置は、素子の特性に制約されることなく各画素に対する画像信号の入力頻度を向上させることが可能である。そのため、フィールドシーケンシャル方式によって表示を行う液晶表示装置におけるカラーブレイクの抑制を容易に行うことが可能である。

30

【0099】

さらに、図 1 3 に示すようにバックライトユニットを点灯する場合、隣接するバックライトユニットが異なる色を呈することがない。具体的には、サンプリング期間（ T_1 ）内において、 $(i + 1)$ 行目に配設された j 個の画素 6 5 2 から $(i + h)$ 行目に配設された j 個の画素 6 5 2 に対して青（B）の画像信号の入力が終了した後に $(i + 1)$ 行目乃至 $(i + h)$ 行目用バックライトユニットにおいて青（B）を点灯させる際に、 $(3 h + 1)$ 行目乃至 i 行目用バックライトユニット及び $(i + h + 1)$ 行目乃至 $(i + 2 h)$ 行目用バックライトユニットにおいては、青（B）が点灯される又は点灯自体が行われない（赤（R）、緑（G）が点灯されることがない）。そのため、特定の色の画像情報が入力された画素を、当該特定の色と異なる色を呈する光が透過する確率を低減することが可能である。

40

【0100】

＜変形例＞

50

本実施の形態の液晶表示装置は、本発明の一態様であり、当該液晶表示装置と異なる点を有する液晶表示装置も本発明には含まれる。

【0101】

例えば、本実施の形態の液晶表示装置においては、画素部60を3つの領域に分割する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本発明の液晶表示装置では、画素部60を任意の複数領域に分割する構成とすることが可能である。なお、自明ではあるが、当該領域数を変化させる場合、当該領域数と同数のシフトレジスタなどを設ける必要があることを付記する。

【0102】

また、本実施の形態の液晶表示装置においては、3つの領域に含まれる画素数が同一である構成（全ての領域においてi行j列の画素が含まれる構成）について示したが、本発明の液晶表示装置では、領域毎に含まれる画素数を変化させることが可能である。具体的には、第1の領域にはa行j列（aは、自然数）の画素が含まれ、第2の領域にはb行j列（bは、aと異なる自然数）の画素が含まれる構成とすることが可能である。

【0103】

また、本実施の形態の液晶表示装置においては、走査線駆動回路がシフトレジスタを用いて構成される液晶表示装置について示したが、当該シフトレジスタを同等の機能を有する回路に置換することが可能である。例えば、当該シフトレジスタをデコーダに置換することが可能である。

【0104】

また、本実施の形態の液晶表示装置においては、バックライトとして赤（R）、緑（G）、青（B）のいずれかを呈する光を発光する3種の光源を有する構成について示したが、本発明の液晶表示装置は、当該構成に限定されない。すなわち、本実施の形態の液晶表示装置では、任意の色を呈する光の光源を組み合わせる用いることが可能である。例えば、赤（R）、緑（G）、青（B）、白（W）、若しくは赤（R）、緑（G）、青（B）、黄（Y）の4種の光源を組み合わせる用いること、又はシアン（C）、マゼンタ（M）、イエロー（Y）の3種の光源を組み合わせる用いることなどが可能である。なお、バックライトユニットが白（W）を呈する光を発光する光源を有する場合は、白（W）を呈する光を混色によって形成するのではなく、当該光源を用いて白（W）を呈する光を形成することができる。当該光源は、発光効率が高いため、当該光源を用いてバックライトを構成することで、消費電力を低減することが可能である。また、バックライトユニットが補色の関係にある2色を有する場合（例えば、青（B）と黄（Y）の2色を有する場合）当該2色を呈する光を混色することで白（W）を呈する光を形成することも可能である。さらに、淡色の赤（R）、緑（G）、及び青（B）、並びに濃色の赤（R）、緑（G）、及び青（B）の6種の光源を組み合わせる用いること、又は赤（R）、緑（G）、青（B）、シアン（C）、マゼンタ（M）、イエロー（Y）の6種の光源を組み合わせる用いることなども可能である。このように、より多種の光源を組み合わせることで、当該液晶表示装置において表現できる色域を拡大し、画質を向上させることが可能である。

【0105】

また、本実施の形態の液晶表示装置においては、液晶素子に印加される電圧を保持するための容量素子が設けられる構成（図10（B）～（D）参照）について示したが、当該容量素子を設けない構成とすることも可能である。この場合、画素の開口率を向上させることが可能である。また、画素部に延在する容量配線を削除することができるため、画素部に延在する各種配線の高速駆動が可能となる。

【0106】

また、本実施の形態の液晶表示装置においては、画素部の特定の領域毎にバックライトが有する複数種の光源を特定の順で点灯することで1枚の画像を形成する構成について示したが、当該点灯順は当該構成に限定されない。また、特定種の光源を複数回点灯させることも可能である。例えば、画素部の特定の領域毎に、視感度の低い青（B）を呈する光の光源を2回点灯することで1枚の画像を形成する構成とすることも可能である。なお、

バックライトの点灯順に合わせて、特定色の画像信号の入力順も適宜設計する必要があることは言うまでもない。

【0107】

また、本実施の形態の液晶表示装置においては、選択信号の走査及びバックライトユニットの点灯を連続的に行う構成（図13参照）について示したが、液晶表示装置の動作は、当該構成に限定されない。例えば、画素部において1枚の画像を形成する期間の前後に、選択信号の走査及びバックライトユニットの点灯が行われない期間（消灯期間）を設ける構成とすることが可能である（図14参照）。これにより、当該液晶表示装置において生じるカラーブレイクを抑制し、該液晶表示装置が表示する画質を向上させることが可能である。なお、図14においては、選択信号の走査及びバックライトユニットの点灯の双方を行わない構成について例示しているが、選択信号の走査を行い各画素に対して光を透過させないための画像信号を入力する構成とすることも可能である。

10

【0108】

また、本実施の形態の液晶表示装置においては、画素部全面において1枚の画像を形成する際のバックライトの点灯順が領域毎に異なる（具体的には、領域601（1行目～ i 行目）においては赤（R）、緑（G）、青（B）、白（W）の順でバックライトを点灯させ、領域602（ $i+1$ 行目～ $2i$ 行目）においては白（W）、赤（R）、緑（G）、青（B）の順でバックライトを点灯させ、領域603（ $2i+1$ 行目～ $3i$ 行目）においては青（B）、白（W）、赤（R）、緑（G）の順でバックライトを点灯させることによって画素部全面において1枚の画像を形成する）構成について示したが、図6、9に示すように画素部全面に対して同じ点灯順でバックライトを点灯させることによって、1枚の画像を形成する構成とすることも可能である。ただし、その場合には、走査線駆動回路が有する複数のシフトレジスタの動作のタイミングをずらすために複数のシフトレジスタ毎に対して別途スタートパルスを設定する必要及び信号線駆動回路から出力される画像信号の順序を適宜設定する必要があることを付記する。

20

【0109】

なお、本実施の形態の変形例として述べた構成の複数を、本実施の形態の液晶表示装置に対して適用することも可能である。

【0110】

また、本実施の形態の内容又は該内容の一部を、他の実施の形態の内容又は該内容の一部と組み合わせることが可能である。

30

【0111】

（実施の形態3）

本実施の形態では、上述した液晶表示装置を構成するトランジスタの構造例について図15を参照して説明する。なお、当該液晶表示装置において、画素部、走査線駆動回路、及び信号線駆動回路のそれぞれに設けられるトランジスタは、同一構成を有するトランジスタを適用してもよいし、それぞれ毎に異なる構成を有するトランジスタを適用してもよい。

【0112】

図15に示すトランジスタ1500は、絶縁表面を有する基板1501上に設けられたゲート層1502と、ゲート層1502上に設けられたゲート絶縁層1503と、ゲート絶縁層1503上に設けられた半導体層1504と、半導体層1504上に設けられたソース層1505a及びドレイン層1505bとを有する。また、図15に示すトランジスタ1500上には、酸化物半導体層1504に接する絶縁層1506と、絶縁層1506上に設けられた保護絶縁層1507とが形成されている。

40

【0113】

なお、基板1501としては、半導体基板（例えば単結晶基板又はシリコン基板）、SOI基板、ガラス基板、石英基板、表面に絶縁層が設けられた導電性基板、又はプラスチック基板、貼り合わせフィルム、繊維状の材料を含む紙、若しくは基材フィルムなどの可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノ

50

ホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。

【0114】

また、ゲート層1502としては、アルミニウム（Al）、銅（Cu）、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、ネオジム（Nd）、スカンジウム（Sc）から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

10

【0115】

また、ゲート絶縁層1503としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。なお、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであり、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。また、窒化酸化シリコン膜とは、その組成として、酸素よりも窒素の含有量が多いものであり、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲において、合計100原子%となるように各元素を任意の濃度で含むものをいう。

20

【0116】

また、半導体層1504としては、シリコン（Si）若しくはゲルマニウム（Ge）などの周期表第14族元素を主構成元素とする材料、シリコンゲルマニウム（SiGe）若しくはガリウムヒ素（GaAs）などの化合物、酸化亜鉛（ZnO）若しくはインジウム（In）及びガリウム（Ga）を含む酸化亜鉛などの酸化物、又は半導体特性を示す有機化合物などの半導体材料を適用することができる。また、これらの半導体材料からなる層の積層構造を適用することもできる。

【0117】

さらに、半導体層1504として酸化物（酸化物半導体）を適用する場合は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、二元系金属酸化物であるIn-Ga-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系、または単元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などを用いることができる。また、上記酸化物半導体にSiO₂を含んでもよい。ここで、例えば、In-Ga-Zn-O系酸化物半導体とは、少なくともInとGaとZnを含む酸化物であり、その組成比に特に制限はない。また、InとGaとZn以外の元素を含んでもよい。

30

【0118】

また、酸化物半導体として、化学式InMO₃（ZnO）_m（m>0）で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどを選択することができる。

40

【0119】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、In：Zn=50：1～1：2（モル数比に換算するとIn₂O₃：ZnO=25：1～1：4）、好ましくはIn：Zn=20：1～1：1（モル数比に換算するとIn₂O₃：ZnO=10：1～1：2）、さらに好ましくはIn：Zn=1.5：1～15：1（モル数比に換算するとIn₂O₃：ZnO=3：4～15：2）

50

とする。例えば、 $\text{In}-\text{Zn}-\text{O}$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ のとき、 $\text{Z}>1.5\text{X}+\text{Y}$ とする。

【0120】

また、ソース層1505a、ドレイン層1505bとしては、アルミニウム(A1)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0121】

また、ソース層1505a、ドレイン層1505b（これらと同じ層で形成される配線層を含む）となる導電膜は導電性の金属酸化物で形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($\text{In}_2\text{O}_3-\text{SnO}_2$ 、ITOと略記する)、酸化インジウム酸化亜鉛合金($\text{In}_2\text{O}_3-\text{ZnO}$)またはこれらの金属酸化物材料に酸化シリコンを含ませたものを用いることができる。

【0122】

また、絶縁層1506としては、酸化シリコン、酸化窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0123】

また、保護絶縁層1507としては、窒化シリコン、窒化アルミニウム、窒化酸化シリコン、窒化酸化アルミニウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0124】

また、保護絶縁層1507上にトランジスタ起因の表面凹凸を低減するために平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル、ベンゾシクロブテン等の有機材料を用いることができる。また上記有機材料の他に、低誘電率材料(low-k材料)等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0125】

上述した構成を有するトランジスタを用いて本明細書で開示される液晶表示装置を作製することが可能である。例えば、画素部に設けられるトランジスタとして半導体層がアモルファスシリコンによって構成されるトランジスタを適用し、走査線駆動回路に設けられるトランジスタとして半導体層が多結晶シリコン若しくは単結晶シリコンによって構成されるトランジスタを適用する、又は画素部及び走査線駆動回路に設けられるトランジスタとして半導体層が酸化物半導体によって構成されるトランジスタを適用することなどが可能である。なお、同一構成を有するトランジスタを画素部及び走査線駆動回路に設けられるトランジスタとして適用する場合、製造プロセスの低減によるコストの低減及び歩留まりの向上が図れる。

【0126】

<トランジスタの変形例>

なお、図15ではチャネルエッチ型と呼ばれるボトムゲート構造のトランジスタ1500について示したが、上述した液晶表示装置に設けられるトランジスタは当該構成に限定されない。例えば、図16(A)～(C)に示すトランジスタを適用することが可能である。

【0127】

図16(A)に示すトランジスタ1510は、チャネル保護型(チャネルストップ型ともいう)と呼ばれるボトムゲート構造の一つである。

【0128】

トランジスタ1510は、絶縁表面を有する基板1501上に、ゲート層1502、ゲ

10

20

30

40

50

ート絶縁層 1503、半導体層 1504、半導体層 1504 のチャネル形成領域を覆うチャネル保護層として機能する絶縁層 1511、ソース層 1505a、及びドレイン層 1505b を含む。また、ソース層 1505a、ドレイン層 1505b、及び絶縁層 1511 を覆い、保護絶縁層 1507 が形成されている。

【0129】

なお、絶縁層 1511 としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0130】

図 16 (B) に示すトランジスタ 1520 はボトムゲート型のトランジスタであり、絶縁表面を有する基板 1501 上に、ゲート層 1502、ゲート絶縁層 1503、ソース層 1505a、ドレイン層 1505b、及び半導体層 1504 を含む。また、ソース層 1505a 及びドレイン層 1505b を覆い、半導体層 1504 に接する絶縁層 1506 が設けられている。絶縁層 1506 上にはさらに保護絶縁層 1507 が形成されている。

【0131】

トランジスタ 1520 においては、ゲート絶縁層 1503 は基板 1501 及びゲート層 1502 上に接して設けられ、ゲート絶縁層 1503 上にソース層 1505a、ドレイン層 1505b が接して設けられている。そして、ゲート絶縁層 1503、及びソース層 1505a、ドレイン層 1505b 上に半導体層 1504 が設けられている。

【0132】

図 16 (C) に示すトランジスタ 1530 は、トップゲート構造のトランジスタの一つである。トランジスタ 1530 は、絶縁表面を有する基板 1501 上に、絶縁層 1531、半導体層 1504、ソース層 1505a、及びドレイン層 1505b、ゲート絶縁層 1503、ゲート層 1502 を含み、ソース層 1505a、ドレイン層 1505b にそれぞれ配線層 1532a、配線層 1532b が接して設けられ電氣的に接続している。

【0133】

なお、絶縁層 1531 としては、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ガリウムなどの絶縁体を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0134】

また、配線層 1532a、配線層 1532b としては、アルミニウム (Al)、銅 (Cu)、チタン (Ti)、タンタル (Ta)、タングステン (W)、モリブデン (Mo)、クロム (Cr)、ネオジム (Nd)、スカンジウム (Sc) から選ばれた元素、上述した元素を成分とする合金、または上述した元素を成分とする窒化物を適用することができる。また、これらの材料の積層構造を適用することもできる。

【0135】

(実施の形態 4)

本実施の形態では、上述した液晶表示装置を搭載した電子機器の例について図 17 を参照して説明する。

【0136】

図 17 (A) は、ノート型のパーソナルコンピュータを示す図であり、本体 2201、筐体 2202、表示部 2203、キーボード 2204 などによって構成されている。

【0137】

図 17 (B) は、携帯情報端末 (PDA) を示す図であり、本体 2211 には表示部 2213 と、外部インターフェイス 2215 と、操作ボタン 2214 等が設けられている。また、操作用の付属品としてスタイラス 2212 がある。

【0138】

図 17 (C) は、電子書籍 2220 を示す図である。電子書籍 2220 は、筐体 2221 および筐体 2223 の 2 つの筐体で構成されている。筐体 2221 および筐体 2223 は、軸部 2237 により一体とされており、該軸部 2237 を軸として開閉動作を行うこ

10

20

30

40

50

とができる。このような構成により、電子書籍 2 2 2 0 は、紙の書籍のように用いることが可能である。

【0 1 3 9】

筐体 2 2 2 1 には表示部 2 2 2 5 が組み込まれ、筐体 2 2 2 3 には表示部 2 2 2 7 が組み込まれている。表示部 2 2 2 5 および表示部 2 2 2 7 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図 1 7（C）では表示部 2 2 2 5）に文章を表示し、左側の表示部（図 1 7（C）では表示部 2 2 2 7）に画像を表示することができる。

【0 1 4 0】

また、図 1 7（C）では、筐体 2 2 2 1 に操作部などを備えた例を示している。例えば、筐体 2 2 2 1 は、電源 2 2 3 1、操作キー 2 2 3 3、スピーカー 2 2 3 5などを備えている。操作キー 2 2 3 3により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、U S B 端子、または A C アダプタおよび U S B ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 2 2 2 0 は、電子辞書としての機能を持たせた構成としてもよい。

【0 1 4 1】

また、電子書籍 2 2 2 0 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とするこ

【0 1 4 2】

図 1 7（D）は、携帯電話機を示す図である。当該携帯電話機は、筐体 2 2 4 0 および筐体 2 2 4 1 の二つの筐体で構成されている。筐体 2 2 4 1 は、表示パネル 2 2 4 2、スピーカー 2 2 4 3、マイクロフォン 2 2 4 4、ポインティングデバイス 2 2 4 6、カメラ用レンズ 2 2 4 7、外部接続端子 2 2 4 8などを備えている。また、筐体 2 2 4 0 は、当該携帯電話機の充電を行う太陽電池セル 2 2 4 9、外部メモリスロット 2 2 5 0などを備えている。また、アンテナは筐体 2 2 4 1 内部に内蔵されている。

【0 1 4 3】

表示パネル 2 2 4 2 はタッチパネル機能を備えており、図 1 7（D）には映像表示されている複数の操作キー 2 2 4 5 を点線で示している。なお、当該携帯電話は、太陽電池セル 2 2 4 9 から出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触 I C チップ、小型記録装置などを内蔵した構成とすることもできる。

【0 1 4 4】

表示パネル 2 2 4 2 は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル 2 2 4 2 と同一面上にカメラ用レンズ 2 2 4 7 を備えているため、テレビ電話が可能である。スピーカー 2 2 4 3 およびマイクロフォン 2 2 4 4 は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体 2 2 4 0 と筐体 2 2 4 1 はスライドし、図 1 7（D）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

【0 1 4 5】

外部接続端子 2 2 4 8 は A C アダプタや U S B ケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット 2 2 5 0 に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

【0 1 4 6】

図 1 7（E）は、デジタルカメラを示す図である。当該デジタルカメラは、本体 2 2 6 1、第 1 の表示部 2 2 6 7、接眼部 2 2 6 3、操作スイッチ 2 2 6 4、第 2 の表示部 2 2 6 5、バッテリー 2 2 6 6 などによって構成されている。

【0147】

図17(F)は、テレビジョン装置を示す図である。テレビジョン装置2270では、筐体2271に表示部2273が組み込まれている。表示部2273により、映像を表示することが可能である。なお、ここでは、スタンド2275により筐体2271を支持した構成を示している。

【0148】

テレビジョン装置2270の操作は、筐体2271が備える操作スイッチや、別体のリモコン操作機2280により行うことができる。リモコン操作機2280が備える操作キー2279により、チャンネルや音量の操作を行うことができ、表示部2273に表示される映像を操作することができる。また、リモコン操作機2280に、当該リモコン操作機2280から出力する情報を表示する表示部2277を設ける構成としてもよい。

10

【0149】

なお、テレビジョン装置2270は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。

【符号の説明】

【0150】

10	画素部	
11	走査線駆動回路	
12	信号線駆動回路	
13	走査線	
14	信号線	
15	画素	
16	トランジスタ	
17	容量素子	
18	液晶素子	
20__1~20__m	パルス出力回路	
21~27	端子	
31~39	トランジスタ	
40	バックライトユニット	
50~53	トランジスタ	
60	画素部	
61	走査線駆動回路	
62	信号線駆動回路	
63	走査線	
101~103	領域	
120	シフトレジスタ	
121__1~121__n	トランジスタ	
601	領域	
602	領域	
603	領域	
611	シフトレジスタ	
612	シフトレジスタ	
613	シフトレジスタ	
620	シフトレジスタ	
621	トランジスタ	
622	トランジスタ	
623	トランジスタ	

20

30

40

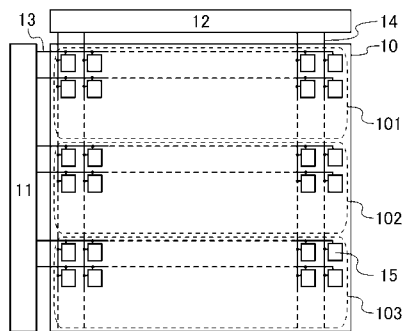
50

6 4 1	信号線	
6 4 2	信号線	
6 4 3	信号線	
6 5 1	画素	
6 5 2	画素	
6 5 3	画素	
1 5 0 0	トランジスタ	
1 5 1 0	トランジスタ	
1 5 2 0	トランジスタ	
1 5 3 0	トランジスタ	10
2 2 0 1	本体	
2 2 0 2	筐体	
2 2 0 3	表示部	
2 2 0 4	キーボード	
2 2 1 1	本体	
2 2 1 2	スタイラス	
2 2 1 3	表示部	
2 2 1 4	操作ボタン	
2 2 1 5	外部インターフェイス	
2 2 2 0	電子書籍	20
2 2 2 1	筐体	
2 2 2 3	筐体	
2 2 2 5	表示部	
2 2 2 7	表示部	
2 2 3 1	電源	
2 2 3 3	操作キー	
2 2 3 5	スピーカー	
2 2 3 7	軸部	
2 2 4 0	筐体	
2 2 4 1	筐体	30
2 2 4 2	表示パネル	
2 2 4 3	スピーカー	
2 2 4 4	マイクロフォン	
2 2 4 5	操作キー	
2 2 4 6	ポインティングデバイス	
2 2 4 7	カメラ用レンズ	
2 2 4 8	外部接続端子	
2 2 4 9	太陽電池セル	
2 2 5 0	外部メモリスロット	
2 2 6 1	本体	40
2 2 6 3	接眼部	
2 2 6 4	操作スイッチ	
2 2 6 5	表示部	
2 2 6 6	バッテリー	
2 2 6 7	表示部	
2 2 7 0	テレビジョン装置	
2 2 7 1	筐体	
2 2 7 3	表示部	
2 2 7 5	スタンド	
2 2 7 7	表示部	50

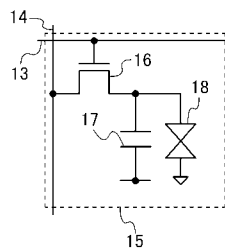
2 2 7 9	操作キー
2 2 8 0	リモコン操作機
6 5 1 1	トランジスタ
6 5 1 2	容量素子
6 5 1 3	液晶素子
6 5 2 1	トランジスタ
6 5 3 1	トランジスタ

【図 1】

(A)

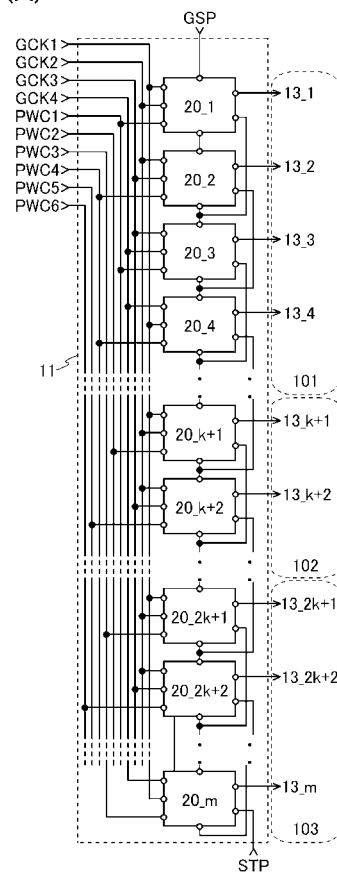


(B)

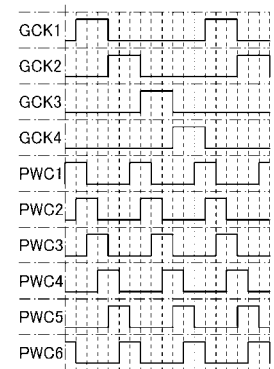


【図 2】

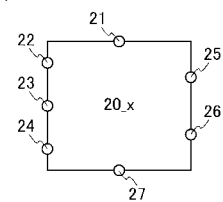
(A)



(B)

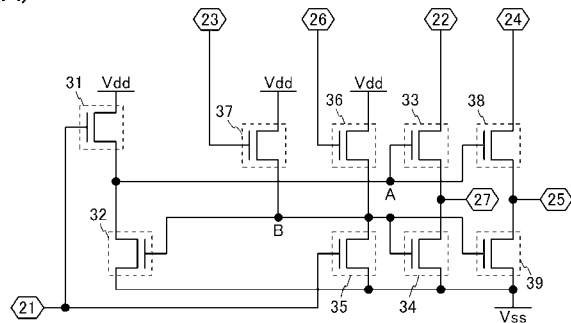


(C)

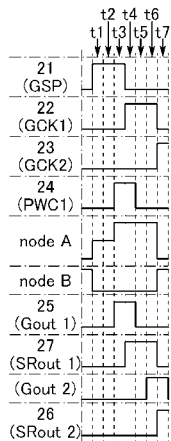


【図 3】

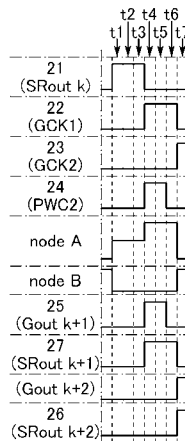
(A)



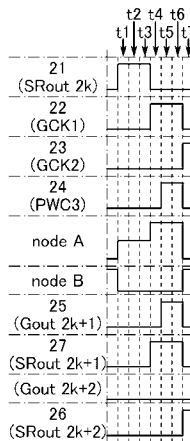
(B)



(C)

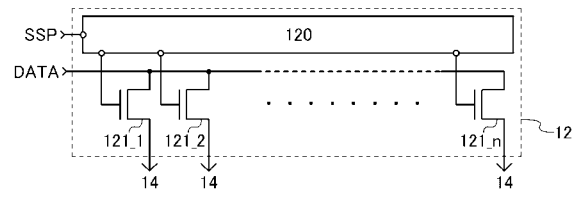


(D)

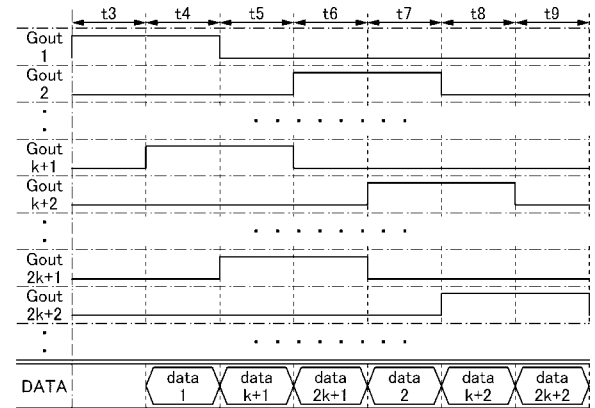


【図 4】

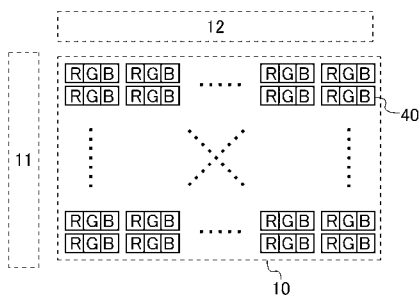
(A)



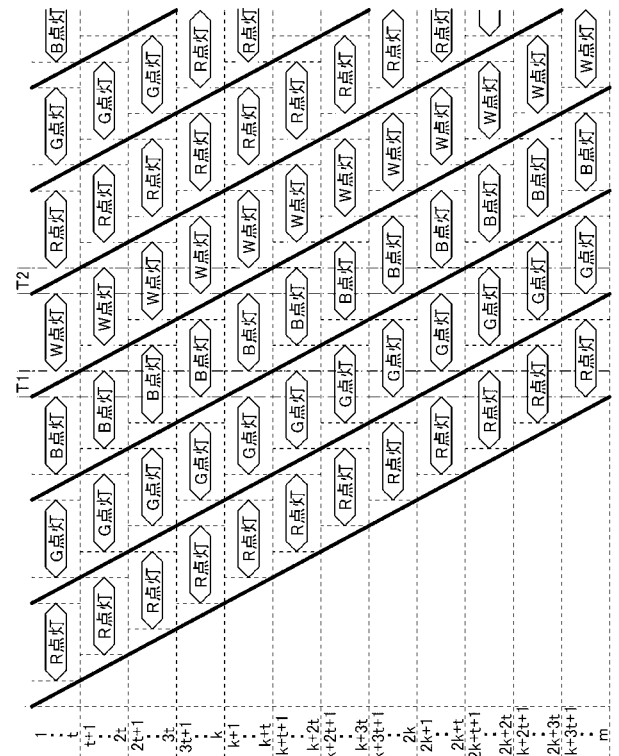
(B)



【図 5】

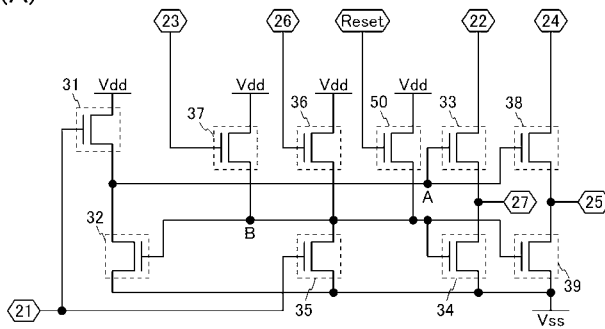


【図 6】

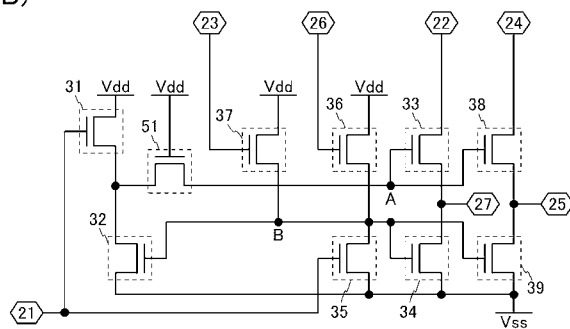


【図 7】

(A)

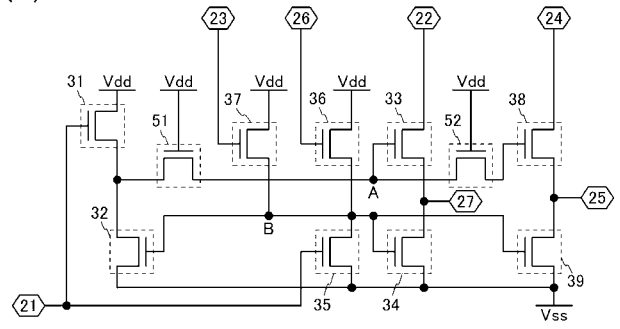


(B)

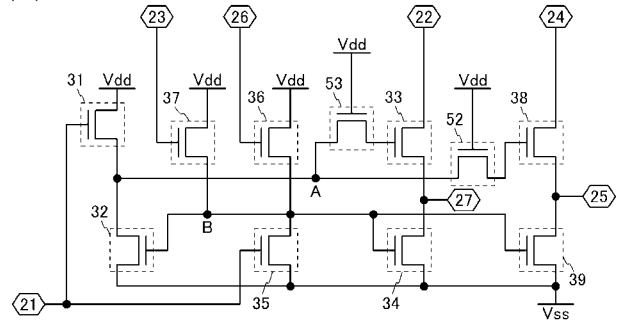


【図 8】

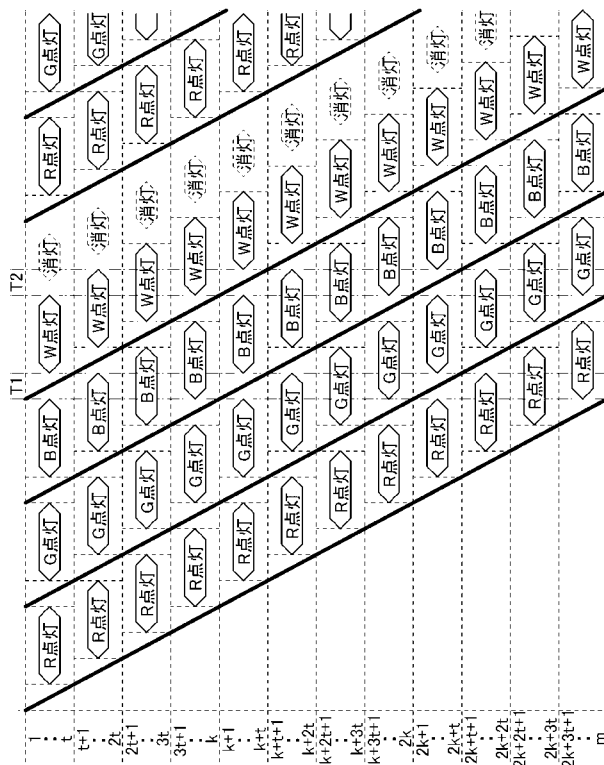
(A)



(B)

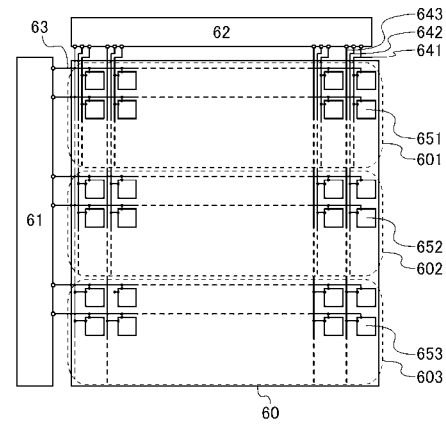


【図 9】

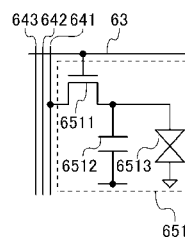


【図 10】

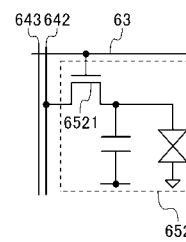
(A)



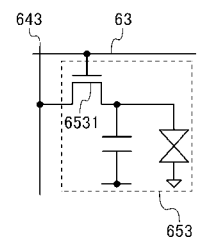
(B)



(C)

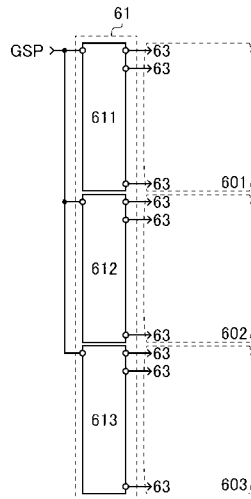


(D)

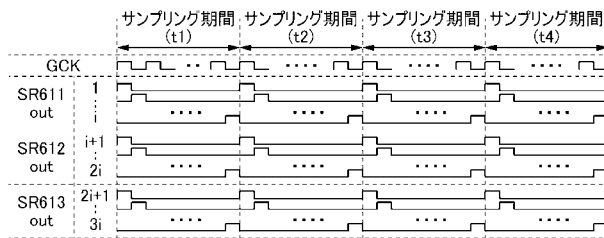


【図 1 1】

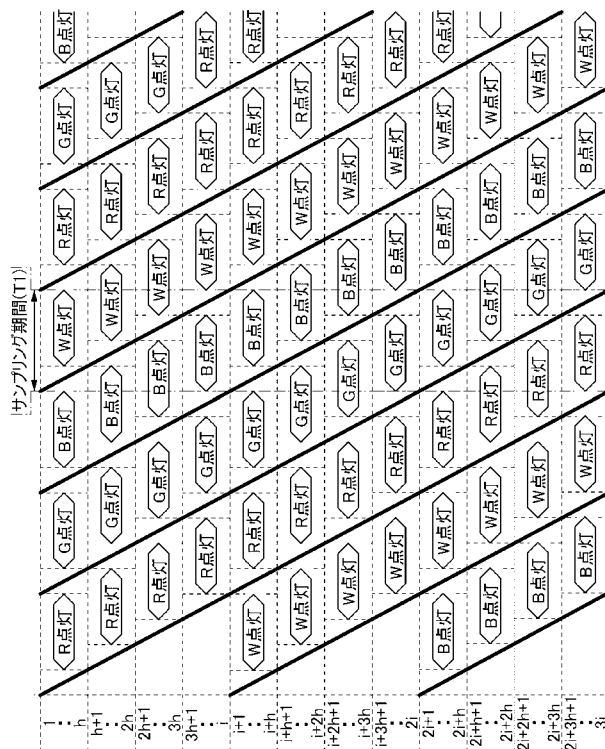
(A)



(B)

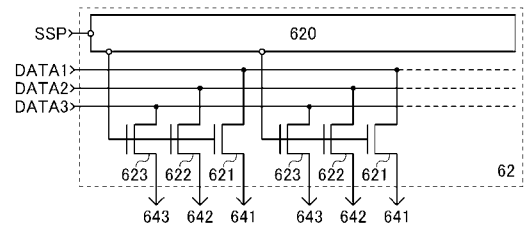


【図 1 3】

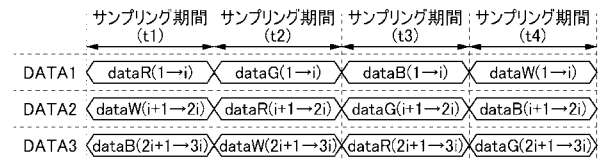


【図 1 2】

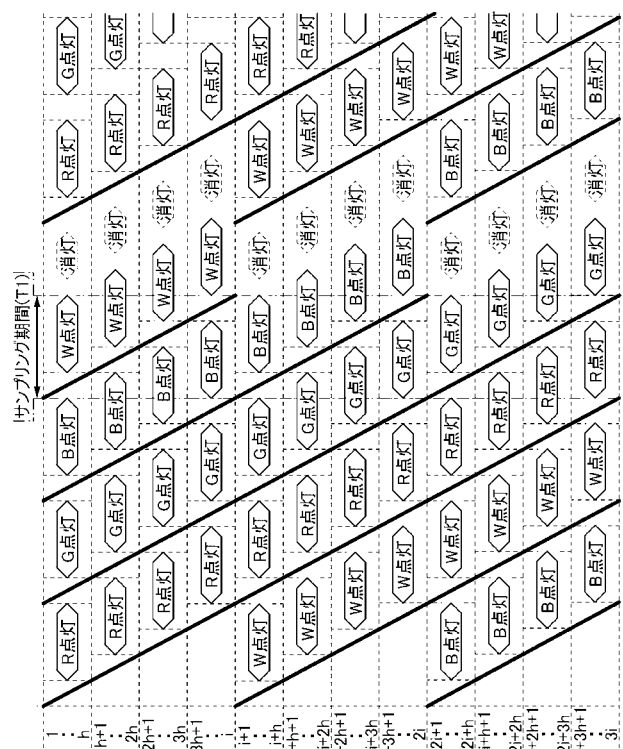
(A)



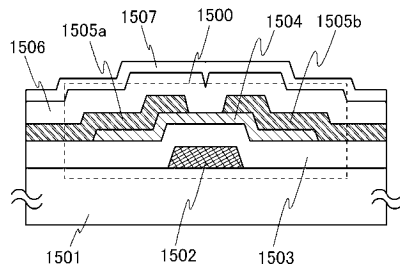
(B)



【図 1 4】

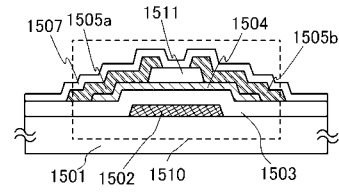


【図 15】

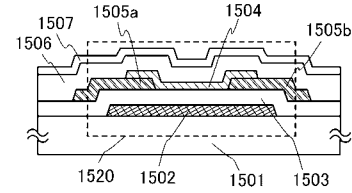


【図 16】

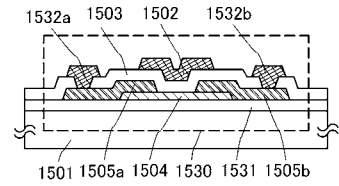
(A)



(B)

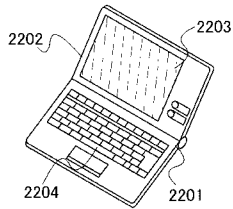


(C)

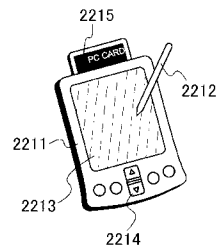


【図 17】

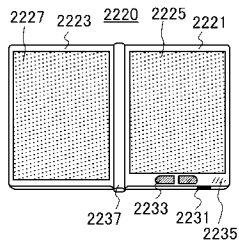
(A)



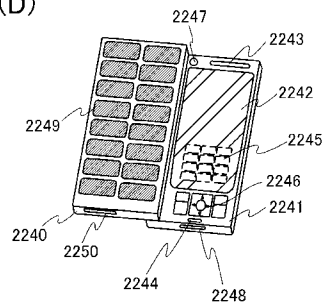
(B)



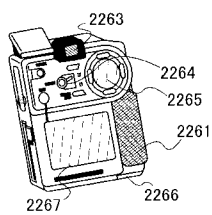
(C)



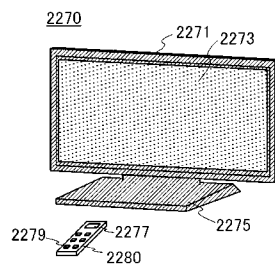
(D)



(E)



(F)



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 U
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 2 3 D
	G 0 2 F 1/133	5 3 5
	G 0 2 F 1/133	5 1 0

Fターム(参考) 5C080 AA10 BB05 CC03 DD01 DD26 EE29 FF01 FF07 JJ02 JJ03
JJ04 JJ06 KK01 KK07 KK43 KK47

专利名称(译)	用于驱动液晶显示装置的方法		
公开(公告)号	JP2012022303A	公开(公告)日	2012-02-02
申请号	JP2011124724	申请日	2011-06-03
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	小山 潤 山崎 舜平		
发明人	小山 潤 山崎 舜平		
IPC分类号	G09G3/36 G09G3/20 G09G3/34 G02F1/133		
CPC分类号	G09G3/342 G09G3/3677 G09G2310/0205 G09G2310/0235 G09G2310/024		
FI分类号	G09G3/36 G09G3/20.641.E G09G3/34.J G09G3/20.641.R G09G3/20.622.Q G09G3/20.623.U G09G3/20.611.A G09G3/20.623.D G02F1/133.535 G02F1/133.510		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZC25 2H193/ZD11 2H193/ZG02 2H193/ZG27 2H193/ZG28 2H193/ZG34 5C006/AA14 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF44 5C006/BB16 5C006/BB29 5C006/BC03 5C006/BC06 5C006/BF03 5C006/BF34 5C006/EA01 5C006/FA29 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD01 5C080/DD26 5C080/EE29 5C080/FF01 5C080/FF07 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47		
优先权	2010136755 2010-06-16 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：改善液晶显示装置的图像质量。种类代码：A1对像素部分的每个特定区域依次执行图像信号写入和背光，而不是顺序地写入图像信号并在液晶显示装置的像素部分的整个表面上点亮背光。这使得可以改善到液晶显示装置的每个像素的图像信号的输入频率等。结果，可以抑制在液晶显示装置中发生的诸如色断的显示劣化，并且可以提高图像质量。点域6

