

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2011-248329

(P2011-248329A)

(43) 公開日 平成23年12月8日 (2011.12.8)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 611E	5C006
G02F 1/133 (2006.01)	G09G 3/20 612U	5C080
	G09G 3/20 621B	
	G09G 3/20 621K	
審査請求 有 請求項の数 10 O L (全 17 頁) 最終頁に続く		

(21) 出願番号 特願2011-56694 (P2011-56694)
 (22) 出願日 平成23年3月15日 (2011.3.15)
 (31) 優先権主張番号 10-2010-0050174
 (32) 優先日 平成22年5月28日 (2010.5.28)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 501426046
 エルジー ディスプレイ カンパニー リ
 ミテッド
 大韓民国 ソウル, ヨンドゥンポーク, ヨ
 イドードン 20
 (74) 代理人 100110423
 弁理士 曾我 道治
 (74) 代理人 100084010
 弁理士 古川 秀利
 (74) 代理人 100094695
 弁理士 鈴木 憲七
 (74) 代理人 100111648
 弁理士 梶並 順
 (74) 代理人 100147566
 弁理士 上田 俊一

最終頁に続く

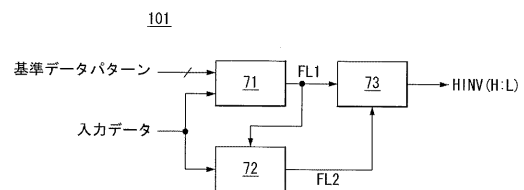
(54) 【発明の名称】 液晶表示装置とその駆動方法

(57) 【要約】

【課題】問題パターンが入力される時、画質が良いドットインバージョンに自動変更し、共通電圧のチューニングを可能にする。

【解決手段】入力映像データを正 / 負極性アナログデータ電圧に変換して出力するデータ駆動回路、データ電圧と同期するゲートパルスを経路ラインに順次供給するゲート駆動回路、予め貯蔵された基準データパターンと入力映像データとの一致可否を判定し、両者が同一であれば第1問題パターンと認識してホワイト階調データのカウンタ動作をディセーブルさせると共にデータ電圧の水平極性を水平1ドットインバージョンで制御し、両者が同一でなければ第2問題パターンと認識してカウンタ動作をイネーブルさせてカウンタ値に基づいて共通電圧のシフトを判断しシフト程度を最小化できるようにデータ電圧の水平極性を水平2ドットインバージョンで制御するタイミングコントローラを備える。

【選択図】図7



【特許請求の範囲】

【請求項 1】

入力映像データを正極性 / 負極性アナログデータ電圧に変換して前記データラインに出力するデータ駆動回路と、

前記データ電圧と同期するゲートパルスの前記ゲートラインに順次供給するゲート駆動回路と、

前記入力映像データを前記データ駆動回路に供給し前記データ駆動回路と前記ゲート駆動回路の動作タイミングを制御し、あらかじめ貯蔵された基準データパターンと前記入力映像データを比べて一致可否を判定し、前記判定結果両者が同一であれば、第 1 問題パターンという認識下でホワイト階調データをカウントする動作をディセーブルさせると共に、前記データ駆動回路から出力される前記データ電圧の水平極性を水平 1 ドットインバージョンで制御し、前記判定結果両者が同一でなければ、第 2 問題パターンという認識下で前記カウントする動作をイネーブルさせ、カウント値に基づいて共通電圧のシフトを判断してこのシフト程度を最小化することができるように前記データ駆動回路から出力される前記データ電圧の水平極性を水平 2 ドットインバージョンで制御するタイミングコントローラと

を備える液晶表示装置。

【請求項 2】

前記タイミングコントローラは、

前記第 1 問題パターンを検出するための第 1 問題パターン認識部と、

前記第 2 問題パターンを検出するための第 2 問題パターン認識部と、

前記第 1 問題パターン認識部からの第 1 問題パターンフラッグと前記第 2 問題パターン認識部からの第 2 問題パターンフラッグの論理状態によって水平極性制御信号の論理を決定する極性制御部と

を備えることを特徴とする、請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 1 問題パターン認識部は、前記入力映像の 1 フレームデータの中で所定の大きさのサンプルデータを抽出した後、この抽出されたサンプルデータを前記基準データパターンとサブピクセル単位で比べて一致可否を判定し、前記判定結果両者が同一であれば、前記第 1 問題パターンフラッグをハイ論理で発生し、前記判定結果両者が同一でなければ、前記第 1 問題パターンフラッグをロー論理で発生することを特徴とする、請求項 2 記載の液晶表示装置。

【請求項 4】

前記第 2 問題パターン認識部は、

前記第 1 問題パターンフラッグがロー論理である時にだけイネーブルされる第 1 及び第 2 カウンターを利用し、前記入力映像データに水平 1 ドットインバージョンの極性パターンを 1 : 1 にマッピングし、正極性及び負極性にそれぞれマッピングされたホワイト階調データの個数をカウントし、前記データ電圧の極性を水平 1 ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第 1 共通電圧シフト量を導出し、

前記第 1 問題パターンフラッグがロー論理である時にだけイネーブルされる第 3 及び第 4 カウンターを利用し、前記入力映像データに水平 2 ドットインバージョンの極性パターンを 1 : 1 にマッピングし、正極性及び負極性にそれぞれマッピングされたホワイト階調データの個数をカウントし、前記データ電圧の極性を水平 2 ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第 2 共通電圧シフト量を導出し、

前記第 1 及び第 2 共通電圧シフト量を比べて第 1 共通電圧シフト量が第 2 共通電圧シフト量より大ければ、前記第 2 問題パターンフラッグをハイ論理で発生し、前記第 1 共通電圧シフト量が第 2 共通電圧シフト量より小さければ、前記第 2 問題パターンフラッグをロー論理で発生する

ことを特徴とする、請求項 2 記載の液晶表示装置。

【請求項 5】

前記極性制御部は、

前記第 1 問題パターンフラッグがハイ論理で入力されるか、または前記第 2 問題パターンフラッグがロー論理で入力されれば、前記水平極性制御信号をロー論理で発生してドットインバージョンの変更なしにデフォルト値に指定された前記水平 1 ドットインバージョンで前記データ電圧の極性を制御し、

前記第 1 問題パターンフラッグがロー論理で入力されて前記第 2 問題パターンフラッグがハイ論理で入力されれば、前記水平極性制御信号をハイ論理で発生してドットインバージョンを変更することで前記水平 2 ドットインバージョンで前記データ電圧の極性を制御する

ことを特徴とする、請求項 2 記載の液晶表示装置。

10

【請求項 6】

データラインとゲートラインが交差する液晶表示パネルと、デジタルビデオデータを正極性 / 負極性アナログデータ電圧に変換して前記データラインに出力するデータ駆動回路と、前記データ電圧と同期するゲートパルスを実記ゲートラインに順次供給するゲート駆動回路とを備える液晶表示装置の駆動方法において、

(A) あらかじめ貯蔵された基準データパターンと前記入力映像データを比べて一致可否を判定し、前記判定結果両者が同一であれば、第 1 問題パターンという認識下でホワイト階調データをカウントする動作をディセーブルさせると共に、前記データ駆動回路から出力される前記データ電圧の水平極性を水平 1 ドットインバージョンで制御する段階と、

(B) 前記判定結果両者が同一でなければ、第 2 問題パターンという認識下で前記カウントする動作をイネーブルさせ、カウント値に基づいて共通電圧のシフトを判断し、このシフト程度を最小化することができるように前記データ駆動回路から出力される前記データ電圧の水平極性を水平 2 ドットインバージョンで制御する段階と

20

を含むことを特徴とする液晶表示装置の駆動方法。

【請求項 7】

前記データ駆動回路から出力される前記データ電圧の水平極性を制御するための水平極性制御信号を発生する段階をさらに含み、

前記水平極性制御信号は、第 1 問題パターンフラッグと第 2 問題パターンフラッグの論理状態によってその論理が決定される

ことを特徴とする、請求項 6 記載の液晶表示装置の駆動方法。

30

【請求項 8】

前記段階 (A) において、前記第 1 問題パターン認識のために、前記入力映像の 1 フレームデータの中で所定の大きさのサンプルデータを抽出した後、この抽出されたサンプルデータを前記基準データパターンとサブピクセル単位で比べて一致可否を判定し、前記判定結果両者が同一であれば、前記第 1 問題パターンフラッグをハイ論理で発生し、前記判定結果両者が同一でなければ、前記第 1 問題パターンフラッグをロー論理で発生することを特徴とする、請求項 7 記載の液晶表示装置の駆動方法。

【請求項 9】

前記段階 (B) は、

前記第 1 問題パターンフラッグがロー論理である時にだけイネーブルされる第 1 及び第 2 カウンターを利用し、前記入力映像データに水平 1 ドットインバージョンの極性パターンを 1 : 1 にマッピングし、正極性及び負極性にそれぞれマッピングされたホワイト階調データの個数をカウントして、前記データ電圧の極性を水平 1 ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第 1 共通電圧シフト量を導出する段階と、

40

前記第 1 問題パターンフラッグがロー論理である時にだけイネーブルされる第 3 及び第 4 カウンターを利用して、前記入力映像データに水平 2 ドットインバージョンの極性パターンを 1 : 1 にマッピングし、正極性及び負極性にそれぞれマッピングされたホワイト階調データの個数をカウントし、前記データ電圧の極性を水平 2 ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第 2 共通電圧シフト量を導出する段階

50

と、

前記第 1 及び第 2 共通電圧シフト量を比べて第 1 共通電圧シフト量が第 2 共通電圧シフト量より大きければ、前記第 2 問題パターンフラッグをハイ論理で発生し、前記第 1 共通電圧シフト量が第 2 共通電圧シフト量より小さければ、前記第 2 問題パターンフラッグをロー論理で発生する

ことを特徴とする、請求項 8 記載の液晶表示装置の駆動方法。

【請求項 10】

前記水平極性制御信号は、

前記第 1 問題パターンフラッグがハイ論理に入力されるか、または前記第 2 問題パターンフラッグがロー論理に入力されることに応答してロー論理で発生されることで、ドットインバージョンの変更なしにデフォルト値に指定された前記水平 1 ドットインバージョンで前記データ電圧の極性を制御し、

前記第 1 問題パターンフラッグがロー論理に入力され、前記第 2 問題パターンフラッグがハイ論理に入力されることに応答してハイ論理で発生されることで、ドットインバージョンを変更し前記水平 2 ドットインバージョンで前記データ電圧の極性を制御する

ことを特徴とする、請求項 9 記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置とその駆動方法に関する。

【背景技術】

【0002】

アクティブマトリックス駆動方式の液晶表示装置は、スイッチング素子として薄膜トランジスタ（以下、TFTと称す）を用いて動画を表示している。この液晶表示装置は、陰極線管に比べて小型化が可能であり、ポータブル情報機器、事務機器、コンピューターなどで表示器に応用されるのは勿論、テレビにも応用されている。

【0003】

液晶表示装置の液晶セルは、画素電極に供給されるデータ電圧と共通電極に供給される共通電圧の電位差によって透過率を変化させることで画像を表示する。一般的に、液晶表示装置は、液晶の劣化を防止するために液晶に印加されるデータ電圧の極性を周期的に反転させるインバージョン方式で駆動されている。液晶表示装置がインバージョン方式で駆動されれば、液晶セルに充電されるデータ電圧の極性と入力映像のデータパターンの相関関係によって液晶表示装置の画質が落ちることがある。これは、液晶セルに充電されるデータ電圧によって液晶セルに充電されるデータ電圧の極性が正極性と負極性の均衡を保たせることなく一方の極性が優勢極性となり、それによって、共通電極に印加される共通電圧がシフトされるからである。共通電圧がシフトされれば、液晶セルの基準電位が揺れるので観察者は液晶表示装置に表示された画像でクロストーク(crosstalk)やフリッカー(flicker)、スミア(smear)現象などを感じることになる。

【0004】

図 1 は、液晶表示装置をドットインバージョンで駆動する時、画質が落ちる問題パターン(problem pattern)のデータ例を示す。

【0005】

問題パターンの中で、図 1 のように、ホワイト階調のピクセルデータ(白色)とブラック階調のピクセルデータ(黒色)が 1 ピクセル単位で交互するパターンをシャットダウンパターン(Shutdown pattern)という。ピクセルデータそれぞれは、赤色サブピクセルデータ(R)、緑色サブピクセルデータ(G)及び青色サブピクセルデータ(B)を含む。シャットダウンパターンの検出方法は、入力映像に含まれたシャットダウンパターンをカウントしてそのカウント値によってシャットダウンパターン可否を判断することができる。例えば、シャットダウンパターンの検出方法は、N(Nは正の整数)番目ピクセルデータがホワイト階調のピクセルデータであり、N+1番目ピクセルデータがブラック階調のピクセル

10

20

30

40

50

ルデータである時、問題ピクセルカウンターのカウント値を1ずつ増加させて、そのカウント値が所定のしきい値以上の時、入力映像のデータをシャットダウンパターンと判断する。

【0006】

シャットダウンパターンを認識するためには、図2のように、6つのサブピクセルで示される最大 $(23 - 1) \times 2 = 14$ 個のパターンを前もって定義しなければならず、そのパターンそれぞれを検出するための検出口ジグが必要である。

【0007】

問題パターンには、シャットダウンパターン以外にもドットインバージョンで画質を落とす多様な種類のパターンが存在し、その例としては、図12のようなスミアパターン(smeared pattern)、フリッカーパターン(flicker pattern)などがある。 10

【0008】

一方、入力映像からフリッカーパターンを認識すれば、ドットインバージョンの極性反転周期を異なるようにしてフリッカーを防止できる方法を考慮することができる。このような方法の一例としては、本願出願人によって既に出願された大韓民国特許出願第10-2009-0075382号(2009.08.14)に開示されている。

【発明の概要】

【発明が解決しようとする課題】

【0009】

ところが、この方法でフリッカーパターンの認識を通じてドットインバージョンを変更すれば、フリッカーが現われないので共通電圧シフトを判断することができない。したがって、フリッカーパターンが入力される時、ドットインバージョンを変更すれば、共通電圧チューニング工程で共通電圧のシフト程度が分かりにくいので共通電圧を最適化しにくいという問題があった。 20

【0010】

そこで、本発明は、前記問題に鑑みてなされたものであり、本発明の目的とするところは、問題パターンが入力される時、画質が良いドットインバージョンに自動変更し、共通電圧のチューニングが可能になるようにした液晶表示装置とその駆動方法を提供するのにある。

【課題を解決するための手段】 30

【0011】

前記課題を解決するために、本発明に係る液晶表示装置は、入力映像データを正極性/負極性アナログデータ電圧に変換して前記データラインに出力するデータ駆動回路と、前記データ電圧と同期するゲートパルスを前記ゲートラインに順次供給するゲート駆動回路と、前記入力映像データを前記データ駆動回路に供給し前記データ駆動回路と前記ゲート駆動回路の動作タイミングを制御し、あらかじめ貯蔵された基準データパターンと前記入力映像データを比べて一致可否を判定し、前記判定結果両者が同一であれば、第1問題パターンという認識下でホワイト階調データをカウントする動作をディセーブルさせると共に、前記データ駆動回路から出力される前記データ電圧の水平極性を水平1ドットインバージョンで制御し、前記判定結果両者が同一でなければ、第2問題パターンという認識下 40
で前記カウントする動作をイネーブルさせ、カウント値に基づいて共通電圧のシフトを判断してこのシフト程度を最小化することができるように前記データ駆動回路から出力される前記データ電圧の水平極性を水平2ドットインバージョンで制御するタイミングコントロールとを備える。

【0012】

また、本発明に係る液晶表示装置の駆動方法は、データラインとゲートラインが交差する液晶表示パネルと、デジタルビデオデータを正極性/負極性アナログデータ電圧に変換して前記データラインに出力するデータ駆動回路と、前記データ電圧と同期するゲートパルスで前記ゲートラインに順次供給するゲート駆動回路とを備える液晶表示装置の駆動方法において、(A)あらかじめ貯蔵された基準データパターンと前記入力映像データを比 50

べて一致可否を判定し、前記判定結果両者が同一であれば、第 1 問題パターンという認識下でホワイト階調データをカウントする動作をディセーブルさせると共に、前記データ駆動回路から出力される前記データ電圧の水平極性を水平 1 ドットインバージョンで制御する段階と、(B) 前記判定結果両者が同一でなければ、第 2 問題パターンという認識下で前記カウントする動作をイネーブルさせ、カウント値に基づいて共通電圧のシフトを判断し、このシフト程度を最小化することができるよう前記データ駆動回路から出力される前記データ電圧の水平極性を水平 2 ドットインバージョンで制御する段階とを含む。

【発明の効果】

【0013】

本発明に係る液晶表示装置及びその駆動方法は、シャットダウンパターン、スミアパターン、フリッカーパターンなどの多様な類型の問題パターンを前もって定義し、この中でフリッカーパターンを除いた他の問題パターンが入力される時、水平 2 ドットインバージョンで液晶表示装置を駆動し共通電圧のシフトを最小化することで画質を向上させる。

10

【0014】

そして、本発明は、問題パターンの中で例外的にフリッカーパターンが入力される時、液晶表示装置を水平 1 ドットインバージョンで駆動して共通電圧がシフトされた状態を維持させることで、共通電圧のチューニング工程ができるようにする。

【図面の簡単な説明】

【0015】

【図 1】共通電圧シフトを誘発することができる問題パターンの例を示す図である。

20

【図 2】共通電圧シフトを誘発することができる問題パターンの例を示す図である。

【図 3】本発明の実施の形態に係る液晶表示装置を示すブロック図である。

【図 4】図 3 に示された画素アレイの多様な例を示す図である。

【図 5】図 3 に示された画素アレイの多様な例を示す図である。

【図 6】図 3 に示された画素アレイの多様な例を示す図である。

【図 7】図 3 に示されたタイミングコントローラで問題パターン認識と極性制御部分を示すブロック図である。

【図 8】図 7 に示された第 1 及び第 2 問題パターン認識部を詳しく示す図である。

【図 9】8 ピクセル×8 ラインの入力データのサンプルを示す図である。

【図 10】フリッカーパターン検出に利用される 4 ピクセル×4 ラインの基準データパターンを示す図である。

30

【図 11】フリッカーパターンでドットインバージョンによってデータの極性偏重と共通電圧シフトを示す図である。

【図 12】多様な問題パターンに対してドットインバージョンを変更した例を示す図である。

【図 13】本発明の実施の形態に係る液晶表示装置の駆動方法を示す流れ図である。

【図 14】本発明の実施の形態に係る液晶表示装置の駆動方法を示す流れ図である。

【発明を実施するための形態】

【0016】

以下、図 3 乃至図 14 を参照して本発明の望ましい実施の形態に対して説明する。

40

【0017】

図 3 を参照すれば、本発明の実施の形態に係る液晶表示装置は、液晶表示パネル 100、タイミングコントローラ 101、データ駆動回路 102、及びゲート駆動回路 103 を備える。データ駆動回路 102 は、複数のソースドライブ IC (Integrated Circuit) を含む。ゲート駆動回路 103 は複数のゲートドライブ IC を含む。

【0018】

液晶表示パネル 100 は、二枚のガラス基板の間に液晶層が形成される。液晶表示パネル 100 は、データライン 105 とゲートライン 106 の交差構造によってマトリックス状に配置された液晶セル(Clc)を含む。

【0019】

50

液晶表示パネル１００の下部ガラス基板には画素アレイが形成される。画素アレイは、データライン１０５とゲートライン１０６の交差部に形成された液晶セル(Clc)、液晶セルの画素電極１に接続されたＴＦＴ、及びストレージキャパシター(Cst)を含む。画素アレイは、図４乃至図６のように、多様な形態で具現することができる。液晶セル(Clc)は、ＴＦＴに接続され画素電極１と共通電極２の間の電界によって駆動される。液晶表示パネル１００の上部ガラス基板上には、ブラックマトリクス、カラーフィルタなどが形成される。液晶表示パネル１００の上部ガラス基板と下部ガラス基板それぞれには、偏光板が附着し液晶のプレチルト角(pre-tilt angle)を設定するための配向膜が形成される。

【００２０】

共通電極２は、ＴＮ(Twisted Nematic)モードとＶＡ(Vertical Alignment)モードのような垂直電界駆動方式で上部ガラス基板上に形成され、ＩＰＳ(In Plane Switching)モードとＦＦＳ(Fringe Field Switching)モードのような水平電界駆動方式で画素電極１と共に下部ガラス基板上に形成される。

10

【００２１】

本発明で適用可能な液晶表示パネル１００は、ＴＮモード、ＶＡモード、ＩＰＳモード、ＦＦＳモードだけではなく、どのような液晶モードでも具現することができる。本発明の液晶表示装置は、透過型液晶表示装置、半透過型液晶表示装置、反射型液晶表示装置などいずれの形態でも具現することができる。透過型液晶表示装置と半透過型液晶表示装置ではバックライトユニットが必要である。バックライトユニットは直下型(direct type)バックライトユニットまたはエッジ型(edge type)バックライトユニットで具現することが

20

【００２２】

タイミングコントローラ１０１は、システムボード１０４から入力された入力映像のデジタルビデオデータ(RGB)をデータ駆動回路１０２に供給する。タイミングコントローラ１０１は、システムボード１０４から垂直同期信号(Vsync)、水平同期信号(Hsync)、データイネーブル信号(Data Enable、DE)、ドットクロック(CLK)などのタイミング信号の入力を受けデータ駆動回路１０２とゲート駆動回路１０３の動作タイミングを制御するための制御信号を発生する。制御信号は、ゲート駆動回路１０３の動作タイムを制御するためのゲートタイミング制御信号、データ駆動回路１０２の動作タイミングとデータ電圧の垂直極性を制御するためのデータタイミング制御信号を含む。タイミングコントローラ１０１は、６０Ｈｚのフレーム周波数に

30

【００２３】

ゲートタイミング制御信号は、ゲートスタートパルス(Gate Start Pulse、GSP)、ゲートシフトクロック(Gate Shift Clock、GSC)、ゲート出力イネーブル信号(Gate Output Enable、GOE)などを含む。ゲートスタートパルス(GSP)は、一番目ゲートパルスを発生するゲートドライブＩＣに印加されて一番目ゲートパルスが発生するようにそのゲートドライブＩＣを制御する。ゲートシフトクロック(GSC)は、ゲートドライブＩＣに共通に入力されるクロック信号としてゲートスタートパルス(GSP)をシフトさせるためのクロック信号である。ゲート出力イネーブル信号(GOE)は、ゲートドライブＩＣの出力を制御する。

40

【００２４】

データタイミング制御信号は、ソーススタートパルス(Source Start Pulse、SSP)、ソースサンプリングクロック(Source Sampling Clock、SSC)、垂直極性制御信号(Polarity: POL)、水平極性制御信号(HINV)、及びソース出力イネーブル信号(Source Output Enable、SOE)などを含む。

【００２５】

ソーススタートパルス(SSP)は、データ駆動回路１０２のデータサンプリング開始

50

タイミングを制御する。ソースサンプリングクロック (SSC) は、ライジングまたはポーリングエッジに基準しソースドライブICそれぞれでデータのサンプリングタイミングを制御するクロック信号である。垂直極性制御信号 (POL) は、ソースドライブICそれぞれから順次出力されるデータ電圧の垂直極性を制御する。水平極性制御信号 (HINV) は、ソースドライブICそれぞれのH₂DOTオブション端子に供給されソースドライブICそれぞれから共に出力されるデータ電圧の水平極性を制御する。垂直極性制御信号 (POL) は、垂直2ドットインバージョンでデータ駆動回路102を制御する時、2水平期間周期で論理が反転され、垂直1ドットインバージョンでデータ駆動回路102を制御する時、1水平期間周期で論理が反転される。水平極性制御信号 (HINV) は、水平2ドットインバージョンでデータ駆動回路102を制御する時、ハイ論理で発生し、水平1ドットインバージョンでデータ駆動回路102を制御する時、ロー論理が発生する。ソース出力イネーブル信号 (SOE) は、データ駆動回路102の出力タイミングを制御する。データ駆動回路102に入力されるデジタルビデオデータがmini LVDS (Low Voltage Differential Signaling) インターフェイス規格に伝送されれば、ソーススタートパルス (SSP) とソースサンプリングクロック (SSC) は省略される。

10

20

30

40

50

【0026】

タイミングコントローラ101は、入力映像データにおいて多様な類型の問題パターンを認識し、その問題パターンが検出される時、ドットインバージョンを変更する。例えば、タイミングコントローラ101は、問題パターンの中でシャットダウンパターンやスミアパターンが認識されれば、水平極性制御信号 (HINV) をハイ論理に反転させ、液晶表示パネル100のドットインバージョンを水平2ドットインバージョンに変更する。例外的に、タイミングコントローラ101は、図11及び図12のようなフリッカーパターンを認識すればドットインバージョンを変更しない。これは、共通電圧チューニング工程で共通電圧 (Vcom) のシフト程度を認識するようにするためである。

【0027】

データ駆動回路102のソースドライブICそれぞれは、シフトレジスタ、ラッチ、デジタル-アナログ変換器、出力バッファなどを含む。データ駆動回路102は、タイミングコントローラ101の制御下でデジタルビデオデータ (RGB) をラッチする。そして、データ駆動回路102は、垂直極性制御信号 (POL) に応答し、デジタルビデオデータ (RGB) をアナログ正極性/負極性ガンマ補償電圧に変換し、データ電圧の極性を反転させ、水平極性制御信号 (HINV) によって決定された水平ドットインバージョンの極性パターンを有するデータ電圧を共に出力する。

【0028】

ゲート駆動回路103は、シフトレジスタとレベルシフトを利用し、ゲートタイミング制御信号によってゲートパルスをゲートライン106に順次供給する。

【0029】

図4乃至図6は、画素アレイの多様な例を示す等価回路である。

【0030】

図4の画素アレイは、大部分の液晶表示装置で適用される画素アレイとしてデータライン (D1~D6) とゲートライン (G1~G4) が交差する。この画素アレイにおいて、赤色サブピクセル (R)、緑色サブピクセル (G) 及び青色サブピクセル (B) それぞれはコラム方向に沿って配置される。TFTそれぞれは、ゲートライン (G1~G4) からのゲートパルスに応答し、データライン (D1~D6) からのデータ電圧をデータライン (D1~D6) の左側 (または右側) に配置された液晶セルの画素電極に供給する。図4に示された画素アレイにおいて、1ピクセルはコラム方向と直交するロー方向 (またはライン方向) に沿って隣合う赤色サブピクセル (R)、緑色サブピクセル (G) 及び青色サブピクセル (B) を含む。図4に示された画素アレイの解像度が $m \times n$ (m 、 n は正の整数) である時、 $m \times 3$ (ここで、3はRGB) 個のデータラインと n 個のゲートラインが必要である。この画素アレイのゲートラインそれぞれには、データ電圧と同期する1水平期間のゲートパルスが順次供給される。

【 0 0 3 1 】

図 5 に示された画素アレイは、図 4 に示された画素アレイに比べて同一解像度に必要なデータラインの個数を $1/2$ に減らすことができ、必要なソースドライバ IC の個数も $1/2$ に減らすことができる。この画素アレイにおいて、赤色サブピクセル (R)、緑色サブピクセル (G) 及び青色サブピクセル (B) それぞれはコラム方向に沿って配置される。図 5 に示された画素アレイにおいて、1 ピクセルはコラム方向と直交するライン方向に沿って隣合う赤色サブピクセル (R)、緑色サブピクセル (G) 及び青色サブピクセル (B) を含む。

【 0 0 3 2 】

図 5 に示された画素アレイにおいて、左右で隣合う液晶セルは同一であるデータラインを共有し、そのデータラインを通じて時分割方式に供給されるデータ電圧を連続に充電する。データライン (D1 ~ D4) の左側に配置された液晶セルと TFT をそれぞれ第 1 液晶セルと第 1 TFT (T1) で定義し、データライン (D1 ~ D4) の右側に配置された液晶セルと TFT をそれぞれ第 2 液晶セルと第 2 TFT (T2) で定義し、TFT の接続関係を説明すれば次のとおりである。

【 0 0 3 3 】

第 1 TFT (T1) は、奇数ゲートライン (G1、G3、G5、G7) からのゲートパルスにตอบสนองし、データライン (D1 ~ D4) からのデータ電圧を第 1 液晶セルの画素電極に供給する。第 1 TFT (T1) のゲート電極は、奇数ゲートライン (G1、G3、G5、G7) に接続され、ドレイン電極は、データライン (D1 ~ D4) に接続される。第 1 TFT (T1) のソース電極は、第 1 液晶セルの画素電極に接続される。第 2 TFT (T2) は、偶数ゲートライン (G2、G4、G6、G8) からのゲートパルスにตอบสนองし、データライン (D1 ~ D4) からのデータ電圧を第 2 液晶セルの画素電極に供給する。第 2 TFT (T2) のゲート電極は、偶数ゲートライン (G2、G4、G6、G8) に接続され、ドレイン電極は、データライン (D1 ~ D4) に接続される。第 2 TFT (T2) のソース電極は、第 2 液晶セルの画素電極に接続される。図 6 に示された画素アレイの解像度が $m \times n$ である時 (m かける 3 (ここで、3 は RGB)) / 2 個のデータラインと $2n$ 個のゲートラインが必要である。この画素アレイ (PA) のゲートラインそれぞれにはデータ電圧と同期する $1/2$ 水平期間のゲートパルスが順次供給される。

【 0 0 3 4 】

図 6 に示された画素アレイは図 4 に示された画素アレイに比べて同一解像度に必要なデータラインの個数を $1/3$ で減らすことができるし、必要なソースドライバ IC の個数も $1/3$ で減らすことができる。この画素アレイで赤色サブピクセル (R)、緑色サブピクセル (G) 及び青色サブピクセル (B) それぞれはライン方向に沿って配置される。図 6 に示された画素アレイで 1 ピクセルはコラム方向に沿って隣合う赤色サブピクセル (R)、緑色サブピクセル (G) 及び青色サブピクセル (B) を含む。TFT それぞれはゲートライン (G1 ~ G6) からのゲートパルスにตอบสนองしデータライン (D1 ~ D6) からのデータ電圧をデータライン (D1 ~ D6) の左側 (または右側) に配置された液晶セルの画素電極に供給する。図 6 に示された画素アレイ (PA) の解像度が $m \times n$ である時、 m 個のデータラインと $3n$ 個のゲートラインが必要である。この画素アレイ (PA) のゲートラインそれぞれにはデータ電圧と同期する $1/3$ 水平期間のゲートパルスが順次供給される。

【 0 0 3 5 】

図 7 及び図 8 は、タイミングコントローラ 101 で問題パターン認識と極性制御部分を示すブロック図である。図 9 は、入力映像の 1 フレームデータの中でサンプリングされた一部データを示し、図 10 は、フリッカーパターンの検出に利用される基準データパターンを示す。

【 0 0 3 6 】

図 7 を参照すれば、タイミングコントローラ 101 は、入力映像データから多様な問題パターンの中でフリッカーパターンを検出する第 1 問題パターン認識部 71、フリッカー

10

20

30

40

50

パターン以外の問題パターンを検出する第2問題パターン認識部72、及び極性制御部73を備える。

【0037】

第1問題パターン認識部71は、入力映像データがフリッカーパターンであるかを検出するために、図9のように、比較器11、メモリー712及びフリッカーパターン判定部713を含む。メモリー712は、フリッカーパターンの検出に利用され、所定の大きさ、例えば、図10のような4ピクセル(P#1~P#4)×4ライン(L#1~L#4)の基準データパターンをあらかじめ貯蔵する。メモリー712は、タイミングコントローラ101の内部レジスタで代替することができる。

【0038】

比較器711は、入力映像の1フレームデータの中で所定の大きさのデータ、例えば、図9のように、8ピクセル(P#1~P#8)×8ライン(L#1~L#4)のサンプルデータを抽出する。そして、このサンプルデータとメモリー712に貯蔵された基準データパターンをサブピクセル単位で比べる。フリッカーパターン判定部713は、比較器711から入力される比較結果に基づいてサンプルデータが基準データパターンに一致するか否かを判定する。サンプルデータと基準データパターンが同一であれば、フリッカーパターン判定部713は、入力映像データを共通電圧シフトを誘発するフリッカーパターンとして認識し、第1問題パターンフラッグ(FL1)を第1論理(以下、ハイ論理)で発生し、第2問題パターン認識部72の動作をディセーブル(disable)させる。反面、サンプルデータと基準データパターンが同一でなければ、フリッカーパターン判定部713は、

【0039】

第2問題パターン認識部72は、フリッカーパターン以外の問題パターン(例えば、シャットダウンパターン、スミアパターン等)を検出するために第1乃至第4カウンタ(721~724)と共通電圧シフト判定部725を含む。

【0040】

第1カウンタ721乃至第4カウンタ724のカウンティング動作は、フリッカーパターン判定部713から入力される第1問題パターンフラッグ(FL1)がロー論理である時にだけイネーブルされる。第1カウンタ721は、入力映像データに水平1ドットインバージョンの極性パターンを1:1にマッピングし、正極性にマッピングされたホワイト階調データの個数をカウントする。第2カウンタ722は、入力映像データに水平1ドットインバージョンの極性パターンを1:1にマッピングし、負極性にマッピングされたホワイト階調データの個数をカウントする。第3カウンタ723は、入力映像データに水平2ドットインバージョンの極性パターンを1:1にマッピングし、正極性にマッピングされたホワイト階調データの個数をカウントする。第4カウンタ724は、入力映像データに水平2ドットインバージョンの極性パターンを1:1にマッピングし、負極性にマッピングされたホワイト階調データの個数をカウントする。

【0041】

共通電圧シフト判定部725は、第1カウンタ721及び第2カウンタ722から1ラインのデータに対するカウント累積値の入力を受け、正極性にマッピングされたホワイト階調データの個数と、負極性にマッピングされたホワイト階調データの個数の差を算出し、その算出結果を所定の基準値と比べる。そして、この比較結果を通じて、共通電圧シフト判定部725は、入力映像のデータ電圧の極性を水平1ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第1共通電圧シフト量を導出する。共通電圧シフト判定部725は、第3カウンタ723及び第4カウンタ724から1ラインのデータに対するカウント累積値の入力を受け、正極性にマッピングされたホワイト階調データの個数と、負極性にマッピングされたホワイト階調データの個数の差を算出し、その算出結果を所定の基準値と比べる。そして、この比較結果を通じて、共通電圧シフ

10

20

30

40

50

ト判定部 725 は、入力映像のデータ電圧の極性を水平 2 ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第 2 共通電圧シフト量を導出する。共通電圧シフト判定部 725 は、第 1 共通電圧シフト量と第 2 共通電圧シフト量を比べ、第 1 共通電圧シフト量が第 2 共通電圧シフト量より大きければ、入力映像データがフリッカーパターン以外の問題パターンと認識し、第 2 問題パターンフラッグ (FL2) をハイ論理で発生し、反対に、第 1 共通電圧シフト量が第 2 共通電圧シフト量より小さければ、入力映像データが正常データであると認識し、第 2 問題パターンフラッグ (FL2) をロー論理で発生する。

【0042】

極性制御部 73 は、第 1 問題パターン認識部 71 から入力される第 1 問題パターンフラッグ (FL1) と、第 2 問題パターン認識部 72 から入力される第 2 問題パターンフラッグ (FL2) の論理状態によって水平極性制御信号 (HINV) の論理を決定する。極性制御部 73 は、第 1 問題パターンフラッグ (FL1) がハイ論理で入力されれば(すなわち、入力映像データがフリッカーパターンであると)、水平極性制御信号 (HINV) をロー論理で発生し、ドットインバージョンの変更なしにソースドライブ IC でデフォルト (default) 値で指定された水平 1 ドット (H1Dot) インバージョンでデータ電圧の極性を制御する。極性制御部 73 は、第 1 問題パターンフラッグ (FL1) がロー論理で入力され、第 2 問題パターンフラッグ (FL2) がハイ論理に入力されれば(すなわち、入力映像データがフリッカーパターン以外の問題パターンであると)、水平極性制御信号 (HINV) をハイ論理で発生し、ドットインバージョンを変更することで水平 2 ドット (H2Dot) インバージョンでデータ電圧の極性を制御する。極性制御部 73 は、第 1 問題パターンフラッグ FL1 及び第 2 問題パターンフラッグ FL2 がすべてロー論理で入力されれば(すなわち、入力映像データが正常データであると)、水平極性制御信号 (HINV) をロー論理で発生し、ドットインバージョンの変更なしに水平 1 ドット (H1Dot) インバージョンでデータ電圧の極性を制御する。一方、極性制御部 73 は、問題パターンフラッグ FL1、問題パターンフラッグ FL2 の論理によって水平極性制御信号 (HINV) とともに垂直極性制御信号 (POL) の論理反転周期を異なるよう変更することもできる。

【0043】

図 11 は、フリッカーパターンでドットインバージョンによってデータの極性偏重と共通電圧シフトを示す図である。図 12 は、多様な問題パターンに対しドットインバージョンを変更した例を示す図である。

【0044】

図 11 及び図 12 を参照すれば、シャットダウンパターンは、ホワイト階調のピクセルデータとブラック階調のピクセルデータが 1 ピクセル単位に交互するデータである。スミアパターンは、ホワイト階調のピクセルデータとブラック階調のピクセルデータが 2 ピクセル単位に交互するデータである。フリッカーパターンは、第 $4i$ (i は正の整数) + 1 ライン (LINE # 1、LINE # 5、LINE # 9) で N 番目ピクセルデータの R データと $N+1$ 番目ピクセルデータの G データがホワイト階調データであり、第 $4i+3$ ライン (LINE # 3、LINE # 7、LINE # 11) で N 番目ピクセルデータの G データと $N+1$ 番目ピクセルデータの R データがホワイト階調データであり、残りデータはブラック階調であるデータである。

【0045】

本発明は、前述のように、シャットダウンパターン、スミアパターン及びフリッカーパターンなどの多様な類型の問題パターンを前もって定義して、この中でフリッカーパターンを除いた他の問題パターンが入力される時、図 12 のように、水平 2 ドットインバージョンで液晶表示装置を駆動し、共通電圧のシフトを最小化する。そして、本発明は、問題パターンの中で例外的にフリッカーパターンが入力される時、液晶表示装置を水平 1 ドットインバージョンで駆動し、図 11 のように、共通電圧がシフトされた状態を維持させることで、共通電圧チューニング工程で共通電圧を最適化することができるようにする。

【 0 0 4 6 】

図 1 3 及び図 1 4 は、本発明の実施の形態に係る液晶表示装置の駆動方法を示す流れ図である。

【 0 0 4 7 】

図 1 3 及び図 1 4 を参照すれば、タイミングコントローラは、入力映像の 1 フレームデータの中で所定の大きさのサンプルデータをメモリーに既に貯蔵されたフリッカーパターン検出のための基準データパターンとサブピクセル単位で比べ、サンプルデータが基準データパターンに一致するか否かを判定する (S 1 0 ~ S 3 0) 。

【 0 0 4 8 】

サンプルデータが基準データパターンと同一であれば (S 3 0 の Y e s) 、タイミングコントローラは、入力映像データを共通電圧シフトを誘発するフリッカーパターンとして認識し、第 1 問題パターンフラッグをハイ論理で発生し、ホワイト階調データが表示されるホワイトピクセルの優勢極性をカウントするためのカウンターの動作をディセーブルさせ、水平極性制御信号をロー論理で発生し、ドットインバージョンの変更なしにソースドライバ IC でデフォルト (default) 値で指定された水平 1 ドット (H 1 D o t) インバージョンでデータ電圧の極性を制御する (S 4 0 、 S 5 0) 。

【 0 0 4 9 】

サンプルデータが基準データパターンと同一でなければ (S 3 0 の N o) 、タイミングコントローラは、入力映像データがフリッカーパターンではないと判定し、第 1 問題パターンフラッグをロー論理で発生し、ホワイト階調データが表示されるホワイトピクセルの優勢極性をカウントするためのカウンターの動作をイネーブルさせる。

【 0 0 5 0 】

タイミングコントローラは、入力映像データに水平 1 ドットインバージョンの極性パターンを 1 : 1 にマッピングし、正極性及び負極性にそれぞれマッピングされたホワイト階調データの個数をカウントし、入力映像のデータ電圧の極性を水平 1 ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第 1 共通電圧シフト量を導出する。また、タイミングコントローラは、入力映像データに水平 2 ドットインバージョンの極性パターンを 1 : 1 にマッピングし、正極性及び負極性にそれぞれマッピングされたホワイト階調データの個数をカウントし、入力映像のデータ電圧の極性を水平 2 ドットインバージョンに反転させる時、共通電圧がシフトされる量を指示する第 2 共通電圧シフト量を導出する (S 6 0 、 S 7 0) 。

【 0 0 5 1 】

タイミングコントローラは、第 1 共通電圧シフト量と第 2 共通電圧シフト量を比べる。
(S 8 0)

【 0 0 5 2 】

第 1 共通電圧シフト量が第 2 共通電圧シフト量より大きければ (S 8 0 の Y e s) 、タイミングコントローラは、入力映像データがフリッカーパターン以外の問題パターンであると認識し、第 2 問題パターンフラッグをハイ論理で発生する。そして、水平極性制御信号をハイ論理で発生し、ドットインバージョンを変更することで水平 2 ドット (H 2 D o t) インバージョンでデータ電圧の極性を制御する (S 9 0) 。

【 0 0 5 3 】

一方、第 1 共通電圧シフト量が第 2 共通電圧シフト量より小さければ (S 8 0 の N o) 、タイミングコントローラは、入力映像データが正常データであると認識し、第 2 問題パターンフラッグをロー論理で発生する。そして、水平極性制御信号をロー論理で発生し、ドットインバージョンの変更なしに水平 1 ドット (H 1 D o t) インバージョンでデータ電圧の極性を制御する (S 1 0 0) 。

【 0 0 5 4 】

以上説明した内容を通じて、当業者であれば、本発明の技術思想を逸脱しない範囲で多様な変更及び修正が可能であることが分かる。したがって、本発明の技術的範囲は、明細書の詳細な説明に記載した内容に限定されるのではなく、特許請求の範囲によって決めら

10

20

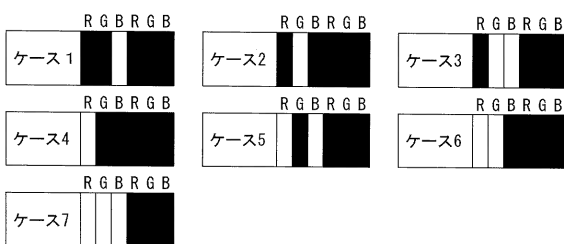
30

40

50

[illegible]

ホワイトーブラックパターン



ブラックーホワイトパターン

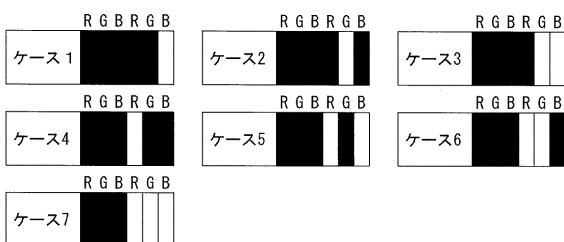
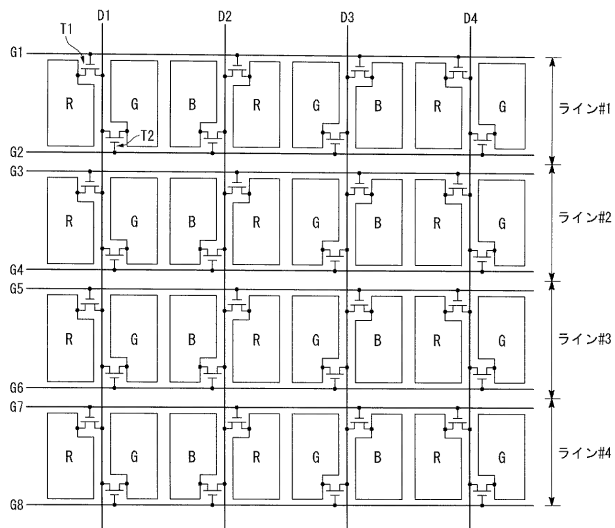
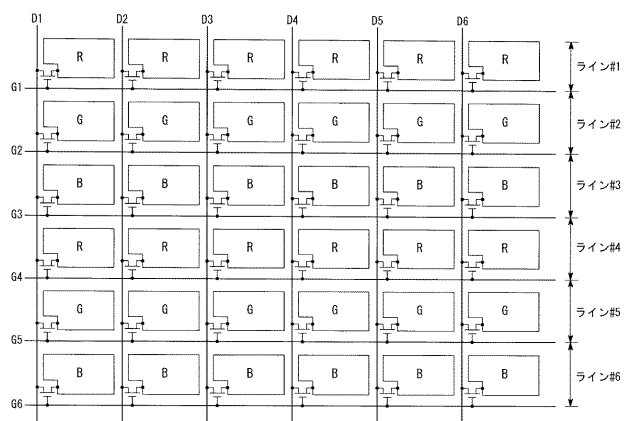


Figure 1 is a block diagram of a display device 100. The device includes a display panel 100, a gate driver 102, a source driver 103, and a control unit 104. The control unit 104 receives RGB input and outputs Vsync, Hsync, DE, and CLK signals. The gate driver 102 receives RGB input and outputs GSP, GSC, and GOE signals. The source driver 103 receives RGB input and outputs GSP, GSC, and GOE signals. A detailed view of the pixel circuit shows a data line, gate line, and a pixel transistor with a gate voltage Vcom, a source voltage Vst, and a drain voltage Vd.

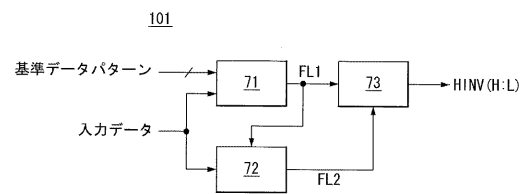
【図 5】



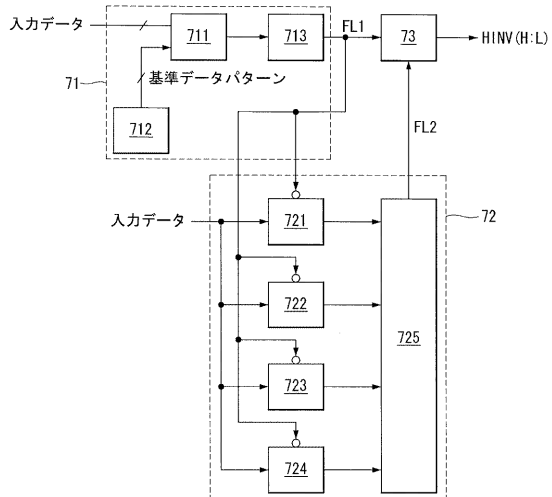
【図 6】



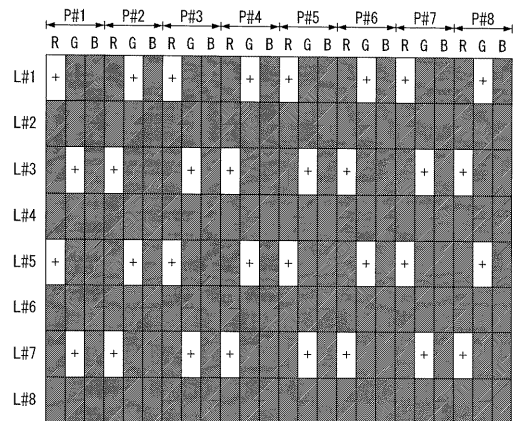
【図 7】



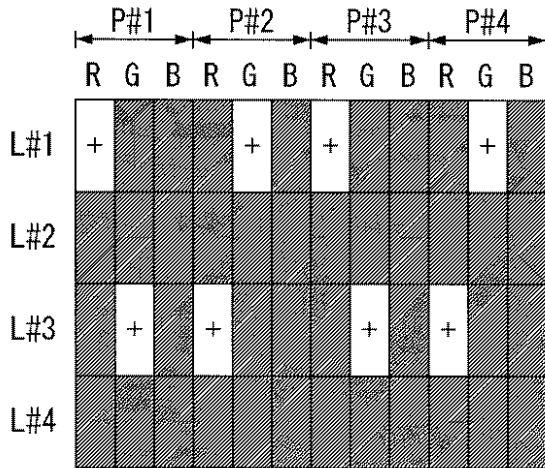
【図 8】



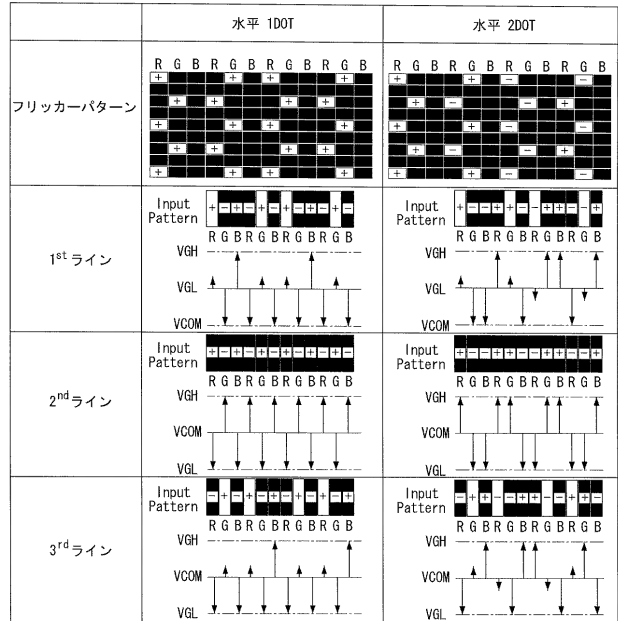
【図 9】



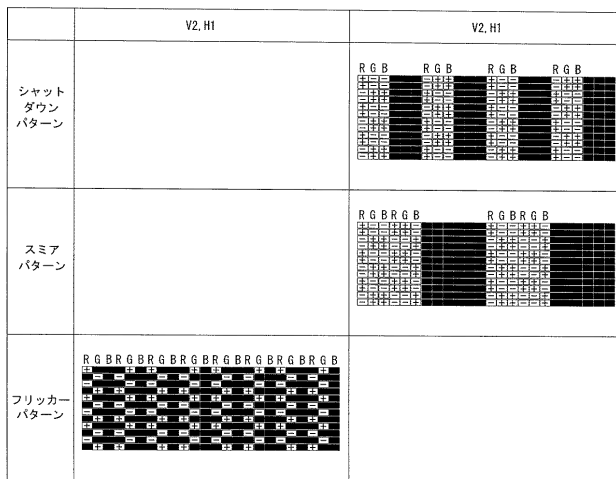
【図 10】



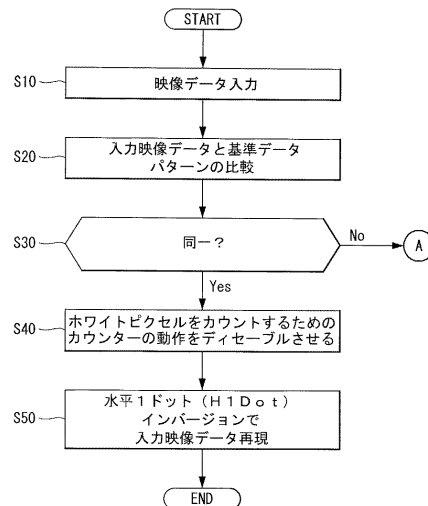
【図 11】



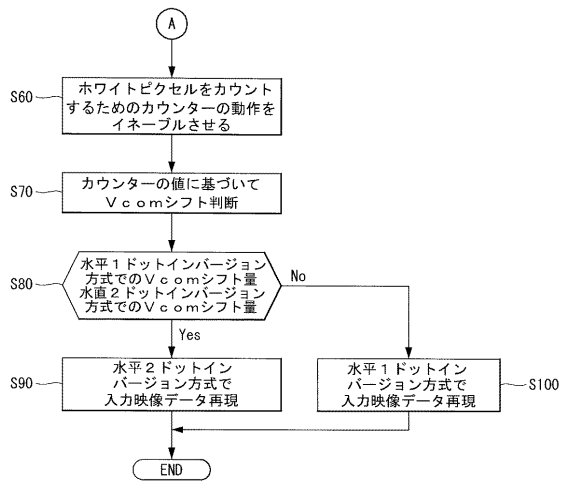
【図 12】



【図 13】



【 図 1 4 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
 G 0 9 G 3/20 6 4 2 A
 G 0 2 F 1/133 5 5 0

(72)発明者 ジョンウ・キム
 大韓民国、7 1 8 - 7 0 2 キョンブク、チルゴク - グン、ソクチョク - ミョン、ナミョル - リ、
 ウバン・シンチョンジ・アパートメント 2 0 5 - 1 5 0 1

(72)発明者 ヒョンテク・ナム
 大韓民国、7 0 1 - 8 1 9 テグ、トン - グ、シナム - 1 - ドン、ドランチェ・アパートメント
 1 0 6 - 1 0 0 3

(72)発明者 スヒョク・チャン
 大韓民国、7 0 1 - 0 2 0 テグ、トン - グ、シンチョン - ドン 8 5 0、シンチョン・トゥサン
 ・ウィーヴ・アパートメント 1 0 3 - 1 8 0 1

(72)発明者 ミョンクク・ムン
 大韓民国、7 0 4 - 9 1 2 テグ、タルソ - グ、ボンリ - ドン、ソングン・レミアン・イー - ピョ
 ンハンセサン 2 0 4 - 5 0 4

F ターム(参考) 2H193 ZA04 ZB06 ZC04 ZC05 ZC13 ZC14 ZC16 ZC20 ZC25 ZD11
 ZD23 ZF12 ZF21 ZF34 ZG02 ZH23 ZH53 ZQ06 ZQ11 ZQ16
 5C006 AC27 AF42 AF43 AF45 BB16 BC06 BF02 BF14 BF22 FA04
 FA22 FA23 FA25
 5C080 AA10 BB05 DD05 DD06 DD10 EE29 FF11 GG09 JJ02 JJ06
 JJ07

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP2011248329A	公开(公告)日	2011-12-08
申请号	JP2011056694	申请日	2011-03-15
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	ジョンウキム ヒョンテクナム スヒョクチャン ミョンクムン		
发明人	ジョンウ・キム ヒョンテク・ナム スヒョク・チャン ミョンクムン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3614 G09G3/3648 G09G2300/0426 G09G2310/0297 G09G2320/0204 G09G2320/0247 G09G2360/16		
FI分类号	G09G3/36 G09G3/20.611.E G09G3/20.612.U G09G3/20.621.B G09G3/20.621.K G09G3/20.642.A G02F1/133.550		
F-TERM分类号	2H193/ZA04 2H193/ZB06 2H193/ZC04 2H193/ZC05 2H193/ZC13 2H193/ZC14 2H193/ZC16 2H193/ /ZC20 2H193/ZC25 2H193/ZD11 2H193/ZD23 2H193/ZF12 2H193/ZF21 2H193/ZF34 2H193/ZG02 2H193/ZH23 2H193/ZH53 2H193/ZQ06 2H193/ZQ11 2H193/ZQ16 5C006/AC27 5C006/AF42 5C006/ /AF43 5C006/AF45 5C006/BB16 5C006/BC06 5C006/BF02 5C006/BF14 5C006/BF22 5C006/FA04 5C006/FA22 5C006/FA23 5C006/FA25 5C080/AA10 5C080/BB05 5C080/DD05 5C080/DD06 5C080/ /DD10 5C080/EE29 5C080/FF11 5C080/GG09 5C080/JJ02 5C080/JJ06 5C080/JJ07 2H193/ZA08		
代理人(译)	英年古河 Kajinami秩序 上田俊一		
优先权	1020100050174 2010-05-28 KR		
其他公开文献	JP5399432B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：在输入问题模式时自动更改为具有良好图像质量的点反转并启用公共电压调整。ZSOLUTION：一种液晶显示装置，包括：数据驱动电路，将输入视频数据转换为正/负极性模拟数据电压并输出数据；栅极驱动电路，其向栅极线依次提供与数据电压同步的栅极脉冲；确定预先存储的标准数据模式和输入视频数据是否匹配的定时控制器，当标准数据模式和输入视频数据匹配时识别为第一问题模式，禁用白色分级数据的计数操作，并控制水平极性数据电压通过水平单点反转，并在标准数据模式和输入视频数据不匹配时识别为第二问题模式，启用计数操作，根据计数值确定公共电压的偏移，并控制水平极性通过水平双点反转来获得数据电压，以最小化移位程度。Z

