

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-164327

(P2011-164327A)

(43) 公開日 平成23年8月25日(2011.8.25)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 622B	2H092
G09G 3/36 (2006.01)	G09G 3/20 624B	2H193
G02F 1/1368 (2006.01)	G09G 3/20 680G	5C006
G02F 1/133 (2006.01)	G09G 3/20 621F	5C080
	G09G 3/36	
審査請求 未請求 請求項の数 8 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2010-26237 (P2010-26237)
 (22) 出願日 平成22年2月9日 (2010.2.9)

(71) 出願人 000002185
 ソニー株式会社
 東京都港区港南1丁目7番1号
 (74) 代理人 100092152
 弁理士 服部 毅巖
 (72) 発明者 平林 幸哉
 長野県安曇野市豊科田沢6925 エプソ
 ンイメージングデバイス株式会社内
 Fターム(参考) 2H092 GA50 GA59 JA24 JA31 JA32
 KA05 NA21 PA06
 2H193 ZA04 ZF21
 5C006 BB16 BC03 BC06 FA11
 5C080 AA10 BB05 DD08 FF07 FF11
 JJ02 JJ03 JJ04 JJ05 JJ06
 KK47

(54) 【発明の名称】 表示装置および電子機器

(57) 【要約】

【課題】トランジスタのサイズ比を調整することにより、走査線駆動回路部の動作性能を向上させることが可能な表示装置を提供する。

【解決手段】この発明の液晶表示装置（表示装置）100では、トランジスタTr7のチャンネル幅Wをチャンネル幅Lで除したサイズ比（W/L）の大きさは、トランジスタTr1のチャンネル幅Wをチャンネル幅Lで除したサイズ比（W/L）の大きさの15%以上30%以下の大きさである。

【選択図】 図5

	第1実施形態		比較例
		最適範囲	
Tr1	100%	100%	100%
Tr2	17%~37%	17%~20%	22%~37%
Tr3	20%~40%	——	20%~40%
Tr4	2.5%~6%	3~5%	6%~15%
Tr5	2.5%~6%	3~5%	6%~15%
Tr6	2.5%~6%	3~5%	6%~15%
Tr7	15%~30%	20~25%	6%~15%

【特許請求の範囲】

【請求項 1】

画素毎に形成されたスイッチング素子と、
前記スイッチング素子に接続されたゲート線と、
前記ゲート線に接続された走査線駆動回路とを備え、
前記走査線駆動回路は、複数段の走査線駆動回路部を含み、
前記走査線駆動回路部は、前記ゲート線にソースまたはドレインの一方が接続された第 1 トランジスタと、前段に設けられた前記走査線駆動回路部の出力信号がソースまたはドレインの一方に入力されるとともに、ソースまたはドレインの他方が前記第 1 トランジスタのゲートに接続された第 2 トランジスタとを含み、

前記第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、前記第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 15% 以上 30% 以下の大きさである、表示装置。

【請求項 2】

前記第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、前記第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 20% 以上 25% 以下の大きさである、請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 トランジスタのゲートおよび前記第 2 トランジスタのソースまたはドレインの他方に接続される第 3 トランジスタをさらに備え、

前記第 3 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、前記第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比よりも小さく、かつ、前記第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 2.5% 以上 6% 以下の大きさである、請求項 1 または 2 に記載の表示装置。

【請求項 4】

前記第 1 トランジスタのゲートおよび前記第 2 トランジスタのソースまたはドレインの他方に接続される複数の第 3 トランジスタをさらに備え、

前記複数の第 3 トランジスタの各々のチャンネル幅をチャンネル長で除したサイズ比の大きさは、前記第 2 トランジスタのチャンネル幅をチャンネル長で除したサイズ比よりも小さく、かつ、前記第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 2.5% 以上 6% 以下の大きさである、請求項 1 または 2 に記載の表示装置。

【請求項 5】

前記第 3 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、前記第 1 トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの 3.0% 以上 5.0% 以下の大きさである、請求項 3 または 4 に記載の表示装置。

【請求項 6】

前記第 2 トランジスタのソースまたはドレインの一方と、前記第 2 トランジスタのゲートとは、前段に設けられた前記走査線駆動回路部の出力信号が入力されるように構成されている、請求項 1～5 のいずれか 1 項に記載の表示装置。

【請求項 7】

前記第 1 トランジスタおよび前記第 2 トランジスタは、非晶質シリコンからなる能動層を有する、請求項 1～6 のいずれか 1 項に記載の表示装置。

【請求項 8】

請求項 1～7 のいずれか 1 項に記載の表示装置を備える、電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置および電子機器に関し、特に、複数のトランジスタを含む走査線駆動回路部を備える表示装置および電子機器に関する。

【背景技術】

【0002】

従来、複数のトランジスタを含む走査線駆動回路部を備える表示装置および電子機器が知られている（たとえば、特許文献1および2参照）。

【0003】

上記特許文献1および2には、前段のステージの出力信号がソースまたはドレインの一方とゲートとに入力される第1トランジスタと、第1トランジスタのソースまたはドレインの他方がゲートに接続され、ソースまたはドレインの一方からゲート線に信号を出力する第2トランジスタとを含むステージ（走査線駆動回路部）を備えた表示装置が開示されている。このステージでは、前段のステージから第1トランジスタのゲートにHレベルの信号が入力されることにより、第1トランジスタがオン状態となり、前段のステージのHレベルの信号が第2トランジスタのゲートに入力される。これにより、第2トランジスタは、オン状態になり、第2トランジスタのソースまたはドレインの他方に接続されるクロック信号（Hレベルの信号）が出力端子に出力されるように構成されている。

10

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平7-182891号公報

【特許文献2】特開2006-24350号公報

【発明の概要】

【発明が解決しようとする課題】

20

【0005】

しかしながら、上記特許文献1および2に記載の表示装置では、走査線駆動回路部の動作性能に関し、第1トランジスタおよび第2トランジスタのチャンネル幅 W をチャンネル長 L で除したサイズ比（ W/L ）の大きさに関しては、何ら検討されていない。

【0006】

この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、トランジスタのサイズ比を調整することにより、走査線駆動回路部の動作性能を向上させることが可能な表示装置および電子機器を提供することである。

【課題を解決するための手段および発明の効果】

【0007】

30

上記目的を達成するために、この発明の第1の局面における表示装置は、画素毎に形成されたスイッチング素子と、スイッチング素子に接続されたゲート線と、ゲート線に接続された走査線駆動回路部とを備え、走査線駆動回路部は、複数段の走査線駆動回路部を含み、走査線駆動回路部は、ゲート線にソースまたはドレインの一方が接続された第1トランジスタと、前段に設けられた走査線駆動回路部の出力信号がソースまたはドレインの一方に入力されるとともに、ソースまたはドレインの他方が第1トランジスタのゲートに接続された第2トランジスタとを含み、第2トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの15%以上30%以下の大きさである。

【0008】

40

この第1の局面による表示装置では、上記のように、第2トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさを、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの15%以上30%以下の大きさにすることによって、たとえば、第2トランジスタのサイズ比の大きさが、第1トランジスタのサイズ比の大きさの15%よりも小さい場合と比べて、第2トランジスタのサイズ比の大きさが大きい分、第2トランジスタのソースまたはドレインの他方から出力される信号を大きくすることができるので、第2トランジスタのソースまたはドレインの他方と第1トランジスタのゲートとの間の寄生容量の充放電に必要な時間を短縮することができる。これにより、トランジスタのサイズ比を調整することにより、走査線駆動回路部の動作性能を向上させることができる。なお、トランジスタのサイズ比を調整することにより、走査線駆動回路部の動作性能

50

を向上させることができる効果については、後述するシミュレーションの結果により検証済みである。

【0009】

上記第1の局面による表示装置において、好ましくは、第2トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの20%以上25%以下の大きさである。このように構成すれば、走査線駆動回路部の動作性能をより向上させることができる。

【0010】

上記第1の局面による表示装置において、好ましくは、第1トランジスタのゲートおよび第2トランジスタのソースまたはドレインの他方に接続される第3トランジスタをさらに備え、第3トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第2トランジスタのチャンネル幅をチャンネル長で除したサイズ比よりも小さく、かつ、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの2.5%以上6%以下の大きさである。このように構成すれば、たとえば、第3トランジスタのサイズ比の大きさが、第1トランジスタのサイズ比の大きさの6%よりも大きい場合と比べて、第3トランジスタのサイズ比の大きさが小さい分、第3トランジスタの寄生容量の充放電に必要な時間を短縮することができるので、走査線駆動回路部の動作性能を向上させることができる。

10

【0011】

上記第1の局面による表示装置において、好ましくは、第1トランジスタのゲートおよび第2トランジスタのソースまたはドレインの他方に接続される複数の第3トランジスタをさらに備え、複数の第3トランジスタの各々のチャンネル幅をチャンネル長で除したサイズ比の大きさは、第2トランジスタのチャンネル幅をチャンネル長で除したサイズ比よりも小さく、かつ、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの2.5%以上6%以下の大きさである。このように構成すれば、第3トランジスタが複数設けられた場合にも、複数の第3トランジスタの各々の寄生容量の充放電に必要な時間を短縮することができるので、走査線駆動回路部の動作性能を向上させることができる。

20

【0012】

上記第3トランジスタを備える表示装置において、好ましくは、第3トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさは、第1トランジスタのチャンネル幅をチャンネル長で除したサイズ比の大きさの3.0%以上5.0%以下の大きさである。このように構成すれば、走査線駆動回路部の動作性能をより向上させることができる。

30

【0013】

上記第1の局面による表示装置において、好ましくは、第2トランジスタのソースまたはドレインの一方と、第2トランジスタのゲートとは、前段に設けられた走査線駆動回路部の出力信号が入力されるように構成されている。このように構成すれば、第2トランジスタのゲートに前段に設けられた走査線駆動回路部の出力信号（Hレベルの信号）が入力されることより、第2トランジスタをオン状態にするとともに、第2トランジスタのソースまたはドレインの他方からHレベルの信号を出力することができる。

【0014】

上記第1の局面による表示装置において、好ましくは、第1トランジスタおよび第2トランジスタは、非晶質シリコンからなる能動層を有する。このように構成すれば、性能が劣化しやすい非晶質シリコンからなる能動層を有する第1トランジスタおよび第2トランジスタを含む走査線駆動回路部の動作性能を向上させることができる。

40

【0015】

この発明の第2の局面による電子機器は、上記のいずれかの構成を有する表示装置を備える。このように構成すれば、トランジスタのサイズ比を調整することにより、表示装置の動作性能を向上させることが可能な表示装置を備えた電子機器を得ることができる。

【図面の簡単な説明】

【0016】

50

【図 1】本発明の第 1 実施形態による液晶表示装置の平面図である。

【図 2】本発明の第 1 実施形態による走査線駆動回路のブロック図である。

【図 3】本発明の第 1 実施形態による走査線駆動回路の V スキャナブロックの等価回路図である。

【図 4】本発明の第 1 実施形態および比較例における V スキャナブロックのトランジスタ T_{r7} のサイズ比 (W/L) を異ならせた場合の動作周波数の上限および寿命を示したグラフである。

【図 5】本発明の第 1 実施形態および比較例における V スキャナブロックの各トランジスタのサイズ比 (W/L) を示した表である。

【図 6】本発明の第 1 実施形態による走査線駆動回路の動作を説明するためのタイミングチャートである。

【図 7】本発明の第 2 実施形態による液晶表示装置の V スキャナブロックの等価回路図である。

【図 8】本発明の第 2 実施形態の変形例および比較例における V スキャナブロックのトランジスタ T_{r7} のサイズ比 (W/L) を異ならせた場合の動作周波数の上限および寿命を示した図である。

【図 9】本発明の第 2 実施形態および比較例における V スキャナブロックの各トランジスタのサイズ比 (W/L) を示した表である。

【図 10】本発明の第 1 および第 2 実施形態による液晶表示装置を用いた電子機器の第 1 の例を説明するための図である。

【図 11】本発明の第 1 および第 2 実施形態による液晶表示装置を用いた電子機器の第 2 の例を説明するための図である。

【図 12】本発明の第 1 および第 2 実施形態による液晶表示装置を用いた電子機器の第 3 の例を説明するための図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施形態を図面に基づいて説明する。

【0018】

(第 1 実施形態)

図 1～図 3 を参照して、本発明の第 1 実施形態による液晶表示装置 100 の構成について説明する。

【0019】

本発明の第 1 実施形態による液晶表示装置 100 は、図 1 に示すように、一対の TFT 基板 1 および対向基板 2 と、複数の画素 3 を含む表示部 4 と、液晶表示装置 100 を駆動させるための駆動 IC 5 と、TFT 基板 1 の表面上に設けられた走査線駆動回路 6 と、駆動 IC 5 に種々の信号を出力する FPC 7 (Flexible Printed Circuits) とを備えている。なお、液晶表示装置 100 は、本発明の「表示装置」の一例である。

【0020】

また、表示部 4 は、Y 方向に沿って延びる複数のデータ線 8 と、データ線 8 に略直交するとともに、X 方向に沿って延びるように設けられた複数のゲート線 9 とを含んでいる。また、複数のゲート線 9 の各々は、それぞれ、走査線駆動回路 6 に接続されている。ゲート線 9 は、TFT 基板 1 の Y 方向に沿って複数設けられるとともに、Y1 方向側から Y2 方向側に沿って、1 ライン目、2 ライン目、・・・、N ライン目、および、(N+1) ライン目という順番に配置されている。

【0021】

また、画素 3 は、ゲート線 9 と、データ線 8 とが交差する領域に設けられている。また、画素 3 には、スイッチング用の薄膜トランジスタ 10 が設けられている。なお、薄膜トランジスタ 10 は、本発明の「スイッチング素子」の一例である。薄膜トランジスタ 10 のソース (S) は、データ線 8 に接続されるとともに、薄膜トランジスタ 10 のゲート (

G)は、ゲート線9に接続されている。また、薄膜トランジスタ10のドレイン電極(D)は、画素電極11に接続されている。また、画素電極11に対向するように液晶層12を挟んで対向電極13が設けられている。

【0022】

また、駆動IC5は、LレベルのVBB電位、STV信号(スタート信号)、パルス状のCLK1(クロック1)信号、および、CLK1信号の反転信号であるCLK2信号(クロック2)信号を生成するとともに、走査線駆動回路6に出力するように構成されている。

【0023】

走査線駆動回路6は、図2に示すように、複数段のVスキャナブロック14を含んでいる。なお、Vスキャナブロック14は、本発明の「走査線駆動回路部」の一例である。Vスキャナブロック14は、OUT端子から信号を出力するとともに、信号を次段のVスキャナブロック14に順次転送する機能を有している。また、複数のVスキャナブロック14は、それぞれ、ゲート線9の1ライン目、2ライン目、・・・、Nライン目および(N+1)ライン目に接続されている。なお、1ライン目のゲート線9に接続されたVスキャナブロック14は、Vスキャナブロック(1)と図示し、2ライン目のゲート線9に接続されたVスキャナブロック14は、Vスキャナブロック(2)と図示し、Nライン目のゲート線9に接続されたVスキャナブロック14は、Vスキャナブロック(N)と図示し、(N+1)ライン目のゲート線9に接続されたVスキャナブロック14は、Vスキャナブロック(N+1)と図示している。

【0024】

また、走査線駆動回路6の1ライン目のゲート線9に接続されたVスキャナブロック14は、CLK1信号が入力されるCLK1端子と、CLK2信号が入力されるCLK2端子と、LレベルのVBB電位が入力されるVBB端子と、STV信号が入力されるSET端子と、ゲート線9に信号を出力するためのOUT端子と、次段のVスキャナブロック14のOUT端子からの信号が入力されるRESET端子とを含んでいる。なお、2ライン目以降のゲート線9に接続されたVスキャナブロック14のSET端子には、前段のVスキャナブロック14のOUT端子から出力される信号が入力されるように構成されている。また、2ライン目以降のゲート線9に接続されたVスキャナブロック14のその他の構成は、2ライン目のゲート線9に接続されたVスキャナブロック14と同様である。

【0025】

Vスキャナブロック14の詳細な構成としては、図3に示すように、非晶質シリコンからなる能動層を有する7つのnチャネル型のトランジスタ(トランジスタTr1、トランジスタTr2、トランジスタTr3、トランジスタTr4、トランジスタTr5、トランジスタTr6およびトランジスタTr7)、および、2つのコンデンサ(C1およびC2)から構成されている。なお、トランジスタTr1は、本発明の「第1トランジスタ」の一例であり、トランジスタTr7は、本発明の「第2トランジスタ」の一例である。また、トランジスタTr4、トランジスタTr5、トランジスタTr6は、本発明の「第3トランジスタ」の一例である。

【0026】

トランジスタTr1のソース(S)は、CLK1端子に接続されるとともに、パルス状のCLK1信号(クロック信号)が入力されるように構成されている。また、トランジスタTr1のソース(S)は、コンデンサC1の一方電極に接続されている。トランジスタTr1のドレイン(D)は、OUT端子を介して、ゲート線9(図1参照)に接続されている。

【0027】

また、トランジスタTr1のドレイン(D)は、トランジスタTr2のソース(S)、トランジスタTr3のソース(S)およびコンデンサC2の一方電極に接続されている。また、トランジスタTr1のゲート(G)は、トランジスタTr4のゲート(G)、トランジスタTr5のドレイン(D)、トランジスタTr6のソース(S)、トランジスタT

r 7 のソース (S) およびコンデンサ C 2 の他方電極に接続されている。

【0028】

また、トランジスタ T r 2 のドレイン (D) は、トランジスタ T r 3 のドレイン (D)、トランジスタ T r 4 のドレイン (D)、トランジスタ T r 5 のソース (S)、トランジスタ T r 6 のドレイン (D) および V B B 端子に接続されている。また、トランジスタ T r 2 のゲート (G) は、トランジスタ T r 4 のソース (S)、トランジスタ T r 6 のゲート (G) およびコンデンサ C 1 の他方電極に接続されている。また、トランジスタ T r 3 のゲート (G) は、C L K 2 端子に接続されるとともに、パルス状の C L K 2 信号 (クロック信号 (C L K 1 信号の反転信号)) が入力されるように構成されている。

【0029】

また、トランジスタ T r 5 のゲート (G) は、R E S E T 端子に接続されるとともに、次段の V スキャナブロック 1 4 の O U T 端子からの出力信号が入力されるように構成されている。また、トランジスタ T r 7 のドレイン (D) およびトランジスタ T r 7 のゲート (G) は、S E T 端子に接続されており、1 ライン目のゲート線 9 に接続された V スキャナブロック 1 4 の S E T 端子には、S T V 信号 (スタート信号) が入力されるように構成されており、2 ライン目以降のゲート線 9 に接続された V スキャナブロック 1 4 の S E T 端子には、前段の V スキャナブロック 1 4 の O U T 端子からの出力信号が入力されるように構成されている。

【0030】

次に、図 4 および図 5 を参照して、この第 1 実施形態による V スキャナブロックのトランジスタ T r 7 のサイズ比 (W/L) の大きさをトランジスタ T r 1 に対して変化させた場合の V スキャナブロックの動作周波数の上限および寿命についてのシミュレーションについて説明する。比較例および第 1 実施形態による V スキャナブロック 1 4 において、トランジスタ T r 1 のチャンネル幅 W をチャンネル長 L で除したサイズ比 (W/L) の大きさを 100% (基準) とした。なお、比較例および第 1 実施形態による V スキャナブロック 1 4 のトランジスタ T r 1 のチャンネル幅 W は、約 2 mm (約 2000 μm) であり、チャンネル長 L は、約 4 μm である。そして、比較例による V スキャナブロック 1 4 のトランジスタ T r 7 のサイズ比をトランジスタ T r 1 に対して約 6% 以上約 15% 以下の範囲とし、第 1 実施形態による V スキャナブロック 1 4 のトランジスタ T r 7 のサイズ比をトランジスタ T r 1 に対して約 15% 以上約 30% 以下の範囲とした。また、図 5 に示すように、第 1 実施形態のトランジスタ T r 2 ~ T r 6 に関しては、比較例と同様に、トランジスタ T r 2 のサイズ比を約 22% 以上約 37% 以下とし、トランジスタ T r 3 のサイズ比を約 20% 以上約 40% 以下とし、トランジスタ T r 4、T r 5 および T r 6 のサイズ比を約 6% 以上約 15% 以下とした。

【0031】

図 4 では、横軸がトランジスタ T r 7 のトランジスタ T r 1 に対するサイズ比 [%] を示しており、縦軸が動作周波数の上限 [kHz] および寿命 [年] を示している。なお、V スキャナブロック 1 4 の寿命についてのシミュレーションは、液晶表示装置 100 を約 70℃ の温度下において使用した場合を示している。つまり、液晶表示装置 100 を約 30℃ の温度下において使用した場合には、図 4 に示された寿命よりも長い寿命が得られる。

【0032】

図 4 に示すように、V スキャナブロック 1 4 のトランジスタ T r 7 のサイズ比が約 6% 以上約 15% 以下の範囲 (比較例の範囲) では、動作周波数の上限は、約 23 kHz 以上約 29 kHz 以下であることが判明した。また、比較例の範囲による V スキャナブロック 1 4 の寿命は、約 1 年以上約 5 年以下であることが判明した。

【0033】

これに対して、V スキャナブロック 1 4 のトランジスタ T r 7 のサイズ比が約 15% 以上約 30% 以下の範囲 (第 1 実施形態の範囲) では、動作周波数の上限は、約 29 kHz 以上約 30 kHz 以下であることが判明した。また、第 1 実施形態による V スキャナブ

10

20

30

40

50

ック14の寿命は、約5年以上約7年以下であることが判明した。つまり、Vスキャナブロック14のトランジスタTr7のサイズ比を約15%以上約30%以下の範囲にすることにより、比較例によるVスキャナブロック14に比べて動作周波数を約1kHz向上させるとともに、寿命を約2年向上させることが可能であることが判明した。

【0034】

なお、第1実施形態によるVスキャナブロック14のトランジスタTr7のサイズ比が約20%以上約25%以下の範囲（最適範囲）では、動作周波数の上限は、約29.5kHz以上約30kHz以下であることが判明した。また、第1実施形態によるVスキャナブロック14の寿命は、約6.5年以上約7年以下であることが判明した。つまり、第1実施形態によるVスキャナブロック14のトランジスタTr7のサイズ比である約15%以上約30%以下の範囲のうち、サイズ比が約20%以上約25%以下の範囲では、比較例に対して動作周波数および寿命の優位性が大きいことが確認された。

【0035】

次に、トランジスタTr2～Tr7のうちトランジスタTr2のサイズ比の大きさを変化させた場合のシミュレーションについて説明する。なお、トランジスタTr3～Tr6のサイズ比の大きさは、図5に示す比較例と同じである。

【0036】

比較例では、Vスキャナブロック14のトランジスタTr2のサイズ比がトランジスタTr1に対して約22%以上約37%以下の範囲であるのに対して、第1実施形態によるVスキャナブロック14のトランジスタTr2では、サイズ比を比較例よりも大きな範囲のトランジスタTr1のサイズ比に対して約17%以上約37%以下の範囲とした。その結果、上記したトランジスタTr7の場合のような比較例に対する動作周波数の上限および寿命の向上は、確認されなかった。また、トランジスタTr3に関しては、サイズ比を比較例と比べて変化させた場合のシミュレーションは行っていない。

【0037】

次に、比較例では、Vスキャナブロック14のトランジスタTr4（Tr5、Tr6）のサイズ比がトランジスタTr1に対して約6%以上約15%以下の範囲であるのに対して、第1実施形態によるVスキャナブロック14のトランジスタTr4（Tr5、Tr6）では、サイズ比をトランジスタTr1に対して約2.5%以上約6%以下の範囲とした。その結果、動作周波数および寿命が比較例に対して向上することが判明した。つまり、第1実施形態によるVスキャナブロック14のトランジスタTr4（Tr5、Tr6）のサイズ比を比較例によるVスキャナブロック14のトランジスタTr4（Tr5、Tr6）のサイズ比よりも小さくすることによって、上記した第1実施形態によるVスキャナブロック14のトランジスタTr7のサイズ比の大きさをトランジスタTr1のサイズ比の大きさに対して変化させた場合と同様に、動作周波数および寿命が比較例に対して向上することが判明した。また、トランジスタTr4（Tr5、Tr6）のサイズ比が約3%以上約5%以下の範囲（最適範囲）では、比較例に対して最も動作周波数および寿命の優位性が大きいことが確認された。

【0038】

次に、図1～図3および図6を参照して、上記した走査線駆動回路6（Vスキャナブロック14）の動作について説明する。

【0039】

まず、走査線駆動回路6の1ライン目のVスキャナブロック14（図2参照）には、図6に示す時間A（CLK1がLレベル、CLK2がHレベル）において、図3に示すHレベルのSTV信号がトランジスタTr7のゲート（G）に入力されることにより、トランジスタTr7がオン状態になる。これにより、Hレベルの信号がノードN1を介してトランジスタTr1のゲート（G）、トランジスタTr4のゲート（G）、トランジスタTr5のドレイン（D）、トランジスタTr6のソース（S）およびコンデンサC2の他方電極に入力される。その結果、トランジスタTr1およびトランジスタTr4がオン状態になる。そして、ノードN2がLレベルの電位になる。また、コンデンサC1の他方電極は

、Hレベルになるとともに、充電を開始する。また、トランジスタT r 3のゲート（G）には、HレベルのC L K 2信号が入力されるので、トランジスタT r 3はオン状態になる。そして、ゲート線9は、O U T端子およびトランジスタT r 3を介して、LレベルのV B B電位に接続される。

【0040】

次に、走査線駆動回路6の1ライン目のVスキャナブロック14（図2参照）には、図6に示す時間B（C L K 1がHレベル、C L K 2がLレベル）において、図3に示すLレベルのS T V信号がトランジスタT r 7のゲート（G）に入力されることにより、トランジスタT r 7がオフ状態になる。このとき、上記した時間Aにおいて充電されたコンデンサC 2からHレベルの電位が放電され、トランジスタT r 1のゲート（G）およびトランジスタT r 4のゲート（G）にHレベルの信号が入力されることにより、トランジスタT r 1およびトランジスタT r 4がオン状態になる。そして、HレベルのC L K 1信号が、トランジスタT r 1を介して、O U T端子からゲート線9に出力される。これにより、出力された信号が表示部4の画素3に設けられた薄膜トランジスタ10を駆動させる。また、O U T端子に出力された信号は、次段のVスキャナブロック14のS E T端子に入力される。また、Lレベルの信号（V B B電位）が、トランジスタT r 4およびノードN 2を介して、トランジスタT r 2のゲート（G）およびトランジスタT r 6のゲート（G）に入力されるので、トランジスタT r 2およびトランジスタT r 6がオフ状態になる。

【0041】

次に、走査線駆動回路6の1ライン目のVスキャナブロック14（図2参照）には、図6に示す時間C（C L K 1がLレベル、C L K 2がHレベル）において、図3に示すLレベルのS T V信号がトランジスタT r 7のゲート（G）に入力されるので、トランジスタT r 7がオフ状態になる。また、LレベルのC L K 1信号は、トランジスタT r 1のソース（S）に入力される。また、HレベルのC L K 2信号は、トランジスタT r 3のゲート（G）に入力されるので、トランジスタT r 3がオン状態になる。そして、Lレベルの信号（V B B電位）は、トランジスタT r 3を介して、O U T端子からゲート線9（図1参照）に出力される。

【0042】

また、トランジスタT r 5のゲート（G）には、2ライン目（次段）のVスキャナブロック14から出力されたHレベルのR E S E T信号が入力されるので、トランジスタT r 5がオン状態になる。そして、Lレベルの信号（V B B電位）が、トランジスタT r 5を介して、トランジスタT r 1のゲート（G）、トランジスタT r 4のゲート（G）、トランジスタT r 6のソース（S）、および、トランジスタT r 7のソース（S）に入力される。これにより、トランジスタT r 1およびトランジスタT r 4は、オフ状態になる。また、トランジスタT r 3のゲート（G）には、HレベルのC L K 2信号が入力されるので、トランジスタT r 3がオン状態になる。そして、Lレベルの信号（V B B電位）がトランジスタT r 3を介して、O U T端子から出力される。なお、2ライン目以降の走査内容は、上記した1ライン目の走査内容と同様である。

【0043】

第1実施形態では、上記のように、トランジスタT r 7のチャンネル幅Wをチャンネル幅Lで除したサイズ比（ W/L ）の大きさを、トランジスタT r 1のチャンネル幅Wをチャンネル幅Lで除したサイズ比（ W/L ）の大きさの15%以上30%以下の大きさにすることによって、トランジスタT r 7のサイズ比（ W/L ）の大きさが、トランジスタT r 1のサイズ比（ W/L ）の大きさの15%よりも小さい場合（比較例）と比べて、トランジスタT r 7のサイズ比（ W/L ）の大きさが大きい分、トランジスタT r 7のソース（S）から出力される信号を大きくすることができるので、トランジスタT r 7のソース（S）とトランジスタT r 1のゲート（G）との間の寄生容量の充放電に必要な時間を短縮することができる。これにより、トランジスタのサイズ比（ W/L ）を調整することにより、Vスキャナブロック14の動作性能を向上させることができる。このように、トランジスタ素子に非晶質シリコンを利用した薄膜トランジスタを用いる場合には、回路動作の際に印

10

20

30

40

50

加される電圧ストレスや使用温度環境によって素子特性が劣化する現象によって、この種の回路には比較的短い動作限界、すなわち寿命が存在することが知られている。この問題に対して、本発明実施例によるトランジスタのサイズ比の調整は、動作性能を向上させると同時に、同一の電圧ストレスおよび使用温度環境において動作限界に到達するまでの時間を延ばすことになる。また、非晶質シリコン素子に比べ電圧ストレスに比較的強いとされる多結晶・単結晶シリコン素子においても、第1実施形態による走査線駆動回路6のVスキャナブロック14のトランジスタTr7のサイズ比(W/L)を比較例による走査線駆動回路6のVスキャナブロック14のトランジスタTr7のサイズ比(W/L)よりも大きくすることにより、トランジスタTr7のサイズ(面積)が大きくなった分、トランジスタTr7のソースとドレインとの間の電界集中を抑制することができるので、トランジスタTr7の電界集中に起因する特性の劣化を抑制することができる。すなわち、これらの総合的な効果によってVスキャナブロック14の寿命を向上させることができる。

10

【0044】

また、第1実施形態では、上記のように、トランジスタTr7のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさを、トランジスタTr1のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさの20%以上25%以下の大きさにすることによって、Vスキャナブロック14の動作性能をより向上させることができる。

【0045】

また、第1実施形態では、上記のように、トランジスタTr4、Tr5およびTr6のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさを、トランジスタTr7のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)よりも小さく、かつ、トランジスタTr1のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさの2.5%以上6%以下の大きさにすることによって、トランジスタTr4、Tr5およびTr6のサイズ比(W/L)の大きさが、トランジスタTr1のサイズ比(W/L)の大きさの6%よりも大きい場合(比較例)と比べて、トランジスタTr4、Tr5およびTr6のサイズ比(W/L)の大きさが小さい分、トランジスタTr4、Tr5およびTr6の寄生容量の充放電に必要な時間を短縮することができるので、Vスキャナブロック14の動作性能を向上させることができる。

20

【0046】

また、第1実施形態では、上記のように、複数のトランジスタTr4、Tr5およびTr6の各々のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさを、トランジスタTr7のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)よりも小さく、かつ、トランジスタTr1のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさの2.5%以上6%以下の大きさにすることによって、トランジスタが複数設けられた場合にも、複数のトランジスタTr4、Tr5およびTr6の各々の寄生容量の充放電に必要な時間を短縮することができるので、Vスキャナブロック14の動作性能を向上させることができる。

30

【0047】

また、第1実施形態では、上記のように、トランジスタTr4、Tr5およびTr6のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさを、トランジスタTr1のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさの3.0%以上5.0%以下の大きさにすることによって、Vスキャナブロック14の動作性能をより向上させることができる。

40

【0048】

また、第1実施形態では、上記のように、トランジスタTr7ドレイン(D)と、トランジスタTr7のゲート(G)とに、前段に設けられたVスキャナブロック14の出力信号を入力することによって、トランジスタTr7のゲート(G)に前段に設けられたVスキャナブロック14の出力信号(Hレベルの信号)が入力されることより、トランジスタTr7をオン状態にするとともに、トランジスタTr7のソース(S)からHレベルの信号を出力することができる。

50

【0049】

また、第1実施形態では、上記のように、トランジスタTr1およびトランジスタTr7が、非晶質シリコンからなる能動層を有することによって、性能が劣化しやすい非晶質シリコンからなる能動層を有するトランジスタTr1およびトランジスタTr7を含むVスキャナブロック14の動作性能を向上させることができる。

【0050】

(第2実施形態)

次に、図1、図7～図9を参照して、Vスキャナブロック14を7つのトランジスタおよび2つのコンデンサから構成した上記第1実施形態とは異なり、Vスキャナブロック14aを6つのトランジスタ(トランジスタTr11、Tr12、Tr13、Tr14、Tr15およびTr16)および1つのコンデンサ(C11)から構成する例を説明する。なお、トランジスタTr11は、本発明の「第1トランジスタ」の一例であり、トランジスタTr16は、本発明の「第2トランジスタ」の一例である。また、トランジスタTr15は、本発明の「第3トランジスタ」の一例である。

【0051】

この第2実施形態による液晶表示装置100aのVスキャナブロック14aは、図7に示すように、トランジスタTr11のソース(S)は、CKL1端子に接続されており、パルス状のクロック信号が入力されるように構成されている。トランジスタTr11のドレイン(D)は、ゲート線9(図1参照)に接続されており、画素3に設けられた薄膜トランジスタ10に信号を出力可能に構成されている。また、トランジスタTr11のドレイン(D)は、トランジスタTr12のソース(S)およびコンデンサC11の一方電極に接続されている。トランジスタTr11のゲート(G)は、ノードN3を介して、トランジスタTr15のソース(S)、トランジスタTr16のソース(S)およびコンデンサC11の他方電極に接続されている。

【0052】

また、トランジスタTr12のドレイン(D)は、トランジスタTr14のソース(S)、トランジスタTr15のドレイン(D)およびVBB端子に接続されている。トランジスタTr12のゲート(G)は、トランジスタTr13のソース(S)、トランジスタTr14のドレイン(D)およびトランジスタTr15のゲート(G)に接続されている。また、トランジスタTr13のドレイン(D)およびゲート(G)は、CLK2端子に接続されており、CLK1信号の反転信号のパルス状のCLK2信号(クロック信号)が入力されるように構成されている。

【0053】

また、トランジスタTr14のゲート(G)は、トランジスタTr16のゲート(G)、トランジスタTr16のドレイン(D)およびSET端子に接続されており、トランジスタTr14のゲート(G)、トランジスタTr16のゲート(G)およびトランジスタTr16のドレイン(D)には、SET信号が入力されるように構成されている。

【0054】

次に、図8および図9を参照して、この第2実施形態によるVスキャナブロックのトランジスタTr16のサイズ比(W/L)の大きさを比較例に対して変化させた場合のVスキャナブロックの動作周波数の上限についてのシミュレーションについて説明する。比較例および第2実施形態によるVスキャナブロック14aにおいて、トランジスタTr11のチャンネル幅 W をチャンネル長 L で除したサイズ比(W/L)の大きさを100%(基準)とした。なお、比較例および第2実施形態によるVスキャナブロック14aのトランジスタTr11のチャンネル幅 W は、約2mm(2000 μ m)であり、チャンネル長 L は、約4 μ mである。そして、比較例によるVスキャナブロック14aのトランジスタTr16のサイズ比がトランジスタTr11に対して約6%以上約15%以下の範囲とし、第2実施形態によるVスキャナブロック14aのトランジスタTr16のサイズ比がトランジスタTr11に対して約15%以上約30%以下の範囲とした。また、図9に示すように、第2実施形態のトランジスタTr12～Tr15に関しては、比較例と同様に、トランジス

タTr12のサイズ比を約22%以上約37%以下とし、トランジスタTr13のサイズ比を約1%以上約10%以下とし、トランジスタTr14およびTr15のサイズ比を約6%以上約15%以下とした。

【0055】

図8では、横軸がトランジスタTr16のトランジスタTr11に対するサイズ比[%]を示している。図8に示すように、Vスキャナブロック14aのトランジスタTr16のサイズ比が約6%以上約15%以下の範囲（比較例の範囲）では、動作周波数の上限は、約31.7kHz以上約36kHz以下であることが判明した。

【0056】

これに対して、Vスキャナブロック14aのトランジスタTr16のサイズ比が約15%以上約30%以下の範囲（第2実施形態の範囲）では、動作周波数の上限は、約36kHz以上約36.3kHz以下であることが判明した。つまり、Vスキャナブロック14aのトランジスタTr16のサイズ比を約15%以上約30%以下の範囲にすることにより、比較例によるVスキャナブロック14aに比べて動作周波数の上限を向上可能であることが確認された。なお、第2実施形態によるVスキャナブロック14aのトランジスタTr16のサイズ比が約20%以上約25%以下の範囲（最適範囲）では、動作周波数の上限は、約36.2kHz以上約36.3kHz以下であることが判明した。つまり、第2実施形態によるVスキャナブロック14aのトランジスタTr16のサイズ比である約15%以上約30%以下の範囲のうち、サイズ比が約20%以上約25%以下の範囲では、比較例に対して動作周波数の優位性が大きいことが確認された。なお、トランジスタTr12～Tr15に関しては、サイズ比を比較例と比べて変化させた場合のシミュレーションは行っていない。

【0057】

第2実施形態では、上記のように、トランジスタTr16のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさを、トランジスタTr11のチャンネル幅Wをチャンネル幅Lで除したサイズ比(W/L)の大きさの15%以上30%以下の大きさにすることによって、トランジスタのサイズ比(W/L)を調整することにより、比較例に示したトランジスタTr16のサイズ比(W/L)の大きさが、トランジスタTr11のサイズ比(W/L)の大きさの15%よりも小さい場合と比べて、トランジスタTr16のサイズ比(W/L)の大きさが大きい分、トランジスタTr16のソース(S)から出力される信号を大きくすることができるので、トランジスタTr16のソース(S)とトランジスタTr11のゲート(G)との間の寄生容量の充放電に必要な時間を短縮することができる。これにより、Vスキャナブロック14aの動作性能を向上させることができる。

【0058】

なお、第2実施形態のその他の効果は、上記第1実施形態と同様である。

【0059】

（応用例）

図10～図12は、それぞれ、上記した本発明の液晶表示装置100および100aを用いた電子機器の第1の例～第3の例を説明するための図である。図10～図12を参照して、本発明の液晶表示装置100および100aを用いた電子機器について説明する。

【0060】

本発明の液晶表示装置100および100aは、図10～図12に示すように、第1の例としてのPC(Personal Computer)200、第2の例としての携帯電話300、および、第3の例としての情報携帯端末400(PDA: Personal Digital Assistants)などに用いることが可能である。

【0061】

図10の第1の例によるPC200においては、キーボードなどの入力部210および表示画面220などに本発明の液晶表示装置100および100aを用いることが可能である。図11の第2の例による携帯電話300においては、表示画面310に本発明の液晶表示装置100および100aが用いられる。図12の第3の例による情報携帯端末4

00においては、表示画面410に本発明の液晶表示装置100および100aが用いられる。

【0062】

なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

【0063】

たとえば、上記第1および第2実施形態では、本発明の表示装置の一例として、液晶表示装置を用いる例を示したが、本発明はこれに限らない。たとえば、本発明の表示装置として、液晶表示装置以外の有機EL装置などを用いてもよい。

10

【0064】

また、上記第1および第2実施形態では、本発明の走査線駆動回路の一例として、走査線駆動回路を7つのトランジスタ（トランジスタTr1～Tr7）および6つのトランジスタ（トランジスタTr11～Tr16）により構成する例を示したが、本発明はこれに限らない。本発明では、走査線駆動回路部を5つ以下のトランジスタおよび8つ以上のトランジスタにより構成してもよい。

【0065】

また、上記第1および第2実施形態では、トランジスタTr1およびTr11の一例として、チャンネル幅Wを約2mm（2000μm）にするとともに、チャンネル長Lを約4μmにする例を示したが、本発明はこれに限らない。本発明では、トランジスタTr1およびTr11のチャンネル幅Wを約2mm（2000μm）以外の幅にしてもよいし、トランジスタTr1およびTr11のチャンネル長Lを約4μm以外の長さにしてもよい。

20

【0066】

また、上記第1および第2実施形態では、本発明の走査線駆動回路の一例として、非晶質シリコンからなる能動層を有するトランジスタを適用する例を示したが、本発明はこれに限らない。たとえば、走査線駆動回路に低温ポリシリコン（LTPS）または高温ポリシリコン（HTPS）などの能動層を有するトランジスタを適用してもよい。

【符号の説明】

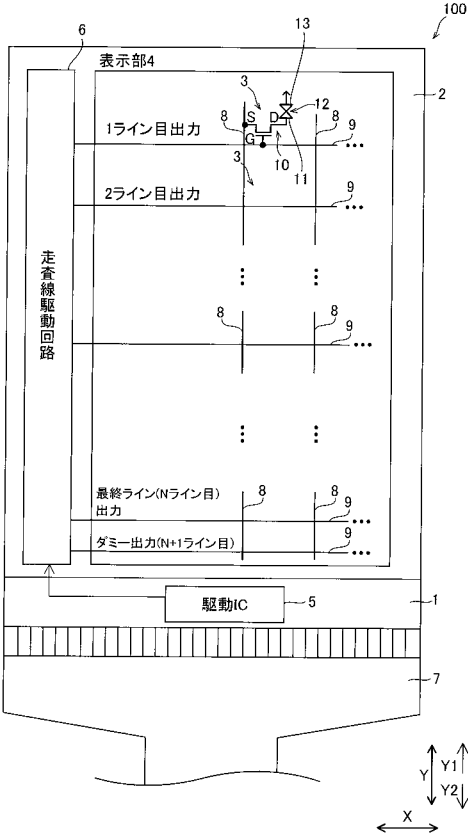
【0067】

3 画素 6 走査線駆動回路 9 ゲート線 10 薄膜トランジスタ（スイッチング素子） 14、14a Vスキャナブロック（走査線駆動回路部）
100、100a 液晶表示装置（表示装置） 200 PC（電子機器）
300 携帯電話（電子機器） 400 情報携帯端末（電子機器） Tr1
トランジスタTr1（第1トランジスタ） Tr4 トランジスタTr4（第3トランジスタTr） Tr5 トランジスタTr5（第3トランジスタ） Tr6
トランジスタTr6（第3トランジスタ） Tr7 トランジスタTr7（第2トランジスタ） Tr11 トランジスタTr11（第1トランジスタ） Tr15
トランジスタTr15（第3トランジスタ） Tr16 トランジスタTr16（第2トランジスタ）

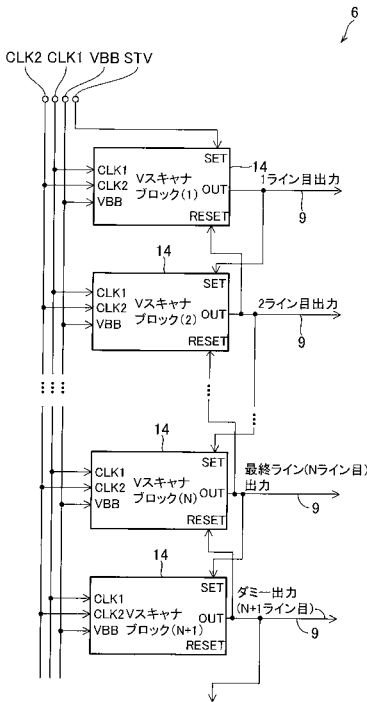
30

40

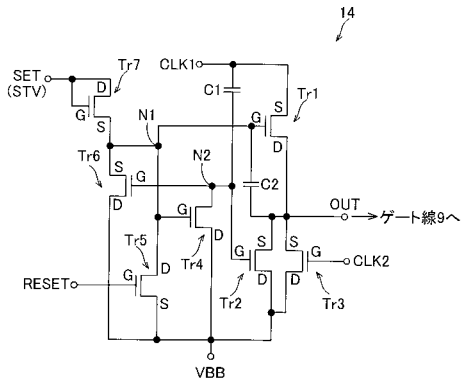
【図 1】



【図 2】



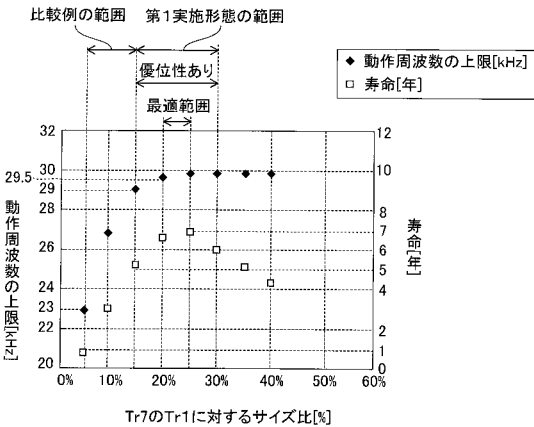
【図 3】



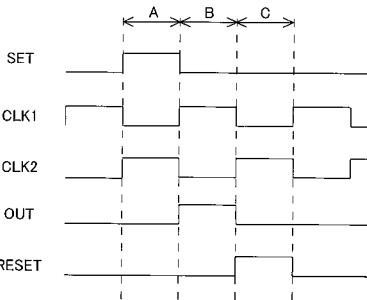
【図 5】

		第1実施形態		比較例
			最適範囲	
Tr1	100%	100%	100%	100%
Tr2	17%~37%	17%~20%	22%~37%	
Tr3	20%~40%		20%~40%	
Tr4	2.5%~6%	3~5%	6%~15%	
Tr5	2.5%~6%	3~5%	6%~15%	
Tr6	2.5%~6%	3~5%	6%~15%	
Tr7	15%~30%	20~25%	6%~15%	

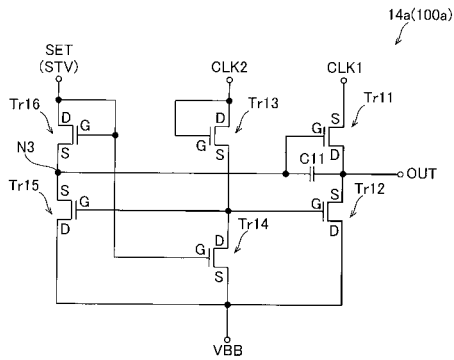
【図 4】



【図 6】



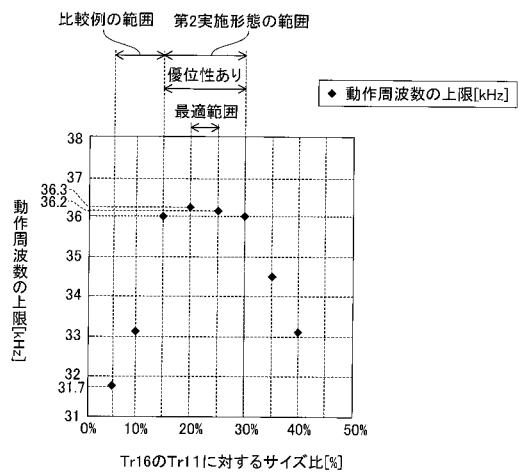
【図 7】



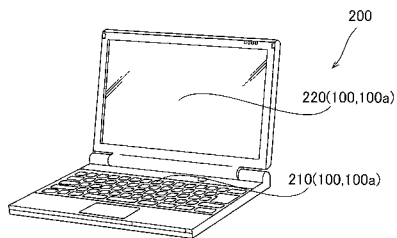
【図 9】

	第2実施形態		比較例
		最適範囲	
Tr11	100%	100%	100%
Tr12	22%~37%	——	22%~37%
Tr13	1%~10%	——	1%~10%
Tr14	6%~15%	——	6%~15%
Tr15	6%~15%	——	6%~15%
Tr16	15%~30%	20%~25%	6%~15%

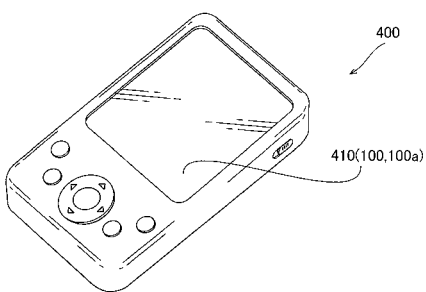
【図 8】



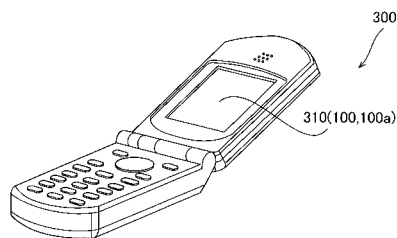
【図 10】



【図 12】



【図 11】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 2 F 1/1368

G 0 2 F 1/133 5 5 0

专利名称(译)	显示设备和电子设备		
公开(公告)号	JP2011164327A	公开(公告)日	2011-08-25
申请号	JP2010026237	申请日	2010-02-09
[标]申请(专利权)人(译)	索尼公司		
申请(专利权)人(译)	索尼公司		
[标]发明人	平林幸哉		
发明人	平林 幸哉		
IPC分类号	G09G3/20 G09G3/36 G02F1/1368 G02F1/133		
CPC分类号	G02F1/1368 G09G3/3677 G09G2310/0286 G09G2320/043 H01L27/12		
FI分类号	G09G3/20.622.B G09G3/20.624.B G09G3/20.680.G G09G3/20.621.F G09G3/36 G02F1/1368 G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA50 2H092/GA59 2H092/JA24 2H092/JA31 2H092/JA32 2H092/KA05 2H092/NA21 2H092/PA06 2H193/ZA04 2H193/ZF21 5C006/BB16 5C006/BC03 5C006/BC06 5C006/FA11 5C080/AA10 5C080/BB05 5C080/DD08 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK47 2H192/AA24 2H192/CB35 2H192/CB52 2H192/DA72 2H192/FB03 2H192/GD61 5B074/AA03 5B074/AA10 5B074/CA01 5B074/DB01		
其他公开文献	JP5465029B2		
外部链接	Espacenet		

摘要(译)

提供一种能够通过调节晶体管的尺寸比来改善扫描线驱动电路部分的操作性能的显示装置。在本发明的液晶显示器（显示器）100中，通过将晶体管Tr7的沟道宽度W除以沟道宽度L而获得的尺寸比（ W/L ）对应于晶体管Tr1的沟道宽度W.尺寸比（ W/L ）的尺寸除以宽度L的15%以上且30%以下。[选中图]图5

	第1实施形態		比較例
		最適範圍	
Tr1	100%	100%	100%
Tr2	17%~37%	17%~20%	22%~37%
Tr3	20%~40%	——	20%~40%
Tr4	2.5%~6%	3~5%	6%~15%
Tr5	2.5%~6%	3~5%	6%~15%
Tr6	2.5%~6%	3~5%	6%~15%
Tr7	15%~30%	20~25%	6%~15%