

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2011-128520
(P2011-128520A)

(43) 公開日 平成23年6月30日(2011.6.30)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 622G	5C006
G02F 1/133 (2006.01)	G09G 3/20 612J	5C080
	G09G 3/20 611J	
	G09G 3/20 670E	
審査請求 未請求 請求項の数 15 O L (全 37 頁) 最終頁に続く		

(21) 出願番号	特願2009-289194 (P2009-289194)	(71) 出願人	000006013
(22) 出願日	平成21年12月21日 (2009.12.21)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100088672
			弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	飛田 洋一
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		(72) 発明者	土居 佳史
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内
		最終頁に続く	

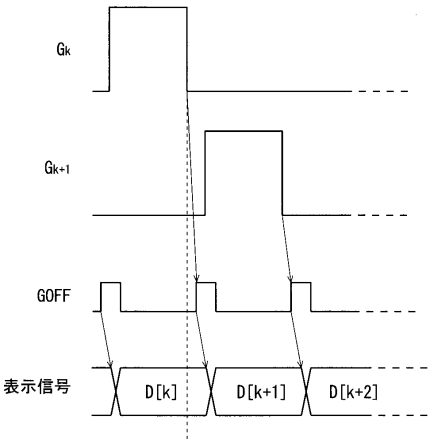
(54) 【発明の名称】 画像表示装置

(57) 【要約】

【課題】 画像表示装置において、ゲート線駆動信号の遅延時間が大きくなった場合でも、動作マージンを確保しつつ誤表示を防止しつつ、低コスト化を図る。

【解決手段】 液晶表示装置200のソースドライバ40は、それぞれ1画素ライン分の表示データを保持する第1～第3データラッチ回路52, 54, 56を有する。ゲート線非活性遷移検出回路90は、複数のゲート線GLのそれぞれの非活性化を検出し、そのタイミングで検出信号G OFFを一定期間活性化させる。デコード回路70に表示データを供給する第3データラッチ回路56は、その検出信号G OFFの活性化に応じて、保持する表示データを更新する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

複数のゲート線と、
前記複数のゲート線に交差する複数のデータ線と、
前記複数のゲート線と前記複数のデータ線との交点近傍に形成された複数の画素と、
1画素ライン分の表示データを保持するラッチ回路を有し、当該表示データに対応する信号を前記データ線を通して前記複数の画素に供給するソースドライバと、
前記複数のゲート線を順次活性化することで前記複数の画素を駆動するゲート線駆動回路と、
前記複数のゲート線それぞれの非活性化を検出したときに、検出信号を一定期間活性化させる非活性遷移検出回路とを備え、
前記ラッチ回路は、前記検出信号の活性化に応じて、保持する表示データを更新することを特徴とする画像表示装置。

10

【請求項 2】

請求項 1 記載の画像表示装置であって、
前記非活性遷移検出回路は、
前記複数のゲート線のそれぞれに設けられ、対応するゲート線が非活性化したときに検出信号を活性化させる検出回路を含み、
前記検出回路の各々は、
前記検出信号の出力端子を充電する第 1 トランジスタおよび当該出力端子を放電する第 2 トランジスタを備え、
前記対応するゲート線が活性化している間は、前記第 1 トランジスタおよび前記第 2 トランジスタを非活性化させ、
前記対応するゲート線が非活性化すると、まず前記第 1 トランジスタを活性化させ、その所定時間後に、前記第 2 トランジスタの活性化および前記第 1 トランジスタの非活性化をほぼ同時に行い、さらに所定時間後に、前記第 2 トランジスタを非活性化させることを特徴とする画像表示装置。

20

【請求項 3】

請求項 1 記載の画像表示装置であって、
前記非活性遷移検出回路は、
前記複数のゲート線のそれぞれに設けられ、対応するゲート線が非活性化したときに検出信号を活性化させる検出回路を含み、
前記検出回路の各々は、
前記対応するゲート線の非活性化を検出したときに第 1 信号を活性化させる検出部と、
前記第 1 信号を一定時間だけ遅延した第 2 信号を生成する遅延回路部と、
前記第 2 信号の活性化に応じて、前記第 1 信号を非活性化させるプルダウン回路部と、
前記検出信号を、前記第 1 信号の活性化に応じて活性化させ、前記第 2 信号の活性化に応じて非活性化させる出力部とを備えることを特徴とする画像表示装置。

30

【請求項 4】

請求項 3 記載の画像表示装置であって、
検出部は、
前記ゲート線に接続する入力端を有し、前記第 1 信号を出力するインバータを備え、
前記インバータは、
負荷素子と駆動素子のオン抵抗比を調整することにより、前記第 1 信号が反転する前記ゲート線の電圧を調整可能であることを特徴とする画像表示装置。

40

【請求項 5】

請求項 1 から請求項 4 のいずれか記載の画像表示装置であって、
前記非活性遷移検出回路を構成するトランジスタは、全て同一導電型である

50

ことを特徴とする画像表示装置。

【請求項 6】

請求項 1 から請求項 5 のいずれか記載の画像表示装置であって、
前記ゲート線駆動回路は前記複数の画素と一体形成されている
ことを特徴とする画像表示装置。

【請求項 7】

請求項 6 記載の画像表示装置であって、
前記ゲート線駆動回路の制御信号を、当該ゲート線駆動回路を駆動可能なレベルに変換するレベルシフタをさらに備え、
ゲート線駆動回路は、前記レベルシフタとも一体形成されている
ことを特徴とする記載の画像表示装置。 10

【請求項 8】

請求項 1 から請求項 5 のいずれか記載の画像表示装置であって、
前記ゲート線は、画像表示のための通常のゲート線の他に設けられたダミーゲート線であり、
前記ゲート線駆動回路は、前記通常のゲート線と同期したタイミングで前記ダミーゲート線を順次活性化するダミーゲート線駆動回路である
ことを特徴とする画像表示装置。

【請求項 9】

請求項 8 記載の画像表示装置であって、
前記ダミーゲート線駆動回路は、前記通常のゲート線の駆動回路を駆動するクロック信号を用いて駆動される
ことを特徴とする画像表示装置。 20

【請求項 10】

請求項 8 または請求項 9 記載の画像表示装置であって、
前記通常のゲート線の駆動回路および前記ダミーゲート線駆動回路は、前記複数の画素と一体形成されている
ことを特徴とする画像表示装置。

【請求項 11】

請求項 10 記載の画像表示装置であって、
前記ゲート線駆動回路の制御信号を、当該ゲート線駆動回路を駆動可能なレベルに変換するレベルシフタをさらに備え、
前記通常のゲート線の駆動回路および前記ダミーゲート線駆動回路は、前記レベルシフタとも一体形成されている
ことを特徴とする記載の画像表示装置。 30

【請求項 12】

請求項 1 から請求項 11 のいずれか記載の画像表示装置であって、
前記検出信号に基づいて、前記ソースドライバおよびゲート線駆動回路へ送る信号の出力タイミングを規定するコントローラをさらに備える
ことを特徴とする画像表示装置。 40

【請求項 13】

請求項 12 記載の画像表示装置であって、
前記コントローラは、
少なくとも 1 画素ライン分の表示データを保持するメモリと、
前記検出信号に基づき、前記メモリから 1 画素ラインごとの前記表示データを読み出して前記ソースドライバへ出力するタイミングコントローラを含む
ことを特徴とする画像表示装置。

【請求項 14】

複数のゲート線と、
前記複数のゲート線に交差する複数のデータ線と、 50

前記複数のゲート線と前記複数のデータ線との交点近傍に形成された複数の画素と、

1画素ライン分の表示データを保持するラッチ回路を有し、当該表示データに対応する信号を前記データ線を通して前記複数の画素に供給するソースドライバと、

前記複数のゲート線を順次活性化することで前記複数の画素を駆動するゲート線駆動回路と、

前記複数のゲート線それぞれの非活性化を検出したときに、検出信号を一定期間活性化させる非活性遷移検出回路と、

前記ゲート線駆動回路を駆動するためのクロック信号およびスタートパルスを入力するコントローラとを備え、

前記コントローラは、

前記ラッチ回路が保持する表示データの更新タイミングに対する前記検出信号の活性化タイミングの遅延時間を測定するカウンタと、

前記遅延時間に基づいて前記クロック信号および前記スタートパルスの活性化タイミングを制御するタイミングコントローラとを備える

ことを特徴とする画像表示装置。

【請求項15】

請求項14記載の画像表示装置であって、

前記タイミングコントローラは、

前記遅延時間に相当する時間だけ、前記クロック信号および前記スタートパルスの活性化タイミングを早める

ことを特徴とする画像表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像表示装置に関し、特に、画像表示信号の書き込みに対する動作マージンを大きくする技術に関する。

【背景技術】

【0002】

画像表示を省スペースかつ低消費電力で行うために、フラットパネルディスプレイが広く用いられている。フラットパネルディスプレイにおいては、画像の表示パネルに、画素が行列状（マトリクス状）に配列される。各画素は、液晶素子などの表示素子と、この表示素子への画像表示信号（以下「表示信号」）を伝達する選択トランジスタを含む。

【0003】

各画素行に対応してゲート線（走査線）が配置され、各画素列に対応して表示信号を伝達するデータ線が配置される。各ゲート線には、対応する行の画素の選択トランジスタのゲートが接続され、各データ線には、対応する列の画素の選択トランジスタの一方の電流電極が接続される。

【0004】

ゲート線の選択期間は、表示信号の水平走査期間により決定される。たとえば、水平走査線の本数が525本であるNTSC方式においては、1水平走査期間は64 μ Sである。この期間は短いため、通常、水平走査期間に合わせてゲート線を1本ずつ選択状態（活性状態）にして、その行の選択トランジスタを全て導通状態にして表示信号を画素に書き込むアクティブマトリクス方式が利用される。この方式では、各ゲート線は自己の選択期間以外の残りの垂直走査期間の間、非選択状態（非活性状態）非活性状態に維持され、その間対応する選択トランジスタは非導通状態に維持される。従って各画素は、1フィールド期間、表示信号を維持して表示素子を駆動し、対応する表示信号を表示する。

【0005】

このような画像表示装置においては、安定かつ正確に画像表示を行うために、種々の工夫がなされている（例えば下記の特許文献1-3）。

【先行技術文献】

10

20

30

40

50

【特許文献】

【0006】

【特許文献1】特開2005-3714号公報

【特許文献2】特開2008-176269号公報

【特許文献3】特開平11-265172号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

特許文献1の表示装置では、ゲート線駆動回路が接続した反対側のゲート線端にゲート線非活性検出回路(2)が設けられており(図19)、その出力であるラッチ指示信号(LAT)を用いて、マルチプレクサ(116)に表示信号を送るタイミングを規定する第2のラッチ回路(114)を動作させている。これにより、次の画素ラインの表示信号が前の画素ラインの画素に重ね書きされてしまうのを防止している。しかしこの方法では、ゲート線駆動信号の遅延時間が大きくなると誤表示を生じさせる可能性がある。

10

【0008】

特許文献2の表示装置では、ゲート線駆動回路を駆動するためのクロック信号を生成するゲートクロック生成部(400)が、ゲート線駆動信号(Von)の遅延時間を検出し、その遅延時間に応じてクロック信号(CKV, CKVB)のパルス幅を狭くしている(図2)。それにより、ゲート線駆動信号のパルス幅を1水平走査期間(1H)とほぼ同じにし、各画素に次の画素ラインの表示信号が重ね書きされることを防止している。しかしクロック信号のパルス幅が狭くなるとその駆動能力が低下するため、ゲート線駆動回路の動作マージンが低下する。

20

【0009】

特許文献3の表示装置では、ゲート線駆動信号の遅延時間を検出して、D/Aコンバータに表示信号を送るタイミングを規定するラッチ回路(13)の制御信号(LTHXU)を、その遅延時間だけ遅延させるタイミング調整回路(31)が設けられている(図9)。これにより、各画素に次の画素ラインの表示信号が重ね書きされることを防止できるが、特許文献1と同様に、ゲート線駆動信号の遅延時間が大きくなると誤表示が生じる可能性がある。また、ゲート線駆動信号の遅延時間を検出する回路が表示装置の外部に設けられるため表示装置のコストが増大する。

30

【0010】

このように従来の表示装置では、ゲート線駆動信号の遅延時間が大きくなった場合に、動作マージンを確保しながら誤表示を防止することが困難であった。

【0011】

本発明は、画像表示装置において、ゲート線駆動信号の遅延時間が大きくなった場合でも、動作マージンを確保しつつ誤表示を防止することを第1の目的とし、また、ゲート線駆動回路に制御信号(クロック信号、スタートパルス等)を供給するレベルシフタを画素と一体形成可能にすることで低コスト化を図ることを第2の目的とする。

【課題を解決するための手段】

【0012】

本発明の第1の局面に係る画像表示装置は、複数のゲート線と、前記複数のゲート線に交差する複数のデータ線と、前記複数のゲート線と前記複数のデータ線との交点近傍に形成された複数の画素と、1画素ライン分の表示データを保持するラッチ回路を有し、当該表示データに対応する信号を前記データ線を通して前記複数の画素に供給するソースドライバと、前記複数のゲート線を順次活性化することで前記複数の画素を駆動するゲート線駆動回路と、前記複数のゲート線それぞれの非活性化を検出したときに、検出信号を一定期間活性化させる非活性遷移検出回路とを備え、前記ラッチ回路は、前記検出信号の活性化に応じて、保持する表示データを更新するものである。

40

【0013】

本発明の第2の局面に係る画像表示装置は、複数のゲート線と、前記複数のゲート線に

50

交差する複数のデータ線と、前記複数のゲート線と前記複数のデータ線との交点近傍に形成された複数の画素と、1画素ライン分の表示データを保持するラッチ回路を有し、当該表示データに対応する信号を前記データ線を通して前記複数の画素に供給するソースドライバと、前記複数のゲート線を順次活性化することで前記複数の画素を駆動するゲート線駆動回路と、前記複数のゲート線それぞれの非活性化を検出したときに、検出信号を一定期間活性化させる非活性遷移検出回路と、前記ゲート線駆動回路を駆動するためのクロック信号およびスタートパルス出力するコントローラとを備え、前記コントローラは、前記ラッチ回路が保持する表示データの更新タイミングに対する前記検出信号の活性化タイミングの遅延時間を測定するカウンタと、前記遅延時間に基づいて前記クロック信号および前記スタートパルスの活性化タイミングを制御するタイミングコントローラとを備えるものである。

10

【発明の効果】

【0014】

本発明の第1の局面によれば、ラッチ回路が、複数のゲート線のそれぞれが非活性化したときに活性化する検出信号に応じて保持する表示データを更新するため、ゲート線駆動信号に遅延が生じて、各画素に送られる表示信号の更新はゲート線の非活性化を待って行われる。そのため、ゲート線駆動信号の遅延が大きくなっても、表示信号の誤書き込みを確実に防止することができる。

【0015】

本発明の第2の局面によれば、コントローラが、複数のゲート線のそれぞれが非活性化したときに活性化する検出信号に応じてクロック信号およびスタートパルスの活性化タイミングを制御するため、ゲート線駆動信号に遅延が生じて、その遅延時間を補正してゲート線が非活性化したときに各画素に送られる表示信号が更新されるようにできる。そのため、ゲート線駆動信号の遅延が大きくなっても、表示信号の誤書き込みを確実に防止することができる。

20

【図面の簡単な説明】

【0016】

【図1】本発明の前提技術としての液晶表示装置の概略ブロック図である。

【図2】実施の形態1に係る液晶表示装置の概略ブロック図である。

【図3】実施の形態1に係る液晶表示装置の動作を説明するための信号波形図である。

30

【図4】実施の形態1の第1の変更例に係る液晶表示装置の概略ブロック図である。

【図5】実施の形態1の第2の変更例に係る液晶表示装置の動作を説明するための信号波形図である。

【図6】実施の形態1の第2の変更例に係る液晶表示装置の動作を説明するための信号波形図である。

【図7】ゲート線駆動回路の構成図である。

【図8】ゲート線駆動回路を構成する単位シフトレジスタの回路図である。

【図9】ゲート線駆動回路の動作を示す信号波形図である。

【図10】実施の形態1の第2の変更例に係るダミーゲート線駆動回路の構成図である。

【図11】実施の形態1の第3の変更例に係るダミーゲート線駆動回路の回路図である。

40

【図12】実施の形態1の第3の変更例に係るダミーゲート線駆動回路の動作を示す信号波形図である。

【図13】実施の形態1の第4の変更例に係るダミーゲート線非活性遷移検出回路の構成図である。

【図14】実施の形態1の第4の変更例に係るダミーゲート線非活性遷移検出回路の動作を示す信号波形図である。

【図15】レシオ型インバータの回路図である。

【図16】レシオ型インバータの入出力伝達特性を示す図である。

【図17】実施の形態1の第5の変更例に係るゲート線非活性遷移検出回路の構成を示す図である。

50

【図 18】実施の形態 2 に係るコントローラの概略ブロック図である。

【図 19】実施の形態 2 に係るコントローラの動作を示す信号波形図である。

【図 20】実施の形態 2 に係るコントローラが有するメモリの動作を説明するための図である。

【図 21】実施の形態 3 に係るコントローラの概略ブロック図である。

【図 22】実施の形態 3 に係るコントローラの動作を示す信号波形図である。

【発明を実施するための形態】

【0017】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

10

【0018】

また、各実施の形態に用いられるトランジスタは、絶縁ゲート型電界効果トランジスタである。絶縁ゲート型電界効果トランジスタは、ゲート絶縁膜中の電界により半導体層内のドレイン領域とソース領域との間の電気伝導度が制御される。ドレイン領域およびソース領域が形成される半導体層の材料としては、アモルファスシリコン、微結晶シリコン、ペントセン等の有機半導体あるいは I G Z O (In-Ga-Zn-O) 等の酸化物半導体などを用いることができる。

【0019】

よく知られているように、トランジスタは、それぞれ制御電極（狭義にはゲート（電極））と、一方の電流電極（狭義にはドレイン（電極）またはソース（電極））と、他方の電流電極（狭義にはソース（電極）またはドレイン（電極））とを含む少なくとも 3 つの電極を有する素子である。トランジスタはゲートに所定の電圧を印加することによりドレインとソース間にチャンネルが形成されるスイッチング素子として機能する。トランジスタのドレインとソースは、基本的に同一の構造であり、印加される電圧条件によって互いにその呼称が入れ代わる。例えば、N 型トランジスタであれば、相対的に電位（以下「レベル」とも称する）の高い電極をドレイン、低い電極をソースと呼称する（P 型トランジスタの場合はその逆となる）。

20

【0020】

特に示さない限り、それらのトランジスタは半導体基板上に形成されるものであってもよく、またガラスなどの絶縁性基板上に形成される薄膜トランジスタ（TFT）であってもよい。トランジスタが形成される基板としては、単結晶基板あるいは SOI、ガラス、樹脂などの絶縁性基板であってもよい。

30

【0021】

本発明の表示装置は、単一導電型のトランジスタを用いて構成され、トランジスタとしてエンハンスメント型（ノーマリオフ）とデプレッション型（ノーマリオン）のトランジスタが用いられる。デプレッション型トランジスタはスイッチング素子としてではなく電流駆動素子として用いられ、以下では、特に説明がない限り、トランジスタとはエンハンスメント型トランジスタを意味する。まず、N 型トランジスタは、ゲート・ソース間電圧が当該トランジスタのしきい値電圧よりも高い H（ハイ）レベルになると活性状態（オン状態、導通状態）となり、同じきい値電圧よりも低い L（ロー）レベルで非活性状態（オフ状態、非導通状態）となる。そのため N 型トランジスタを用いた回路においては信号の H レベルが「活性レベル」、L レベルが「非活性レベル」となる。また、N 型トランジスタを用いて構成した回路の各ノードは、充電されて H レベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されて L レベルになることで、活性レベルから非活性レベルへの変化が生じる。

40

【0022】

逆に P 型トランジスタは、ゲート・ソース間電圧がトランジスタのしきい値電圧（ソースを基準として負の値）よりも低い L レベルになると活性状態（オン状態、導通状態）となり、同じきい値電圧よりも高い H レベルで非活性状態（オフ状態、非導通状態）となる

50

。そのため P 型トランジスタを用いた回路においては信号の L レベルが「活性レベル」、H レベルが「非活性レベル」となる。また、P 型トランジスタを用いて構成した回路の各ノードは、充電・放電の関係が N 型トランジスタの場合と逆になり、充電されて L レベルになることで、非活性レベルから活性レベルへの変化が生じ、放電されて H レベルになることで、活性レベルから非活性レベルへの変化が生じる。

【0023】

本明細書では、非活性レベルから活性レベルへの変化を「プルアップ」、活性レベルから非活性レベルへの変化「プルダウン」と定義する。つまり、N 型トランジスタを用いた回路では、L レベルから H レベルへの変化が「プルアップ」、H レベルから L レベルへの変化が「プルダウン」と定義され、P 型トランジスタを用いた回路では、H レベルから L レベルへの変化が「プルアップ」、L レベルから H レベルへの変化が「プルダウン」と定義される。

10

【0024】

また本明細書においては、二つの素子間、二つのノード間あるいは一の素子と一のノードとの間の「接続」とはその他の要素（素子やスイッチなど）を介しての接続であるが実質的に直接接続されているのと等価な状態を含むものとして説明する。例えば二つの素子がスイッチを介して接続している場合であっても、それらが直接接続されているときと同一に機能できるような場合には、その二つの素子が「接続している」と表現する。

【0025】

< 本発明の前提技術 >

20

図 1 は、本発明の前提技術である表示装置の構成を説明するための概略ブロック図であり、表示装置の代表例として液晶表示装置 200 の全体構成を示している。

【0026】

液晶表示装置 200 は、コントローラ 110、レベルシフタ 120、液晶アレイ部 20、ゲート線駆動回路（走査線駆動回路）30、およびソースドライバ 40 を備える。ソースドライバ 40 はさらに、シフトレジスタ 50 と、第 1 および第 2 データラッチ回路 52、54 と、階調電圧生成回路 60 と、デコード回路 70 と、アナログアンプ 80 とから構成されている。システム 100 は例えば携帯機器等のシステムであり、コントローラ 110 に表示信号と各種の制御信号を供給する。

【0027】

30

コントローラ 110 は、システム 100 から受けた表示信号と制御信号に基づいて、ソースドライバ 40 のシフトレジスタ 50 を制御する水平方向スタートパルス STH、第 2 データラッチ回路 54 を制御するラッチ信号 LP、および 6 ビットの表示信号 D0B0 ~ D0B5 を生成する。さらに、ゲート線駆動回路 30 を駆動するための垂直方向スタートパルス sty、互いに相補関係な（活性期間が重ならない）2 つのクロック信号 clk, /clk を生成する。

【0028】

レベルシフタ 120 は、コントローラ 110 から出力された小振幅の垂直方向スタートパルス sty およびクロック信号 clk, /clk を、ゲート線駆動回路 30 を駆動可能なレベルの信号（垂直方向スタートパルス STY およびクロック信号 CLK, /CLK）へと変換するレベル変換回路である。

40

【0029】

液晶アレイ部 20 は、行列状に配設された複数の画素 25 を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線 GL₁, GL₂...（総称「ゲート線 GL」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線 DL₁, DL₂...（総称「データ線 DL」）がそれぞれ設けられる。図 1 には、画素ラインの第 1, 2 行に対応するゲート線 GL₁, GL₂、画素列の第 1, 2 列に対応するデータ線 DL₁, DL₂、並びに、それらの交点に配設された 4 つの画素 25 が代表的に示されている。

【0030】

50

各画素 25 は、対応するデータ線 DL と画素ノード Np との間に設けられる画素スイッチ素子 26 と、画素ノード Np および共通電極ノード NC の間に並列に接続されるキャパシタ 27 および液晶表示素子 28 とを有している。画素ノード Np と共通電極ノード NC との間の電圧差に応じて、液晶表示素子 28 中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子 28 の表示輝度が変化する。これにより、データ線 DL および画素スイッチ素子 26 を介して画素ノード Np へ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノード Np と共通電極ノード NC との間に印加することによって、中間的な輝度を得ることができる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

10

【0031】

ゲート線駆動回路 30 は、ゲート線 $GL_1, GL_2 \dots$ を駆動するゲート線駆動信号 $G_1, G_2 \dots$ (総称「ゲート線駆動信号 G」) を生成する。ゲート線駆動信号 G は、所定の走査周期に基づいて順に活性化され、それによりゲート線 GL が順に選択される。画素スイッチ素子 26 のゲート電極は、それぞれ対応するゲート線 GL と接続される。特定のゲート線 GL が選択されている間は、それに接続する各画素において、画素スイッチ素子 26 が導通状態になり画素ノード Np が対応するデータ線 DL と接続される。そして、画素ノード Np へ伝達された表示電圧がキャパシタ 27 によって保持される。一般的に、画素スイッチ素子 26 は、液晶表示素子 28 と同一の絶縁体基板 (ガラス基板、樹脂基板等) 上に形成される TFT で構成される。

20

【0032】

ソースドライバ 40 は、N ビットのデジタル信号である表示信号 SIG によって段階的に設定される表示電圧を、データ線 DL へ出力するためのものである。ここでは一例として、表示信号 SIG は 6 ビットの信号であり、表示信号ビット D0B0 ~ D0B5 から構成されるものとする。6 ビットの表示信号 SIG に基づくと、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R (Red)、G (Green) および B (Blue) の 3 つの画素により 1 つのカラー表示単位を形成すれば、約 26 万色のカラー表示が可能となる。

【0033】

コントローラ 110 が出力する表示信号 SIG においては、各々の画素 25 の表示輝度に対応する表示信号ビット D0B0 ~ D0B5 がシリアルに生成される。すなわち、各タイミングにおける表示信号ビット D0B0 ~ D0B5 は、液晶アレイ部 20 中のいずれか 1 つの画素 25 における表示輝度を示している。

30

【0034】

またコントローラ 110 は、ソースドライバ 40 のシフトレジスタ 50 に入力される水平方向スタートパルス STH を、表示信号 SIG の 1 水平走査期間の周期で活性化する。シフトレジスタ 50 は、水平方向スタートパルス STH が活性化すると共に、表示信号 SIG の設定が切り換わる周期に同期したタイミングで、第 1 データラッチ回路 52 に対して、表示信号ビット D0B0 ~ D0B5 の取り込みを指示する。第 1 データラッチ回路 52 は、シリアルに生成される表示信号 SIG を順に取り込み、1 つの画素ライン分の表示信号 SIG を保持する。

40

【0035】

第 2 データラッチ回路 54 に入力されるラッチ信号 LP は、第 1 データラッチ回路 52 に 1 つの画素ライン分の表示信号 SIG が取り込まれたタイミングで活性化される。第 2 データラッチ回路 54 はこれにตอบสนองして、そのとき第 1 データラッチ回路 52 に保持されている 1 つの画素ライン分の表示信号 SIG を取り込む。つまり第 2 データラッチ回路 54 は、ラッチ信号 LP の活性化に応じて、保持するデータを更新する。

【0036】

階調電圧生成回路 60 は、高電圧 VDH および低電圧 VDL の間に直列に接続された 63 個の分圧抵抗で構成され、64 段階の階調電圧 V1 ~ V64 をそれぞれ生成する。

50

【 0 0 3 7 】

デコード回路 70 は、第 2 データラッチ回路 54 に保持されている表示信号 S I G をデコードし、当該デコード結果に基づいて各デコード出力ノード $N d_1$, $N d_2$... (総称「デコード出力ノード $N d$ 」) に出力する表示電圧を、階調電圧 $V_1 \sim V_{64}$ のうちから選択して出力する。

【 0 0 3 8 】

その結果、デコード出力ノード $N d$ には、第 2 データラッチ回路 54 に保持された 1 つの画素ライン分の表示信号 S I G に対応した表示電圧 (階調電圧 $V_1 \sim V_{64}$ のうちの 1 つ) が同時に (パラレルに) 出力される。なお、図 1 においては、第 1 列目および第 2 列目のデータ線 $D L_1$, $D L_2$ に対応するデコード出力ノード $N d_1$, $N d_2$ が代表的に示されている。

10

【 0 0 3 9 】

アナログアンプ 80 は、デコード回路 70 からデコード出力ノード $N d_1$, $N d_2$... に出力された各表示電圧に対応したアナログ電圧を電流増幅して表示信号 D_1 , D_2 ... (総称「表示信号 D 」) を生成し、それらをデータ線 $D L_1$, $D L_2$... に出力する。

【 0 0 4 0 】

ソースドライバ 40 が、所定の走査周期に基づいて、一連の表示信号 S I G に対応する表示信号 D を 1 画素ライン分ずつデータ線 $D L$ へ繰り返し出力し、ゲート線駆動回路 30 がその走査周期に同期してゲート線 $G L$ を順に駆動することにより、液晶アレイ部 10 に表示信号 S I G に基づいた画像の表示が成される。

20

【 0 0 4 1 】

図 1 のような表示装置において、その製造コストを低減するために、画素アレイ部 20、コントローラ 110、ソースドライバ 40、レベルシフタ 120 およびゲート線駆動回路 30 を一体形成した表示装置が幾つか製品化されている。しかし、表示装置の高解像度化に伴う表示速度の高速化に伴い、それら全ての回路を一体形成することは逆に高コスト化を招くと共に実用化自体が困難になる。現在の一般的な技術では、液晶アレイ部 20 とゲート線駆動回路 30 のみを一体形成する程度が、表示装置の低コスト化を容易に行える。その中でも特に、液晶アレイ部 20 とゲート線駆動回路 30 とを同一導電型のトランジスタで構成すると、最も容易に低コスト化を図ることができる。

【 0 0 4 2 】

30

本発明においては、液晶アレイ部 20 とゲート線駆動回路 30 に加え、レベルシフタ 120 をも一体形成した上で、表示装置の低コスト化を図る。特に、液晶アレイ部 20、ゲート線駆動回路 30 およびレベルシフタ 120 を同一導電型のトランジスタを用いて構成することにより製造コストを削減できる。同一導電型のトランジスタのみで構成されたレベルシフタとしては、例えば、本発明者の特許出願に係る特開 2005 - 12356 号公報や特開 2009 - 188594 号公報などに開示されたものがある。

【 0 0 4 3 】

液晶アレイ部 20 の画素スイッチ素子 26 として a - S i (非晶質シリコン) T F T を用いると、通常、低コストの表示装置の実現が容易にできる。しかし a - S i T F T はその動作速度が遅いため、レベルシフタ 120 に用いた場合、当該レベルシフタ 120 がゲート線駆動回路 30 に供給する垂直方向スタートパルス S T Y およびクロック信号 C L K , / C L K に遅延が生じる。その結果、ゲート線駆動回路 30 からゲート線 $G L$ に出力されるゲート線駆動信号 G が、ソースドライバ 40 からデータ線 $D L$ に出力される表示信号 D に対して大きく遅延し、次の画素ラインの表示信号が現在選択されている画素ラインに誤書き込みされるといった問題が生じる。本発明は、このレベルシフタ 120 の遅延の問題を解決し、且つ、液晶アレイ部 20、ゲート線駆動回路 30 およびレベルシフタ 120 を一体形成した低コストの表示装置を提供するものである。

40

【 0 0 4 4 】

< 実施の形態 1 >

図 2 は本発明の実施の形態 1 に係る液晶表示装置 200 の概略ブロック図である。当該

50

液晶表示装置 200 は、図 1 の構成に対し、ゲート線駆動回路 30 が接続した反対側のゲート線 GL の端にゲート線非活性遷移検出回路 90 を設けると共に、第 2 データラッチ回路 54 とデコード回路 70 との間に第 3 データラッチ回路 56 を介在させたものである。

【0045】

ゲート線非活性遷移検出回路 90 は、ゲート線 GL 各々の非活性化（ゲート線駆動信号 G 各々の立ち下がり）を検出する機能を有し、ゲート線 GL の各々が非活性化したタイミングで活性化する検出信号 G O F F を出力する。

【0046】

第 3 データラッチ回路 56 は、第 2 データラッチ回路 54 と同じ機能を持つものであり、上記の検出信号 G O F F は当該第 3 データラッチ回路 56 のラッチ信号として用いられる。つまり第 3 データラッチ回路 56 は、検出信号 G O F F が活性化したときに第 2 データラッチ回路 54 に保持されている 1 画素ライン分の表示信号 S I G（表示データ）を取り込んで保持する。よって第 3 データラッチ回路 56 が保持するデータは、検出信号 G O F F の活性化に応じて更新される。

【0047】

図 2 の液晶表示装置 200 の動作を説明する。ここで、レベルシフタ 120 は a - S i T F T を用いて構成されており、垂直方向スタートパルス S T Y およびクロック信号 C L K , / C L K に遅延が生じ、応じてゲート線駆動信号 G にも遅延が生じていると仮定する。

【0048】

図 3 は、図 2 の液晶表示装置 200 の動作を説明するための信号波形図である。図 3 では、連続して活性化する第 k 行目のゲート線 GL_k を駆動するゲート線駆動信号 G_k と、その次行（第 k + 1 行目）のゲート線 GL_{k+1} を駆動するゲート線駆動信号 G_k とを代表的に示している。ゲート線非活性遷移検出回路 90 は、ゲート線駆動信号 G₁ , G₂ ... が非活性化するそれぞれのタイミングで検出信号 G O F F を活性化させる。つまり図 3 のようにゲート線駆動信号 G_k , G_{k+1} が H レベル（活性レベル）から L レベル（非活性レベル）に遷移したタイミングのそれぞれで、検出信号 G O F F が活性化される。

【0049】

第 3 データラッチ回路 56 は、検出信号 G O F F の立ち上がりタイミング、即ちゲート線駆動信号 G_k の立ち下がったタイミングで、第 2 データラッチ回路 54 に保持されている表示信号 S I G を取り込む。ゲート線駆動信号 G_k には遅延が生じているため、ゲート線駆動信号 G_k の立ち下がり時には既に第 2 データラッチ回路 54 には第 k + 1 行目の表示信号 S I G が保持されている。従って、ゲート線駆動信号 G_k の立ち下がったとき、第 k + 1 行目の表示信号 S I G がデコード回路 70 に取り込まれ、デコード回路 70 およびアナログアンプ 80 を通して、第 k + 1 行目の表示信号 D がデータ線 D L に出力されることになる。

【0050】

このように本実施の形態に係る液晶表示装置 200 では、ゲート線駆動信号 G_k が遅延することによって、ゲート線駆動信号 G_k の活性期間（ゲート線 GL_k の選択期間）の間に第 2 データラッチ回路 54 が保持する表示信号 S I G が第 k + 1 行目のものに変化した場合であっても、第 3 データラッチ回路 56 が、ゲート線駆動信号 G_k の立ち下がり時まで第 k 行目の表示信号 S I G を保持してデコード回路 70 に供給する。そのためゲート線 GL_k の選択期間の間、データ線 D L に供給される表示信号 D は第 k 行目のものに維持される。つまりゲート線 GL_k の画素に、第 k + 1 行目の表示信号 D が誤書き込みされることが防止される。

【0051】

ゲート線駆動信号 G_k が遅延を有していても、表示信号 D の誤書き込みの問題が生じないため、a - S i T F T により構成したレベルシフタ 120 を使用することが可能になる。よって a - S i T F T により構成された液晶アレイ部 20 およびゲート線駆動回路 30 と一体的に形成することが容易になり、更なる低コスト化を図ることができる。

10

20

30

40

50

【 0 0 5 2 】

[第 1 の変更例]

上述のように図 2 の構成は、ゲート線駆動信号 G の遅延が比較的大きく、ゲート線駆動信号 G_k の活性期間（ゲート線 GL_k の選択期間）に第 2 データラッチ回路 5 4 が保持する表示信号 S I G が第 $k + 1$ 行目のものに変化する場合に有効である。しかし、ゲート線駆動信号 G の遅延が比較的小さい場合には、ゲート線駆動信号 G_k の立ち下がりの時点で、まだ第 2 データラッチ回路 5 4 が第 k 行目の表示信号 S I G を保持していることが考えられる。その場合、ゲート線駆動信号 G_k の立ち下がり時に第 3 データラッチ回路 5 6 が第 k 行目の表示信号 S I G をラッチし、ゲート線 GL_{k+1} の選択期間に第 k 行目の表示信号 D がデータ線 D L へ供給される不具合が発生する。

10

【 0 0 5 3 】

ゲート線駆動信号 G の遅延が比較的小さい場合には、第 3 データラッチ回路 5 6 を設けずに、図 4 のようにゲート線非活性遷移検出回路 9 0 が出力する検出信号 G O F F を第 2 データラッチ回路 5 4 のラッチ信号として用いる構成とすればよい（言い換えれば、図 2 において第 2 データラッチ回路 5 4 を省略する）。

【 0 0 5 4 】

図 4 の構成によっても、デコード回路 7 0 に供給する表示信号 S I G を変化させるタイミングがゲート線駆動信号 G の遅延に応じて調整され、ゲート線駆動信号 G の遅延に起因する誤表示の問題を解決できる。図 2 の構成に比べると、ゲート線駆動信号 G の遅延が大きいケースに対応できなくなるが、ゲート線駆動信号 G の遅延が比較的小さい場合に上記の不具合が生じない点で有効である。

20

【 0 0 5 5 】

[第 2 の変更例]

図 2 の液晶表示装置 2 0 0 においては、全てのゲート線 G L の各々にゲート線非活性遷移検出回路を設ける必要があるため、必要となる回路面積が大きくなる。ここでは液晶表示装置 2 0 0 の回路面積の増大を抑制できる変更例を示す。

【 0 0 5 6 】

図 5 は実施の形態 1 の第 2 の変更例に係る液晶表示装置 2 0 0 の概略ブロック図である。同図の如く、本変更例の液晶表示装置 2 0 0 は、図 2 の構成とは異なり、ゲート線非活性遷移検出回路 9 0 がゲート線 G L に接続されない。その代わりに当該液晶表示装置 2 0 0 は、2 行のダミーゲート線 G D L 1 , G D L 2 と、当該ダミーゲート線 G D L 1 , G D L 2 に接続する複数のダミー画素 2 5 D と、当該ダミーゲート線 G D L 1 , G D L 2 を駆動するダミーゲート線駆動回路 1 3 0 と、当該ダミーゲート線 G D L 1 , G D L 2 におけるダミーゲート線駆動回路 1 3 0 が接続した反対側の端に接続したゲート線非活性遷移検出回路 1 4 0 とを備える。

30

【 0 0 5 7 】

ダミーゲート線 G D L 1 , G D L 2 は通常のゲート線 G L の各々と同一構造で、同一の幅および長さ形成されている。またダミー画素 2 5 D は、通常の画素 2 5 と同一構造を有しており、ダミーゲート線 G D L 1 , G D L 2 の各々には、通常のゲート線 G L の各々に接続する画素 2 5 と同じ数だけのダミー画素 2 5 D が接続される。その結果、ダミーゲート線 G D L 1 , G D L 2 の各々における信号伝播遅延時間は、通常のゲート線 G L のそれと同一になる。

40

【 0 0 5 8 】

ダミーゲート線駆動回路 1 3 0 は、ダミーゲート線 G D L 1 , G D L 2 をそれぞれ駆動するダミーゲート線駆動信号 G D 1 , G D 2 を生成する。ダミーゲート線非活性遷移検出回路 1 4 0 は、ダミーゲート線 G D L 1 , G D L 2 の非活性化（即ちダミーゲート線駆動信号 G D 1 , G D 2 の立ち下がり）を検出し、そのタイミングで活性化を検出信号 G O F F を第 3 データラッチ回路 5 6 に供給する。

【 0 0 5 9 】

なお図 5 に示す各ダミー画素 2 5 D はデータ線 D L に接続されているが、ダミー画素 2

50

5 Dは画像表示の用途には用いられないため、それらに表示信号 D_1 、 D_2 ...を供給する必要はない。よってダミー画素25Dの画素スイッチ素子(不図示)の電流電極は、必ずしもデータ線DLに接続させる必要はなく、例えば一定電位に固定してもよい。

【0060】

図6は、図5の液晶表示装置200の動作を説明するための信号波形図である。ダミーゲート線駆動回路130は、ゲート線駆動回路30が出力するゲート線駆動信号Gに同期したタイミングで、1水平走査期間(1H)毎にダミーゲート線駆動信号GD1、GD2を交互に活性化させるように動作する(詳細は後述する)。そしてダミーゲート線非活性遷移検出回路140は、ダミーゲート線駆動信号GD1、GD2が非活性化するタイミング(立ち下がりタイミング)で検出信号GOFFを活性化させる。その結果図6のように、検出信号GOFFの波形は、図2の構成の場合(図3)と同様になる。

10

【0061】

従って本変更例においても、図2の液晶表示装置200と同様に、ゲート線駆動信号 G_k の遅延に起因する誤表示が防止される効果が得られる。さらにゲート線GLの全てに接続されるゲート線非活性遷移検出回路90に代えて、2つのダミーゲート線GDL1、GDL2のみに接続するダミーゲート線非活性遷移検出回路140が使用されるため、回路面積の増大が抑制される。

【0062】

この後、ダミーゲート線駆動回路130について説明するが、説明の便宜のため、それに先立ちゲート線駆動回路30についての説明を行う。

20

【0063】

図7は、ゲート線駆動回路30の構成を示す図である。このゲート線駆動回路30は、縦続接続(カスケード接続)した複数の単位シフトレジスタ SR_1 、 SR_2 ... (総称「単位シフトレジスタSR」)で構成される多段のシフトレジスタから成っている。単位シフトレジスタSRは、1つのゲート線GLごとに設けられる。

【0064】

図7のゲート線駆動回路30は、最後段の単位シフトレジスタ SR_n のさらに次段に、ゲート線に接続されないダミーの単位シフトレジスタSRD(以下「ダミー段」)が設けられている。ダミー段SRDも通常の単位シフトレジスタSRと同様の構成を有している。

30

【0065】

各単位シフトレジスタSRは、入力端子IN、出力端子OUT、クロック端子CKおよびリセット端子RSTを有している。図7のように、各単位シフトレジスタSRのクロック端子CKには、レベルシフタ120が出力するクロック信号CLK、/CLKのいずれかが供給される。具体的には、クロック信号CLKは奇数段の単位シフトレジスタ SR_1 、 SR_3 、 SR_5 ...に供給され、クロック信号/CLKは偶数段の単位シフトレジスタ SR_2 、 SR_4 、 SR_6 ...に供給される。

【0066】

図7の例では最後段である第n段目(第nステージ)の単位シフトレジスタ SR_n は偶数段であり、当該単位シフトレジスタ SR_n には、クロック信号/CLKが供給されている。よって、ダミー段SRDは奇数段となり、そのクロック端子CKにはクロック信号CLKが供給される。

40

【0067】

第1段目(第1ステージ)である単位シフトレジスタ SR_1 の入力端子INには、レベルシフタ120が出力する垂直方向スタートパルスSTYが入力される。第2段目以降の各単位シフトレジスタSRでは、入力端子INはその前段の単位シフトレジスタSRの出力端子OUTに接続される。

【0068】

垂直方向スタートパルスSTYは、ゲート線駆動回路30に信号のシフト動作を開始させるための信号であり、表示信号SIGの各フレーム期間の先頭に対応するタイミングで

50

活性化される信号である。但し、本実施の形態では、レベルシフタ 120 により垂直方向スタートパルス S T Y にも遅延が生じている。

【0069】

各単位シフトレジスタ S R のリセット端子 R S T は、その次段の単位シフトレジスタ S R の出力端子 O U T に接続される。最後段の単位シフトレジスタ S R_n のリセット端子 R S T は、ダミー段 S R D の出力端子 O U T に接続される。なお、ダミー段 S R D のリセット端子 R S T には、そのクロック端子 C K に入力されるクロック信号 C L K とは位相の異なるクロック信号 / C L K が入力される。

【0070】

このように各単位シフトレジスタ S R の出力端子 O U T から出力されるゲート線駆動信号 G は、垂直走査パルスとして、それぞれ対応するゲート線 G L へと供給されると共に、自己の次段の入力端子 I N および自己の前段のリセット端子 R S T へと供給される。

10

【0071】

図 8 は、単位シフトレジスタ S R の構成の一例を示す回路図である。なおゲート線駆動回路 30 においては、縦続接続された単位シフトレジスタ S R の構成は実質的にどれも同じであるので、ここでは代表的に、第 k 段目（第 k 行目の画素ラインに対応する）の単位シフトレジスタ S R_k について説明する。また本実施の形態では、単位シフトレジスタ S R_k を構成するトランジスタは、全て同一導電型の電界効果トランジスタであるが、以下に示す実施の形態および変更例においては全て N 型 T F T であるものとする。

20

【0072】

図 8 の如く、単位シフトレジスタ S R_k は、図 7 に示した入力端子 I N、出力端子 O U T、クロック端子 C K およびリセット端子 R S T の他に、低電位側電源電位（ロー側電源電位）V S S が供給される第 1 電源端子 S 1、高電位側電源電位（ハイ側電源電位）V D D が供給される第 2 電源端子 S 2 を有している。実使用では、画素 25 に書き込まれる表示信号 D の電圧を基準にして基準電位が設定され、例えばハイ側電源電位 V D D は 1.7 V、ロー側電源電位 V S S は - 1.2 V などと設定される。

【0073】

図 8 に示すように、単位シフトレジスタ S R_k は、以下のトランジスタ Q 1 ~ Q 7 および容量素子 C 1 により構成されている。トランジスタ Q 1 は、出力端子 O U T とクロック端子 C K との間に接続する。トランジスタ Q 2 は、出力端子 O U T と第 1 電源端子 S 1 との間に接続する。ここでトランジスタ Q 1 のゲートが接続するノードを「ノード N 1」、トランジスタ Q 2 のゲートが接続するノードを「ノード N 2」とそれぞれ定義する。

30

【0074】

容量素子 C 1 は、トランジスタ Q 1 のゲート・ソース間（即ち出力端子 O U T とノード N 1 との間）に接続される。容量素子 C 1 は、出力端子 O U T の充電時にノード N 1 を昇圧するためのものである。トランジスタ Q 1 D のゲート・チャネル間容量が充分大きければそれを容量素子 C 1 に置き換えることができ、その場合は容量素子 C 1 を省略できる。

【0075】

トランジスタ Q 3 は、入力端子 I N とノード N 1 との間に接続し、そのゲートは入力端子 I N に接続される（即ちトランジスタ Q 3 はダイオード接続されている）。トランジスタ Q 4 は、ノード N 1 と第 1 電源端子 S 1 との間に接続し、そのゲートはリセット端子 R S T に接続される。トランジスタ Q 5 は、ノード N 1 と第 1 電源端子 S 1 との間に接続し、そのゲートはノード N 2 に接続される。

40

【0076】

トランジスタ Q 6 は、ノード N 2 と第 2 電源端子 S 2 との間に接続し、そのゲートは第 2 電源端子 S 2 に接続される（即ちトランジスタ Q 6 はダイオード接続されている）。トランジスタ Q 7 は、ノード N 2 と第 1 電源端子 S 1 との間に接続し、そのゲートはノード N 1 に接続する。

【0077】

トランジスタ Q 7 は、トランジスタ Q 6 よりもオン抵抗が充分小さく設定されており、

50

これらトランジスタ Q_6 、 Q_7 は、ノード N_1 を入力端、ノード N_2 を出力端とするレシオ型インバータを構成している。つまりノード N_1 が L レベル（トランジスタ Q_7 がオフ）のときノード N_2 はトランジスタ Q_6 の電流によって H レベルに維持され、ノード N_1 が H レベル（トランジスタ Q_7 がオン）のときは、ノード N_2 はトランジスタ Q_7 により放電されて L レベルになる。

【0078】

次に図8の単位シフトレジスタ SR_k の動作を説明する。説明の簡単のため、単位シフトレジスタ SR_k のクロック端子 CK にはクロック信号 CLK が入力されているものとして説明する（図7の奇数段の単位シフトレジスタ SR がこれに該当する）。

【0079】

初期状態として、ノード N_1 が L レベル（ V_{SS} ）、ノード N_2 が H レベル（ $V_{DD} - V_{th}$ ）の状態を仮定する（この状態を「リセット状態」と称す）。リセット状態では、トランジスタ Q_1 がオフ、トランジスタ Q_2 がオンであるので、クロック信号 CLK のレベルに関係なく、出力端子 OUT （ゲート線駆動信号 G_k ）は L レベルである。即ち、ゲート線 GL_k は非選択状態にある。

【0080】

その状態から、前段のゲート線駆動信号 G_{k-1} が H レベル（ V_{DD} ）になると、トランジスタ Q_3 がオンになりノード N_1 を充電する。このときトランジスタ Q_5 もオンしているが、トランジスタ Q_3 はトランジスタ Q_5 よりもオン抵抗が充分低く設定されており、ノード N_1 は H レベルになる。

【0081】

するとトランジスタ Q_7 がオンになり、ノード N_2 は L レベルになる。応じてトランジスタ Q_5 はオフになり、ノード N_1 の H レベル電位は $V_{DD} - V_{th}$ になる。このようにノード N_1 が H レベル、ノード N_2 が L レベルの状態（この状態を「セット状態」称す）では、トランジスタ Q_1 がオン、トランジスタ Q_2 がオフになる。

【0082】

その後、前段のゲート線駆動信号 G_{k-1} は L レベルに戻るとトランジスタ Q_3 がオフになる。しかしノード N_1 はフローティング状態で H レベルに維持されるので、単位シフトレジスタ SR_k のセット状態はその後にも維持される。

【0083】

この状態で、クロック信号 CLK が H レベルになると、そのレベル上昇がオン状態のトランジスタ Q_1 を通して出力端子 OUT に伝達され、ゲート線駆動信号 G_k のレベルが上昇する。このとき容量素子 C_1 およびトランジスタ Q_1 のゲート・チャネル間容量を介するによる容量結合によりノード N_1 が昇圧される。その結果トランジスタ Q_1 は非飽和領域で動作し、ゲート線駆動信号 G_k の H レベル電位はクロック信号 CLK と同じ V_{DD} になる。

【0084】

このようにゲート線駆動信号 G_k が H レベルになることで、ゲート線 GL_k は選択状態になる。それと共に、次段である単位シフトレジスタ SR_{k+1} がセット状態になる。

【0085】

クロック信号 CLK が L レベルに戻ると、オン状態のトランジスタ Q_1 を通して出力端子 OUT が放電され、ゲート線駆動信号 G_k は L レベルになる。これによりゲート線 GL_k は非選択状態に戻る。ゲート線駆動信号 G_k は出力端子 OUT において、クロック信号 CLK の立ち下がりにほぼ追従して L レベルになる。つまりレベルシフタ120の信号伝播遅延時間およびゲート線 GL の放電時の時定数が、ゲート線駆動信号 G の立ち下がり遅延時間の主要素になっている。

【0086】

続いてクロック信号 CLK が H レベルになると、次段のゲート線駆動信号 G_{k+1} が H レベルになり、トランジスタ Q_4 がオンし、ノード N_1 は放電されて L レベルになる。応じてトランジスタ Q_7 がオフになり、ノード N_2 は H レベルになる。即ち、単位シフト

10

20

30

40

50

レジスタ $S R_k$ はリセット状態に戻る。

【 0 0 8 7 】

リセット状態ではトランジスタ Q_1 がオフ、トランジスタ Q_2 がオンであるので、ゲート線駆動信号 G_k は低インピーダンスで L レベルに維持される。なお、トランジスタ Q_5 は、リセット状態のときにオンしてノード N_1 を低インピーダンスで L レベルに維持する。これにより、リセット状態にある単位シフトレジスタ $S R_k$ の誤動作が防止される。

【 0 0 8 8 】

以上の動作をまとめると、図 8 の構成の単位シフトレジスタ $S R$ は、入力端子 $I N$ の信号が活性化されない期間はリセット状態であり、その間はトランジスタ Q_1 がオフ、トランジスタ Q_2 がオンするため、ゲート線駆動信号 G は低インピーダンスで L レベル (V_{SS}) に維持される。そして入力端子 $I N$ の信号が活性化されると、単位シフトレジスタ $S R$ はセット状態になり、トランジスタ Q_1 がオン、トランジスタ Q_2 がオフになる。その状態でクロック端子 $C K$ のクロック信号が活性化されると、ゲート線駆動信号 G が活性化される。その後、リセット端子 $R S T$ の信号が活性化すると、単位シフトレジスタ $S R$ はリセット状態に戻り、トランジスタ Q_1 がオフ、トランジスタ Q_2 がオンになるため、ゲート線駆動信号 G は低インピーダンスで L レベル (V_{SS}) に維持される。

【 0 0 8 9 】

このように動作する複数の単位シフトレジスタ $S R$ を図 7 の如く縦続接続してゲート線駆動回路 30 を構成すると、図 9 に示すように、第 1 段目の単位シフトレジスタ $S R_1$ に入力される垂直方向スタートパルス $S T Y$ の活性化を切っ掛けにして、クロック信号 $C L K$, / $C L K$ に同期したタイミングで、ゲート線駆動信号 G_1 , G_2 , $G_2 \dots$ がこの順に活性化される。これにより、ゲート線 $G L_1$, $G L_2$, $G L_3 \dots$ は、所定の走査周期で順に選択されることになる。

【 0 0 9 0 】

なお、ここではゲート線駆動回路 30 のシフトレジスタを 2 相のクロック信号により駆動させる例を示したが、3 相以上の多相クロック信号を用いても動作させることも可能である。

【 0 0 9 1 】

図 10 は、ダミーゲート線駆動回路 130 の構成を示す図である。ここではゲート線駆動回路 30 と同様に 2 相のクロック信号 $C L K$, / $C L K$ により駆動される構成例を示す。同図の如く、ダミーゲート線駆動回路 130 は、ダミーゲート線 $G D L_1$ を駆動する第 1 駆動回路 130 a と、ダミーゲート線 $G D L_2$ を駆動する第 2 駆動回路 130 b とを備えている。

【 0 0 9 2 】

なおダミーゲート線非活性遷移検出回路 140 は、ダミーゲート線駆動信号 $G D_1$ の立ち下がりを検出し、そのタイミングで検出信号 $G O F F$ を活性化させる第 1 検出回路 140 a と、ダミーゲート線駆動信号 $G D_2$ の立ち下がりを検出し、そのタイミングで検出信号 $G O F F$ を活性化させる第 2 検出回路 140 b とから構成される。これら第 1 および第 2 検出回路 140 a , 140 b の構成については後に説明する。

【 0 0 9 3 】

第 1 駆動回路 130 a は、ダミーゲート線 $G D L_1$ に接続した出力端子 $O U T$ から、ダミーゲート線駆動信号 $G D_1$ を出力するものであり、以下のトランジスタ $Q_1 D$, $Q_3 D$, $Q_4 D$ および容量素子 $C_1 D$ から構成される。

【 0 0 9 4 】

トランジスタ $Q_1 D$ は、第 1 クロック端子 $C K_1$ と出力端子 $O U T D$ との間に接続する。トランジスタ $Q_1 D$ のゲートが接続するノードを「ノード $N_1 D$ 」と定義すると、容量素子 $C_1 D$ は、ノード $N_1 D$ と出力端子 $O U T D$ との間に接続される。この容量素子 $C_1 D$ は、出力端子 $O U T D$ の充電時にノード $N_1 D$ を昇圧するためのものである。トランジスタ $Q_1 D$ のゲート・チャネル間容量が充分大きければそれを容量素子 $C_1 D$ に置き換えることができ、その場合は容量素子 $C_1 D$ を省略できる。

10

20

30

40

50

【 0 0 9 5 】

トランジスタQ 3 Dは、第2クロック端子C K 2とノードN 1 Dとの間に接続し、そのゲートは第2クロック端子C K 2に接続される。トランジスタQ 4 Dは、ロー側電源電位V S Sが供給される第1電源端子S 1とノードN 1 Dとの間に接続し、そのゲートは第1電源端子S 1に接続される。つまりトランジスタQ 3 DおよびトランジスタQ 4 Dは、それぞれダイオード接続される。またトランジスタQ 4 Dは常にオフ状態に維持されることになる。

【 0 0 9 6 】

トランジスタQ 1 D, Q 3 Dおよび容量素子C 1 Dは、ゲート線駆動回路3 0の単位シフトレジスタS RのトランジスタQ 1, Q 3および容量素子C 1とそれぞれ同一寸法のも

10

【 0 0 9 7 】

第1駆動回路1 3 0 aと第2駆動回路1 3 0 bは、共に同じ回路構成であるが、第1および第2クロック端子C K 1, C K 2に入力されるクロック信号が逆になる。即ち、第1駆動回路1 3 0 aでは第1クロック端子C K 1にクロック信号C L K、第2クロック端子C K 2にクロック信号/C L Kが、それぞれ入力されるのに対し、第2駆動回路1 3 0 bでは第1クロック端子C K 1にクロック信号/C L K、第2クロック端子C K 2にクロック信号C L Kがそれぞれ入力される。

【 0 0 9 8 】

20

第1駆動回路1 3 0 aの動作を説明する。クロック信号/C L KがHレベル(V D D)になると、トランジスタQ 3 Dがオンし、ノードN 1 Dが充電されてHレベル(V D D - V t h)になるため、トランジスタQ 1 Dがオンになる。その後クロック信号/C L KはLレベル(V S S)になるが、トランジスタQ 3 DはオフするためノードN 1 Dの電荷はノードN 1 Dの寄生容量に保持される。よってノードN 1 DはHレベル(V D D - V t h)に維持され、トランジスタQ 1 Dのオンも維持される。

【 0 0 9 9 】

続いてクロック信号C L Kが活性化されると、トランジスタQ 1 Dを通して出力端子O U T Dが充電され、ダミーゲート線駆動信号G D 1がHレベルになる。このとき容量素子C 1 DおよびトランジスタQ 1のゲート・チャネル間容量を介する結合により、ノードN 1 Dが昇圧され、トランジスタQ 1 Dは非飽和領域で動作する。その結果、ダミーゲート線駆動信号G D 1のHレベル電位は、クロック信号C L KのHレベル電位と同じV D Dとなる。

30

【 0 1 0 0 】

その後、クロック信号C L KがLレベルになると、出力端子O U T Dはオン状態のトランジスタQ 1 Dによって放電され、ダミーゲート線駆動信号G D 1がLレベルになる。このとき容量素子C 1 DおよびトランジスタQ 1のゲート・チャネル間容量を介する結合により、ノードN 1 Dは降圧され、昇圧される前の電位V D D - V t hに戻る。

【 0 1 0 1 】

以降、第1駆動回路1 3 0 aは、クロック信号C L K, /C L Kのレベル変化に応じて上記の動作を繰り返す。つまりダミーゲート線駆動信号G D 1は、クロック信号C L Kの活性化に追従して活性化し、クロック信号C L Kの非活性化に追従して非活性化する繰り返しパルス信号となる。

40

【 0 1 0 2 】

上記のように第1駆動回路1 3 0 aのトランジスタQ 1 D, Q 3 Dおよび容量素子C 1 Dは、ゲート線駆動回路3 0の単位シフトレジスタS RのトランジスタQ 1, Q 3および容量素子C 1とそれぞれ同一寸法であり、ノードN 1 Dは単位シフトレジスタS RのノードN 1と同じ大きさの寄生容量を持っている。なお且つ、ダミーゲート線G D L 1における信号伝播遅延時間は、通常のゲート線G Lのそれと同一に設定されている。従って、ダミーゲート線駆動信号G D 1は、クロック信号C L Kにより駆動される単位シフトレジ

50

タSRが出力するゲート線駆動信号Gと活性化および非活性化のタイミングが一致することになる。つまり、ダミーゲート線駆動信号GD1は、奇数行目のゲート線駆動信号Gの何れかが活性化するタイミングで活性化し、それが非活性化するのと同時に非活性化する。

【0103】

反対に、第2駆動回路130bが出力するダミーゲート線駆動信号GD2は、クロック信号/CLKの活性化に追従して活性化し、クロック信号/CLKの非活性化に追従して非活性化する繰り返しパルス信号となる。

【0104】

また第2駆動回路130bおよびダミーゲート線GDL2における寄生容量や信号伝播遅延時間なども、ダミーゲート線駆動回路130の単位シフトレジスタSRおよびゲート線駆動信号Gと同じに設定されている。従って、ダミーゲート線駆動信号GD2は、クロック信号/CLKで駆動される単位シフトレジスタSRが出力するゲート線駆動信号Gと活性化および非活性化のタイミングが一致することになる。つまり、ダミーゲート線駆動信号GD2は、偶数行目のゲート線駆動信号Gの何れかが活性化するタイミングで活性化し、それが非活性化するのと同時に非活性化する。

10

【0105】

一方、ダミーゲート線非活性遷移検出回路140は、ダミーゲート線駆動信号GD1, GD2の非活性化タイミング(立ち下がりタイミング)で検出信号GOFFを活性化させる。その結果、図6に示したように、検出信号GOFFの波形は、図2の構成の場合(図3)と同様になる。

20

【0106】

[第3の変更例]

第2の変更例では、ダミーゲート線駆動信号GD1, GD2がゲート線駆動信号Gと同期するように、第1および第2駆動回路130a, 130b(図10)のトランジスタQ4Dの寸法を調整し、ノードN1Dの寄生容量とゲート線駆動回路30の単位シフトレジスタSR(図8)のノードN1の寄生容量とが等価となるように設定した。しかし、図10のダミーゲート線駆動信号GD1, GD2は、単位シフトレジスタSRとは異なった回路構成であるため、ノードN1Dの寄生容量がノードN1のそれに正確に一致するようにトランジスタQ4Dの寸法を設定するのは簡単ではない。本変更例では、この問題を伴わない構成のダミーゲート線駆動回路130を示す。

30

【0107】

図11は、実施の形態1の第3の変更例に係るダミーゲート線駆動回路130の構成を示す図である。このダミーゲート線駆動回路130は、1水平走査期間(1H)ずつ位相がずれた3相のクロック信号CLK1~CLK3を用いて駆動される。ここで、クロック信号CLK1~CLK3は、CLK1, CLK2, CLK3, CLK1, CLK2...の順に活性化されるものとする。

【0108】

当該ダミーゲート線駆動回路130は、クロック信号CLK1に追従して活性化するダミーゲート線駆動信号GD1を生成する第1駆動回路130aと、クロック信号CLK2に追従して活性化するダミーゲート線駆動信号GD2を生成する第2駆動回路130bと、クロック信号CLK3に追従して活性化するダミーゲート線駆動信号GD3を生成する第3駆動回路130cとから成る。

40

【0109】

図示は省略するが、第3駆動回路130cが生成するダミーゲート線駆動信号GD3は、通常のゲート線駆動信号Gと同じ信号伝播遅延時間を有するダミーゲート線GDL3に出力される。またダミーゲート線非活性遷移検出回路140は、ダミーゲート線GDL3における第3駆動回路130cが接続した反対側の端に接続した第3検出回路140cを備え、当該第3検出回路140cは、ダミーゲート線駆動信号GD3の立ち下がりを検出し、そのタイミングで検出信号GOFFを活性化させる。つまり本変更例のダミーゲート

50

線非活性遷移検出回路 140 は、ダミーゲート線駆動信号 G D 1 , G D 2 , G B 3 それぞれの立ち下がりタイミングで、検出信号 G O F F を活性化させるように動作する。

【 0 1 1 0 】

本変更例においては、ゲート線駆動回路 30 もダミーゲート線駆動回路 130 と同じクロック信号 C L K 1 ~ C L K 3 を用いて駆動されることが好ましい。ゲート線駆動回路 30 を 2 相のクロック信号 C L K , / C L K で駆動する場合には、ダミーゲート線駆動回路 130 を駆動させるクロック信号 C L K 1 ~ C L K 3 の活性期間とクロック信号 C L K , / C L K の活性期間とが一致するように、位相およびパルス幅を合わせる必要がある。またゲート線駆動回路 30 とダミーゲート線駆動回路 130 とを異なるクロック信号で駆動するのは、構成が複雑化してコスト上昇を招く点でも好ましくない。

10

【 0 1 1 1 】

図 11 に示すように、第 1 ~ 第 3 駆動回路 130 a , 130 b , 130 c は、それぞれゲート線駆動回路 30 の単位シフトレジスタ S R (図 8) と同じ構成の回路であり (図 11 において、図 8 に対応する要素には同一符号に添え字「 D 」を付してある)、それらが縦続接続して 3 段のシフトレジスタを構成している。第 1 ~ 第 3 駆動回路 130 a , 130 b , 130 c において、トランジスタ Q 1 D ~ Q 7 D および容量素子 C 1 D は、それぞれ単位シフトレジスタ S R のトランジスタ Q 1 ~ Q 7 および容量素子 C 1 と同一寸法のものが用いられている。その結果、第 1 ~ 第 3 駆動回路 130 a , 130 b , 130 c のノード N 1 D の寄生容量は、単位シフトレジスタ S R のノード N 1 のそれと等しくなる。

20

【 0 1 1 2 】

第 1 段目である第 1 駆動回路 130 a の入力端子 I N には、この 3 段のシフトレジスタのスタートパルスとしてクロック信号 C L K 1 ~ C L K 3 の何れかが入力され、それに応じて各段のクロック端子 C K に供給するクロック信号が決定する。図 11 のように第 1 駆動回路 130 a の入力端子 I N にクロック信号 C L K 3 を入力する場合、その次に活性化するクロック信号 C L K 1 を当該第 1 駆動回路 130 a の入力端子 I N に入力し、クロック信号 C L K 1 の次に活性化するクロック信号 C L K 2 を第 2 段目である第 2 駆動回路 130 b のクロック端子 C K に入力し、クロック信号 C L K 2 の次に活性化するクロック信号 C L K 3 を第 3 段目である第 3 駆動回路 130 c のクロック端子 C K に入力する。

【 0 1 1 3 】

図 11 のダミーゲート線駆動回路 130 の動作を説明する。まず第 1 駆動回路 130 a は、クロック信号 C L K 3 が H レベルになるとセット状態になり、その後クロック信号 C L K 1 が H レベルになる間、ダミーゲート線駆動信号 G D 1 が H レベルになる。応じて第 2 駆動回路 130 b がセット状態になり、その後クロック信号 C L K 2 が H レベルになる間、ダミーゲート線駆動信号 G D 2 が H レベルになる。応じて第 3 駆動回路 130 c がセット状態になり、その後クロック信号 C L K 3 が H レベルになる間、ダミーゲート線駆動信号 G D 3 が H レベルになる。またクロック信号 C L K 3 が H レベルになったとき、再び第 1 駆動回路 130 a がセット状態になり、以降、この動作が繰り返される。

30

【 0 1 1 4 】

従って、ダミーゲート線駆動信号 G D 1 , G D 2 , G D 3 は、図 12 の如く、それぞれクロック信号 C L K 1 , C L K 2 , C L K 3 の活性化に追従して活性化する繰り返しパルス信号となる。

40

【 0 1 1 5 】

また上記のように、第 1 ~ 第 3 駆動回路 130 a , 130 b , 130 c の寄生容量は、ダミーゲート線駆動回路 130 の単位シフトレジスタ S R と等しく設定されており、またダミーゲート線 G D L 1 ~ G D L 3 における信号伝播遅延時間は、通常のゲート線駆動信号 G と同じになるように設定されている。従って、ダミーゲート線駆動信号 G D 1 , G D 2 , G D 3 は、それぞれクロック信号 C L K 1 ~ C L K 3 により駆動される単位シフトレジスタ S R が出力するゲート線駆動信号 G と、活性化および非活性化のタイミングが一致することになる。

【 0 1 1 6 】

50

一方、ダミーゲート線非活性遷移検出回路 140 は、ダミーゲート線駆動信号 G D 1 , G D 2 , G D 3 が非活性化するタイミング（立ち下がりタイミング）で検出信号 G O F F を活性化させる。その結果、検出信号 G O F F の波形は、図 2 の構成の場合（図 3 ）と同様になる。

【 0 1 1 7 】

従って本変更例においても、図 2 の液晶表示装置 200 と同様に、ゲート線駆動信号 G_k の遅延に起因する誤表示が防止される効果が得られる。またゲート線 G L の全てに接続されるゲート線非活性遷移検出回路 90 に代えて、3 つのダミーゲート線駆動信号 G D 1 ~ G D 3 のみに接続するダミーゲート線非活性遷移検出回路 140 が使用されるため、回路面積の増大が抑制される。

10

【 0 1 1 8 】

さらに、ダミーゲート線駆動回路 130 を構成する第 1 ~ 第 3 駆動回路 130 a , 130 b , 130 c として、ダミーゲート線駆動回路 130 の単位シフトレジスタ S R と同じ構成の回路を用いることで、両者の寄生容量を等価することが容易になる。従って、ダミーゲート線駆動信号 G D 1 ~ G D 3 をゲート線駆動信号 G により正確に同期させることが可能になる。

【 0 1 1 9 】

[第 4 の変更例]

ここでは、ダミーゲート線非活性遷移検出回路 140 の具体的構成例を示す。図 13 は、実施の形態 1 の第 4 の変更例に係るダミーゲート線非活性遷移検出回路 140 の構成図である。ここでは図 10 のように、ダミーゲート線非活性遷移検出回路 140 が、ダミーゲート線駆動信号 G D 1 の立ち下がりを検出する第 1 検出回路 140 a と、ダミーゲート線駆動信号 G D 2 の立ち下がりを検出する第 2 検出回路 140 b とから成る例を示す。図 13 では、第 1 検出回路 140 a の回路のみを示しているが、第 2 検出回路 140 b もそれと同じ回路構成である。また、第 1 検出回路 140 a と第 2 検出回路 140 b それぞれの出力ノード（トランジスタ Q 101 , Q 102 間の接続ノード）は共に、検出信号 G O F F を出力するための出力端子 G O U T に接続される。

20

【 0 1 2 0 】

ダミーゲート線非活性遷移検出回路 140 は、出力回路部 201、非活性遷移検出回路部 202、プルダウン回路部 203、遅延回路部 204 およびフローティング防止回路部 205 から構成される。このうちフローティング防止回路部 205 は、第 1 および第 2 検出回路 140 a , 140 b が共通して接続する出力端子 O U T がフローティング状態になることを防止するものであるため、第 1 および第 2 検出回路 140 a , 140 b で共有される。

30

【 0 1 2 1 】

出力回路部 201 およびフローティング防止回路部 205 には、検出信号 G O F F の出力先であるソースドライバ 40 と共通の電源（ハイ側電源電位を V C C、ロー側電源電位を G N D とする）が供給される。それ以外の非活性遷移検出回路部 202、プルダウン回路部 203 および遅延回路部 204 には、ゲート線駆動回路 30 と共通の電源（ハイ側電源電位 V D D、ロー側電源電位 V S S）が供給される。

40

【 0 1 2 2 】

出力回路部 201 は、電位 G N D が供給される第 3 電源端子 S 3 と出力端子 G O U T との間に接続するトランジスタ Q 102 と、電位 V C C が供給される第 4 電源端子 S 4 と出力端子 G O U T との間に接続するトランジスタ Q 101 とから成る。トランジスタ Q 101 のゲートが接続するノードを「ノード N 2 1」、トランジスタ Q 102 のゲートが接続するノードを「ノード N 2 2」と定義する。トランジスタ Q 101 は、ノード N 2 1 の信号（第 1 信号）の活性化に応じて、出力端子 G O U T を充電して検出信号 G O F F を H レベルにするよう機能する。トランジスタ Q 102 は、ノード N 2 2 の信号（第 2 信号）の活性化に応じて、出力端子 G O U T を放電して検出信号 G O F F を L レベルにするよう機能する。

50

【 0 1 2 3 】

非活性遷移検出回路部 2 0 2 は、ダミーゲート線駆動信号 G D 1 が L レベルに変化したことを検出し、それに応じてノード N 2 1 の充電を行うものであり、以下のトランジスタ Q 1 0 3 ~ Q 1 0 7 および容量素子 C 1 0 1 により構成される。

【 0 1 2 4 】

トランジスタ Q 1 0 3 は、電位 V D D が供給される第 2 電源端子 S 2 とノード N 2 1 との間に接続する。トランジスタ Q 1 0 4 は、電位 V S S が供給される第 1 電源端子 S 1 とノード N 2 1 との間に接続し、そのゲートは入力端子 G I N に接続する。第 1 検出回路 1 4 0 a の入力端子 G I N には、ダミーゲート線駆動信号 G D 1 が入力される（つまり入力端子 G I N はダミーゲート線 G D L 1 に接続されている）。トランジスタ Q 1 0 4 はトランジスタ Q 1 0 3 よりもオン抵抗が充分小さく設定されており、これらトランジスタ Q 1 0 3 , Q 1 0 4 でレシオ型インバータを構成している。

10

【 0 1 2 5 】

トランジスタ Q 1 0 3 のゲートが接続するノードを「ノード N 2 3」と定義すると、トランジスタ Q 1 0 5 は、第 2 電源端子 S 2 とノード N 2 3 との間に接続し、そのゲートは入力端子 G I N に接続する。容量素子 C 1 0 1 は、ノード N 2 1 とノード N 2 3 との間に接続される。トランジスタ Q 1 0 6 は、ノード N 2 1 と第 1 電源端子 S 1 との間に接続し、トランジスタ Q 1 0 7 は、ノード N 2 3 と第 1 電源端子 S 1 との間に接続する。これらトランジスタ Q 1 0 6 , Q 1 0 7 のゲートは互いに接続しており、当該ゲートが接続するノードを「ノード N 2 4」と定義する。

20

【 0 1 2 6 】

ブルダウン回路部 2 0 3 は、非活性遷移検出回路部 2 0 2 がノード N 2 1 を H レベルにしてから一定期間を経過した後に（この期間の長さは遅延回路部 2 0 4 によって規定される）、非活性遷移検出回路部 2 0 2 にノード N 2 1 の放電を行わせて、ノード N 2 1 を L レベルするものである。ブルダウン回路部 2 0 3 は、ノード N 2 2 に接続したゲートを有し第 2 電源端子 S 2 とノード N 2 4 との間に接続するトランジスタ Q 1 0 8、および、入力端子 G I N に接続したゲートを有しノード N 2 4 と第 1 電源端子 S 1 との間に接続するトランジスタ Q 1 0 9 により構成されている。

【 0 1 2 7 】

遅延回路部 2 0 4 は、ノード N 2 1 の信号（第 1 信号）を一定期間だけ遅延した信号（第 2 信号）をノード N 2 2 に出力するものであり、その一定期間の長さによって検出信号 G O F F のパルス幅が決まる。遅延回路部 2 0 4 は、以下のトランジスタ Q 1 1 0 ~ Q 1 1 8 および容量素子 C 1 0 2 により構成される。

30

【 0 1 2 8 】

トランジスタ Q 1 1 0 は、第 2 電源端子 S 2 とノード N 2 2 との間に接続し、トランジスタ Q 1 1 1 はノード N 2 2 と第 1 電源端子 S 1 との間に接続する。トランジスタ Q 1 1 0 のゲートが接続するノードを「ノード N 2 5」、トランジスタ Q 1 1 1 のゲートが接続するノードを「ノード N 2 6」と定義する。トランジスタ Q 1 1 2 は、ノード N 2 1 とノード N 2 5 との間に接続し、そのゲートは第 2 電源端子 S 2 に接続する。容量素子 C 1 0 2 は、ノード N 2 2 とノード N 2 5 との間に接続される。この容量素子 C 1 0 2 は、トランジスタ Q 1 1 0 がノード N 2 2 を充電する際にトランジスタ Q 1 1 0 のゲート（ノード N 2 5）を昇圧するよう機能する。トランジスタ Q 1 1 0 , Q 1 1 1 , Q 1 1 2 および容量素子 C 1 0 2 により、ブートストラップインバータが構成される。

40

【 0 1 2 9 】

トランジスタ Q 1 1 3 は第 2 電源端子 S 2 とノード N 2 6 との間に接続し、そのゲートは第 2 電源端子 S 2 に接続する。トランジスタ Q 1 1 4 は、ノード N 2 6 と第 1 電源端子 S 1 との間に接続する。トランジスタ Q 1 1 4 のゲートが接続するノードを「ノード N 2 7」と定義する。トランジスタ Q 1 1 4 はトランジスタ Q 1 1 3 よりもオン抵抗が充分小さく設定されており、これらトランジスタ Q 1 1 3 , Q 1 1 4 により、ノード N 2 7 を入力端、ノード N 2 6 を出力端とするレシオ型インバータを構成している。

50

【0130】

トランジスタQ115は第2電源端子S2とノードN27との間に接続し、そのゲートはノードN21に接続する。トランジスタQ116は、ノードN27と第1電源端子S1との間に接続する。トランジスタQ116のゲートが接続するノードを「ノードN28」と定義する。これらトランジスタQ115、Q116は、ノードN28を入力端、ノードN27を出力端とするプッシュプル型のインバータを構成している。

【0131】

トランジスタQ117は第2電源端子S2とノードN28との間に接続し、そのゲートは第2電源端子S2に接続する。トランジスタQ118は、ノードN28と第1電源端子S1との間に接続し、そのゲートはノードN21に接続される。トランジスタQ118はトランジスタQ117よりもオン抵抗が充分小さく設定されており、これらトランジスタQ117、Q118により、ノードN21を入力端、ノードN28を出力端とするレシオ型インバータを構成している。

10

【0132】

フローティング防止回路部205は、検出信号G OFFがLレベルに設定されたときに、出力端子G OUTを低インピーダンスでLレベル(GND)にして検出信号G OFFがフローティング状態になることを防止するものである。フローティング防止回路部205は、以下のトランジスタQ119～Q121により構成される。

【0133】

トランジスタQ119は、出力端子G OUTと第3電源端子S3との間に接続する。トランジスタQ119のゲートが接続するノードを「ノードN29」と定義すると、レベルシフタ120は、第4電源端子S4とノードN29との間に接続し、そのゲートは第4電源端子S4に接続する。トランジスタQ120は、ノードN29と第3電源端子S3との間に接続し、そのゲートは出力端子O UTに接続される。トランジスタQ121はトランジスタQ120よりもオン抵抗が充分小さく設定されており、これらトランジスタQ120、Q121により、出力端子G OUTを入力端、ノードN29を出力端とするレシオ型インバータを構成している。

20

【0134】

図14は、図13のダミーゲート線非活性遷移検出回路140の動作を示す信号波形図である。以下、図14に基づき、ダミーゲート線非活性遷移検出回路140の動作を説明する。

30

【0135】

まず、時刻t0以前におけるダミーゲート線非活性遷移検出回路140の状態を説明する。時刻t0以前ではダミーゲート線駆動信号GD1がHレベルであるので、プルダウン回路部203のトランジスタQ109はオンしている。また後述されるように、このときノードN22はLレベルとなっており、トランジスタQ108はオフしている。従って、ノードN24はLレベル(VSS)である。

【0136】

よって非活性遷移検出回路部202のトランジスタQ107、Q106はオフしている。またトランジスタQ105がオンしているため、ノードN23はHレベル(VDD-Vth)になっており、よってトランジスタQ103はオンしている。しかし、それよりもオン抵抗の小さいトランジスタQ104もオンしていたため、ノードN21は、トランジスタQ103、Q104のオン抵抗比で決まる電位(VSS)のLレベルになる。

40

【0137】

ノードN21がLレベルなので、遅延回路部204のトランジスタQ118はオフしており、ノードN28はHレベル(VDD-Vth)になっている。そのためトランジスタQ116はオンしており、またトランジスタQ115はオフしているため、ノードN27はLレベル(VSS)である。よってトランジスタQ114がオフしており、ノードN26はHレベル(VDD-Vth)になっている。従ってトランジスタQ111はオンしている。またノードN25はトランジスタQ112により放電されてLレベル(VSS)

50

になっている。よってトランジスタQ 1 1 0はオフしている。従って、ノードN 2 2はLレベル(V S S)になる。

【0 1 3 8】

このように時刻t 0以前では、ノードN 2 1, N 2 1は共にLレベルであり、出力回路部2 0 1のトランジスタQ 1 0 1, Q 1 0 2はオフしている。但し後述するように、このときの検出信号G O F FはLレベルに設定されている。そのためフローティング防止回路2 0 5のトランジスタQ 1 2 1はオフであり、ノードN 2 9がHレベルになっているので、トランジスタQ 1 1 9がオンして出力端子G O U T(検出信号G O F F)を低インピーダンスでLレベルに固定している。

【0 1 3 9】

そして時刻t 0で、ダミーゲート線駆動信号G D 1がLレベルになると、ブルダウン回路部2 0 3のトランジスタQ 1 0 9がオフするが、この時点ではトランジスタQ 1 0 8はオフしているためノードN 2 4はLレベルから変化しない。よって非活性遷移検出回路部2 0 2のトランジスタQ 1 0 6, Q 1 0 7はオフを維持する。

【0 1 4 0】

非活性遷移検出回路部2 0 2では、トランジスタQ 1 0 4, Q 1 0 5がオフになる。このときトランジスタQ 1 0 7はオフに維持されるため、ノードN 2 3はHレベルのままであり、トランジスタQ 1 0 3はオンを維持している。そのためノードN 2 1は、トランジスタQ 1 0 3により充電されてHレベルになる。このときのノードN 2 1のレベル上昇に応じて、容量素子C 1はノードN 2 3を昇圧する。その結果、トランジスタQ 1 0 3は非飽和領域で動作し、ノードN 2 1は高速に充電され、そのHレベル電位はV D Dまで上昇する。

【0 1 4 1】

ノードN 2 1がHレベルになると、出力回路部2 0 1のトランジスタQ 1 0 1がオンし、出力端子G O U Tが充電される。このときフローティング防止回路2 0 5のトランジスタQ 1 1 9がオンしているが、トランジスタQ 1 0 1のオン抵抗値はトランジスタQ 1 1 9のオン抵抗値よりも充分低く設定されているため、出力端子G O U Tのレベルは上昇する。応じてトランジスタQ 1 2 1がオンになる。トランジスタQ 1 2 0, Q 1 2 1はレシオ型インバータを構成しているため、ノードN 2 9はLレベルになり、トランジスタQ 1 1 9がオフになる。

【0 1 4 2】

その結果、出力端子G O U Tのレベル上昇が加速し、検出信号G O F FがHレベルになる。通常、ノードN 2 1のHレベル電位(V D D)は、トランジスタQ 1 0 1のドレイン(第4電源端子S 4)の電位V C Cよりも充分高いので、トランジスタQ 1 0 1は非飽和領域で動作し、検出信号G O F FのHレベル電位はV C Cとなる。

【0 1 4 3】

ここで、ノードN 2 1のレベルが上昇し始めるタイミングは、トランジスタQ 1 0 3, Q 1 0 4のオン抵抗比に依存する。図1 5および図1 6を用いてそのことを説明する。図1 5は、ダイオード接続された負荷トランジスタQ Lと駆動トランジスタQ Dから構成されるレシオ型インバータであり、図1 6は当該インバータの入出力伝達特性を示している。

【0 1 4 4】

図1 6には、2つの伝達特性(抵抗比A、抵抗比B)が示される。ここで抵抗比は「駆動トランジスタQ Dのオン抵抗値/負荷トランジスタQ Lのオン抵抗値」として定義され、抵抗比A<抵抗比Bの関係にある。つまり、負荷トランジスタQ Lのオン抵抗値が同じとすると、抵抗比Aの場合の方が、抵抗比Bの場合よりも駆動トランジスタQ Dのオン抵抗値が低いことを意味する。図1 6から分かるように、インバータの出力電圧の反転は、抵抗比が低いほど(駆動トランジスタQ Dのオン抵抗値が小さいほど)、小さい入力電圧V I Nで起こるようになる。

【0 1 4 5】

10

20

30

40

50

これと同様に、図 13 のトランジスタ Q 103, Q 104 から成るレシオ回路においては、「トランジスタ Q 104 のオン抵抗値 / トランジスタ Q 103 のオン抵抗値」で定義される抵抗比が小さいほど (トランジスタ Q 104 のオン抵抗値が低いほど)、ノード N 21 のレベルが上昇し始めるタイミングは、ダミーゲート線駆動信号 G D 1 のレベルがより低く下がったときになる。逆に、抵抗比が大きいほど、ノード N 21 のレベルが上昇し始めるタイミングは、ダミーゲート線駆動信号 G D 1 のレベルが下がる比較的早い段階になる。

【0146】

このように、非活性遷移検出回路部 202 のトランジスタ Q 103, Q 104 の抵抗比を調整することにより、ノード N 21 のレベル上昇タイミング、即ち検出信号 G O F F の立ち上がりタイミングを調節することができる。

10

【0147】

検出信号 G O F F の立ち上がりタイミングが、ダミーゲート線駆動信号 G D 1 がより低いレベル (V S S に近いレベル) になった時であるほど、次の行の表示信号の誤書き込みは起こり難くなる。但し、そのためにはトランジスタ Q 104 のオン抵抗が小さくなるように、トランジスタ Q 104 のゲート幅を広くする必要が生じ、回路面積が大きくなる。またトランジスタ Q 104 のゲート幅を広げると、ドレインの寄生容量も大きくなるので、ノード N 21 の立ち上がり速度は遅くなる点にも留意すべきである。

【0148】

再び図 13 および図 14 を参照し、時刻 t 0 でノード N 21 が H レベルになると、トランジスタ遅延回路部 204 では、トランジスタ Q 118 がオンする。トランジスタ Q 117, Q 118 はレシオ型インバータを構成しているので、ノード N 28 は放電されて L レベル (V S S) になる。応じてトランジスタ Q 116 がオフし、またノード N 21 が H レベルになったときトランジスタ Q 115 はオンしているため、ノード N 27 は充電されて H レベル (V D D - V t h) になる。それにより、トランジスタ Q 114 がオンになる。トランジスタ Q 113, Q 114 はレシオ型インバータを構成しているので、ノード N 26 は放電されて L レベル (V S S) になる。

20

【0149】

既にノード N 21 が H レベルになった段階で、トランジスタ Q 110 のゲート (ノード N 25) は、トランジスタ Q 112 により充電されて H レベル (V D D - V t h) になっており、トランジスタ Q 110 はオンしている。よってノード N 26 が L レベルになり、トランジスタ Q 111 がオフすると、ノード N 22 のレベルが上昇する。このとき容量素子 C 102 を介する結合により、ノード N 25 が昇圧される。その結果、トランジスタ Q 110 は非飽和領域で動作し、ノード N 22 は高速に充電されて電位 V D D の H レベルになる。このように、遅延回路部 204 においては、ノード N 21 のレベルが上昇タイミングと、ノード N 22 のレベルの上昇タイミングの間に、4 段のインバータが反転するのに要した時間だけの遅延が生じる。

30

【0150】

ノード N 22 が H レベルになると、出力回路部 201 のトランジスタ Q 102 がオンする。またプルダウン回路部 203 のトランジスタ Q 108 がオンし、ノード N 24 が H レベルになるため、非活性遷移検出回路部 202 のトランジスタ Q 107, Q 106 がオンになる。よってノード N 23 は L レベルになり、トランジスタ Q 103 がオフになると共にノード N 21 が L レベル (V S S) になる。従って、出力回路部 201 のトランジスタ Q 101 はオフになる。その結果、ラッチ出力 G O F F は、トランジスタ Q 102 により放電されて L レベルになる。

40

【0151】

遅延回路部 204 はノード N 21 の信号を一定期間だけ遅延させてノード N 22 に出力するため、ノード N 21 が L レベルになると、その一定期間後にノード N 22 も L レベルになり、トランジスタ Q 102 はオフする。しかし、検出信号 G O F F が L レベルになったとき、フローティング防止回路 205 のトランジスタ Q 121 がオフし、ノード N 29

50

がHレベルになる。応じてトランジスタQ 1 1 9がオンになるので、出力端子G O U TはトランジスタQ 1 0 2がオフした後も低インピーダンスのLレベル（G N D）に維持される。

【0 1 5 2】

以上のように、第1検出回路1 4 0 aは、ダミーゲート線駆動信号G D 1の立ち下がりタイミングで、検出信号G O F FをHレベル（V C C）にし、それから一定時間（遅延回路部2 0 4による遅延時間）を経過した後、それをLレベル（G N D）に戻すように動作する。

【0 1 5 3】

一方、第2検出回路1 4 0 bにおいては、入力端子G I Nにダミーゲート線駆動信号G D 2が供給され、上記と同様の動作が行われる。つまり第2検出回路1 4 0 bは、ダミーゲート線駆動信号G D 2の立ち下がりタイミングで、検出信号G O F FをHレベル（V C C）にし、それから一定時間を経過した後、それをLレベル（G N D）に戻す。

10

【0 1 5 4】

従って、共通の出力端子G O U Tから出力される検出信号G O F Fは、ダミーゲート線駆動信号G D 1，G D 2それぞれの立ち下がりタイミングで一定期間だけHレベルになる、正極性のパルス信号となる。

【0 1 5 5】

なお、出力端子G O U Tの寄生容量が大きく、その寄生容量が検出信号G O F Fの安定化容量として働く場合は、出力端子G O U Tがフローティング状態となっても、その寄生容量が検出信号G O F FのLレベルを保持できるので、フローティング防止回路部2 0 5を省略することも可能である。

20

【0 1 5 6】

[第5の変更例]

第4の変更例では、図5および図10のようにダミーゲート線G D L 1，G D L 2のみに設けられるダミーゲート線非活性遷移検出回路1 4 0の構成を示したが、ここでは図3のように通常のゲート線G Lのそれぞれに設けられるゲート線非活性遷移検出回路9 0の構成を示す。

【0 1 5 7】

ゲート線G Lの各々にゲート線駆動信号Gの立ち下がり検出回路を設ける場合、それらの検出回路は、理論的には図13に示した検出回路（第1検出回路1 4 0 a）と同じものを用いることができる。しかし図13の検出回路では、図14に示した動作から分かるように、入力端子G I Nに入力される信号（ダミーゲート線駆動信号G D 1に相当）がLレベルになった後、再びHレベルになるまでの間、トランジスタQ 1 0 8，Q 1 0 9が共にオフになってノードN 2 4はフローティング状態でHレベルに維持しているため、その期間が長くなるとノードN 2 4のHレベルを維持できなくなる問題が生じる。

30

【0 1 5 8】

ダミーゲート線非活性遷移検出回路1 4 0の場合、各検出回路には2水平走査期間（2 H）の周期で活性化するダミーゲート線駆動信号が入力されるためこの問題は生じないが、通常のゲート線G Lのそれぞれに設けられるゲート線非活性遷移検出回路9 0の場合、各検出回路には約1フレーム期間の周期で活性化するゲート線駆動信号Gが入力されるため、上記の問題が生じる。本変更例では、その対策を施した立ち下がり検出回路を示す。

40

【0 1 5 9】

図17は、実施の形態1の第5の変更例に係るゲート線非活性遷移検出回路9 0の構成を示す図である。ゲート線非活性遷移検出回路9 0は、各ゲート線G Lに接続し、ゲート線駆動信号Gの立ち下がりを検出する複数の検出回路から構成される。図17においては、第k行目のゲート線G L_kに接続し、ゲート線駆動信号G_kの立ち下がりを検出する検出回路9 0_kを代表的に示している。その他のゲート線G Lに設けられる検出回路も同じ回路構成でよい。

【0 1 6 0】

50

検出回路 90_kは、図 13 に示した検出回路 (第 1 検出回路 140a) と同様に、出力回路部 201、非活性遷移検出回路部 202、プルダウン回路部 203、遅延回路部 204 およびフローティング防止回路部 205 から構成される。また検出信号 GOFF を出力するための出力端子 GOUT には、ゲート線 GL に接続する全ての検出回路が接続しており、フローティング防止回路部 205 はそれら全ての検出回路で共有される。

【0161】

図 17 の検出回路 90_kは、図 13 の検出回路に対し、プルダウン回路部 203 のノード N24 のレベルを保持するトランジスタ Q122 ~ Q126 で構成されたフリップフロップ回路を設けたものである。

【0162】

当該フリップフロップ回路において、トランジスタ Q122 は、第 2 電源端子 S2 とノード N24 との間に接続し、そのゲートは第 2 電源端子 S2 に接続される (トランジスタ Q122 はダイオード接続されている)。トランジスタ Q123 は、ノード N24 と第 1 電源端子 S1 との間に接続する。トランジスタ Q123 のゲートが接続するノードを「ノード N30」と定義する。トランジスタ Q123 は、トランジスタ Q122 よりもオン抵抗が充分小さく設定されており、これらトランジスタ Q122, Q123 によりレシオ型インバータが構成される。またトランジスタ Q122 は、トランジスタ Q109 がノード N24 を L レベルにできるように、トランジスタ Q109 よりもオン抵抗が充分高く設定される。

【0163】

トランジスタ Q124 は、ノード N30 と第 1 電源端子 S1 との間に接続し、そのゲートはノード N24 に接続する。トランジスタ Q125 は、第 2 電源端子 S2 とノード N30 との間に接続し、そのゲートは入力端子 GIN に接続する。トランジスタ Q126 は、ノード N30 と第 1 電源端子 S1 との間に接続し、そのゲートはノード N22 に接続する。

【0164】

図 17 の検出回路 90_kの動作は、基本的に図 13 の検出回路の動作 (図 14) と同様であるため、ここでは図 14 を参照しつつ上記フリップフロップ回路の動作を説明する。同図の如く、入力端子 GIN に入力されるゲート線駆動信号 G_k が H レベルのとき、ノード N22 は L レベルである。よってトランジスタ Q108 はオフ、トランジスタ Q109 はオンしており、ノード N24 は L レベルに設定される。このときフリップフロップ回路では、トランジスタ Q125 がオン、トランジスタ Q124, Q126 がオフとなるためノード N30 は H レベルになり、トランジスタ Q123 はオンしている。

【0165】

その後、ゲート線駆動信号 G_k が L レベルに変化すると、トランジスタ Q109 がオフになる。このときフリップフロップ回路のトランジスタ Q125 もオフするが、ノード N30 はフローティング状態で H レベルに維持され、トランジスタ Q123 がオンを維持するため、ノード N24 は L レベルに維持される。

【0166】

このとき非活性遷移検出回路部 202 がノード N21 を H レベルにすることで、検出信号 GOFF が H レベルになる。そしてその一定期間後、遅延回路部 204 がノード N22 を H レベルにし、検出信号 GOFF は L レベルに戻る。

【0167】

ノード N22 が H レベルになったとき、トランジスタ Q108 がオンし、ノード N24 は H レベルに設定される。このときフリップフロップ回路では、トランジスタ Q125 がオフ、トランジスタ Q124, Q126 がオンとなるためノード N30 は L レベルになり、トランジスタ Q123 はオフになる。その結果、ノード N24 は、ダイオード接続されたトランジスタ Q122 を通して供給される電荷により、直流的に H レベルに維持される。従って、ゲート線駆動信号 G_k が次に活性化されるまでの約 1 フレーム期間の長さの間、ノード N24 を確実に H レベルに維持することができる。

10

20

30

40

50

【 0 1 6 8 】

[第 6 の変更例]

図 1 3 および図 1 7 に示した立ち下がり検出回路において、遅延回路部 2 0 4 は縦続接続した 4 段のインバータにより構成されているが、その段数は 4 段に限定されるものではない。遅延回路部 2 0 4 のインバータの段数を増減することで、遅延回路部 2 0 4 が作る遅延時間の長さを調整でき、それにより検出信号 G O F F のパルス幅を調整することができる。

【 0 1 6 9 】

図 1 3 および図 1 7 では、遅延回路部 2 0 4 に含まれるレシオ型インバータの負荷素子として、ダイオード接続されたトランジスタを用いたが、それに替えて、例えば抵抗素子、定電流源素子（デプレッション型トランジスタ）、ゲートに繰り返し信号が供給されるトランジスタ、ブートストラップ型負荷回路を用いてもよい。このことは図 1 7 のブルダウン回路部 2 0 3 が備えるフリップフロップ回路の負荷素子であるトランジスタ Q 1 2 2 についても同様である。

【 0 1 7 0 】

また遅延回路部 2 0 4 の最終段のインバータのブートストラップ型負荷回路（トランジスタ Q 1 1 0 , Q 1 1 2 および容量素子 C 1 0 2 ）においては、トランジスタ Q 1 1 0 のゲート（ノード N 2 5 ）電圧を制御することにより低消費電力化が図られていた。つまり当該インバータでは、トランジスタ Q 1 1 1 がオンする際にトランジスタ Q 1 1 2 がノード N 2 5 を放電してトランジスタ Q 1 1 0 をオフにし、これによってトランジスタ Q 1 1 0 , Q 1 1 1 に貫通電流が流れるのを防止していた。この負荷回路に代えて、例えば通常の（トランジスタ Q 1 1 0 のゲート電圧が制御されない）ブートストラップ型負荷回路、抵抗素子、定電流源素子（デプレッショントランジスタ）、ダイオード接続されたトランジスタ、ゲートに繰り返し信号が供給されるトランジスタを用いてもよい。

【 0 1 7 1 】

以上の説明では、液晶表示装置の液晶アレイ部 2 0 、ゲート線駆動回路 3 0 およびレベルシフタ 1 2 0 を一体形成することを前提にしたが、このうちレベルシフタ 1 2 0 を、単結晶シリコンで形成した半導体集積回路を用いた表示装置に適用してもよい。この場合、より高速動作が可能な表示装置を実現することができる。

【 0 1 7 2 】

< 実施の形態 2 >

実施の形態 2 では、本発明に係る表示装置に搭載されるコントローラ 1 1 0 について説明する。図 1 8 は、コントローラ 1 1 0 の構成を示すブロック図である。同図の如く、コントローラ 1 1 0 は、メモリ 1 1 1 とタイミングコントローラ 1 1 2 とを備え、システム 1 0 0 が出力する制御信号および表示信号、並びに、ゲート線非活性遷移検出回路 9 0 （またはダミーゲート線非活性遷移検出回路 1 4 0 ）が出力する検出信号 G O F F が入力される。

【 0 1 7 3 】

メモリ 1 1 1 は、システム 1 0 0 からの表示信号の 1 画素ライン分のデータ（表示データ）を保持することができ、書き込まれた順に読み出しが行われるように動作する。この動作を図 2 0 を用いて説明する。ここでは 1 画素ラインの表示データ数を 1 0 個と仮定する。この場合、メモリ 1 1 1 は表示データ格納用の 1 0 個のセル C 1 ~ C 1 0 を備える。

【 0 1 7 4 】

メモリ 1 1 1 に表示データを書き込む際、第 1 番目の表示データはセル C 1 へ、第 2 番目の表示データはセル C 2 へという具合に、入力された表示データが C 1 から順番に格納され、第 1 ~ 第 1 0 番目のデータがそれぞれセル C 1 ~ C 1 0 へ格納される。なお図 2 0 において、白い丸は書き込み中の表示データを表しており、第 1 ラインのデータが格納されたセルには斜線を付している。

【 0 1 7 5 】

一方、メモリ 1 1 1 から表示データを読み出す際は、セル C 1 、セル C 2 、セル C 3 、

10

20

30

40

50

...、C 1 0 の順番で読み出しが行われる。図 2 0 において、黒丸は読み出し中の表示データを表している。

【 0 1 7 6 】

またメモリ 1 1 1 は、データの読み出しと書き込みを並行して行うことが可能である。例えば、セル C 8 に格納されている第 1 ラインの表示データを読み出しているときに、第 2 ラインの表示データが入力され始めると、第 2 ラインの表示データがセル C 1 から順に格納され始める。上記のように、読み出しはセル C 1、セル C 2、... の順に行われるので、セル C 8 に格納された第 1 ラインの表示データが読み出されている時点で、セル C 1 に格納されていた第 1 画素ライン目のデータが既に読み出された後である。このようにメモリ 1 1 1 は、第 i ライン (i は任意の正数) の表示データ読み出しを、第 $i + 1$ ラインの表示データ書き込みが追い越さない限り、第 i ラインの表示データ読み出し途中に第 $i + 1$ ラインのデータ書き込みを開始することができる。

10

【 0 1 7 7 】

タイミングコントローラ 1 1 2 は、システム 1 0 0 からの制御信号に基づいて、水平スタート信号 S T H、第 2 データラッチ回路 5 4 を制御するラッチ信号 L P、液晶駆動の極性を反転するための極性反転信号 P O L、メモリ 1 1 1 内の表示データ等をソースドライバ 4 0 へと出力すると共に、垂直方向スタートパルス s t y およびクロック信号 c l k、/ c l k をレベルシフタ 1 2 0 へと出力する。タイミングコントローラ 1 1 2 は、それらの各信号を出力するタイミングを、ゲート線非活性遷移検出回路 9 0 からの検出信号 G O F F に基づいて制御する。

20

【 0 1 7 8 】

以下、図 1 9 を参照し、コントローラ 1 1 0 の動作を説明する。システム 1 0 0 が出力した第 1 ラインの表示信号 D I N 1 および制御信号が、コントローラ 1 1 0 に入力されると、表示信号 D I N 1 に含まれる表示データ D M 1 が順次メモリ 1 1 1 に書き込まれる。

【 0 1 7 9 】

タイミングコントローラ 1 1 2 は、第 2 ラインの表示信号 D I N 2 および制御信号がコントローラ 1 1 0 に入力されるタイミング (時刻 t_2) より前の所定の時刻 t_1 から、第 1 ラインの表示データ D M 1 を書き込まれた順にメモリ 1 1 1 から読み出し、出力データ D O 1 (表示信号 S I G に相当) として、水平スタート信号 S T H と共にソースドライバ 4 0 へと送る。タイミングコントローラ 1 1 2 は、このとき垂直方向スタートパルス s t y を活性化させる。

30

【 0 1 8 0 】

時刻 t_2 から、第 2 ラインの表示信号 D I N 2 および制御信号がコントローラ 1 1 0 に入力され始めると、それに含まれる表示データ D M 2 が順次メモリ 1 1 1 に書き込まれる。

【 0 1 8 1 】

タイミングコントローラ 1 1 2 は、ソースドライバ 4 0 へ第 1 ラインの全ての出力データ D O 1 を出力し終えたタイミング (時間 t_3) と、第 3 ラインの表示信号 D I N 3 および制御信号の入力が開始されるタイミング (時間 t_8) との間の所定の時刻 t_5 で、ラッチ信号 L P を活性化させる。これにより第 2 データラッチ回路 5 4 に第 1 ラインの表示データが保持される。

40

【 0 1 8 2 】

タイミングコントローラ 1 1 2 は、ラッチ信号 L P が活性化した後の所定の時刻 t_6 から、第 2 ラインの表示データ D M 2 を、書き込まれた順にメモリ 1 1 1 から読み出し、出力データ D O 2 として、水平スタート信号 S T H と共にソースドライバ 4 0 へと送る。タイミングコントローラ 1 1 2 は、このときクロック信号 c l k を活性化させる。極性反転信号 P O L は、データラッチ信号 L P の立ち上がり (時刻 t_5) より前の所定の時刻 t_4 でトグルされる。

【 0 1 8 3 】

クロック信号 c l k が活性化されると、レベルシフタ 1 2 0 がレベル変換したクロック

50

信号 CLK が活性化される。応じて、ゲート線駆動回路 30 が出力する第 1 ラインのゲート線駆動信号 G_1 が活性化し、ゲート線 GL_1 が選択される。

【0184】

時刻 t_8 から、第 3 ラインの表示信号 DIN3 および制御信号がコントローラ 110 に入力され始めると、それに含まれる表示データ DM3 が順次メモリ 111 に書き込まれる。

【0185】

ゲート線非活性遷移検出回路 90 は、第 1 ラインの画素 25 への書き込みが終了する時刻 t_9 で、検出信号 GOF を活性化させる。タイミングコントローラ 112 は、検出信号 GOF の活性化を検知すると、所定の時間経過後の時刻 t_{10} で、第 2 ラインの表示データを第 2 データラッチ回路 54 に保持させるために、ラッチ信号 LP を活性化させる。

10

【0186】

タイミングコントローラ 112 は、ラッチ信号 LP が活性化した後の所定の時刻 t_{11} から、第 3 ラインの表示データ DM3 を、書き込まれた順にメモリ 111 から読み出し、出力データ DO3 として、水平スタート信号 STH と共にソースドライバ 40 へと送る。タイミングコントローラ 112 は、このときクロック信号 /clk を活性化させる。また極性反転信号 POL は、第 1 ラインに対応するラッチ信号 LP の立ち上がり（時刻 t_5 ）と、第 2 ラインに対応するラッチ信号 LP の立ち上がり（時刻 t_{10} ）との間の所定の時刻 t_9 でトグルされる。

20

【0187】

クロック信号 /clk が活性化されると、レベルシフタ 120 がレベル変換したクロック信号 /CLK が活性化される。応じて、ゲート線駆動回路 30 が出力する第 2 ラインのゲート線駆動信号 G_2 が活性化し、ゲート線 GL_2 が選択される。

【0188】

以降、上記動作を順次繰り返す。このようにタイミングコントローラ 112 は、ゲート線 GL が非活性状態（非選択状態）へ遷移するタイミング（つまり検出信号 GOF の活性化タイミング）に基づいて、適切なタイミングで表示データ SIG（出力データ DO1, DO2 ...）、および水平スタート信号 STH、ラッチ信号 LP、極性反転信号 POL を出力する。

30

【0189】

本実施の形態のようにメモリ 111 が 1 画素ライン分の表示データを保持する場合、タイミングコントローラ 112 がソースドライバ 40 およびゲート線駆動回路 30 へ送る各信号の活性化タイミングを調整可能な期間は、コントローラ 110 に次ラインの表示データおよび制御信号が入力完了されるまでの期間に限られる。そのタイミング調整を必要とする期間が、次ライン以降の n 個のライン（ $n - 1$ ）に渡る場合には、メモリ 111 が n ライン分の表示データを保持できるようにすればよい。そうすることにより、各信号の活性化タイミングを調整可能な期間をより長くすることができる。

【0190】

なお、上述の図 19 に示した時刻 $t_1 \sim t_{11}$ のタイミングは、同図に示したタイミングに限定されるものではなく、上記の説明に矛盾しない範囲内であればよい。また本実施の形態では、極性反転信号 POL が 1 画素ライン毎に極性反転する例を示したが、複数画素ライン毎に極性反転させる場合にも容易に適用可能である。

40

【0191】

以上の説明では、液晶表示装置の液晶アレイ部 20、ゲート線駆動回路 30 およびレベルシフタ 120 を一体形成することを前提にしたが、このうちレベルシフタ 120 を、単結晶シリコンで形成した半導体集積回路を用いた表示装置に適用してもよい。この場合、より高速動作が可能な表示装置を実現することができる。

【0192】

< 実施の形態 3 >

50

実施の形態 3 においては、ゲート線駆動信号 G の遅延に起因する誤表示を防止できるコントローラ 110 の構成例を示す。図 21 は、実施の形態 3 に係るコントローラ 110 の構成を示すブロック図である。同図の如く、当該コントローラ 110 は、タイミングコントローラ 112 と、遅延時間測定用カウンタ 113 と、遅延時間記憶用レジスタ 114 とから構成されている。システム 100 が出力する制御信号および表示信号は、タイミングコントローラ 112 に入力される。ゲート線非活性遷移検出回路 90（またはダミーゲート線非活性遷移検出回路 140）が出力する検出信号 G O F F は遅延時間測定用カウンタ 113 に入力される。

【0193】

遅延時間測定用カウンタ 113 は、データラッチ回路が保持する表示信号（デコード回路 70 へ入力する表示信号）の更新を行わせるラッチ信号 L P に対する検出信号 G O F F の遅延時間を、基準クロック（ドットクロック或いはそれを分周したクロック）を用いてカウントする。遅延時間は各画素ラインでほぼ等しいため、その測定は各フレームの特定の画素ライン（例えば第 1 行目）についてのみ行えばよい。遅延時間測定用カウンタ 113 が測定した遅延時間は、遅延時間記憶用レジスタ 114 に保存される。

【0194】

タイミングコントローラ 112 は、各フレームのブラंक期間に、遅延時間記憶用レジスタ 114 に保持されている遅延時間を読み出して参照し、ゲートクロック c l k、/ c l k および垂直方向スタート信号 s t y の立ち上がりおよび立ち下りのタイミングをその遅延時間の分だけ前にシフトさせるように動作する。

【0195】

以下、本実施の形態に係るコントローラ 110 の動作について説明する。図 22 は、その動作を示す信号波形図である。同図において、符号 S O U T（S 1, S 2, S 3 ...）は、ソースドライバ 40 からデータ線 D L へ出力される表示信号を示している。

【0196】

例えば第 N フレームにおいて、遅延時間測定用カウンタ 113 による測定の結果、図 22 のように第 1 行目の画素ラインのラッチ信号 L P に対する検出信号 G O F F の遅延時間の値が d 1 であったとする。この遅延時間 d 1 は、遅延時間記憶用レジスタ 114 に保存される。

【0197】

タイミングコントローラ 112 は、第 N フレームの表示期間が終了してブラंक期間になると、遅延時間記憶用レジスタ 114 に保持されている遅延時間 d 1 を参照し、次の第 N + 1 フレームにおけるゲートクロック c l k、/ c l k および垂直方向スタート信号 s t y の立ち上がりおよび立ち下りのタイミングを遅延時間 d 1 の分だけ前にシフトさせる。

【0198】

その結果、ゲート線駆動信号 G の遅延が補正され、第 N + 1 フレームではラッチ信号 L P と検出信号 G O F F の活性タイミングが同時になる。つまり各画素ラインにおいて、ゲート線駆動信号 G が立ち下がったときに表示信号 S O U T が切り替わるようになる。よってゲート線駆動信号 G の遅延に起因する誤表示が防止される。

【0199】

本実施の形態に係るコントローラ 110 によれば、実施の形態 2 のコントローラに比べ搭載するメモリの容量が少なく済み、回路規模の削減を図ることができる。

【0200】

また従来、次の画素ラインの表示信号が前の画素ラインの画素に重ね書きされるのを防止する目的で、ゲート線駆動信号 G の立ち下りタイミングと表示信号 S O U T の切り替わりタイミングとの間に一定のマージンを設ける手法がとられているが、その手法ではその分だけ画素への書き込み時間が削られてしまう。本実施の形態では、正確にゲート線駆動信号 G の立ち下りの直後に表示信号 S O U T が切り替わるようになるため、そのようなマージンが不要になる。つまり画素への書き込み時間が削られることなく、誤表示を防

10

20

30

40

50

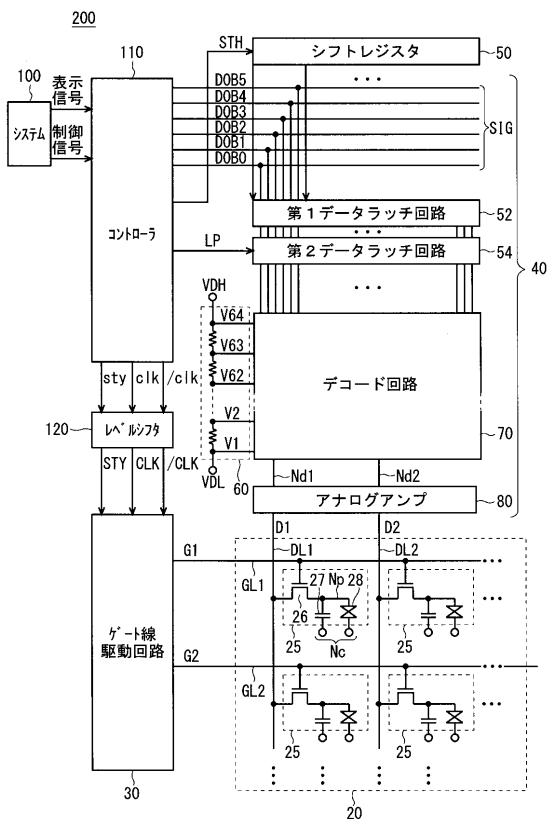
止できる。

【符号の説明】

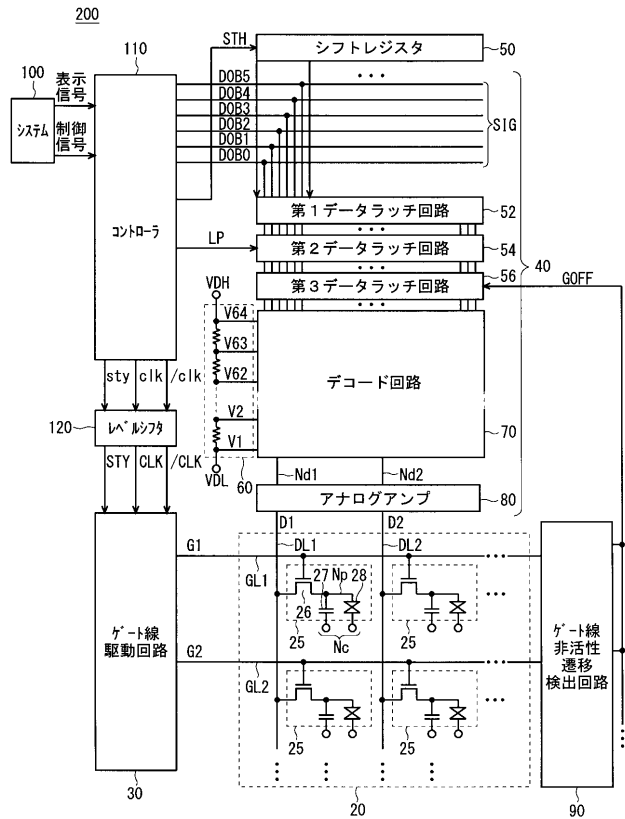
【0201】

100 システム、110 コントローラ、120 レベルシフタ、130 ダミーゲート線駆動回路、140 ダミーゲート線非活性遷移検出回路、20 液晶アレイ部、200 液晶表示装置、25 画素、25D ダミー画素、30 ゲート線駆動回路、40 ソースドライバ、52 第1データラッチ回路、54 第2データラッチ回路、56 第3データラッチ回路、90 ゲート線非活性遷移検出回路、DL データ線、GL ゲート線、GDL ダミーゲート線。

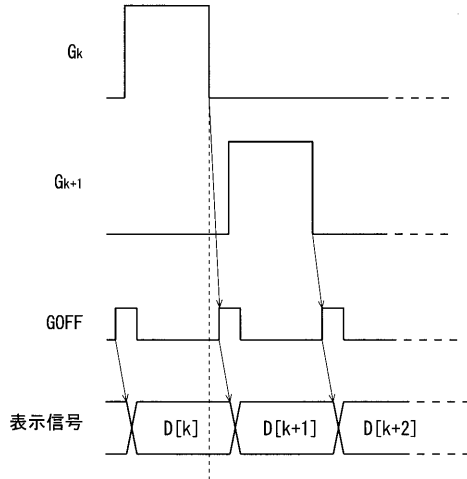
【図1】



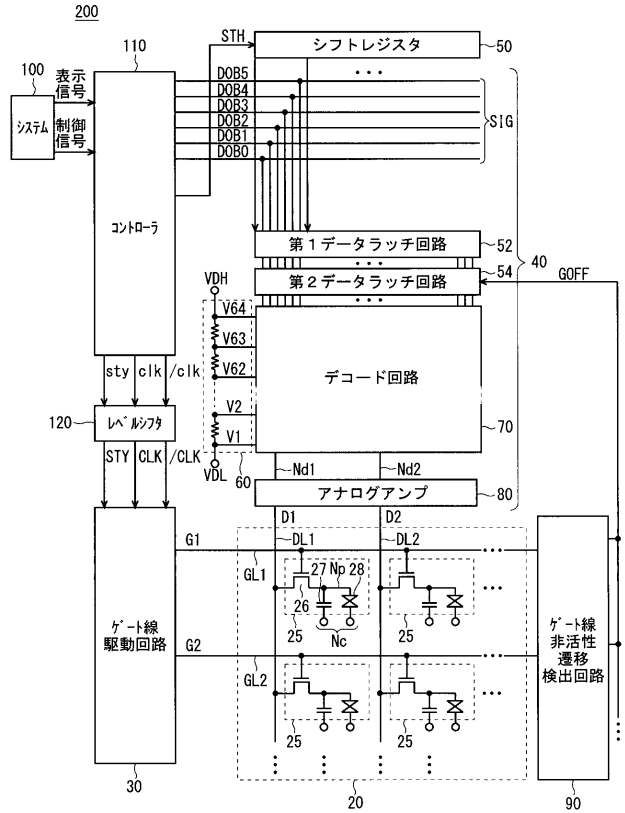
【図2】



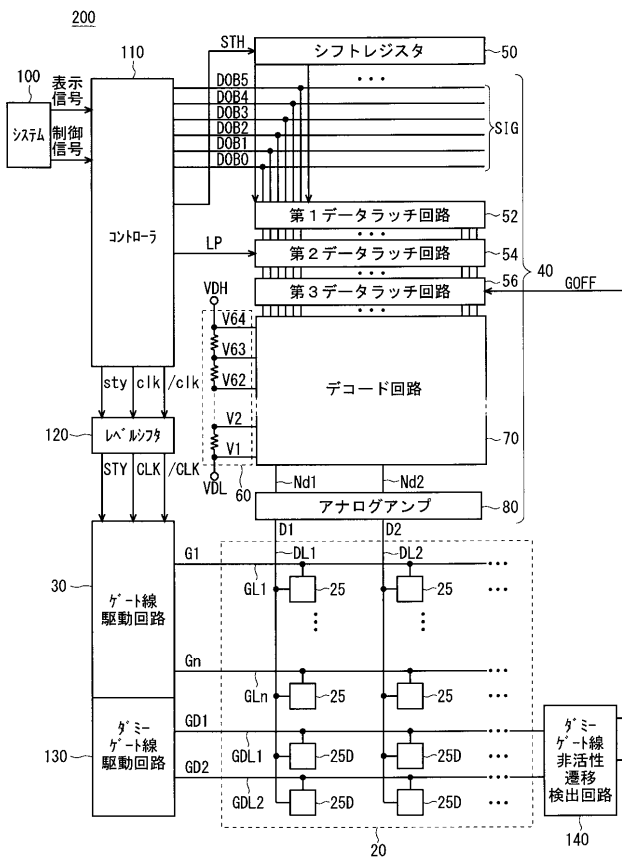
【図 3】



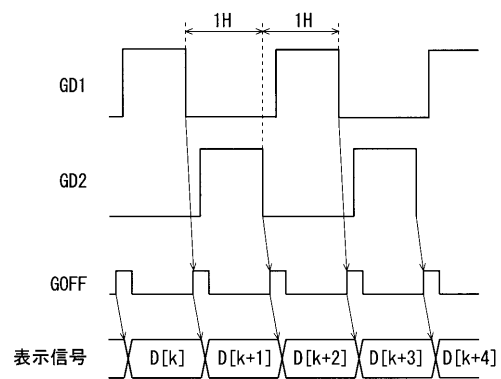
【図 4】



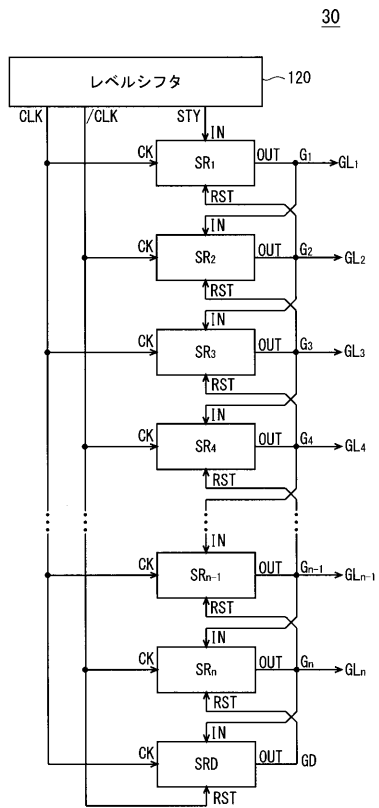
【図 5】



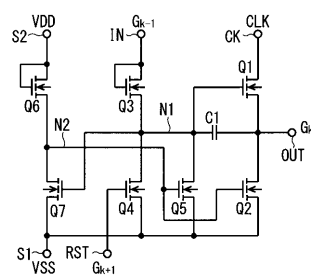
【図 6】



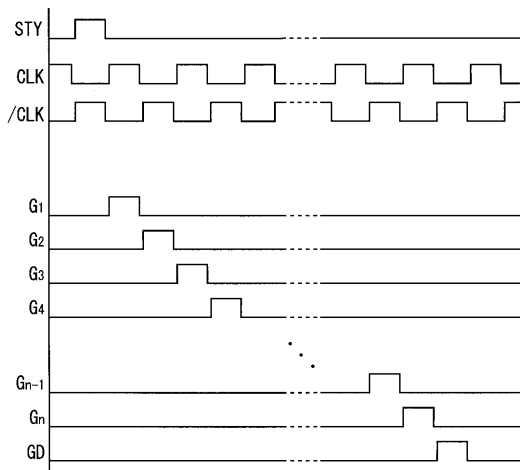
【図 7】



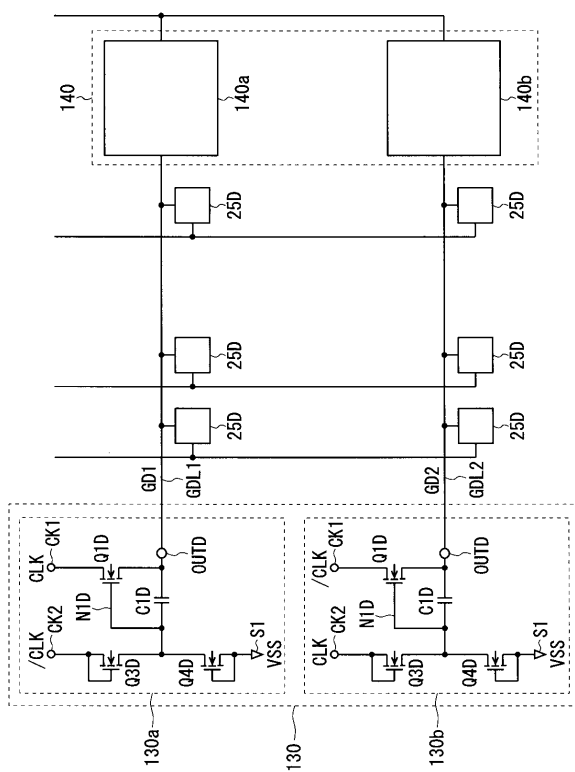
【図 8】



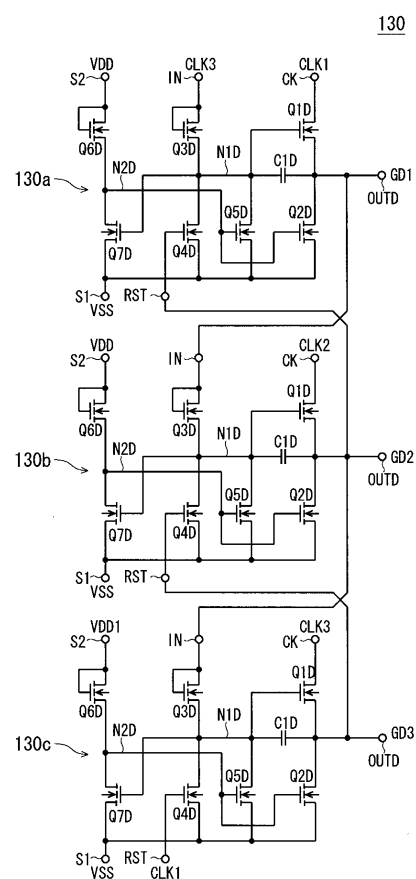
【図 9】



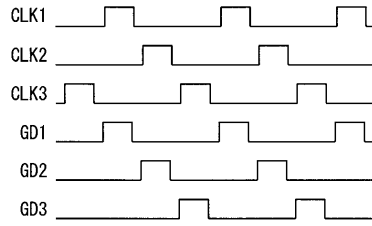
【図 10】



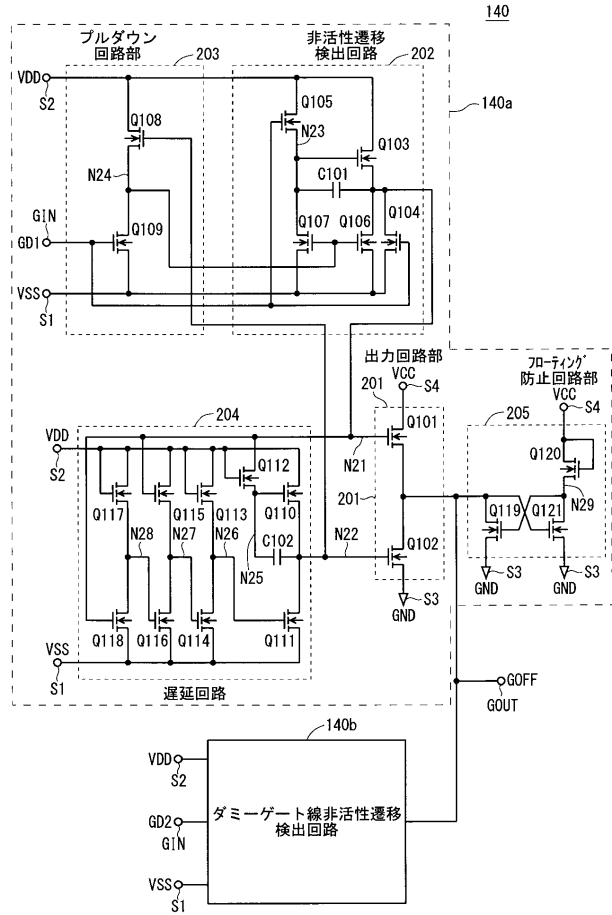
【図 11】



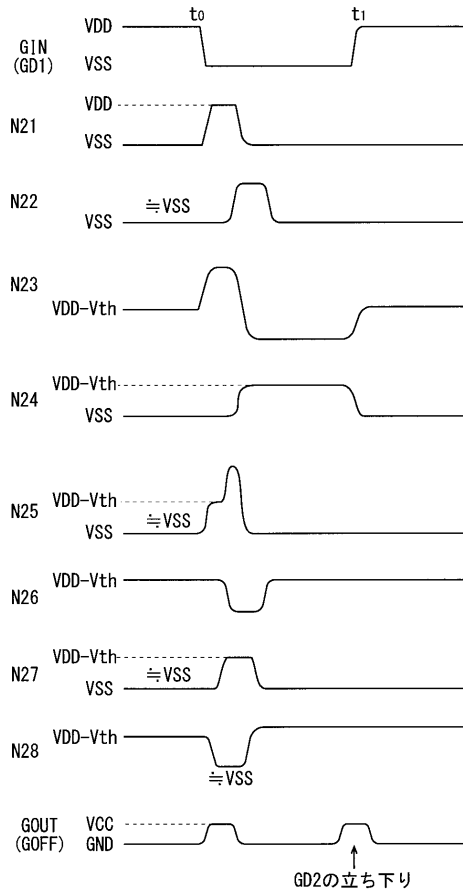
【図 1 2】



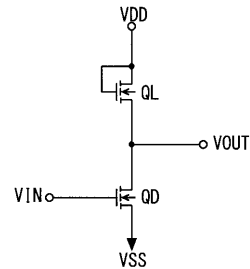
【図 1 3】



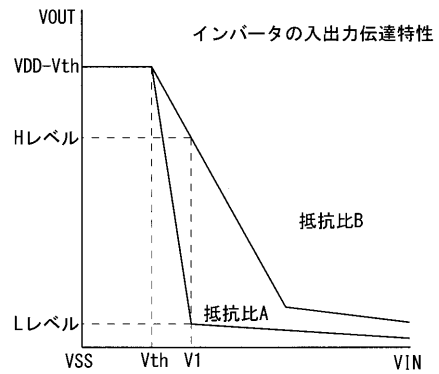
【図 1 4】



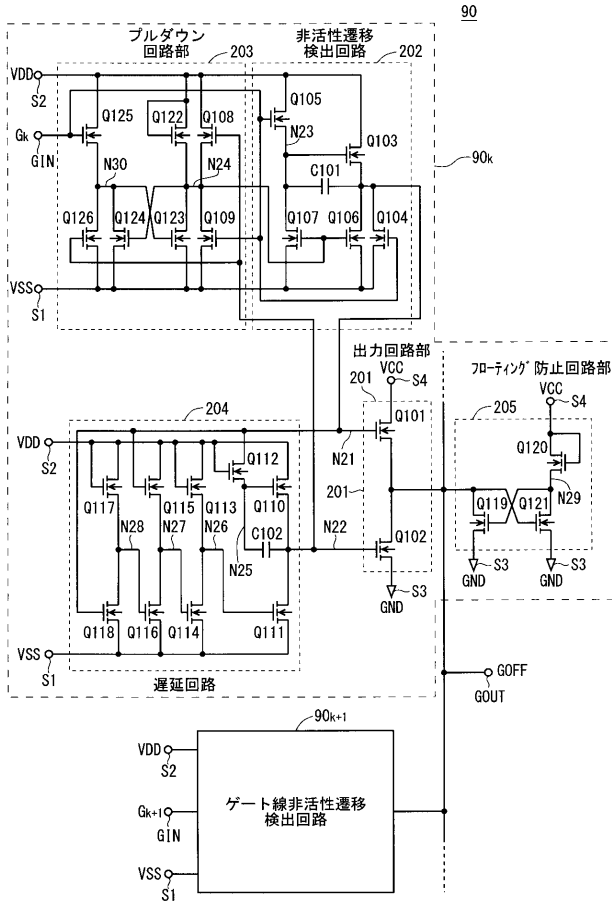
【図 1 5】



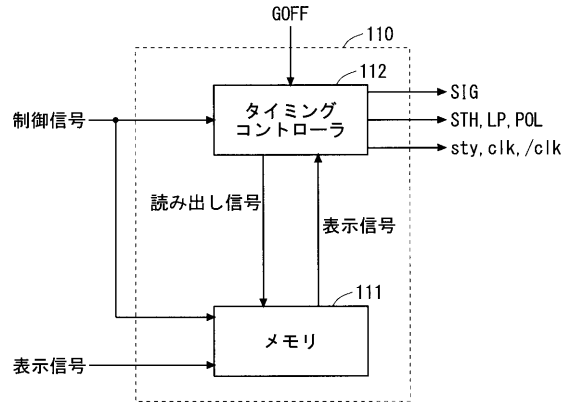
【図 1 6】



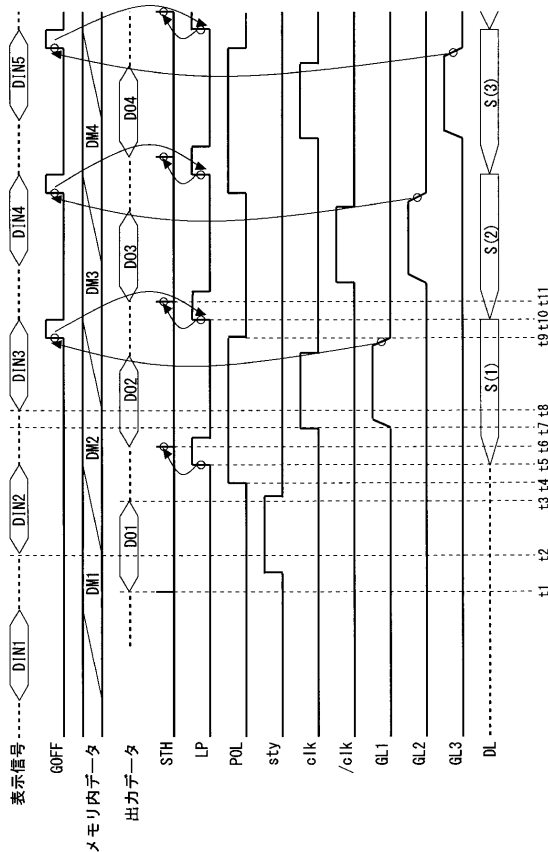
【図 17】



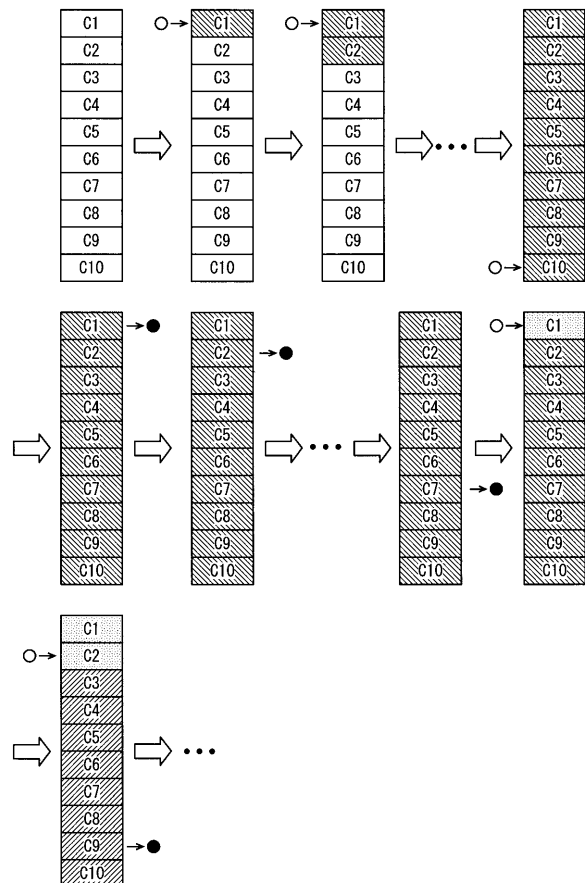
【図 18】



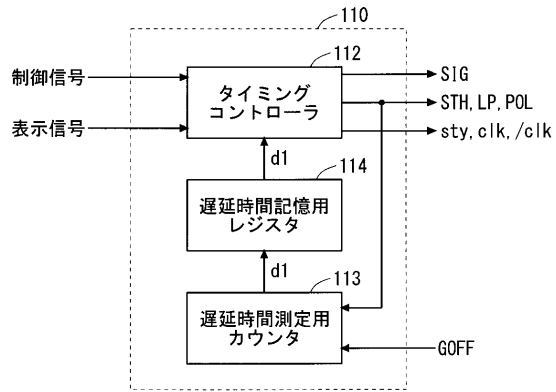
【図 19】



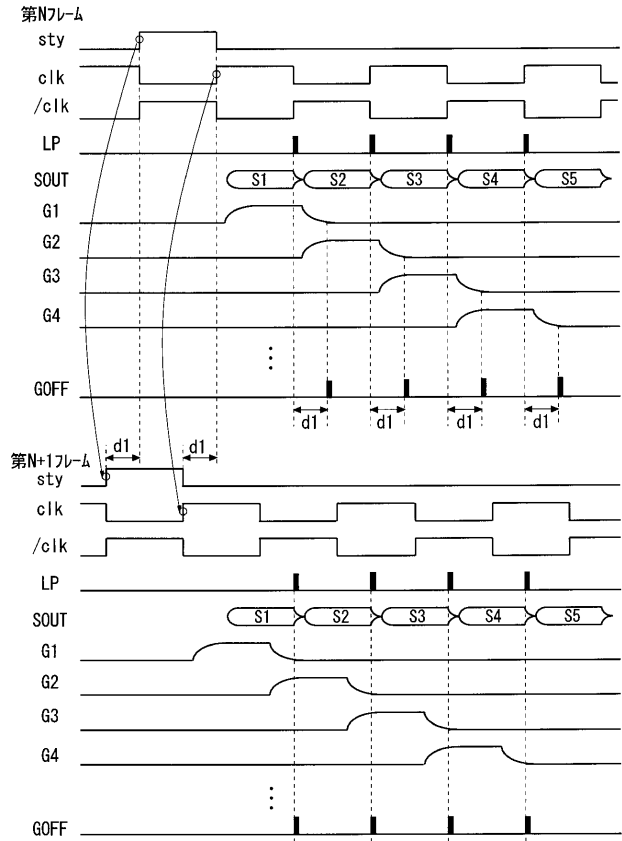
【図 20】



【図 2 1】



【図 2 2】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 G
	G 0 9 G 3/20	6 2 2 C
	G 0 9 G 3/20	6 2 2 D
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 2 3 D
	G 0 2 F 1/133	5 5 0

(72)発明者 村井 博之

東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内

F ターム(参考) 2H193 ZA04 ZA05 ZB02 ZF05 ZF16 ZF23 ZK25

5C006 AA16 AA22 AC27 AF42 AF44 AF50 AF64 AF71 AF73 AF83

BB16 BC03 BC06 BC12 BC20 BF03 BF04 BF05 BF06 BF07

BF22 BF25 BF27 BF34 BF36 BF37 BF38 BF43 BF46 FA12

FA16 FA41 FA52

5C080 AA10 BB05 CC03 DD08 DD09 DD22 DD27 DD28 EE29 EE30

FF11 FF12 GG15 GG17 JJ02 JJ03 JJ04 JJ05 KK07

专利名称(译)	画像表示装置		
公开(公告)号	JP2011128520A	公开(公告)日	2011-06-30
申请号	JP2009289194	申请日	2009-12-21
[标]申请(专利权)人(译)	三菱电机株式会社		
申请(专利权)人(译)	三菱电机株式会社		
[标]发明人	飛田 洋一 土居 佳史 村井 博之		
发明人	飛田 洋一 土居 佳史 村井 博之		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3688 G09G2310/0281 G09G2310/08		
FI分类号	G09G3/36 G09G3/20.622.G G09G3/20.612.J G09G3/20.611.J G09G3/20.670.E G09G3/20.623.G G09G3/20.622.C G09G3/20.622.D G09G3/20.641.C G09G3/20.623.D G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZA05 2H193/ZB02 2H193/ZF05 2H193/ZF16 2H193/ZF23 2H193/ZK25 5C006/AA16 5C006/AA22 5C006/AC27 5C006/AF42 5C006/AF44 5C006/AF50 5C006/AF64 5C006/AF71 5C006/AF73 5C006/AF83 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF05 5C006/BF06 5C006/BF07 5C006/BF22 5C006/BF25 5C006/BF27 5C006/BF34 5C006/BF36 5C006/BF37 5C006/BF38 5C006/BF43 5C006/BF46 5C006/FA12 5C006/FA16 5C006/FA41 5C006/FA52 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD08 5C080/DD09 5C080/DD22 5C080/DD27 5C080/DD28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/KK07 2H193/ZC36 5B074/AA10 5B074/CA01		
其他公开文献	JP5409329B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使在图像显示装置中栅极线驱动信号的延迟时间增加时，在确保操作余量的同时防止错误显示同时降低成本。解决方案：液晶显示装置200的源极驱动器40包括分别用于保持一条像素线的显示数据的第一至第三数据锁存电路52,54,56。栅极线无效转变检测电路90检测多条栅极线GL中的每一条的失活，并在该定时激活检测信号GOFF一段固定时间。将显示数据提供给解码电路70的第三数据锁存电路56更新与检测信号GOFF的激活相对应的保持显示数据。Z

