

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-107174

(P2011-107174A)

(43) 公開日 平成23年6月2日(2011.6.2)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/133 (2006.01)	G02F 1/133 505	2H193
G09G 3/20 (2006.01)	G09G 3/20 642A	5C006
G09G 3/36 (2006.01)	G09G 3/20 611D	5C080
	G09G 3/20 612U	
	G09G 3/20 623C	
審査請求 未請求 請求項の数 11 O L (全 30 頁) 最終頁に続く		

(21) 出願番号 特願2009-258795 (P2009-258795)
 (22) 出願日 平成21年11月12日 (2009.11.12)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 110000752
 特許業務法人朝日特許事務所
 (72) 発明者 保坂 宏行
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 飯坂 英仁
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム(参考) 2H193 ZA04 ZB03 ZB05 ZC15 ZD21
 ZF21 ZF31 ZF59 ZH25 ZH26
 ZH53 ZQ16

最終頁に続く

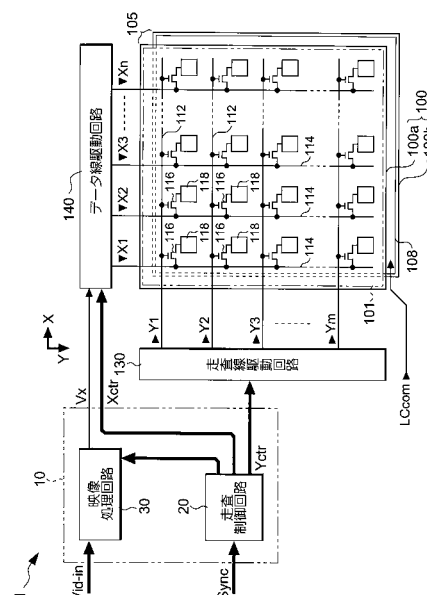
(54) 【発明の名称】映像処理回路、その処理方法、液晶表示装置および電子機器

(57) 【要約】

【課題】横電界の影響による表示品位の低下を抑える。

【解決手段】液晶パネル100は、素子基板100aに設けられた画素電極118と対向基板100bに設けられた共通電極108とにより液晶105が挟持された液晶素子を有する。映像処理回路30は、ノーマリーブラックモードにおいて、映像信号Vid-inで指定される階調レベルに対応する液晶素子の印加電圧が閾値V_{th1}を下回る暗画素と、閾値V_{th2}以上である明画素との境界の一部であって、液晶分子のチルト方位で定まるリスク境界を検出し、検出したリスク境界に接する暗画素への印加電圧が電圧V_cを下回る場合に、当該暗画素への印加電圧を、映像信号で指定される階調レベルに対応する印加電圧から、当該電圧V_cに置換する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、

前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出する境界検出部と、

前記リスク境界に接する第 1 画素に対して前記映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から予め定められた電圧に置換する置換部と、

を備えることを特徴とする映像処理回路。

【請求項 2】

前記チルト方位は、前記画素電極の側から前記コモン電極に向かって平面視したときに、前記画素電極側における液晶分子の長軸の一端から、前記液晶分子の他端に向かう方向である

ことを特徴とする請求項 1 に記載の映像処理回路。

【請求項 3】

前記予め定められた電圧は、前記第 3 電圧である

ことを特徴とする請求項 2 に記載の映像処理回路。

【請求項 4】

前記境界検出部は、

入力した映像信号と、当該入力した映像信号を 1 画素分遅延した信号との比較によって前記境界を検出する

ことを特徴とする請求項 3 に記載の映像処理回路。

【請求項 5】

前記置換部は、

前記リスク境界に接する第 1 画素に対して前記リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する 1 以上の画素について、当該画素の映像信号で指定される印加電圧が前記第 3 電圧を下回る場合に、当該画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から前記第 3 電圧に置換する

ことを特徴とする請求項 3 または 4 に記載の映像処理回路。

【請求項 6】

前記液晶パネルの表示を更新する時間間隔を S とし、

印加電圧が前記第 3 電圧を下回る電圧から前記第 3 電圧に切り替わったときの前記液晶素子の応答時間を T とした場合に、

$S < T$ であるとき、

前記リスク境界に接する第 1 画素に対して前記リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する 1 以上の画素数は、

前記応答時間 T を前記時間間隔 S で割った値の整数部の値である

ことを特徴とする請求項 5 に記載の映像処理回路。

【請求項 7】

前記第 3 電圧は、液晶素子に初期傾斜角を与える程度の電圧である

ことを特徴とする請求項 3 に記載の映像処理回路。

【請求項 8】

前記第 3 電圧は、およそ 1 . 5 ボルトである

ことを特徴とする請求項 7 に記載の映像処理回路。

10

20

30

40

50

【請求項 9】

第 1 基板に形成された画素電極と第 2 基板に形成されたコモン電極とで液晶を挟持した液晶素子を画素毎に有する電気光学装置に対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出し、

前記リスク境界に接する第 1 画素に対して前記映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から予め定められた電圧に置換することを特徴とする映像処理方法。

10

【請求項 10】

複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルと、

画素毎に前記液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを、有し、前記映像処理回路は、

入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出する境界検出部と、

20

前記リスク境界に接する第 1 画素に対して前記映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から予め定められた電圧に置換する置換部と、

を備えることを特徴とする液晶表示装置。

【請求項 11】

請求項 10 に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一定の隙間に保たれた一対の基板によって液晶を挟持した構成である。詳細には、液晶パネルでは、画素毎に画素電極がマトリクス状に配列した第 1 基板と、コモン電極が各画素にわたって共通となるように設けられた第 2 基板とで液晶が挟持されて、画素電極と液晶とコモン電極とによって液晶素子が構成される。液晶素子において、画素電極とコモン電極との間で階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち、基板面に対して垂直方向（縦方向）の成分だけが、表示制御に寄与する、ということができる。

40

【0003】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向の横電界が生じて、その影響が無視できなくなりつつある。例えば V A (Vertical Alignment) 方式や、T N (Twisted Nematic) 方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（リバースチルト）が発生し、表示上の不具合が発

50

生してしまう、という問題が生じた。

このため、例えば映像信号を画像解析して、リバーシチルトが発生しやすい画像を識別するとともに、当該画像が識別されたときには、設定値以上の映像信号を一律にクリップして液晶素子の印加電圧を調整する技術（例えば特許文献 1 参照）が提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2009 - 69608 号公報（図 2）

【発明の概要】

【発明が解決しようとする課題】

10

【0005】

しかしながら、上記技術では、映像信号をフレーム毎に解析する必要があるので、映像処理回路の大規模化や複雑化を招きやすい。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、映像処理回路の大規模化や複雑化などを抑えつつ、リバーシチルトドメインに起因する表示上の不具合の発生を低減させる技術を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る映像処理回路にあっては、複数の画素の各々に対応して画素電極が設けられた第 1 基板と、コモン電極が設けられた第 2 基板とで液晶を挟持し、前記画素電極、前記液晶および前記コモン電極とで液晶素子が構成された液晶パネルに対し、前記画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、処理した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、入力した映像信号で指定される印加電圧が第 1 電圧を下回る第 1 画素と、前記印加電圧が前記第 1 電圧よりも大きい第 2 電圧を上回る第 2 画素との境界の一部であって、前記液晶のチルト方位で定まるリスク境界を検出する境界検出部と、前記リスク境界に接する第 1 画素に対して前記映像信号で指定される印加電圧が前記第 1 電圧よりも低い第 3 電圧を下回る場合、当該第 1 画素に対応する液晶素子への印加電圧を、前記入力した映像信号で指定される印加電圧から予め定められた電圧に置換する置換部と、を備えることを特徴とする。本発明によれば、1 フレーム分の画像全体ではなく、画素同士における境界およびリスク境界を検出するための処理だけで済むので、2 フレーム分以上の画像を解析して動きを検出する構成と比較して、映像処理回路の大規模化や複雑化を抑える可能となる。

20

30

【0007】

本発明において、前記チルト方位は、前記画素電極の側から前記コモン電極に向かって平面視したときに、前記画素電極側における液晶分子の長軸の一端から、前記液晶分子の他端に向かう方向である構成が好ましい。リバーシチルトドメインは、画素電極同士で発生する横電界に起因するためである。

さらに、本発明において、前記予め定められた電圧として、どのような値とすべきかについては、優先事項によって決定すべきであるが、置換による透過率（反射率）の変化が知覚されないようにする、という点を優先させると、第 3 電圧が好ましい。

40

本発明において、前記境界検出部は、入力した映像信号と、当該入力した映像信号を 1 画素分遅延した信号との比較によって前記境界を検出する構成としても良い。このように構成すると、さらに構成の簡易化を図ることが可能となる。

本発明において、前記置換部は、前記リスク境界に接する第 1 画素に対して前記リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する 1 以上の画素について、当該画素の映像信号で指定される印加電圧が前記第 3 電圧を下回る場合に、当該画素に対応する液晶素子への印加電圧を、前記映像信号で指定される印加電圧から前記第 3 電圧に置換する構成としても良い。この構成によれば、液晶素子の応答時間が、表示画面が更新される時間間隔より長い場合でも、リバーシチルトドメインの発生を抑えること

50

が可能となる。

具体的には、前記液晶パネルの表示を更新する時間間隔を S とし、印加電圧が前記第3電圧を下回る電圧から前記第3電圧に切り替わったときの前記液晶素子の応答時間を T とした場合に、 $S < T$ であるとき、前記リスク境界に接する第1画素に対して前記リスク境界の反対側で隣接し、当該リスク境界とは反対方向に向かって連続する1以上の画素数は、前記応答時間 T を前記時間間隔 S で割った値の整数部の値とすれば良い。このような値にすると、映像信号 V_{id-in} で指定される階調レベルを不必要に置換してしまうこともないし、液晶分子が不安定な状態が次の更新（書換）でも継続してしまうことを抑えることが可能となる。

本発明において、前記第3電圧は、液晶素子に初期傾斜角を与える程度の電圧であり、好ましくは、およそ1.5ボルトである。

なお、本発明は、映像処理回路のほか、映像処理方法、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

【0008】

【図1】第1実施形態に係る映像処理回路を適用した液晶表示装置を示す図である。

【図2】同液晶表示装置における液晶素子の等価回路を示す図である。

【図3】同映像処理回路の構成を示す図である。

【図4】同液晶表示装置を構成する液晶パネルの $V-T$ 特性を示す図である。

【図5】同液晶パネルにおける表示動作を示す図である。

【図6】同液晶パネルにおいて VA 方式としたときの初期配向の説明図である。

【図7】同液晶パネルにおける画像の動きを説明するための図である。

【図8】同液晶パネルにおいて発生するリバースチルトの説明図である。

【図9】同液晶パネルにおける画像の動きを説明するための図である。

【図10】同液晶パネルにおいて発生するリバースチルトの説明図である。

【図11】同映像処理回路における置換処理を示す図である。

【図12】同映像処理回路によるリバースチルトの抑制を示す図である。

【図13】同液晶パネルにおいて他のチルト方位角としたときの図である。

【図14】他のチルト方位角としたときの置換処理を示す図である。

【図15】同液晶パネルにおいて他のチルト方位角としたときの図である。

【図16】他のチルト方位角としたときの置換処理を示す図である。

【図17】同液晶パネルにおいて TN 方式としたときの初期配向の説明図である。

【図18】同液晶パネルにおいて発生するリバースチルトの説明図である。

【図19】同液晶パネルにおいて発生するリバースチルトの説明図である。

【図20】同映像処理回路の変形応用例に係る要部構成を示す図である。

【図21】同映像処理回路の変形応用例に係る置換処理を示す図である。

【図22】同映像処理回路の変形応用例に係る置換処理を示す図である。

【図23】動き方向を水平方向としたときのリバースチルトの抑制を示す図である。

【図24】動き方向を水平方向としたときの置換処理を示す図である。

【図25】動き方向を水平方向としたときの置換処理を示す図である。

【図26】動き方向を水平方向としたときの置換処理を示す図である。

【図27】液晶表示装置を適用したプロジェクターを示す図である。

【図28】横電界の影響による表示上の不具合等を示す図である。

【発明を実施するための形態】

【0009】

<実施形態>

以下、本発明の実施形態について図面を参照して説明する。

図1は、本実施形態に係る映像処理回路を適用した液晶表示装置の全体構成を示すブロック図である。

この図に示されるように、液晶表示装置1は、制御回路10と、液晶パネル100と、

10

20

30

40

50

走査線駆動回路 130 と、データ線駆動回路 140 とを有する。

このうち、制御回路 10 には、上位装置から映像信号 Vid-in が同期信号 Sync に同期して供給される。映像信号 Vid-in は、液晶パネル 100 における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号 Sync に含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）にしたがった走査の順番で供給される。

なお、映像信号 Vid-in は階調レベルを指定するが、階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号 Vid-in は液晶素子の印加電圧を指定するものといって差し支えない。

【0010】

制御回路 10 は、走査制御回路 20 と映像処理回路 30 とにより構成される。このうち、走査制御回路 20 は、各種の制御信号を生成するとともに、同期信号 Sync に同期して各部を制御する。映像処理回路 30 は、詳細については後述するが、デジタルの映像信号 Vid-in を処理して、アナログのデータ信号 Vx を出力するものである。

【0011】

液晶パネル 100 は、素子基板（第 1 基板）100a と対向基板（第 2 基板）100b とが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶 105 が挟持された構成となっている。

素子基板 100a のうち、対向基板 100b との対向面には、図において水平（X）方向に沿って複数 m 行の走査線 112 が設けられ、垂直（Y）方向に沿って複数 n 列のデータ線 114 が設けられている。各走査線 112 と各データ線 114 は、互いに電氣的に絶縁を保つように設けられている。

なお、本実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、...、(m-1)、m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、...、(n-1)、n 列目という呼び方をする場合がある。

【0012】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極がデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。

一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。そして、コモン電極 108 には、図示省略した回路によって電圧 LCcom が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側であるので、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるので、それぞれ実線で示している。

【0013】

液晶パネル 100 における等価回路は、図 2 に示される通りとなり、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成となる。

また、図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示されるように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。この補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

このような構成において、走査線 112 が H レベルになると、当該走査線にゲート電極が接続された TFT 116 がオン状態になり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に対し、階調に応じた電圧のデータ信号を供給すると、当該データ信号は、オンした TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフ

10

20

30

40

50

状態になるが、画素電極に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

周知のように、液晶素子 120 では、画素電極 118 およびコモン電極 108 によって生じる電界に応じて液晶 105 の配向状態が変化するので、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。

液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。なお、本実施形態において、液晶 105 を VA 方式として、液晶素子 120 の透過率が電圧無印加時において最低の黒状態となるノーマリーブラックモードとする。

【0014】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Yctr にしたがって、フレームにわたって 1、2、3、...、m 行目の走査線 112 に、走査信号 Y1、Y2、Y3、...、Ym を供給する。詳細には、走査線駆動回路 130 は、図 5 (a) に示されるように、走査線 112 を 1、2、3、...、m 行目という順番で選択する。また、走査線駆動回路 130 は、選択した走査線への走査信号を選択電圧 V_H (H レベル) とし、それ以外の走査線への走査信号を非選択電圧 V_L (L レベル) とする。

なお、フレームとは、1 コマ分の映像信号 Vid-in が供給される周期をいい、同期信号 Sync に含まれる垂直走査信号の周波数が 60 Hz であれば、その逆数である 16.7 ミリ秒である。本実施形態では、フレームにわたって 1、2、3、...、m 行目の走査線 112 が順番に選択されるので、液晶パネル 100 は、映像信号 Vid-in と等倍速で駆動される。このため、本実施形態では、液晶パネル 100 によって 1 コマ分の画像を表示させるのに要する期間は、フレームと一致する。

【0015】

データ線駆動回路 140 は、映像処理回路 30 から供給されるデータ信号 Vx を、走査制御回路 20 による制御信号 Xctr にしたがって 1 ~ n 列目のデータ線 114 にデータ信号 X1 ~ Xn としてサンプリングする。

なお、本説明では、電圧について、液晶素子 120 の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子 120 の印加電圧は、コモン電極 108 の電圧 LCcom と画素電極 118 との電位差であり、他の電圧と区別するためである。

また、直流成分の印加による液晶 105 の劣化を防止するために、液晶素子 120 については交流駆動が実行される。詳細には、画素電極 118 には、振幅中心である電圧 Vcnt に対して高位側の正極性電圧と低位側の負極性電圧とに例えばフレーム毎に交互に切り替えられて印加される。このような交流駆動において、本実施形態では、同一フレーム内において各液晶素子 120 の書き込み極性をすべての同一とする面反転方式としている。なお、コモン電極 108 に印加される電圧 LCcom は、電圧 Vcnt とほぼ同電圧と考えてよいが、n チャネル型の TFT 116 のオフリークや、いわゆるプッシュダウンなどを考慮して、電圧 Vcnt よりも低位となるように調整されることがある。

【0016】

さて、本実施形態において、液晶素子 120 の印加電圧と透過率との関係は、ノーマリーブラックモードであれば、図 4 (a) に示されるような V (電圧) - T (透過率) 特性で表される。このため、液晶素子 120 を、映像信号 Vid-in で指定された階調レベルに応じた透過率とさせるには、当該階調レベルに応じた電圧を、当該液晶素子に印加すれば良いはずである。

しかしながら、液晶素子 120 の印加電圧を、映像信号 Vid-in で指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生してしまう場合がある。

【0017】

リバースチルトドメインに起因する表示上の不具合の例について説明する。例えば図 28 に示されるように、映像信号 Vid-in で示される画像が、白画素を背景として黒画素が

10

20

30

40

50

連続する黒パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その黒パターンの左端縁部（動きの後縁部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、という一種の尾引き現象として顕在化する。

なお、本実施形態のように、液晶パネル100が、映像信号Vid-inの供給速度と等倍速で駆動される場合に、白画素を背景とした黒画素の領域がフレーム毎に2画素以上ずつ移動するとき、後述するように液晶素子の応答時間が、表示画面が更新される時間間隔より短ければ、このような尾引き現象は顕在化しない（または、視認されにくい）。この理由は、次のように考えられる。すなわち、あるフレームにおいて、白画素と黒画素とが隣接したときに、その白画素でリバースチルトドメインが発生するかもしれないが、画像の動きを考えると、リバースチルトドメインが発生する画素が離散的となるので、視覚的に目立たない、と考えられるからである。

なお、図28において見方を変え、黒画素を背景として白画素が連続する白パターンがフレーム毎に1画素ずつ右方向に移動する場合に、その白パターンの右端縁部（動きの先端部）において黒画素から白画素に変化すべき画素がリバースチルトドメインの発生によって白画素にならない、ということもできる。

また、同図においては、説明の便宜上、画像のうち、1ラインの境界付近を抜き出している。

【0018】

リバースチルトドメインに起因する表示上の不具合は、液晶素子120において挟持された液晶分子が不安定な状態から、画像の動きによって印加電圧に応じた配向状態へと変化するとき、横電界の影響によって液晶分子の配向が乱れて、以後、印加電圧に応じた配向状態になりにくくなるのが原因の1つとして考えられている。

ここで、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルの（または黒レベルに近い）暗画素と、白レベルの（または白レベルに近い）明画素と、が隣接する場合である。

このうち、暗画素については、印加電圧がノーマリーブラックモードにおける黒レベルの電圧 V_{bk} 以上であって閾値 V_{th1} （第1電圧）を下回る電圧範囲Aにある液晶素子120の画素をいうことにする。また、便宜的に、液晶素子の印加電圧が電圧範囲Aにある液晶素子の透過率範囲（階調範囲）を「a」とする。

次に、明画素については、印加電圧が閾値 V_{th2} （第2電圧）以上であってノーマリーブラックモードにおける白レベル電圧 V_{wt} 以下の電圧範囲Bにある液晶素子120とする。便宜的に、液晶素子の印加電圧が電圧範囲Bにある液晶素子の透過率範囲（階調範囲）を「b」とする。

なお、ノーマリーブラックモードにおいて、閾値 V_{th1} は、液晶素子の相対透過率を10%とさせる光学的閾値電圧であり、閾値 V_{th2} は、液晶素子の相対透過率を90%とさせる光学的飽和電圧と考えてよい場合がある。

【0019】

一方、液晶分子が不安定な状態であるときとは、液晶素子の印加電圧が V_c （第3電圧）を下回るときである。液晶素子の印加電圧が V_c を下回るときでは、その印加電圧による縦電界の規制力が配向膜による規制力と比較して弱いので、液晶分子の配向状態は、わずかな外的要因によって乱れやすい。また、その後、印加電圧が V_c 以上になったときに、当該印加電圧に応じて液晶分子が傾斜しようとしても、応答に時間がかかりやすいためである。逆にいえば、印加電圧が V_c 以上であれば、液晶分子が印加電圧に応じて傾斜し始める（透過率が変化し始める）ので、液晶分子の配向状態は安定状態にある、ということができる。このため、電圧 V_c は、透過率で規定した閾値 V_{th1} よりも低い関係にある。

【0020】

このように考えた場合に、変化前において液晶分子が不安定な状態にあった画素は、画像の動きによって暗画素と明画素とが隣接することになったときの横電界の影響によって

10

20

30

40

50

リバースチルトドメインが発生しやすい状況にあるということが出来る。ただし、液晶分子の初期配向状態を考慮して検討すると、暗画素と明画素との位置関係によってリバースチルトドメインが発生する場合と発生しない場合とがある。

そこで次に、これらの場合をそれぞれ検討する。

【 0 0 2 1 】

図 6 (a) は、液晶パネル 1 0 0 において互いに縦方向および横方向に隣接する 2×2 の画素を示す図であり、図 6 (b) は、液晶パネル 1 0 0 を、図 6 (a) における $p - q$ 線を含む垂直面で破断したときの簡易断面図である。

これらの図に示されるように、VA方式の液晶分子は、画素電極 1 1 8 とコモン電極 1 0 8 との電位差（液晶素子の印加電圧）がゼロである状態において、チルト角が θa で、チルト方位角が $\theta b (= 45 \text{ 度})$ で、初期配向しているものとする。

ここで、リバースチルトドメインは、上述したように画素電極 1 1 8 同士の横電界に起因して発生することから、画素電極 1 1 8 が設けられた素子基板 1 0 0 a の側における液晶分子の振る舞いが問題となる。このため、液晶分子のチルト方位角およびチルト角については、画素電極 1 1 8（素子基板 1 0 0 a）の側を基準にして規定する。

詳細には、チルト角 θa とは、図 6 (b) に示されるように、基板法線 Sv を基準にして、液晶分子の長軸 sa のうち、画素電極 1 1 8 側の一端を固定点としてコモン電極 1 0 8 側の他端が傾斜したときに、液晶分子の長軸 sa がなす角度とする。

一方、チルト方位角 θb とは、データ線 1 1 4 の配列方向である Y 方向に沿った基板垂直面を基準にして、液晶分子の長軸 sa および基板法線 Sv を含む基板垂直面（ $p - q$ 線を含む垂直面）がなす角度とする。なお、チルト方位角 θb については、画素電極 1 1 8 の側からコモン電極 1 0 8 に向けて平面視したときに、画面上方向（Y 方向の反対方向）から、液晶分子の長軸の一端を始点として他端に向かう方向（図 6 (a) では右上方向）までを、時計回りで規定した角度とする。

また、同様に画素電極 1 1 8 の側から平面視したときに、液晶分子における画素電極側の一端から他端に向かう方向を便宜的にチルト方位の下流側と呼び、反対に他端から一端に向かう方向（図 6 (a) では左下方向）を便宜的にチルト方位の上流側と呼ぶことにする。

【 0 0 2 2 】

このような初期配向となる液晶 1 0 5 を用いた液晶パネル 1 0 0 において、例えば図 7 (a) に示されるように、破線で囲まれた 2×2 の 4 画素に着目する。図 7 (a) では、白レベルの画素（白画素）からなる領域を背景として黒レベルの画素（黒画素）からなるパターンが右上方向にフレーム毎に 1 画素ずつ移動する場合を示している。

すなわち、図 8 (a) に示されるように、 $(n - 1)$ フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、 n フレームにおいて、左下の 1 画素だけが白画素に変化するときに想定する。上述したようにノーマリーブラックモードにおいて、画素電極 1 1 8 とコモン電極 1 0 8 との電位差である印加電圧は、黒画素よりも白画素で大きい。このため、黒から白に変化する左下の画素では、図 8 (b) のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向とは垂直方向（基板面の水平方向）に傾斜しようとする。

しかしながら、白画素の画素電極 1 1 8 (Wt) と黒画素の画素電極 1 1 8 (Bk) との間隙で生じる電位差は、白画素の画素電極 1 1 8 (Wt) とコモン電極 1 0 8 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 1 1 8 とコモン電極 1 0 8 との間隙よりも狭い。従って、電界の強度で比較すると、画素電極 1 1 8 (Wt) と画素電極 1 1 8 (Bk) との間隙で生じる横電界は、画素電極 1 1 8 (Wt) とコモン電極 1 0 8 との間隙で生じる縦電界よりも強い。

左下の画素は、 $(n - 1)$ フレームにおいて液晶分子が不安定な状態の黒画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、白レベルの電圧が画素電極 1 1 8 (Wt) に印加されたことによる縦電界よりも、隣接する画素電極 1 1 8 (Bk) からの横電界の方が強い。従って、白になろうとしている画素では、図 8 (

b) に示されるように、黒画素に隣接する側の液晶分子 R_v が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 R_v は、縦電界に応じて破線のように基板水平方向に傾斜しようとする他の液晶分子の動きに悪影響を与える。このため、白に変化すべき画素においてリバースチルトが発生する領域は、図 8 (c) に示されるように、白に変化すべき画素と黒画素との間隙にとどまらず、その間隙から白に変化すべき画素を浸食する形で広範囲に拡がる。

このように、図 8 から、白に変化しようとする着目画素の周辺が黒画素であった場合、当該着目画素に対して黒画素が右上側、右側および上側で隣接するとき、当該着目画素では、リバースチルトが右辺および上辺に沿った内周領域にて発生する、ということができ

10

る。なお、図 8 (a) に示されるパターンの変化は、図 7 (a) に示した例のみならず、黒画素からなるパターンが、図 7 (b) に示されるように右方向にフレーム毎に 1 画素ずつ移動する場合や、図 7 (c) に示されるように上方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 28 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に右上方向、右方向または上方向に、1 画素ずつ移動する場合にも発生する。

【0023】

次に、液晶パネル 100 において、図 9 (a) に示されるように、白画素からなる領域を背景として黒画素からなるパターンが左下方向にフレーム毎に 1 画素ずつ移動する場合に、破線で囲まれた 2×2 の 4 画素に着目する。

20

すなわち、図 10 (a) に示されるように、 $(n-1)$ フレームにおいて 2×2 の 4 画素がすべて黒画素の状態から、 n フレームにおいて、右上の 1 画素だけが白画素に変化するときを想定する。

この変化後においても、黒画素の画素電極 118 (Bk) と白画素の画素電極 118 (Wt) との間隙では、画素電極 118 (Wt) とコモン電極 108 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 10 (b) に示されるように、黒画素において白画素に隣接する側の液晶分子 R_v は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となる。しかし、黒画素では縦電界が $(n-1)$ フレームから変化しないので、他の液晶分子に影響をほとんど与えない。このため、黒画素から変化しない画素においてリバースチルトが発生する領域は、図 10 (c) に示されるように、図 8 (c) の例と比較して無視できる程度に狭い。

30

一方、 2×2 の 4 画素のうち、右上において黒から白に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバースチルト状態となる液晶分子がほとんど存在しない。このため、右上画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の水平方向に図 10 (b) において破線で示されるように正しく傾斜する結果、目的である白画素に変化するので、表示品位の劣化が発生しないことになる。

なお、図 10 (a) に示されるパターンの変化は、図 9 (a) に示した例のみならず、黒画素からなるパターンが、図 9 (b) に示されるように左方向にフレーム毎に 1 画素ずつ移動する場合や、図 9 (c) に示されるように下方向にフレーム毎に 1 画素ずつ移動する場合などでも発生する。また、図 28 の説明において見方を変えた場合のように、黒画素からなる領域を背景として白画素からなるパターンがフレーム毎に左下方向、左方向または下方向に、1 画素ずつ移動する場合にも発生する。

40

【0024】

図 6 から図 10 までの説明から、想定している VA 方式 (ノーマリーブラックモード) の液晶において、ある n フレームに着目したとき、次のような要件を満たす場合に、 n フレームにおいて次の画素でリバースチルトドメインの影響を受ける、ということが出来る。すなわち、

50

(1) n フレームに着目したときに暗画素と明画素とが隣接して、すなわち、印加電圧が低い状態の画素と印加電圧が高い状態の画素とが隣接して、横電界が強くなる場合であって、かつ、

(2) n フレームにおいて、当該明画素（印加電圧高）が、隣接する暗画素（印加電圧低）に対して、液晶分子におけるチルト方位の上流側に相当する左下側、左側または下側に位置する場合に、

(3) n フレームにおいて当該明画素に変化する画素が、1 フレーム前の（ $n - 1$ ）フレームでは、液晶分子が不安定な状態にあったとき、

n フレームにおいて当該明画素でリバースチルトが発生する、ということになる。

逆にいえば、 n フレームにおいて要件（1）および要件（2）の位置関係を満たす明画素でリバースチルトドメインが発生するため条件とは、要件（3）の、 n フレームにおいて当該明画素に変化する画素が、1 フレーム前の（ $n - 1$ ）フレームでは、液晶分子が不安定な状態にあった、ということになる。

ところで、図7では、 2×2 の4画素が（ $n - 1$ ）フレームで黒画素であって、次の n フレームで左下だけが白画素となったときを例示した。しかし、一般的には、（ $n - 1$ ）フレームおよび n フレームのみならず、これらフレームを含む前後の複数フレームにわたって同様な動きを伴うのが通例である。このため、図7（a）～（c）に示されるように、（ $n - 1$ ）フレームで液晶分子が不安定な状態であった暗画素（白丸点が付された画素）では、画像パターンの動きから、その左下側、左側または下側に明画素が隣接している

【0025】

このため、事前に（ $n - 1$ ）フレームにおいて、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接し、且つ、当該暗画素が、当該明画素に対して右上側、右側または上側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような電圧を印加すれば、画像パターンの動きにより n フレームにおいて要件（1）および要件（2）を満たすこととなっても、要件（3）を満たすことはないので、 n フレームにおいてリバースチルトドメインは発生しない、ということになる。

これを前提として、 n フレームから（ $n + 1$ ）フレームにかけて考察する。 n フレームにおいて、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して右上側、右側または上側に位置する場合は、当該暗画素に相当する液晶素子の液晶分子が不安定な状態にならないような措置を施してやれば、画像パターンが1画素分移動した結果、（ $n + 1$ ）フレームにおいて要件（1）および要件（2）を満たすこととなっても、要件（3）を満たすことはない。このため、 n フレームからみて、将来となる（ $n + 1$ ）フレームにおいてリバースチルトドメインの発生を未然に抑えることができる、ということになる。

【0026】

次に、 n フレームにおいて、映像信号 Vid-in で示される画像において暗画素と明画素とが隣接する場合であって、当該暗画素が当該明画素に対して上記位置関係にある場合に、当該暗画素において液晶分子が不安定な状態にならないようにするには、どうすれば良いのか、という点について検討する。上述したように、液晶分子が不安定な状態にあるときは、液晶素子の印加電圧が V_c を下回るときである。このため、上記位置関係を満たす暗画素につき、映像信号 Vid-in で指定される液晶素子の印加電圧が V_c を下回るのであれば、これを強制的に、 V_c 以上の電圧に置換して印加すれば良いことになる。

では、置換する電圧としては、どのような値が好ましいのか、という点を検討する。映像信号 Vid-in で指定される印加電圧が V_c を下回る場合に、 V_c 以上の電圧に置換して液晶素子に印加したとき、液晶分子をより安定な状態にさせる、または、リバースチルトドメインの発生をより確実に抑える、という点を優先すれば、高い電圧である方が好ましい。しかしながら、ノーマリーブラックモードでは、液晶素子の印加電圧を高くするにつれて、透過率が高くなる。もともとの映像信号 Vid-in で指定される階調レベルは、暗画素すなわち低い方の透過率であるため、置換電圧を高くすることは、映像信号 Vid-in に基

10

20

30

40

50

づかない画像が表示されることにつながる。

一方、 V_c 以上に置換した電圧を液晶素子に印加したときに、その置換による透過率の変化が知覚されないようにする、という点を優先すれば、下限である電圧 V_c が好ましい、ということになる。

このように置換電圧として、どのような値とすべきかについては、何を優先させるのかによって決定すべきである。本実施形態では、置換による透過率の変化が知覚されないようにする、という点を優先して、置換電圧として電圧 V_c を採用することにするが、上述した点を優先させるのであれば、電圧 V_c である必要はない。

なお、 V_A 方式における液晶分子は、液晶素子の印加電圧がゼロのときに基板面に対して垂直方向に最も近い状態になるが、電圧 V_c は、液晶分子に初期傾斜角を与える程度の電圧であり、この電圧の印加から液晶分子が傾斜し始める。

液晶分子が安定状態となる電圧 V_c は、一般的には、液晶パネルにおける様々なパラメータが絡んで一概には決まらない。ただし、本実施形態のように、画素電極118と共通電極108との間隙（セルギャップ）よりも、画素電極118同士の間隙が狭い、という液晶パネルにあっては、おおよそ1.5ボルトとなる。

したがって、置換電圧としては、1.5ボルトが下限となるので、この電圧以上であれば良い、ということになる。逆にいえば、液晶素子の印加電圧が1.5ボルトを下回るのであれば、液晶分子が不安定な状態となる。

【0027】

このような考えに基づいて、 n フレームの映像信号 V_{id-in} を処理して、液晶パネル100でリバースチルトドメインの発生を未然に防ぐための回路が、図1における映像処理回路30である。そこで次に、映像処理回路30について詳細に説明する。

【0028】

図3は、映像処理回路30の構成を示すブロック図である。この図に示されるように、映像処理回路30は、境界検出部302、遅延回路312、置換部314およびD/A変換器316を有する。

このうち、遅延回路312は、上位装置から供給される映像信号 V_{id-in} を蓄積して、所定時間経過後に読み出し、映像信号 V_{id-d} として出力するものであり、FIFO（Fast In Fast Out：先入れ先出し）メモリーや多段のラッチ回路などにより構成される。なお、遅延回路312における蓄積および読出は、走査制御回路20によって制御される。

【0029】

境界検出部302は、本実施形態においては、第1検出部321と、第2検出部322と、判別部324とを有する。

このうち、第1検出部321は、映像信号 V_{id-in} で示される画像を解析して、階調範囲aにある画素と階調範囲bにある画素とが垂直または水平方向で隣接する部分があるか否かを判別する。そして、第1検出部は、隣接する部分があると判別したときに、その隣接部分を境界として検出して、境界の位置情報を出力する。

なお、ここでいう境界とは、あくまでも階調範囲aにある暗画素と階調範囲bにある明画素とが隣接する部分、すなわち、強い横電界が発生する部分をいう。このため、例えば階調範囲aにある画素と、階調範囲aでもなく階調範囲bでもない別の階調範囲d（図4（a）参照）にある画素とが隣接する部分や、階調範囲bにある画素と階調範囲dにある画素とが隣接する部分については、境界として扱わない。

次に、第2検出部322は、検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、リスク境界として検出し、リスク境界の位置情報を出力するものである。

【0030】

判別部324は、遅延して出力された映像信号 V_{id-d} で示される画素が第2検出部322で抽出されたリスク境界に接している暗画素であるか否かを判別する。そして、判別部324は、その判別結果が「Yes」である場合に出力信号のフラグQを例えば“1”とし、その判別結果が「No」であれば“0”とする。

10

20

30

40

50

なお、ここでいう「リスク境界に接している」とは、画素の一辺に沿ってリスク境界に接している場合と、画素の一角において縦横に連続するリスク境界が位置している場合とを含む。また、第1検出部321は、ある程度（少なくとも3行以上）の映像信号を蓄積してからでないと、表示すべき画像における垂直または水平方向にわたって境界を検出することができない。第2検出部322についても同様である。このため、上位装置からの映像信号Vid-inの供給タイミングを調整する意味で、遅延回路312が設けられている。

上位装置から供給される映像信号Vid-inのタイミングと、遅延回路312から供給される映像信号Vid-dのタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明する。

また、第1検出部321および第2検出部322における映像信号Vid-inの蓄積等は、走査制御回路20によって制御される。

【0031】

置換部314は、判別部324から供給されるフラグQが“1”である場合に、映像信号Vid-dで指定される階調レベルが「c」よりも暗いレベルを指定していれば、階調レベル「c」の映像信号に置換して、映像信号Vid-outとして出力するものである。

なお、置換部314は、判別部324から供給されるフラグQが“1”である場合であっても、映像信号Vid-dで指定される階調レベルが「c」以上の明るいレベルを指定しているとき、および、フラグQが“0”であるときには、階調レベルを置換することなく、映像信号Vid-dをそのまま映像信号Vid-outとして出力する。

【0032】

D/A変換器316は、デジタルデータである映像信号Vid-outを、アナログのデータ信号Vxに変換する。なお上述したように、本実施形態では、面反転方式としているので、データ信号Vxの極性は、液晶パネル100で1コマ分の書き替え毎に切り替えられる。

【0033】

この映像処理回路30によれば、映像信号Vid-dで示される画素がリスク境界に接している暗画素であれば、フラグQが“1”になるとともに、その暗画素に指定される階調レベルが「c」よりも暗いレベルであれば、当該映像信号Vid-dで示される暗画素の階調レベルは「c」に置換された上で、映像信号Vid-outとして出力される。

一方、映像信号Vid-dで示される画素がリスク境界に接している暗画素でない場合、または、接している場合であっても、その階調レベルが「c」以上の明るいレベルを指定している場合に、本実施形態ではフラグQが“0”となるので、階調レベルが補正されることなく、映像信号Vid-dが、映像信号Vid-outとして出力される。

【0034】

液晶表示装置1の表示動作について説明すると、上位装置からは、映像信号Vid-inが、フレームにわたって1行1列～1行n列、2行1列～2行n列、3行1列～3行n列、...、m行1列～m行n列の画素の順番で、供給される。映像処理回路30は、映像信号Vid-inに対して上記置換等の処理を施して映像信号Vid-outとして出力する。

ここで、1行1列～1行n列の映像信号Vid-outが出力される水平有効走査期間（Ha）でみたときに、処理された映像信号Vidは、D/A変換器316によって、図5（b）で示されるように正極性または負極性のデータ信号Vxに、ここでは例えば正極性に変換される。このデータ信号Vxは、データ線駆動回路140によって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングされる。

一方、1行1列～1行n列の映像信号Vid-outが出力される水平走査期間では、走査制御回路20が走査線駆動回路130に対し走査信号Y1だけをHレベルとなるように制御する。走査信号Y1がHレベルであれば、1行目のTF T 116がオン状態になるので、データ線114にサンプリングされたデータ信号は、オン状態にあるTF T 116を介して画素電極118に印加される。これにより、1行1列～1行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

続いて、2行1列～2行n列の映像信号Vid-inは、同様に映像処理回路30によって処理されて、映像信号Vid-outとして出力されるとともに、D/A変換器316によって正極性のデータ信号に変換された上で、データ線駆動回路140によって1～n列目のデータ線114にサンプリングされる。

2行1列～2行n列の映像信号Vid-outが出力される水平走査期間では、走査線駆動回路130によって走査信号Y2だけがHレベルとなるので、データ線114にサンプリングされたデータ信号は、オン状態にある2行目のTFT116を介して画素電極118に印加される。これにより、2行1列～2行n列の液晶素子には、それぞれ映像信号Vid-outで指定された階調レベルに応じた正極性電圧が書き込まれる。

以下同様な書込動作が3、4、...、m行目に対して実行され、これにより、各液晶素子に、映像信号Vid-outで指定された階調レベルに応じた電圧が書き込まれて、原則として映像信号Vid-inで規定される透過像が作成されることとなる。

次のフレームでは、データ信号の極性反転によって映像信号Vid-outが負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0035】

図5(b)は、映像処理回路30から、水平走査期間(H)にわたって1行1列～1行n列の映像信号Vid-outが出力されたときのデータ信号Vxの一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号Vxは、正極性であれば、基準電圧Vcntに対し、映像処理回路30によって処理された階調レベルが高くなるにつれて(明るくなるにつれて)高位側の電圧(図において↑で示す)になり、負極性であれば、基準電圧Vcntに対し、階調レベルに応じた分だけ低位側の電圧(図において↓で示す)になる。

詳細には、データ信号Vxの電圧は、正極性であれば、白に相当する電圧Vw(+)から黒に相当する電圧Vb(+)までの範囲で、一方、負極性であれば、白に相当する電圧Vw(-)から黒に相当する電圧Vb(-)までの範囲で、それぞれ基準電圧Vcntから階調レベルに応じた分だけ偏位させた電圧となる。

電圧Vw(+)および電圧Vw(-)は、電圧Vcntを中心に互いに対称の関係にある。電圧Vb(+)およびVb(-)についても電圧Vcntを中心に互いに対称の関係にある。

なお、図5(b)は、データ信号Vxの電圧波形を示すものであって、液晶素子120に印加される電圧(画素電極118とコモン電極108との電位差)とは異なる。また、図5(b)におけるデータ信号の電圧の縦スケールは、(a)における走査信号等の電圧波形と比較して拡大してある。

【0036】

続いて実施形態に係る映像処理回路30による処理の具体例について説明する。

映像信号Vid-inで示される画像(の一部)が例えば図11(1)に示されるように、階調範囲bの白(明)画素を背景として、液晶分子が不安定状態にある黒(暗)画素からなる領域を表示する画像である場合、第1検出部321によって検出される境界は、図11(2)に示される通りとなる。

次に、図11(3)に示されるように、第2検出部322は、検出された境界のうち、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が右側に位置し明画素が左側に位置する部分とを抽出して、リスク境界とする。

置換部314は、抽出されたリスク境界に接する暗画素に対して階調レベル「c」よりも暗いレベルが指定されていたときに、階調レベル「c」の映像信号に置換する。なお、図11(3)において、1で示される黒画素は、左下の一角において縦横に連続するリスク境界が位置しているので、「リスク境界に接している」ということになり、置換部314において階調レベル「c」よりも暗いレベルが指定されているか否かの判断対象となる。これは、1で示される黒画素に対し、左下に位置する白表示画素hに相当するパターンが右斜め上方向に1画素移動したときに対処するためである。

これに対して、2で示される黒画素は、その一角において縦または横のみに断裂したリスク境界が位置し、縦横で連続したリスク境界が位置していないので、置換部314に

10

20

30

40

50

において階調レベルの判断対象とはならない。

【0037】

ここでいう黒画素は、すべて階調レベル「c」よりも暗い画素であるから、図11(1)で示される画像は、リスク境界に接している黒画素の階調レベルが置換部314によって階調レベル「c」に置換されて、図11(4)に示される通りとなる。

このため、映像信号Vid-inで示される画像が、図12(a)に示されるように、黒画素からなる領域が右上方向、右方向または上方向のいずれかに1画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル100では、図12(b)に示されるように、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、階調レベル「c」に相当する電圧Vcの印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化する。

10

【0038】

したがって、本実施形態では、1フレーム分の画像全体ではなく、画素同士における境界およびリスク境界を検出するための処理だけで済むので、2フレーム分以上の画像を解析して動きを検出する構成と比較して、映像処理回路の大規模化や複雑化を抑えることが可能である。さらには、リバースチルトドメインが発生しやすい状態の領域が、黒画素の移動に伴って連続的となることを防止することが可能となる。

また、本実施形態では、映像信号Vid-inで規定される画像のうち、階調レベルが置換される画素は、明画素に接する暗画素であって、階調レベル「c」よりも暗い階調レベルが指定された暗画素のうち、当該明画素に対してチルト方位の下流側に位置する画素のみである。このため、映像信号Vid-inに基づかない表示が発生する部分は、チルト方位角を考慮しないで、明画素に接する暗画素であって、階調レベル「c」よりも暗い階調レベルが指定された暗画素のすべてを一律に置換する構成と比較して、少なく抑えることができる。

20

さらに、本実施形態では、設定値以上の映像信号を一律にクリップしもないので、使用しない電圧範囲を設けることによってコントラスト比に悪影響を与えることもない。

また、液晶パネル100の構造に変更等を加える必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0039】

30

<チルト方位角の他の例>

上述した実施形態では、VA方式においてチルト方位角 θ_b が45度である場合を例にとって説明した。次に、チルト方位角 θ_b が45度以外の例について説明する。

まず、図13(a)に示されるようにチルト方位角 θ_b が22.5度である例について説明する。この例では、自画素および周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図13(b)に示されるように、左辺および下辺に沿った内周領域で発生する。なお、この例では、図8に示したチルト方位角 θ_b が45度である場合の例を180度回転させたときと等価である。

40

チルト方位角 θ_b が22.5度である場合には、チルト方位角 θ_b が45度である場合にリバースチルトドメインが発生する要件(1)~(3)のうち、として、要件(2)を次のように修正する。すなわち、

(2) nフレームにおいて、当該明画素(印加電圧高)が、隣接する暗画素(印加電圧低)に対して、液晶分子におけるチルト方位の上流側に相当する右上側、右側または上側に位置する場合に、

と修正する。なお、要件(1)および要件(3)については変更はない。

したがって、チルト方位角 θ_b が22.5度であれば、nフレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に左下側、左側または下側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやれば良い。

50

このためには、映像処理回路 30 における第 2 検出部 322 が、第 1 検出部 321 によって検出された境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分とを抽出して、リスク境界として検出する構成とすれば良い。

この構成によれば、チルト方位角 θb が 22.5 度である場合、図 14 に示されるように、映像信号 Vid-in で規定される画像において黒画素からなる領域が左下方向、左方向または下方向のいずれかに 1 画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル 100 では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、階調レベル「c」に相当する電圧 V_c の印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化するので、リバースチルトドメインの発生を抑えることが可能となる。

10

【0040】

次に、図 15 (a) に示されるようにチルト方位角 θb が 90 度である例について説明する。この例では、白画素および周辺画素において液晶分子が不安定な状態から自己画素だけ明画素に変化したとき、当該自己画素においてリバースチルトは、図 15 (b) に示されるように、右辺に沿った領域で集中的に発生する。このため、当該自己画素においてリバースチルトドメインは、右辺で発生した幅の分だけ、上辺の右辺寄りおよび下辺の右辺寄りにおいても発生する、という見方もできる。

このため、チルト方位角 θb が 90 度である場合には、チルト方位角 θb が 45 度である場合にリバースチルトドメインが発生する要件 (1) ~ (3) のうち、として、要件 (2) を次のように修正する。すなわち、

20

(2) n フレームにおいて、当該明画素 (印加電圧高) が、隣接する暗画素 (印加電圧低) に対して、液晶分子におけるチルト方位の上流側に相当する左側のみならず、その左側で発生する領域の影響を受ける上側または下側に位置する場合に、

と修正する。なお、要件 (1) および要件 (3) については変更はない。したがって、チルト方位角 θb が 90 度であれば、n フレームにおいて、暗画素と明画素とが隣接する場合であって、当該暗画素が、当該明画素に対して反対に右側、下側または上側に位置する場合、当該暗画素に相当する液晶素子に対し、液晶分子が不安定な状態とならないような措置を施してやれば良い。

このためには、映像処理回路 30 における第 2 検出部 322 が、第 1 検出部 321 によって検出された境界のうち、暗画素が右側に位置し明画素が左側に位置する部分と、暗画素が上側に位置し明画素が下側に位置する部分と、暗画素が下側に位置し明画素が上側に位置する部分とを抽出して、リスク境界として検出する構成とすれば良い。

30

この構成によれば、チルト方位角 θb が 90 度である場合、図 16 に示されるように、映像信号 Vid-in で規定される画像において黒画素からなる領域が上方向、右上方向、右方向、右下方向または下方向のいずれかに 1 画素だけ移動することによって、黒画素から白画素に変化する部分が存在しても、液晶パネル 100 では、液晶分子が不安定な状態から白画素へと直接的に変化せず、一旦、階調レベル「c」に相当する電圧 V_c の印加によって強制的に液晶分子が安定した状態を経た後に、白画素に変化するので、リバースチルトドメインの発生を抑えることが可能となる。

40

【0041】

< TN 方式 >

上述した実施形態では、液晶 105 に VA 方式を用いた例について説明した。そこで次に、液晶 105 に TN 方式とした例について説明する。

図 17 (a) は、液晶パネル 100 における 2×2 の画素を示す図であり、図 17 (b) は、図 17 (a) における p - q 線を含む垂直面で破断したときの簡易断面図である。

これらの図に示されるように、TN 方式の液晶分子は、画素電極 118 とコモン電極 108 との電位差がゼロである状態において、チルト角が θa であって、チルト方位角が θb ($= 45$ 度) で、初期配向しているものとする。TN 方式は、VA 方式とは反対に、基板水平方向に傾斜するので、TN 方式のチルト角 θa は、VA 方式の値よりも大きい。

50

【 0 0 4 2 】

液晶 1 0 5 に T N 方式を用いた例では、高コントラスト比などが得られる等の理由により、電圧無印加時において液晶素子 1 2 0 が白状態となるノーマリーホワイトモードが用いられる場合が多い。

このため、液晶 1 0 5 に T N 方式を用いるとともに、ノーマリーホワイトモードとしたとき、液晶素子 1 2 0 の印加電圧と透過率との関係は、図 4 (b) に示されるような V - T 特性で表され、印加電圧が高くなるにつれて透過率が減少する。ただし、液晶素子 1 2 0 の印加電圧が電圧 V_c を下回るときに、液晶分子が不安定状態となる点においては、ノーマリーブラックモードと変わりはない。

【 0 0 4 3 】

このような T N 方式のノーマリーホワイトモードにおいて、図 1 8 (a) に示されるように、(n - 1) フレームにおいて 2×2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、n フレームにおいて、右上の 1 画素だけが黒画素に変化するときを想定する。上述したようにノーマリーホワイトモードにおいて、画素電極 1 1 8 とコモン電極 1 0 8 との電位差は、ノーマリーブラックモードとは反対に白画素よりも黒画素で大きい。このため、白から黒に変化する右上の画素では、図 1 8 (b) のように、液晶分子が実線で示される状態から破線で示される状態に、電界方向に沿った方向（基板面の垂直方向）に起立しようとする。

しかしながら、白画素の画素電極 1 1 8 (W t) と黒画素の画素電極 1 1 8 (B k) との間隙で生じる電位差は、黒画素の画素電極 1 1 8 (B k) とコモン電極 1 0 8 との間で生じる電位差と同程度である上に、画素電極同士の間隙が画素電極 1 1 8 とコモン電極 1 0 8 との間隙よりも狭い。よって、電界の強度で比較すると、画素電極 1 1 8 (W t) と画素電極 1 1 8 (B k) との間隙で生じる横電界は、画素電極 1 1 8 (B k) とコモン電極 1 0 8 との間隙で生じる縦電界よりも強い。

右上の画素は、(n - 1) フレームにおいて液晶分子が不安定な状態の白画素であったため、液晶分子が縦電界の強度に応じて傾斜するまでに時間がかかる。一方、黒レベルの電圧が画素電極 1 1 8 (B k) に印加されたことによる縦電界よりも、隣接する画素電極 1 1 8 (W t) からの横電界の方が強いので、黒になろうとしている画素では、図 1 8 (b) に示されるように、白画素に隣接する側の液晶分子 R v が、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじてリバースチルト状態となる。

先にリバースチルト状態となった液晶分子 R v は、縦電界にしたがって破線のように基板水平方向に起立しようとする他の液晶分子の動きに悪影響を与える。このため、黒に変化すべき画素においてリバースチルトが発生する領域は、図 1 8 (c) に示されるように、黒に変化すべき画素と白画素との間隙にとどまらず、その間隙から黒に変化すべき画素を浸食する形で広範囲に拡がる。

したがって、図 1 8 に示した内容から、黒に変化しようとする着目画素の周辺が白画素であった場合、当該着目画素に対して白画素が左下側、左側および下側で隣接するとき、当該着目画素では、リバースチルトが左辺および下辺に沿った内周領域にて発生することになる。

【 0 0 4 4 】

一方、図 1 9 (a) に示されるように、(n - 1) フレームにおいて 2×2 の 4 画素がすべて液晶分子の不安定な白画素の状態から、n フレームにおいて、左下の 1 画素だけが黒画素に変化するときを想定する。この変化においても、黒画素の画素電極 1 1 8 (B k) と白画素の画素電極 1 1 8 (W t) との間隙では、画素電極 1 1 8 (B k) とコモン電極 1 0 8 との間隙の縦電界よりも強い横電界が発生する。この横電界によって、図 1 9 (b) に示されるように、白画素において黒画素に隣接する側の液晶分子 R v は、縦電界にしたがって傾斜しようとする他の液晶分子よりも時間的に先んじて配向が変化して、リバースチルト状態となるが、白画素では縦電界の強度が (n - 1) フレームから変わらないので、他の液晶分子に影響をほとんど与えない。このため、白画素から変化しない画素においてリバースチルトが発生する領域は、図 1 9 (c) に示されるように、図 1 8 (c) の

の例と比較して無視できる程度に狭い。

一方、 2×2 の4画素のうち、左下において白から黒に変化する画素では、液晶分子の初期配向方向が横電界の影響を受けにくい方向であるので、縦電界が加わっても、リバーチルト状態となる液晶分子がほとんど存在しない。このため、左下画素では、縦電界の強度が大きくなるにつれて、液晶分子が基板面の垂直方向に図18(b)において破線で示されるように正しく起立する結果、目的である黒画素に変化するので、表示品位の劣化が発生しないことになる。

【0045】

このため、TN方式においてチルト方位角 θ_b が45度であるノーマリーホワイトモードの場合、要件(1)をそのままに、

(2) nフレームにおいて、当該暗画素(印加電圧高)が、隣接する明画素(印加電圧低)に対して右上側、右側または上側に位置する場合に、

(3) nフレームにおいて当該暗画素に変化する画素は、1フレーム前の(n-1)フレームでは、液晶分子が不安定な状態にあったとき

nフレームにおいて当該暗画素でリバーチルトが発生する、ということになる。

したがって、この発生状態を、(n+1)フレームを基準として考え直した場合、画像の動きによって、(n+1)フレームにおいて暗画素が上記位置関係を満たすことになっても、変化前のnフレームにおいて、当該画素の液晶分子が不安定な状態にならないような措置を施してやれば良い、ということになる。

ノーマリーホワイトモードでは、ノーマリーブラックモードとは反対に、階調レベルが高い(明るい)ほど、液晶素子の印加電圧が低くなる点を考慮すれば、映像処理回路30の構成を、次のように変更すれば良いことになる。

すなわち、nフレームにおいて、映像処理回路30における第2検出部322が、第1検出部321によって検出された境界のうち、暗画素が下側に位置し明画素が上側に位置する部分と、暗画素が左側に位置し明画素が右側に位置する部分と、を抽出して、リスク境界として検出するとともに、置換部314が、判別部324から供給されるフラグQが“1”である場合に、映像信号Vid-dで指定される階調レベルが「c」よりも明るいレベルを指定していれば、階調レベル「c」の映像信号に置換して、映像信号Vid-outとして出力する構成であれば良い。

なお、この例では、TN方式においてチルト方位角 θ_b を45度とした例を説明したが、リバーチルトドメインの発生方向がVA方式と逆になる点を考慮すれば、チルト方位角 θ_b が45度以外の角度である場合の措置、そのための構成についても、いままでの説明から容易に類推できるはずである。

【0046】

< パターンの移動方向 >

実施形態では、暗画素と明画素とが垂直または水平方向で隣接する部分を境界として検出したが、この理由は、画像パターンの移動方向がいずれにも対処するためである。

一方、ワードプロセッサや、テキストエディターなどの表示画面において、カーソルのような移動を考えると、画像パターンの移動方向として、水平(X)方向のみを想定すれば十分である場合がある。

また、映像信号Vid-inは、1行1列~1行n列、2行1列~2行n列、3行1列~3行n列、...、m行1列~m行n列の画素の順番で供給されるので、移動方向として水平方向のみを想定すれば、互いにX方向に隣接する2画素(すなわち、連続して供給される2画素)の階調レベル同士を比較するだけで足りる。

【0047】

詳細には、第1検出部321については、図20に示されるように、上位装置から供給される映像信号Vid-inを1画素分だけ遅延させて映像信号D1として出力する遅延回路331と、映像信号Vid-inと映像信号D1とを入力する判別部332と、によって構成することができる。このうち、判別部332は、

(A) 映像信号Vid-inの階調レベルが階調範囲aにあり、かつ、映像信号D1の階調レベ

10

20

30

40

50

ルが階調範囲 b にある場合、または、その反対に、

(B) 映像信号 Vid - in の階調レベルが階調範囲 b にあり、かつ、映像信号 D1 の階調レベルが階調範囲 a にある場合、

を境界として検出する構成で済むので、映像信号 Vid - in を 3 行以上蓄積する必要がなくなる。

なお、検出した境界のうち、暗画素および明画素が所定の位置関係となるものが、第 2 検出部 3 2 2 によってリスク境界として検出されるのは、実施形態と同様である。

【 0 0 4 8 】

画像パターンの移動方向として水平方向のみを想定する場合に、例えば V A 方式であってチルト方位角 θb を 4 5 度とすると、第 1 検出部 3 2 1 は、階調範囲 a にある画素と階調範囲 b にある画素とが垂直方向で隣接する部分のみを境界として検出すれば良い。この場合、第 1 検出部 3 2 1 は、水平方向で隣接する部分について境界として扱わない。

このような構成において、例えば映像信号 Vid - in で示される画像が図 2 1 (1) に示されるような場合、第 1 検出部 3 2 1 によって検出される境界は、図 2 1 (2) で示されるように、階調範囲 a にある黒画素と階調範囲 b にある白画素とが垂直方向で隣接する部分のみとなる。

このため、第 2 検出部 3 2 2 によって抽出されるリスク境界は、図 2 1 (3) で示されるように、白画素が左側に位置し黒画素が右側に位置する部分のみとなる。

ここでいう黒画素は、すべて階調レベル「 c 」よりも暗い画素であるので、リスク境界に接している黒画素の階調レベルは、すべて図 2 1 (4) で示されるように、置換部 3 1 4 によって階調レベル「 c 」に置換される。

【 0 0 4 9 】

このように画像パターンの動き方向として水平方向のみを想定すれば、第 1 検出部 3 2 1 は、連続して供給される 2 画素分の階調データを比較する構成で済むので、垂直方向や斜め方向についても想定する構成と比較して、構成の簡易化を図ることが可能となる。

なお、ここでは V A 方式であってチルト方位角 θb を 4 5 度とした場合を例にとって説明したが、V A 方式であってチルト方位角 θb を 2 2 5 度とした場合については、図 2 2 に示される通りとなる。

【 0 0 5 0 】

< 置換対象とする画素数 >

実施形態では、リスク境界に接する画素の印加電圧 V_c が下回るときに、当該画素の階調レベルを「 c 」に置換することによって、液晶素子に電圧 V_c を印加し、これにより、液晶分子が不安定な状態にならないような構成とした。すなわち、印加電圧の置換対象を、リスク境界に接する画素に限った構成とした。しかしながら、置換対象となる画素については、当該リスク境界に接する画素のみならず、リスク境界に接する画素に対して当該リスク境界とは反対方向に位置する 1 以上の画素についても置換対象としても良い場合がある。そこで次に、このような場合について説明する。

【 0 0 5 1 】

上述したように液晶分子が不安定な状態から、他の状態へと変化する場合、その応答に時間がかかりやすい。このため、電圧 V_c を印加してから、1 フレームに相当する 1 6 . 7 ミリ秒経過した時点であっても、液晶分子が不安定な状態から脱しないケースもあり得る。

上述した実施形態は、あるフレームで表示された画像パターンが次のフレームにかけて 1 画素分移動して、次のフレームにおいて要件 (1) および要件 (2) を満たすことになったときでも、要件 (3) を満たさないように、リスク境界に接する画素に印加電圧が V_c を下回るような階調レベルが指定されていれば、これを階調レベル「 c 」に置換する構成であった。しかしながら、上記ケースに該当する場合、電圧 V_c が印加された画素が、次のフレームにおいて要件 (1) および要件 (2) を満たすことになったときに、次のフレームでは、液晶分子が安定な状態に達していないので、リバースチルトドメインが発生してしまうことになる。

10

20

30

40

50

【 0 0 5 2 】

液晶パネル 1 0 0 の表示画面が更新される時間間隔を S (ミリ秒) とし、また、液晶素子 1 2 0 において、印加電圧が V_c を下回る状態から、電圧 V_c が印加されて当該電圧 V_c に応じた配向状態になるまでの応答時間を T (ミリ秒) とする。

実施形態では、上述したように等倍速で駆動されるので、時間間隔 S は、フレームに等しい 1 6 . 7 ミリ秒である。このため、 $S (= 1 6 . 7)$ T であれば、上述した実施形態のように置換候補は、リスク境界に接する 1 画素のみで足りる。

ただし、 $S < T$ $2 S$ であれば、電圧 V_c を印加してから、1 フレームに相当する 1 6 . 7 ミリ秒経過した時点であっても、液晶分子が不安定な状態から脱していないことになる。従って、印加電圧の置換対象として、リスク境界に接する画素と、当該リスク境界に接する画素に対して当該リスク境界とは反対方向で隣接する画素との、計 2 画素とする。

このためには、例えば $V A$ 方式においてチルト方位角 θb が 4 5 度である場合に、判別部 3 2 4 は、次のように判別すれば良い。すなわち、判別部 3 2 4 は、遅延して出力された映像信号 $Vid-d$ で示される画素が第 2 検出部 3 2 2 によって抽出されたリスク境界に接している画素である場合、または、当該リスク境界に接する画素に対して当該リスク境界とは反対方向に位置する画素である場合において、当該画素が暗画素であれば、フラグ Q を “ 1 ” とし、そうでなければ “ 0 ” とすれば良い。

このように置換対象として 2 画素にすると、図 2 3 (a) に示されるように、画像パターンが例えば 1 画素ずつ右方向に移動するときに、リスク境界の端部に位置する 2 つの黒画素、すなわち、印加電圧が V_c を下回るような階調レベルが指定された黒画素は、置換によって、図 2 3 (b) に示されるように液晶素子に電圧 V_c が印加される期間が 2 フレームとなって倍化するので、液晶分子が安定な状態に十分に達することになる。

【 0 0 5 3 】

図 2 4、図 2 5 および図 2 6 は、いずれも $V A$ 方式で置換対象を 2 画素とした場合の例であって、このうち、図 2 4 は、チルト方位角 θb を 4 5 度とした例であり、図 2 5 は、チルト方位角 θb を 9 0 度とした例であり、図 2 6 は、チルト方位角 θb を 2 2 5 度とし、かつ、画像パターンの動きとして水平方向のみを想定した例である。

置換部 3 1 4 は、抽出されたリスク境界に接する暗画素に対して階調レベル「 c 」よりも暗いレベルが指定されていたときに、階調レベル「 c 」の映像信号に置換する。

なお、図 2 4 (3) において、3 で示される黒画素は、白表示画素 h に相当するパターンが右斜め上方向に 2 画素移動したときに対処するため、例外的に、当該リスク境界に接する画素に対して当該リスク境界とは反対方向に位置する画素として扱っている。

【 0 0 5 4 】

また、 $2 S < T$ $3 S$ であれば、印加電圧の置換対象として、リスク境界に接する画素と、当該リスク境界に接する画素を始点としたときに、当該リスク境界とは反対方向に向かって連続する 2 画素との計 3 画素とすればよい。

一般論として、印加電圧の置換対象とする画素数については、上記応答時間 T を時間間隔 S で割った値の整数部に「1」を加えた値(加算値)が好ましい、ということになる。

ただし、リスク境界に接する画素数は、応答時間 T にかかわらず、必ず「1」であるので、リスク境界に接する画素を除外するのが妥当である。このため、当該リスク境界とは反対方向に向かって連続する画素数(すなわち、置換対象の追加分)については、 $S < T$ である場合に、上記応答時間 T を時間間隔 S で割った値の整数部の値とすれば良いことになる。

ここで、置換対象とする画素を多く設定すると、映像信号 $Vid-in$ で指定される階調レベルを不必要に置換してしまうこととなる一方で、置換対象とする画素を少なく設定すると、液晶分子が不安定な状態が次の更新(書換)でも継続してしまう。

【 0 0 5 5 】

ところで近年では、2 倍速、4 倍速、... というように、液晶パネル 1 0 0 の駆動がより高速化する傾向がある。一方、このような高速駆動であっても、上位装置からは供給される映像信号 $Vid-in$ は、等速駆動と同様にフレーム毎に 1 コマ分である。このため、 n フ

10

20

30

40

50

フレームと (n + 1) フレームの間では、動画表示視認特性を向上させる等のために、補間技術等によって両フレームの中間的な画像が生成されて、液晶パネル 100 に表示される場合がある。例えば 2 倍速駆動の場合、表示画面が更新される時間間隔は、半分の 8.35 (ミリ秒) となる。このため、各フレームは第 1 フィールドと第 2 フィールドとの 2 つに分割されるとともに、第 1 フィールドでは、例えば自フレームの画像を表示させる更新がなされ、第 2 フィールドでは、当該自フレームの画像と後のフレームの画像とに相当する補間画像を表示させる更新がなされる。

したがって、高速駆動であっても、フレームを分割したフィールドにおいて、画像パターンが 1 画素分ずつ移動する場合があります。

映像信号 Vid-in が 1 コマ分供給されるフレームの時間を F (ミリ秒) としたとき、これの U 倍速 (U は整数) で液晶パネルを駆動するとき、1 フィールドの時間は、F を U で割った値となり、これが表示画面の更新される時間間隔 S となる。

このため、例えば 1 フレームが 16.7 ミリで供給される映像信号 Vid-in に対して液晶パネル 100 を 2 倍速で駆動するとき、表示画面が更新される時間間隔 S は、半分の 8.35 ミリ秒となる。ここで、上記応答時間 T が仮に 24 ミリ秒であったとすると、置換対象として好ましい画素数は、「24」を「8.35」で割った値が「2.874...」であるから、この値のうちの整数部「2」に「1」を加えた「3」ということになる。なお、リスク境界に接する画素を除外して考えると、当該リスク境界とは反対方向に向かって連続する画素数 (追加分) については、上記整数部「2」ということになる。

【0056】

上述した説明において、映像信号 Vid-in は、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしても良い。映像信号 Vid-in が液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすれば良い。

また、液晶素子 120 は、透過型に限られず、反射型であっても良い。

【0057】

< 電子機器 >

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル 100 をライトバルブとして用いた投射型表示装置 (プロジェクター) について説明する。図 27 は、このプロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター 2100 の内部には、ハロゲンランプ等の白色光源からなるランプユニット 2102 が設けられている。このランプユニット 2102 から射出された投射光は、内部に配置された 3 枚のミラー 2106 および 2 枚のダイクロイックミラー 2108 によって R (赤) 色、G (緑) 色、B (青) 色の 3 原色に分離されて、各原色に対応するライトバルブ 100R、100G および 100B にそれぞれ導かれる。なお、B 色の光は、他の R 色や G 色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ 2122、リレーレンズ 2123 および出射レンズ 2124 からなるリレーレンズ系 2121 を介して導かれる。

【0058】

このプロジェクター 2100 では、液晶パネル 100 を含む液晶表示装置が、R 色、G 色、B 色のそれぞれに対応して 3 組設けられる。ライトバルブ 100R、100G および 100B の構成は、上述した液晶パネル 100 と同様である。R 色、G 色、B 色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ 100R、100G および 100B がそれぞれ駆動される構成となっている。ライトバルブ 100R、100G、100B によってそれぞれ変調された光は、ダイクロイックプリズム 2112 に 3 方向から入射する。そして、このダイクロイックプリズム 2112 において、R 色および B 色の光は 90 度に屈折する一方、G 色の光は直進する。したがって、各原色の画像が合成された後、スクリーン 2120 には、投射レンズ群 2114 によってカラー画像が投射されることとなる。

【0059】

10

20

30

40

50

なお、ライトバルブ 100R、100G および 100B には、ダイクロミックミラー 2108 によって、R 色、G 色、B 色のそれぞれに対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ 100R、100B の透過像は、ダイクロミックプリズム 2112 により反射した後に投射されるのに対し、ライトバルブ 100G の透過像はそのまま投射されるので、ライトバルブ 100R、100B による水平走査方向は、ライトバルブ 100G による水平走査方向と逆向きにして、水平方向の左右を反転させた像を表示する構成となっている。

【0060】

電子機器としては、図 27 を参照して説明したプロジェクターの他にも、テレビジョンや、ビューファインダー型・モニタ直視型のビデオテープレコーダー、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS 端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

【符号の説明】

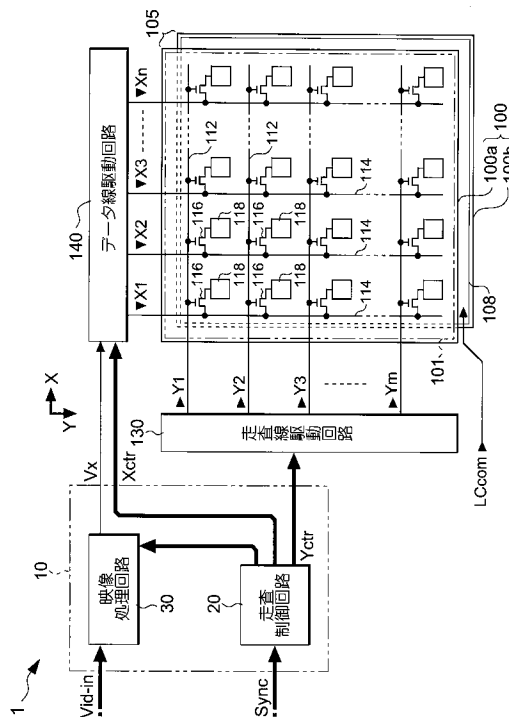
【0061】

1 ... 液晶表示装置、30 ... 映像処理回路、100 ... 液晶パネル、100a ... 素子基板、100b ... 対向基板、105 ... 液晶、108 ... コモン電極、118 ... 画素電極、120 ... 液晶素子、302 ... 境界検出部、314 ... 置換、316 ... D/A 変換器、2100 ... プロジェクター

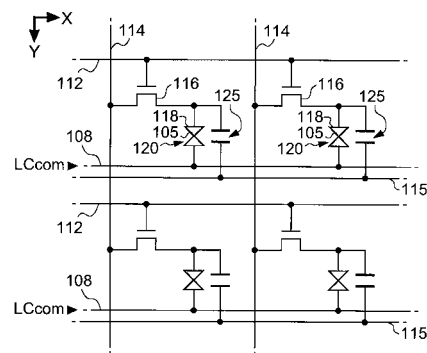
10

20

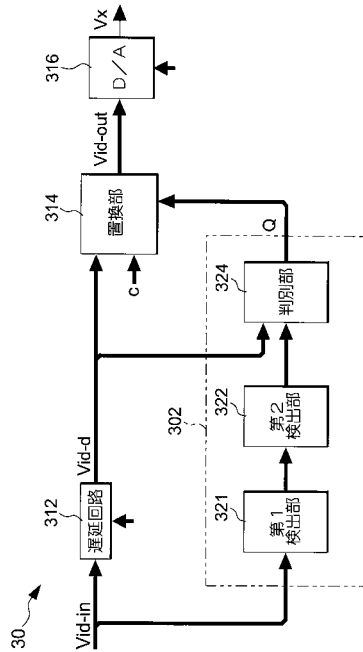
【図 1】



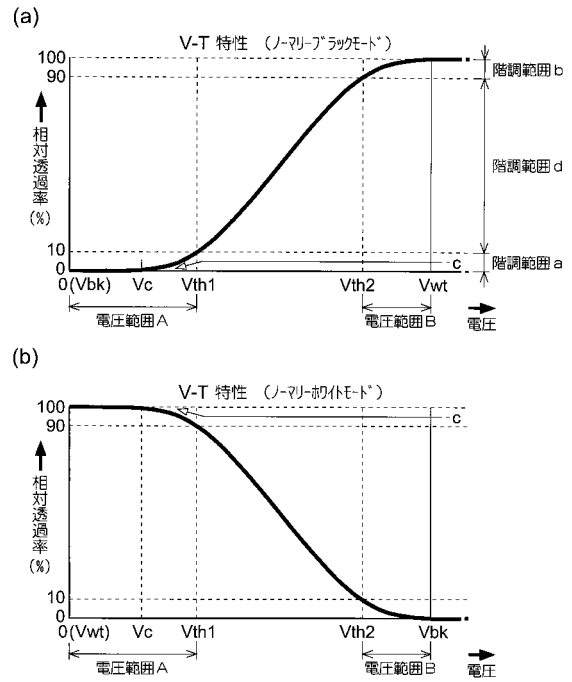
【図 2】



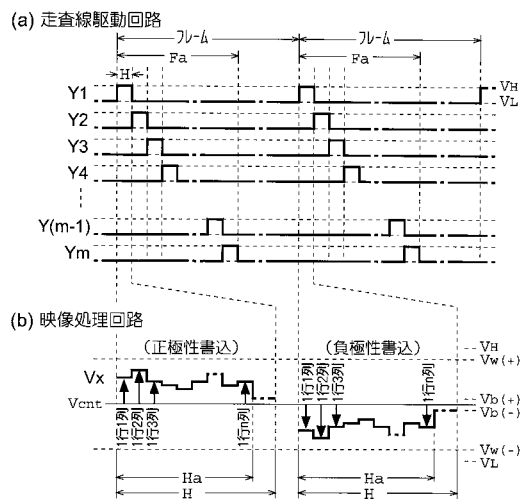
【図 3】



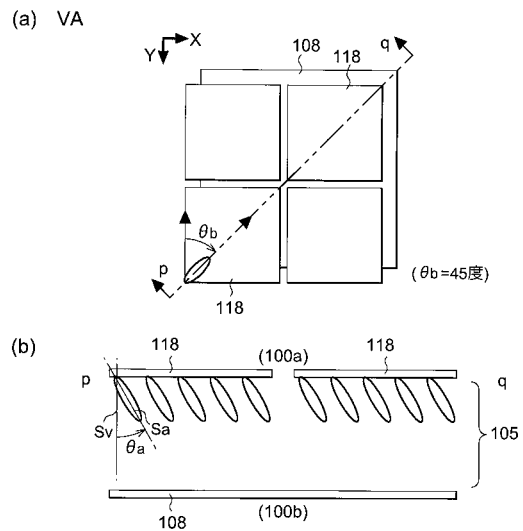
【図 4】



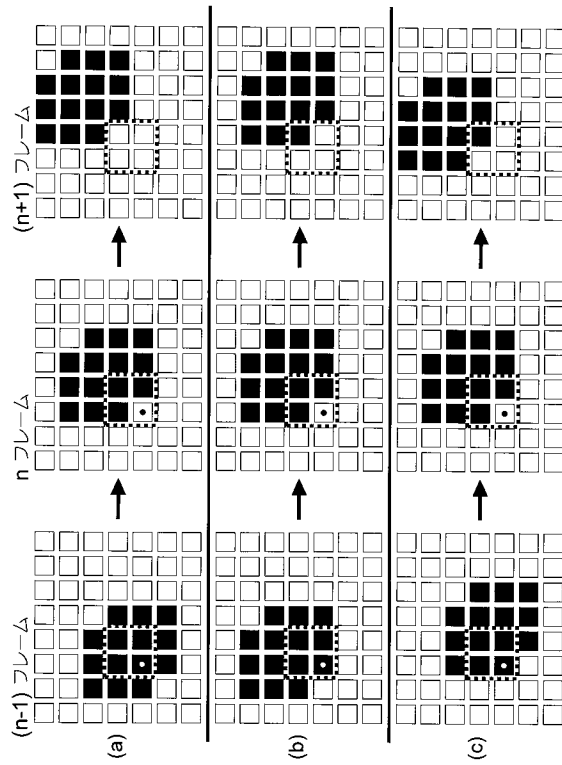
【図 5】



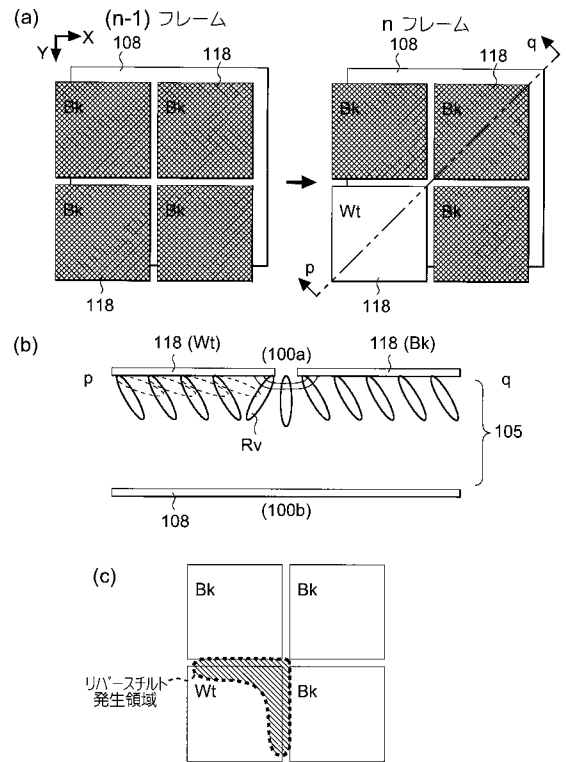
【図 6】



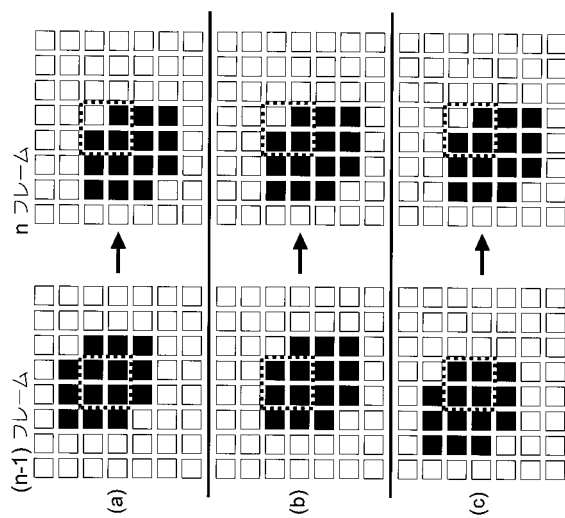
【図 7】



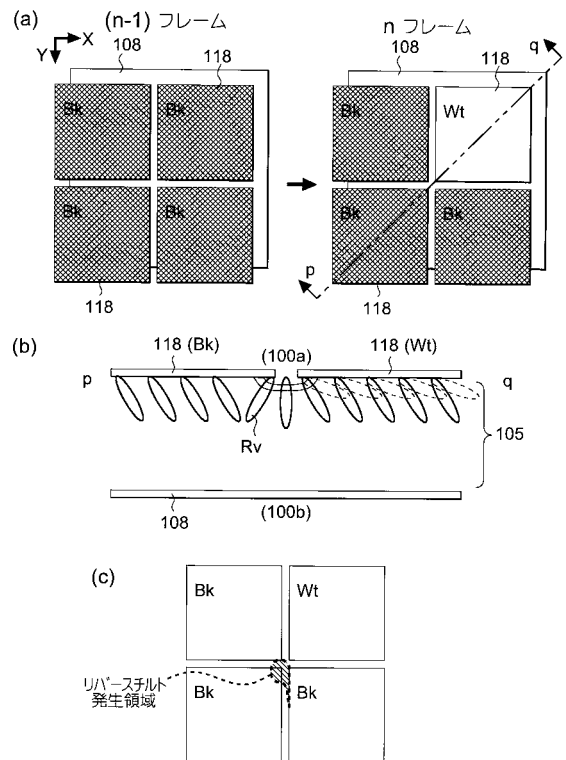
【図 8】



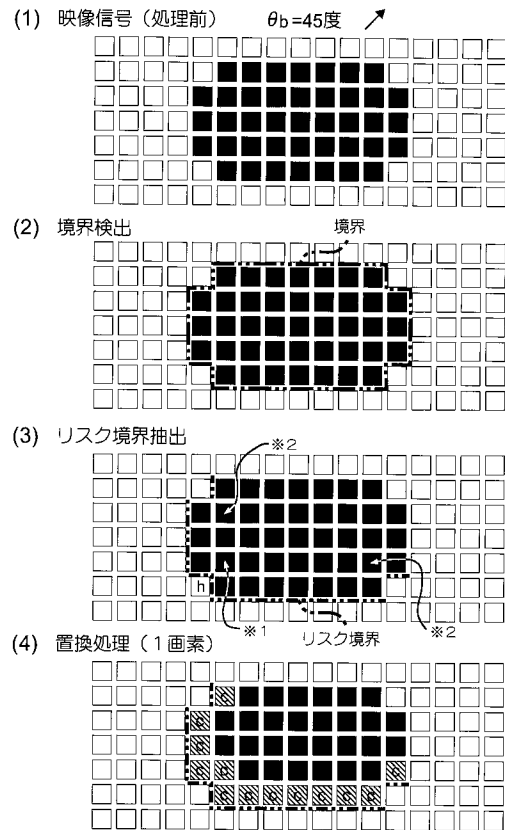
【図 9】



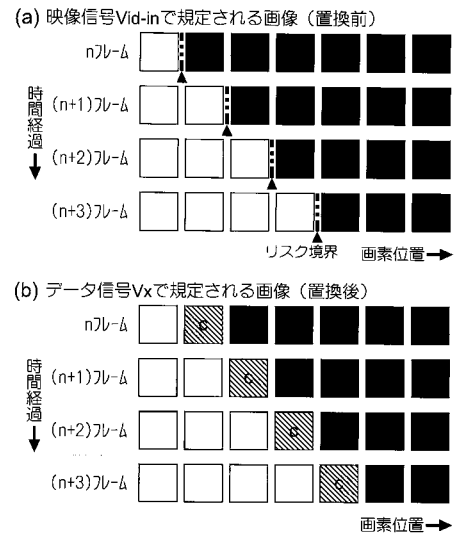
【図 10】



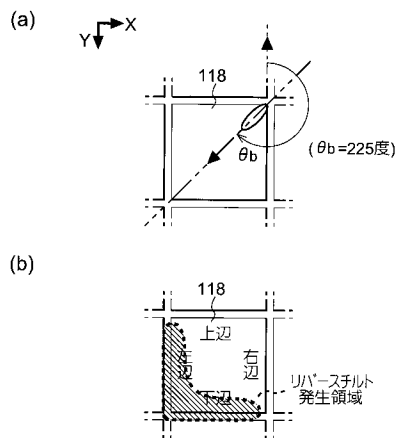
【図 1 1】



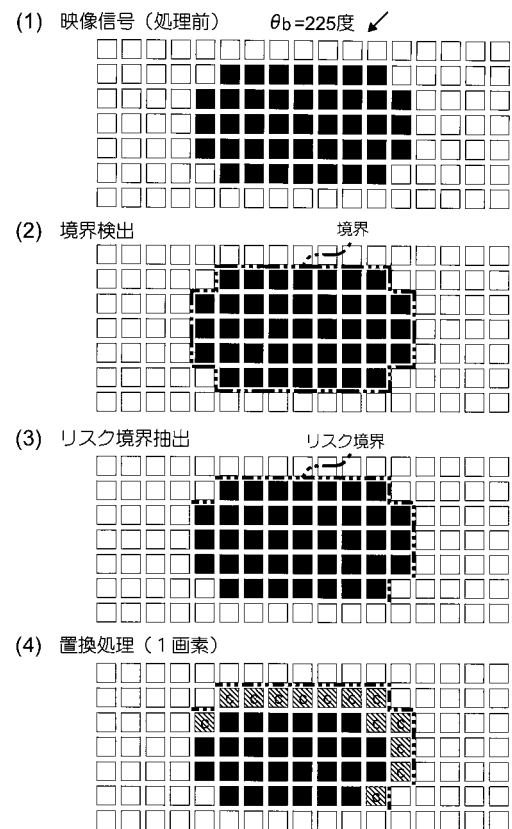
【図 1 2】



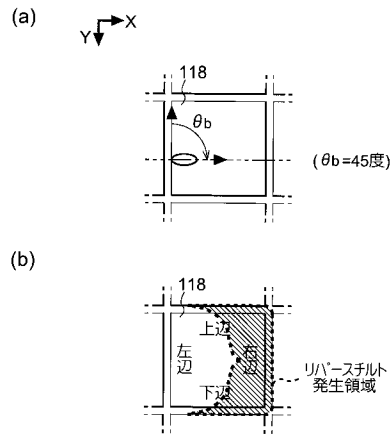
【図 1 3】



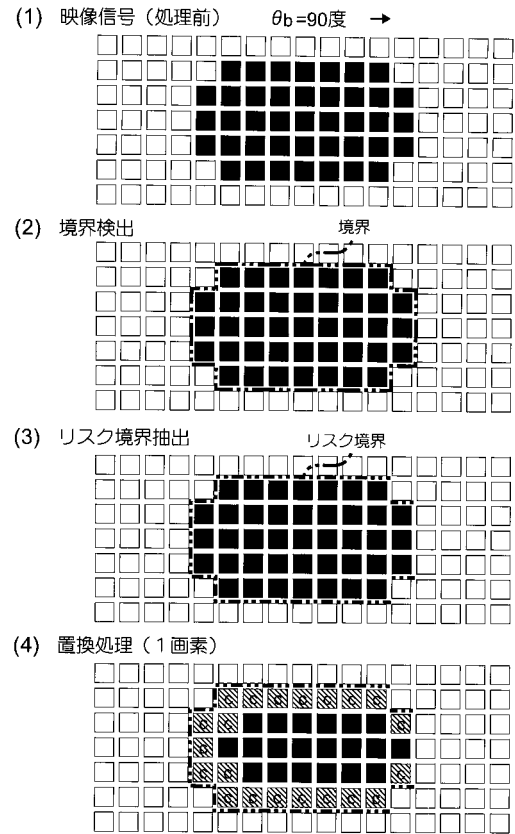
【図 1 4】



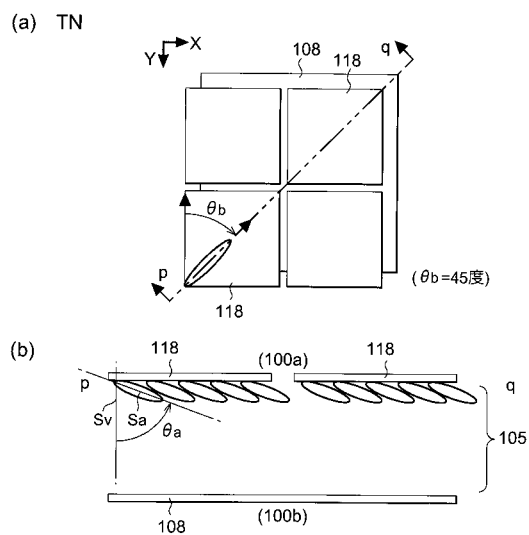
【図 15】



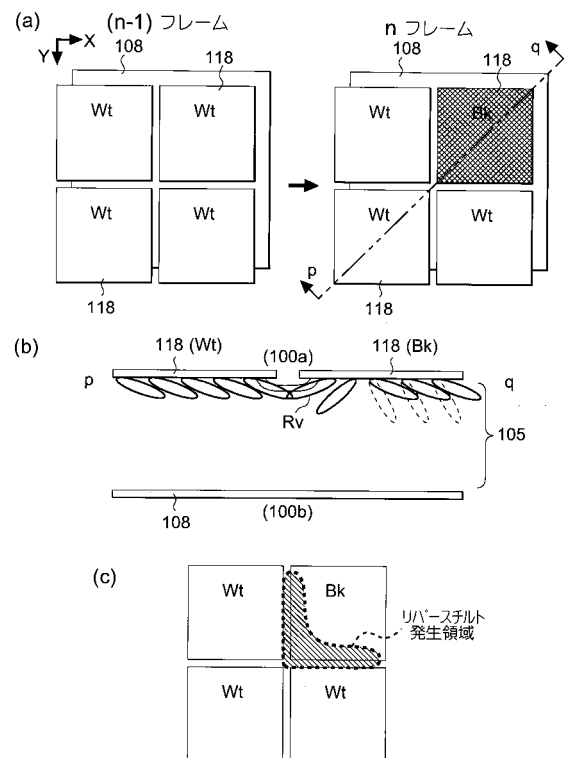
【図 16】



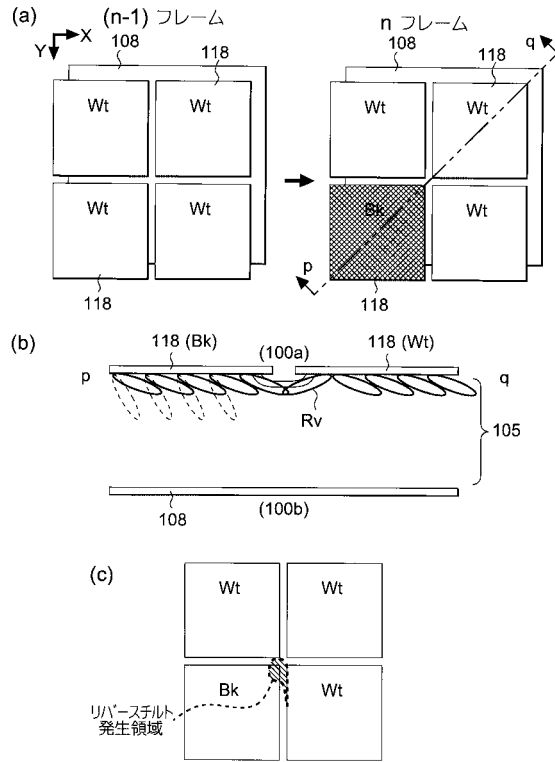
【図 17】



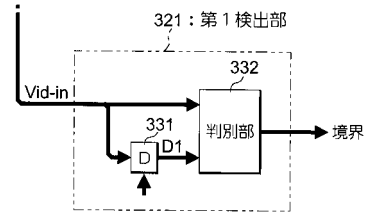
【図 18】



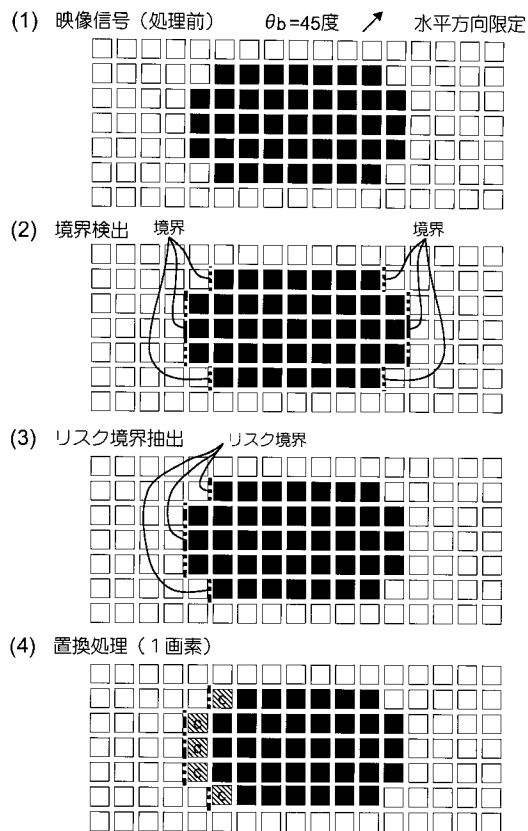
【図 19】



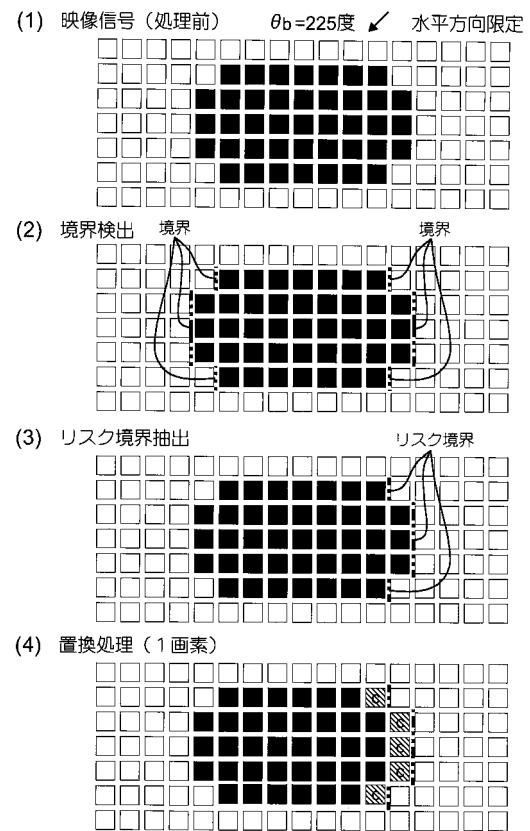
【図 20】



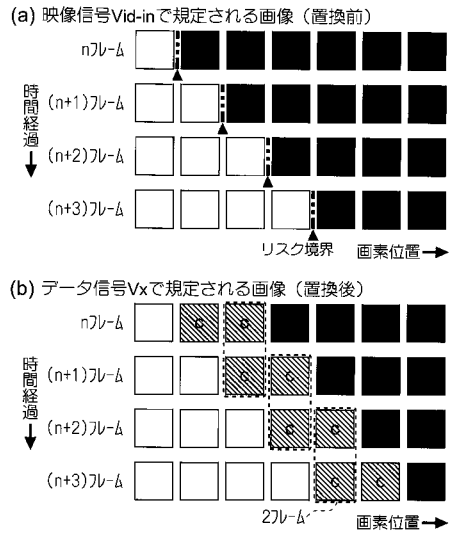
【図 21】



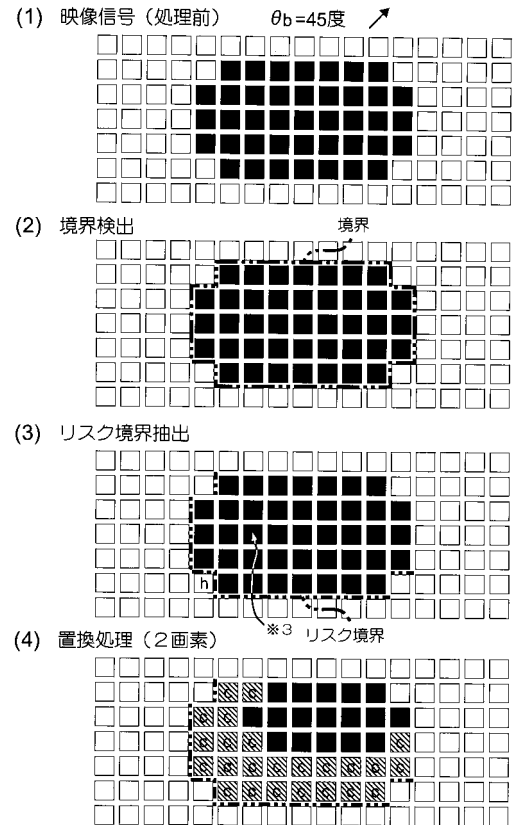
【図 22】



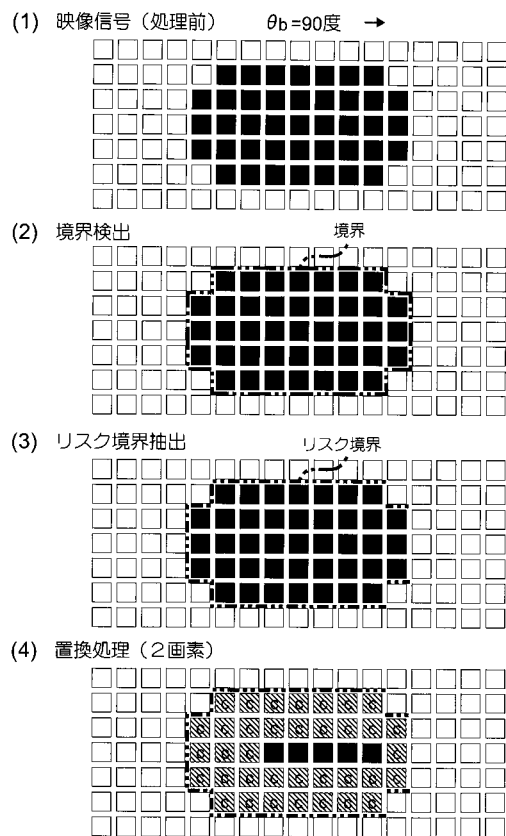
【図 2 3】



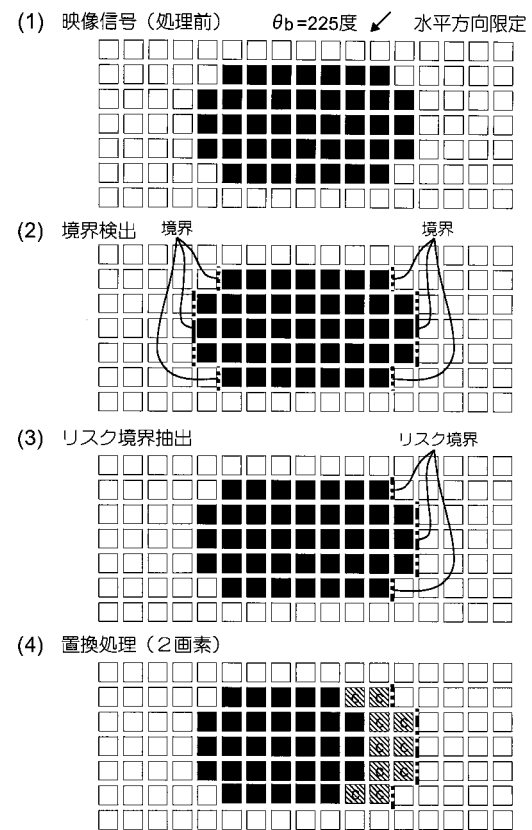
【図 2 4】



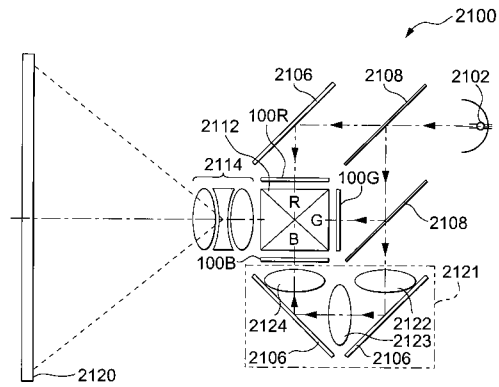
【図 2 5】



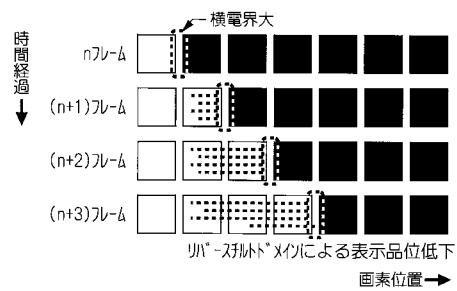
【図 2 6】



【図 27】



【図 28】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 3 2 Z
G 0 9 G	3/20	6 4 1 C
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/36	

F ターム(参考)	5C006	AA16	AA22	AC28	AF43	AF45	AF57	AF64	AF83	BC16	BF07
		BF09	BF11	EC11	FA25	FA36	FA41	GA03	GA04		
	5C080	AA10	BB05	CC03	DD05	DD10	DD22	EE29	EE30	FF11	FF12
		JJ01	JJ02	JJ03	JJ04	JJ05	JJ06	KK02	KK04	KK07	KK23
		KK25	KK29	KK43	KK47						

专利名称(译)	图像处理电路，其处理方法，液晶显示装置和电子设备		
公开(公告)号	JP2011107174A	公开(公告)日	2011-06-02
申请号	JP2009258795	申请日	2009-11-12
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	保坂宏行 飯坂英仁		
发明人	保坂 宏行 飯坂 英仁		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3648 G09G2330/08 G09G2360/16		
FI分类号	G02F1/133.505 G09G3/20.642.A G09G3/20.611.D G09G3/20.612.U G09G3/20.623.C G09G3/20.632.Z G09G3/20.641.C G09G3/20.641.P G09G3/36		
F-TERM分类号	2H193/ZA04 2H193/ZB03 2H193/ZB05 2H193/ZC15 2H193/ZD21 2H193/ZF21 2H193/ZF31 2H193/ZF59 2H193/ZH25 2H193/ZH26 2H193/ZH53 2H193/ZQ16 5C006/AA16 5C006/AA22 5C006/AC28 5C006/AF43 5C006/AF45 5C006/AF57 5C006/AF64 5C006/AF83 5C006/BC16 5C006/BF07 5C006/BF09 5C006/BF11 5C006/EC11 5C006/FA25 5C006/FA36 5C006/FA41 5C006/GA03 5C006/GA04 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD10 5C080/DD22 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK02 5C080/KK04 5C080/KK07 5C080/KK23 5C080/KK25 5C080/KK29 5C080/KK43 5C080/KK47		
其他公开文献	JP5454092B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于横向电场的影响导致的显示质量的下降。解决方案：液晶面板100包括液晶元件，该液晶元件具有插入在设置在元件基板100a上的像素电极118之间的液晶105和公共电极108设置在对向基板100b上。视频处理电路30检测风险边界，该风险边界是暗像素之间的边界的一部分，其中对应于由视频信号Vid-in指定的灰度等级的液晶元件的施加电压低于阈值电压Vth1。施加电压等于或高于阈值Vth2的亮像素，由液晶分子的倾斜方位确定;当与检测到的风险边界接触的暗像素的施加电压小于电压Vc时，视频处理电路30从对应于视频指定的灰度等级的施加电压中替换施加到暗像素的电压。信号，到电压Vc。

