

【特許請求の範囲】

【請求項 1】

Nビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレイパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力されるNビットのデジタルデータは、上位Xビットと下位Yビットで構成されて、

前記Nビットのデジタルデータの電圧範囲を3個の領域で分けて各領域によって他の割合で複数のアナログ基準電圧を出力する領域別抵抗ストリング部211、212、213；

前記Nビットのデジタルデータの入力を受けて、前記上位Xビットによって前記領域別抵抗ストリング部から入力された複数のアナログ基準電圧のうちで選択してY+1個のアナログ電圧を出力して、前記下位Yビットによって異なる組合せの前記Y+1個のアナログ電圧を出力する領域別デジタルアナログコンバータスイッチング部221、222、223；及び

前記Y+1個のアナログ電圧の入力を受けて前記Y値によって決められたマルチファクターによって前記Y+1個のアナログ電圧毎に加重値を設定して、補間された出力電圧を生成する補間アンプ230を具備することを特徴とする液晶ディスプレイパネル駆動回路。

10

【請求項 2】

入力されるデジタルデータは複数個が具備されて、

それに対応して前記領域別デジタルアナログコンバータスイッチング部及び前記補間アンプが複数個ずつ具備されて、

制御信号に応答して前記複数個の補間アンプの出力電圧を前記液晶ディスプレイパネル回路に送る出力スイッチ部250をさらに具備することを特徴とする請求項1に記載の液晶ディスプレイパネル駆動回路。

20

【請求項 3】

前記領域別抵抗ストリング部211、212、213は、

$2^{1/2^X}$ 個の抵抗が直列連結されて、各抵抗の連結支点で前記Xビットのうちで一番高い電圧に該当する複数のアナログ基準電圧を生成する上位領域抵抗ストリング部211；

2^X 個の抵抗が直列連結されて各抵抗の連結支点で前記Xビットのうちで一番高い電圧と一番低い電圧を除いた複数の電圧に該当する複数のアナログ基準電圧を生成する中間領域抵抗ストリング部212；及び

$2^{1/2^X}$ 個の抵抗が直列連結されて各抵抗の連結支点で前記Xビットのうちで一番低い電圧に該当する複数のアナログ基準電圧を生成する下位領域抵抗ストリング部213を具備することを特徴とする請求項1に記載の液晶ディスプレイパネル駆動回路。

30

【請求項 4】

前記領域別デジタルアナログコンバータスイッチング部221、222、223は、

前記上位領域抵抗ストリング部から複数のアナログ基準電圧の入力を受けて、前記Nビットのデジタルデータに制御される $2^{1/2^X}$ 個のトランジスタによって前記Y+1個のアナログ電圧を出力する上位領域デジタルアナログコンバータスイッチング部221；

前記中間領域抵抗ストリング部から複数のアナログ基準電圧の入力を受けて、前記Nビットのデジタルデータに制御される 2^X 個のトランジスタによって前記Y+1個のアナログ電圧を出力する中間領域デジタルアナログコンバータスイッチング部222；及び

前記下位領域抵抗ストリング部から複数のアナログ基準電圧の入力を受けて、前記Nビットのデジタルデータに制御される $2^{1/2^X}$ 個のトランジスタによって前記Y+1個のアナログ電圧を出力する下位領域デジタルアナログコンバータスイッチング部223を具備することを特徴とする請求項3に記載の液晶ディスプレイパネル駆動回路。

40

【請求項 5】

前記中間領域デジタルアナログコンバータスイッチング部222は、

前記下位Yビットデータによってお互いに異なる組合せの前記Y+1個のアナログ基準

50

電圧を出力して、前記 $Y + 1$ 個のアナログ基準電圧がお互いに異なるレベルである場合、前記中間領域抵抗ストリング部から出力される複数のアナログ基準電圧のうちで隣接する複数の電圧レベルの信号であることを特徴とする請求項 4 に記載の液晶ディスプレイパネル駆動回路。

【請求項 6】

前記上位領域デジタルアナログコンバータスイッチング部 2 2 1 または前記下位領域デジタルアナログコンバータスイッチング部 2 2 3 は、

同一な電圧レベルを有する $Y + 1$ 個のアナログ基準電圧を出力することを特徴とする請求項 4 に記載の液晶ディスプレイパネル駆動回路。

【請求項 7】

前記上位領域抵抗ストリング部 2 2 1 または前記下位領域抵抗ストリング部 2 2 3 は、
2 の指数である $(1/2) \times X$ が整数ではない場合に四捨五入した整数値で $(1/2) \times X$ を計算して抵抗の個数を選択することを特徴とする請求項 4 に記載の液晶ディスプレイパネル駆動回路。

【請求項 8】

前記出力スイッチ部 2 5 0 は、

前記制御信号によって前記補間アンプの出力の極性をポジティブまたはネガティブに変える機能、電流消耗を減少させるための電荷共有機能または出力イネーブル機能のうちで少なくとも一つ以上を具備することを特徴とする請求項 1 に記載の液晶ディスプレイパネル駆動回路。

【請求項 9】

前記領域別抵抗ストリング部 2 1 1、2 1 2、2 1 3 は、

ポジティブアナログ基準電圧を生成するためのポジティブ抵抗ストリング部；及び
ネガティブアナログ基準電圧を生成するためのネガティブ抵抗ストリング部を具備することを特徴とする請求項 1 に記載の液晶ディスプレイパネル駆動回路。

【請求項 10】

前記補間アンプ 2 3 0 は、

前記ポジティブアナログ基準電圧の駆動のためのポジティブバッファ；及び
前記ネガティブアナログ基準電圧の駆動のためのネガティブバッファを具備することを特徴とする請求項 9 に記載の液晶ディスプレイパネル駆動回路。

【請求項 11】

前記補間アンプ 2 3 0 は、

前記領域別デジタルアナログコンバータスイッチング部から出力される前記 $Y + 1$ 個のアナログ基準電圧をそれぞれ入力される複数のトランジスタで構成されて、トランジスタ毎に下位 Y ビット数によってマルチファクターを有する非反転入力部 2 3 1；

前記補間アンプの出力電圧をそれぞれ入力されて、前記非反転入力部と対をなす複数のトランジスタで構成されて、トランジスタ毎に下位 Y ビット数によってマルチファクターを有する反転入力部 2 3 2；

前記非反転入力部と前記反転入力部の能動ロードで動作するロード部 2 3 5；

第 1 バイアス電圧に応答して前記補間アンプを駆動させる第 1 バイアス印加部 2 3 4；

第 2 バイアス電圧を各ゲートに入力されて、前記非反転入力部の複数のトランジスタと同一なマルチファクターを有する複数のトランジスタで構成されて、前記反転入力部及び前記非反転入力部に電流を供給する第 2 バイアス印加部 2 3 3；及び

前記ロード部で変動された電圧によって前記出力電圧を出力する出力部 2 3 6 を具備して、

前記非反転入力部 2 3 1、前記反転入力部 2 3 2 及び前記第 2 バイアス印加部 2 3 3 を構成する複数のトランジスタは各マルチファクターを具備する複数のトランジスタ同士で複数の差動対を形成することを特徴とする請求項 1 に記載の液晶ディスプレイパネル駆動回路。

【請求項 12】

10

20

30

40

50

Nビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレイパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力されるNビットのデジタルデータは上位Xビットと下位Yビットで構成されて、

上位Xビットを基準に生成された複数のアナログ基準電圧のうちで前記Nビットのデジタルデータによって選択して、Y+1個のアナログ電圧を出力するデジタルアナログコンバータスイッチング部；及び

前記Y+1個のアナログ電圧の入力を受けて、前記Y値によって決められたマルチファクターによって前記Y+1個のアナログ電圧毎に加重値を設定して補間された出力電圧を生成する補間アンプ230を具備して、

前記補間アンプ230は、

前記デジタルアナログコンバータスイッチング部から出力される前記Y+1個のアナログ基準電圧をそれぞれ入力される複数のトランジスタで構成されて、トランジスタ毎に下位Yビットの数によってマルチファクターを有する非反転入力部231；

前記補間アンプの出力電圧をそれぞれ入力されて、前記非反転入力部と対をなす複数のトランジスタで構成されて、トランジスタ毎に下位Yビットの数によってマルチファクターを有する反転入力部232；

前記非反転入力部と前記反転入力部の能動ロードで動作するロード部235；

第1バイアス電圧に応答して前記補間アンプを駆動させる第1バイアス印加部234；

第2バイアス電圧を各ゲートに入力されて、前記非反転入力部の複数のトランジスタと同一なマルチファクターを有する複数のトランジスタで構成されて前記反転入力部及び前記非反転入力部に電流を供給する第2バイアス印加部233；及び

前記ロード部で変動された電圧によって前記出力電圧を出力する出力部236を具備して、

前記非反転入力部231、前記反転入力部232及び前記第2バイアス印加部233を構成する複数のトランジスタは各マルチファクターを具備する複数のトランジスタ同士で複数の差動対を形成することを特徴とする液晶ディスプレイパネル駆動回路。

【請求項13】

前記第1バイアス電圧または前記第2バイアス電圧は、前記補間アンプの外部に具備されたバイアス回路から供給されることを特徴とする請求項12に記載の液晶ディスプレイパネル駆動回路。

【請求項14】

Y=2である場合、前記デジタルアナログコンバータスイッチング部は3個のアナログ基準電圧を出力して、

前記非反転入力部231は、

前記デジタルアナログコンバータスイッチング部の第1出力信号をゲートに入力されて、マルチファクターが1である第1トランジスタ；

前記デジタルアナログコンバータスイッチング部の第2出力信号をゲートに入力されて、マルチファクターが2である第2トランジスタ；及び

前記デジタルアナログコンバータスイッチング部の第3出力信号をゲートに入力されて、マルチファクターが1である第3トランジスタを具備することを特徴とする請求項12に記載の液晶ディスプレイパネル駆動回路。

【請求項15】

前記非反転入力部を構成するトランジスタ、前記反転入力部を構成するトランジスタまたは前記第2バイアス印加部を構成するトランジスタは、すべて同一な大きさであることを特徴とする請求項12に記載の液晶ディスプレイパネル駆動回路。

【請求項16】

前記補間アンプの入力端の電流源は1個を具備して、前記補間アンプ230の入力端の電流源はマルチファクターを増加させて前記補間アンプ230の入力端の電流を増加させて、前記差動対に流れる電流はそれぞれの差動対のマルチファクターによって分配されることを特徴とする請求項12に記載の液晶ディスプレイパネル駆動回路。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶ディスプレイパネル駆動回路に関し、具体的には、面積を大きく減少させた液晶ディスプレイパネル駆動回路に関する。

【背景技術】

【0002】

最近、テレビのようなディスプレイパネル (display panel) の解像度が、毎日が異なるように増加している。このように、ディスプレイパネルの解像度が増加することによってディスプレイ装置のソースドライバIC (Integrated Circuit) でパネルを駆動させるために要求される駆動回路の大きさも増加している。

10

【0003】

このような液晶ディスプレイパネル駆動回路において、回路の面積は重要な要因のうちの一つとして駆動回路の大きさが増加する場合、液晶ディスプレイ駆動回路及びシステムの生産原価の増加及びそれによる競争力低下を発生させるために、液晶ディスプレイ駆動回路の面積を減少させるための技術が要求される。

【0004】

図1は、従来技術による液晶ディスプレイパネル駆動回路の一実施例を示したものである。

【0005】

20

図1に示された液晶ディスプレイパネル駆動回路100は、抵抗ストリング部110、デジタルアナログコンバータスイッチング部121、122、バッファ131、132及び出力スイッチ部140に構成される。

【0006】

前記抵抗ストリング部110と前記デジタルアナログコンバータスイッチング部121、122を合わせて抵抗デジタルアナログコンバータ (Resistor DAC) と言う。

【0007】

前記抵抗ストリング部110は、直列連結された抵抗を具備する。入力されるデジタルデータがNビットである場合、前記抵抗ストリング部110は、 2^N 個の抵抗で構成されて、各抵抗の連結ノード毎にお互いに異なる基準電圧を発生させるので、 2^N 個の基準電圧を生成することができる。

30

【0008】

液晶ディスプレイパネル駆動回路は、タイミングコントローラ (Timing controller) からデジタルデータの入力を受けて、前記抵抗ストリング部110で発生した 2^N 個の基準電圧のうちで前記デジタルデータに相応する一つのアナログ基準電圧を第1デジタルアナログコンバータスイッチング部121で選択して出力して、バッファ131で液晶ディスプレイパネルのデータラインのロードを駆動させる。

【0009】

また、液晶ディスプレイパネルの画像具現方式は、液晶ディスプレイパネル駆動回路の複数の出力がそれぞれ異なるデータを駆動して、各データによる色の組合せで画像を具現するので、入力されるデジタルデータ毎にデジタルアナログコンバータとバッファ (または、アンプ) がそれぞれの出力毎に具備されていなければならない (図1の第1デジタルアナログコンバータスイッチング部121及び第Mデジタルアナログコンバータスイッチング部122、バッファ131、132を参照)。

40

【0010】

液晶ディスプレイパネルの解像度を決める要素は、デジタルアナログコンバータ (DAC) の解像度であり、デジタルアナログコンバータ (DAC) の解像度が高いほど自然な色感を具現することができる。

【先行技術文献】

50

【特許文献】

【0011】

【特許文献1】特開2009-065481号公報。

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかし、デジタルアナログコンバータの解像度を高めるためには、入力されるデジタルデータのビット数(N)が増加されて、ビット数(N)が増加するほど抵抗ストリング部110で要求される抵抗及びデジタルアナログコンバータスイッチング部を構成するトランジスタの個数は幾何級数的に増加されるので、駆動回路の面積の増加をもたらして、その結果生産原価の増加につながる問題点がある。

10

【0013】

本発明がなそうとする技術的課題は、ディスプレイパネル駆動回路の大部分の面積を占めるデジタルアナログコンバータ回路の面積を減少させるためにデジタルアナログコンバータの機能をアンプで一部遂行して、回路面積を大きく減少させた液晶ディスプレイパネル駆動回路を提供することにある。

【課題を解決するための手段】

【0014】

前記技術的課題を達成するための本発明による液晶ディスプレイパネル駆動回路は、Nビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレイパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力されるNビットのデジタルデータは上位Xビットと下位Yビットで構成されて、前記Nビットのデジタルデータの電圧範囲を3つの領域に分けて各領域によって異なる割合で複数のアナログ基準電圧を出力する領域別抵抗ストリング部211、212、213；前記Nビットのデジタルデータの入力を受けて前記上位Xビットによって前記領域別抵抗ストリング部から入力を受けた複数のアナログ基準電圧のうちで選択してY+1個のアナログ電圧を出力して、前記下位Yビットによって異なる組合せの前記Y+1個のアナログ電圧を出力する領域別デジタルアナログコンバータスイッチング部221、222、223；及び前記Y+1個のアナログ電圧の入力を受けて、前記Y値によって決められたマルチファクターによって前記Y+1個のアナログ電圧毎に加重値を設定して補間された出力電圧を生成する補間アンプ230を具備することを特徴とする。

20

30

【0015】

また、本発明による液晶ディスプレイパネル駆動回路は、Nビットの解像度を有する液晶ディスプレイパネルを駆動させるための液晶ディスプレイパネル駆動回路において、前記液晶ディスプレイパネル駆動回路に入力されるNビットのデジタルデータは、上位Xビットと下位Yビットで構成されて、上位Xビットを基準に生成された複数のアナログ基準電圧のうちで前記Nビットのデジタルデータによって選択してY+1個のアナログ電圧を出力するデジタルアナログコンバータスイッチング部；及び前記Y+1個のアナログ電圧の入力を受けて、前記Y値によって決められたマルチファクターによって前記Y+1個のアナログ電圧毎に加重値を設定して補間された出力電圧を生成する補間アンプ230を具備して、前記補間アンプ230は、前記デジタルアナログコンバータスイッチング部から出力される前記Y+1個のアナログ基準電圧を、それぞれ入力を受ける複数のトランジスタで構成されて、トランジスタ毎に下位Yビット数によってマルチファクターを有する非反転入力部231；前記補間アンプの出力電圧を、それぞれ入力を受けて、前記非反転入力部と対をなす複数のトランジスタで構成されて、トランジスタ毎に下位Yビット数によってマルチファクターを有する反転入力部232；前記非反転入力部と前記反転入力部の能動ロードで動作するロード部235；第1バイアス電圧に応答して前記補間アンプを駆動させる第1バイアス印加部234；第2バイアス電圧を、各ゲートに入力を受けて、前記非反転入力部の複数のトランジスタと同一なマルチファクターを有する複数のトランジスタで構成されて、前記反転入力部及び前記非反転入力部に電流を供給する

40

50

第２バイアス印加部２３３；及び前記ロード部で変動された電圧によって前記出力電圧を出力する出力部２３６を具備して、前記非反転入力部２３１、前記反転入力部２３２及び前記第２バイアス印加部２３３を構成する複数のトランジスタは、各マルチファクターを具備する複数のトランジスタ同士に複数の差動対を形成することを特徴とする。

【発明の効果】

【００１６】

本発明による液晶ディスプレイパネル駆動回路は、回路面積を大きく減少させた効果がある。従来技術による駆動回路は、抵抗ストリング部の抵抗及びＤＡＣスイッチング部のトランジスタの個数がそれぞれ 2^N 程度必要であれば、本発明による駆動回路は、抵抗及びトランジスタはそれぞれ $2^X + 2(2^{1/2^X})$ の個数程度必要であって、さらに補間アンプに $(2^{(Y-3)} + 2^{(Y-2)} + 2^{(Y-1)}) \times 3$ 個のトランジスタが必要であるが、全体的に抵抗及びトランジスタの個数が大きく減少されるので面積減少の効果が大きい。

10

【図面の簡単な説明】

【００１７】

【図１】従来技術による液晶ディスプレイパネル駆動回路の一実施例を示したものである。

【図２】本発明による液晶ディスプレイパネル駆動回路の一実施例を示したものである。

【図３】図２に示されたアナログデジタルコンバータスイッチング部の入力による出力範囲を示したものである。

20

【図４】図２に示された補間アンプの詳細回路図を示したものである。

【図５】 $Y = 2$ である場合に図２に示されたアナログデジタルコンバータスイッチング部の出力電圧と補間アンプの出力電圧の例を示したものである。

【発明を実施するための形態】

【００１８】

以下、添付された図面を参照して本発明をより詳しく説明する。

【００１９】

図２は、本発明による液晶ディスプレイ駆動回路の一実施例を示したものである。

【００２０】

図２に示された液晶ディスプレイ駆動回路２００は、領域別抵抗ストリング部２１１、２１２、２１３、領域別デジタルアナログコンバータ（ＤＡＣ）スイッチング部２２１～２２６、補間アンプ２３０、２４０及び出力スイッチ部２５０で構成される。

30

【００２１】

図３を参照すれば、入力されるデジタルデータ N ビット（ N ビット入力）は、上位 X ビットと下位 Y ビットで構成される（ X 及び Y は、０以上の整数である）。例えば、デジタルデータ N ビット（ N ビット入力）が１０ビットであり、上位 X ビットが７ビットなら、下位 Y ビットは３ビットになる。

【００２２】

前記領域別抵抗ストリング部２１１、２１２、２１３は、前記 N ビットのデジタルデータの電圧範囲を３つの領域で分けて各領域によって異なる割合で複数のアナログ基準電圧を出力する。

40

【００２３】

特に、前記領域別抵抗ストリング部２１１、２１２、２１３は、発生させる基準電圧の大きさによって上位領域抵抗ストリング部２１１、中間領域抵抗ストリング部２１２及び下位領域抵抗ストリング部２１３に区分される。

【００２４】

前記上位領域抵抗ストリング部２１１は、上位ビットである X ビット領域のうちで一番高いアナログ基準電圧を発生させる。前記上位領域抵抗ストリング部２１１は、複数の抵抗が一行に配置されて、各抵抗の連結支点で前記複数のアナログ基準電圧を生成する。前記上位領域抵抗ストリング部２１１は、 $2^{1/2^X}$ 個の抵抗を具備する。但し、２の指数

50

である $(1/2) \times$ が整数ではない場合四捨五入した整数値で抵抗の個数を選択する。

【0025】

前記中間領域抵抗ストリング部 212 は、上位ビットである X ビットの領域のうちで一番高い基準電圧と一番低い基準電圧を除いた中間領域の複数のアナログ基準電圧を発生させる。前記中間領域抵抗ストリング部 212 は、複数の抵抗が一行に配置されて各抵抗の連結支点で前記複数のアナログ基準電圧を生成する。前記中間領域抵抗ストリング部 212 は、 2^X 個の抵抗を具備する。

【0026】

前記下位領域抵抗ストリング部 213 は、上位ビットである X ビットの領域のうちで一番低いアナログ基準電圧を発生させる。前記下位領域抵抗ストリング部 213 は、複数の抵抗が一行に配置されて、各抵抗の連結支点で前記複数のアナログ基準電圧を生成する。前記下位領域抵抗ストリング部 213 は、 $2^{1/2 \times}$ 個の抵抗を具備する。但し、2 の指数である $(1/2) \times$ が整数ではない場合、四捨五入した整数値で抵抗の個数を選択する。

10

【0027】

また、前記領域別抵抗ストリング部 211、212、213 は、ポジティブ基準電圧を生成するためのポジティブ抵抗ストリング部及びネガティブ基準電圧を生成するためのネガティブ抵抗ストリング部で構成される（図示せず）。

【0028】

前記領域別デジタルアナログコンバータスイッチング部 221、222、223 は、前記 N ビットのデジタルデータの入力を受けて、前記上位 X ビットによって前記領域別抵抗ストリング部 211、212、213 から入力を受けた複数のアナログ基準電圧のうちで選択して、 $Y + 1$ 個のアナログ電圧を出力して、前記下位 Y ビットによって異なる組合せの前記 $Y + 1$ 個のアナログ電圧を出力する。

20

【0029】

前記領域別デジタルアナログコンバータスイッチング部 221、222、223 は、上位領域 DAC スwitching 部 221、中間領域 DAC スwitching 部 222、下位領域 DAC スwitching 部 223 で構成される。

【0030】

前記上位領域 DAC スwitching 部 221 は、N ビットのデジタル入力データ（N ビット入力）に制御されて、前記上位領域抵抗ストリング部 211 から出力された複数の基準電圧の入力を受けて、そのうちで選択して $Y + 1$ 個の出力で前記補間アンプ 230 に伝達する。この時、 $Y + 1$ 個の出力信号はすべて同一な電圧レベルを有する。例えば、 $Y = 2$ である時、前記上位領域 DAC スwitching 部は、 V_1 、 V_1 、 V_1 を出力する。

30

【0031】

前記中間領域 DAC スwitching 部 222 は、N ビットのデジタル入力データ（N ビット入力）に制御されて、前記中間領域抵抗ストリング部 212 から出力された複数の基準電圧の入力を受けて、そのうちで選択して $Y + 1$ 個の出力で前記補間アンプ 230 に伝達する。

【0032】

例えば、 $Y = 2$ である時、図 5 を参照すれば、前記中間領域 DAC スwitching 部 222 は、下位ビットのデジタルデータによって V_1 と V_2 の組合せによって V_1 、 V_1 、 V_1 または V_1 、 V_1 、 V_2 または V_2 、 V_1 、 V_2 または V_2 、 V_2 、 V_1 の出力信号を出力する。

40

【0033】

V_1 と V_2 は、上位ビットに根拠して前記領域別抵抗ストリング部 211、212、213 の基準電圧から抽出された値である。 V_2 は V_1 より所定電圧が高い電圧であり、前記複数のアナログ基準電圧のうちで V_1 に一番隣接した基準電圧である。

【0034】

前記下位領域 DAC スwitching 部 223 は、N ビットのデジタル入力データ（N ビット

50

ト入力)に制御されて、前記下位領域抵抗ストリング部213から出力された複数の基準電圧の入力を受けて、そのうちで選択して $Y + 1$ 個の出力で前記補間アンプ230に伝達する。この時、 $Y + 1$ 個の出力信号は、すべて同一な電圧レベルを有する。例えば、 $Y = 2$ である時、前記下位領域DACスイッチング部223は V_1 、 V_1 、 V_1 を出力する。
【0035】

前記領域別デジタルアナログコンバータスイッチング部221、222、223は、スイッチング素子またはトランジスタで具現することができる。例えば、上位領域デジタルアナログコンバータスイッチング部221は、前記上位領域抵抗ストリング部211から複数の基準電圧の入力を受けて、前記Nビットのデジタルデータ通信(Nビット入力)で制御される $2^{1/2} \times$ 個のトランジスタによって前記 $Y + 1$ 個のアナログ電圧を出力するように構成することができる。

10

【0036】

また、前記中間領域デジタルアナログコンバータスイッチング部222は、前記中間領域抵抗ストリング部212から複数の基準電圧の入力を受けて、前記Nビットのデジタルデータ通信(Nビット入力)で制御される 2^X 個のトランジスタによって前記 $Y + 1$ 個のアナログ電圧を出力するように構成することができる。

【0037】

また、前記下位領域デジタルアナログコンバータスイッチング部223は、前記下位領域抵抗ストリング部213から複数の基準電圧の入力を受けて、前記Nビットのデジタルデータ(Nビット入力)で制御される $2^{1/2} \times$ 個のトランジスタによって前記 $Y + 1$ 個のアナログ電圧を出力するように構成することができる。

20

【0038】

前記補間アンプ230は、前記 $Y + 1$ 個のアナログ電圧の入力を受けて前記Y値によって決められたマルチファクターによって前記 $Y + 1$ 個のアナログ電圧毎に加重値を設定して補間された出力電圧を生成する。

【0039】

前記補間アンプ230は前記上位領域DACスイッチング部221及び前記下位領域DACスイッチング部223から基準電圧の入力を受ける場合、入力された基準電圧をそのまま出力して、前記中間領域DACスイッチング部222から基準電圧の入力を受ける場合、入力された複数の基準電圧にマルチファクターをおいて出力電圧を発生させる。

30

【0040】

また、前記補間アンプ230は、前記ポジティブ基準電圧の駆動のためのポジティブバッファ及び前記ネガティブ基準電圧の駆動のためのネガティブバッファで構成される(図示せず)。

【0041】

前記出力スイッチ部250は、前記補間アンプ230、240の出力を入力されて選択して、液晶ディスプレイパネルに電圧($Out < 1 > \sim Out < K >$)を供給する。前記出力スイッチ部250は制御信号(Ctrl)によって出力信号の極性をポジティブまたはネガティブに反転させる極性反転機能、ポジティブ極性とネガティブ極性を変えることにおいて、電流消費を減少させるための電荷共有(Charge Share)または出力イネーブル(output enable)機能などを制御する。前記出力スイッチ部250は、例えば、マルチプレクサ(Multiplexer)によって具現することができる。

40

【0042】

すなわち、液晶ディスプレイパネルの画像具現方式は、液晶ディスプレイパネル駆動回路の複数の出力がそれぞれ異なるデータを駆動して、各データによる色の組合せで画像を具現するので、領域別デジタルアナログコンバータスイッチング部221、222、223と補間アンプ230がそれぞれの出力毎に具備されていなければならない。

【0043】

図2を参照してより具体的に説明すれば、本発明による液晶ディスプレイパネル駆動回

50

路は、入力されるデジタルデータ（Nビット入力）は複数個が具備されて、それに対応して前記領域別デジタルアナログコンバータスイッチング部及び前記補間アンプが複数個ずつ具備されて、第1ないし第M領域別デジタルアナログコンバータスイッチング部（221、222、223）、（224、225、226）はそれぞれ異なるデジタルデータの入力を受けて、それぞれの第1ないし第M領域別デジタルアナログコンバータスイッチング部の複数の出力電圧をそれぞれの第1ないし第M補間アンプ230、240が入力を受けて動作する。その後、前記出力スイッチ部250は制御信号に応答して前記複数個の補間アンプ230、240の出力を選択して前記液晶ディスプレイ回路に送る。

【0044】

図4は、図2に示された補間アンプ230の詳細回路図を示したものである。

10

【0045】

図4に示された補間アンプ230は、非反転入力部231、反転入力部232、第1バイアス印加部234、第2バイアス印加部233、ロード部235及び出力部236を具備する。

【0046】

前記非反転入力部231は、前記領域別デジタルアナログコンバータスイッチング部221、222、223から出力される前記Y+1個のアナログ基準電圧（YA、YB、YC、YD、YE）をそれぞれ入力される複数のトランジスタ（M1～M5）で構成されて、トランジスタ毎に下位Yビット数によってマルチファクターを有する。

【0047】

20

前記反転入力部232は、前記補間アンプ230の出力電圧をそれぞれ入力されて、前記非反転入力部231と対をなす複数のトランジスタ（M6～M10）で構成されて、トランジスタ毎に下位Yビット数によってマルチファクターを有する。

【0048】

前記ロード部235は、前記非反転入力部231と前記反転入力部232の能動ロードで動作する。

【0049】

前記第1バイアス印加部234は、第1バイアス電圧（Bias1）に응答して前記補間アンプ230を駆動させる。

【0050】

30

前記第2バイアス印加部233は、第2バイアス電圧（Bias2）を各ゲートに入力されて、前記非反転入力部231の複数のトランジスタと同一なマルチファクターを有する複数のトランジスタ（M11～M15）で構成されて、前記反転入力部232及び前記非反転入力部231に電流を供給する。

【0051】

前記出力部236は、前記ロード部235で変動された電圧によって前記出力電圧（Out）を出力する。

【0052】

前記非反転入力部231、前記反転入力部232及び前記第2バイアス印加部233を構成する複数のトランジスタは各マルチファクターを具備する複数のトランジスタ同士で複数の差動対を形成する。

40

【0053】

より具体的に説明すれば、前記ロード部235は第17トランジスタ（M17）と第18トランジスタ（M18）を具備する。

【0054】

前記第17トランジスタ（M17）は、電源電圧（VDDA）を第1端子に入力される。前記第18トランジスタは電源電圧（VDDA）を第1端子に入力されて、ゲート端子が前記第17トランジスタ（M17）のゲート端子に連結されて、前記第18トランジスタの第2端子は前記第18トランジスタのゲート端子に連結される。

【0055】

50

前記非反転入力部 231 は、第 1 トランジスタ (M1) ないし第 5 トランジスタ (M5) を具備する。

【0056】

前記第 1 トランジスタ (M1) は、前記領域別デジタルアナログコンバータスイッチング部の第 1 出力信号 (YA) をゲートに入力されて、第 1 端子が第 17 トランジスタ (M17) の第 2 端子に連結される。前記第 2 トランジスタ (M2) は前記領域別デジタルアナログコンバータスイッチング部の第 2 出力信号 (YB) をゲートに入力されて、第 1 端子が第 17 トランジスタ (M17) の第 2 端子に連結される。前記第 3 トランジスタ (M3) は前記領域別デジタルアナログコンバータスイッチング部の第 3 出力信号 (YC) をゲートに入力されて、第 1 端子が第 17 トランジスタ (M17) の第 2 端子に連結される。前記第 4 トランジスタ (M4) は前記領域別デジタルアナログコンバータスイッチング部の第 4 出力信号 (YD) をゲートに入力されて、第 1 端子が第 17 トランジスタ (M17) の第 2 端子に連結される。前記第 5 トランジスタ (M5) は前記領域別デジタルアナログコンバータスイッチング部の第 5 出力信号 (YE) をゲートに入力されて、第 1 端子が第 17 トランジスタ (M17) の第 2 端子に連結される。

10

【0057】

仮に、Y-1、Y-2、Y-3 が 0 より小さな場合、すなわち、各トランジスタのマルチファクターが 1 より小さな場合、前記第 2 トランジスタ (M2) ないし前記第 4 トランジスタ (M4) は削除される。

【0058】

前記反転入力部 232 は、第 6 トランジスタ (M6) ないし第 10 トランジスタ (M10) で構成される。

20

【0059】

前記第 6 トランジスタ (M6) は、前記補間アンプ 230 の出力信号 (Out) をゲートに入力されて、第 1 端子が第 18 トランジスタ (M18) の第 2 端子に連結されて、第 2 端子が第 1 トランジスタ (M1) の第 2 端子に連結される。前記第 7 トランジスタ (M7) は前記補間アンプ 230 の出力信号 (Out) をゲートに入力されて、第 1 端子が第 18 トランジスタ (M18) の第 2 端子に連結されて、第 2 端子が第 2 トランジスタ (M2) の第 2 端子に連結される。前記第 8 トランジスタ (M8) は前記補間アンプ 230 の出力信号 (Out) をゲートに入力されて、第 1 端子が第 18 トランジスタ (M18) の第 2 端子に連結されて、第 2 端子が第 3 トランジスタ (M3) の第 2 端子に連結される。前記第 9 トランジスタ (M9) は前記補間アンプ 230 の出力信号 (Out) をゲートに入力されて、第 1 端子が第 18 トランジスタ (M18) の第 2 端子に連結されて、第 2 端子が第 4 トランジスタ (M4) の第 2 端子に連結される。前記第 10 トランジスタ (M10) は、前記補間アンプ 230 の出力信号 (Out) をゲートに入力されて、第 1 端子が第 18 トランジスタ (M18) の第 2 端子に連結されて、第 2 端子が第 5 トランジスタ (M5) の第 2 端子に連結される。上記のように、前記第 6 トランジスタ (M6) ないし第 10 トランジスタ (M10) のゲートは前記補間アンプ 230 の出力端子と連結されてフィードバックループを形成する。

30

【0060】

前記出力部 236 は第 19 トランジスタ (M19)、第 20 トランジスタ (M20) 及び周波数補償用コンデンサ (c1) を具備する。

40

【0061】

前記第 19 トランジスタ (M19) は電源電圧 (VDDA) を第 1 端子に入力されて、前記第 17 トランジスタ (M17) の第 2 端子にゲート端子が連結されて、第 2 端子の電圧が出力電圧になる。前記第 20 トランジスタ (M20) は、第 1 端子が第 19 トランジスタ (M19) の第 2 端子に連結されて、第 1 バイアス電圧がゲート端子に印加されて、第 2 端子が接地電圧 (GND A) に連結される。

【0062】

前記周波数補償用コンデンサ (c1) は、前記第 19 トランジスタ (M19) のゲ

50

ート端子と第 2 端子との間に連結される。

【 0 0 6 3 】

前記第 1 バイアス印加部 2 3 4 は、第 1 バイアス電圧 (B i a s 1) をゲート端子に入力されて、第 1 端子が接地電圧 (G N D A) に連結される第 1 6 トランジスタ (M 1 6) で構成される。

【 0 0 6 4 】

前記第 2 バイアス印加部 2 3 3 は、第 1 1 トランジスタ (M 1 1) ないし第 1 5 トランジスタ (M 1 5) で構成される。

【 0 0 6 5 】

前記第 1 1 トランジスタ (M 1 1) は、第 2 バイアス電圧 (B i a s 2) をゲート端子に入力されて、前記第 1 6 トランジスタ (M 1 6) の第 2 端子に第 1 端子が連結されて、第 2 端子は第 1 トランジスタ (M 1) の第 2 端子に連結される。前記第 1 2 トランジスタ (M 1 2) は、第 2 バイアス電圧 (B i a s 2) をゲート端子に入力されて、前記第 1 6 トランジスタ (M 1 6) の第 2 端子に第 1 端子が連結されて、第 2 端子は第 2 トランジスタ (M 2) の第 2 端子に連結される。前記第 1 3 トランジスタ (M 1 3) は、第 2 バイアス電圧 (B i a s 2) をゲート端子に入力されて、前記第 1 6 トランジスタ (M 1 6) の第 2 端子に第 1 端子が連結されて、第 2 端子は第 3 トランジスタ (M 3) の第 2 端子に連結される。前記第 1 4 トランジスタ (M 1 4) は第 2 バイアス電圧 (B i a s 2) をゲート端子に入力されて、前記第 1 6 トランジスタ (M 1 6) の第 2 端子に第 1 端子が連結されて、第 2 端子は第 4 トランジスタ (M 4) の第 2 端子に連結される。前記第 1 5 トランジスタ (M 1 5) は第 2 バイアス電圧 (B i a s 2) をゲート端子に入力されて、前記第 1 6 トランジスタ (M 1 6) の第 2 端子に第 1 端子が連結されて、第 2 端子は第 5 トランジスタ (M 5) の第 2 端子に連結される。

【 0 0 6 6 】

前記第 1 トランジスタ (M 1)、前記第 6 トランジスタ (M 6) 及び前記第 1 1 トランジスタ (M 1 1) は、差動対を形成してマルチファクターは $2^{(0)}$ である。また、第 2、第 7、第 1 2 トランジスタ (M 2、M 7、M 1 2) が差動対を形成して、マルチファクターは $2^{(Y-1)}$ である。また、第 3、第 8、第 1 3 トランジスタ (M 3、M 8、M 1 3) が差動対を形成して、マルチファクターは $2^{(Y-2)}$ である。また、第 4、第 9、第 1 4 トランジスタ (M 4、M 9、M 1 4) が差動対を形成して、マルチファクターは $2^{(Y-3)}$ である。また、第 5、第 1 0、第 1 5 トランジスタ (M 5、M 1 0、M 1 5) が差動対を形成してマルチファクターは $2^{(0)}$ である。

【 0 0 6 7 】

差動対を形成する各トランジスタは、マルチファクター程度の同一な大きさのトランジスタが各トランジスタに並列で連結される。例えば、マルチファクターが 4 である第 2 トランジスタ (M 2) は、同一な大きさのトランジスタを 4 個の並列構造で形成して、ゲートに同一に前記領域別デジタルアナログコンバータスイッチング部の第 2 出力信号の入力を受ける。

【 0 0 6 8 】

また、望ましくは、前記非反転入力部 2 3 1 及び前記反転入力部 2 3 2 を構成するトランジスタ (M 1 ~ M 1 0) は、すべて同一大きさを有する。望ましくは、前記第 2 バイアス印加部 2 3 3 を構成するトランジスタ (M 1 1 ~ M 1 5) は、すべて同一な大きさを有する。

【 0 0 6 9 】

前記補間アンプ 2 3 0 の入力端の電流源は 1 個を具備して、前記補間アンプ 2 3 0 の入力端の電流源は、マルチファクターを増加させて前記補間アンプ 2 3 0 の入力端の電流を増加させて、前記差動対に流れる電流はそれぞれの差動対を構成している第 1 1 トランジスタ (M 1 1) ないし第 1 5 トランジスタ (M 1 5) のマルチファクターによって分配される。

【 0 0 7 0 】

10

20

30

40

50

したがって、差動対を形成する各トランジスタは、入力端子に同一な電圧が入力されても、マルチファクターの差によって前記補間アンプ 230 の出力電圧の差が発生する。このようにして、本発明による液晶ディスプレイパネル駆動回路は、下位ビットによる電圧差の区分を、マルチファクターを有する補間アンプ 230 によって発生させることができる。

【0071】

この時、マルチファクターに該当する 2 の指数である $Y - 1$ 、 $Y - 2$ または $Y - 3$ が 0 であるか、0 より小さな負数である場合には、各差動対のトランジスタ及び複数の入出力ノードは削除されて消えるようになる。

【0072】

例えば、 $Y = 2$ である場合、第 3、第 8、第 13 トランジスタ ($M3$ 、 $M8$ 、 $M13$) でなされた差動対及び第 4、第 9、第 14 トランジスタ ($M4$ 、 $M9$ 、 $M14$) でなされた差動対は消えるようになる。

【0073】

また、 Y が 5 より大きい数である場合、前記のような差動対はさらに具備されなければならない。例えば、 $Y = 5$ である場合、非反転入力部 231 に第 21 トランジスタが加えられて、反転入力部に第 22 トランジスタが加えられて、第 2 バイアス印加部 233 に第 23 トランジスタが加えられる。

【0074】

前記非反転入力部 231 と前記反転入力部 232 及び前記第 2 バイアス印加部 233 を構成するトランジスタ ($M1 \sim M15$) は、それぞれマルチファクターを具備する。

【0075】

図 5 は、 $Y = 2$ である場合図 2 に示された中間領域アナログデジタルコンバータスイッチング部 222 及び補間アンプ 230 の出力を表示したものである。

【0076】

デジタルデータが 8 ビットであり、上位ビットが 6 ビットであり、下位ビットが 2 ビットである場合である。下位ビットである $Y2$ と $Y1$ のデータによって中間領域 DAC スwitching 部 222 の出力信号を示したものである。

【0077】

例えば、 $Y2 = 0$ であり、 $Y1 = 1$ である場合、 $YA = V1$ であり、 $YB = V1$ 、 $YC = V2$ になるように具現される。

【0078】

また、 $Y = 2$ である場合、前記補間アンプ 230 に入力されるマルチファクターは 1、2、1 になる。また、加重値はそれぞれ $1 / (1 + 2 + 1)$ 、 $2 / (1 + 2 + 1)$ 、 $1 / (1 + 2 + 1)$ すなわち、0.25、0.5、0.25 になる。すなわち、前記非反転入力部 231、前記反転入力部 232 及び前記第 2 バイアス印加部 233 を構成する複数のトランジスタの加重値は、各トランジスタのマルチファクター / 全体トランジスタのマルチファクターの和で計算される。

【0079】

例えば、 $Y2 = 0$ であり、 $Y1 = 1$ である場合、前記中間領域 DAC スwitching 部 222 の出力は、 $V1$ 、 $V1$ 、 $V2$ であり、前記補間アンプ 230 の出力電圧は、 $0.25 \times V1 + 0.5 V1 + 0.25 V2 = 0.75 V1 + 0.25 V2$ になる。

【0080】

したがって、本発明による液晶ディスプレイパネル駆動回路は、デジタルデータの上位ビットを利用して抵抗ストリング部から基準電圧を生成して、下位ビットを利用して補間アンプ 230 から下位ビットに相応する基準電圧を出力するように構成される。

【0081】

本発明は、液晶ディスプレイパネル駆動回路に限定されないで、一般的な表示装置の駆動回路にも適用が可能である。

【0082】

10

20

30

40

50

以上で本発明に対する技術思想を添付図面と共に上述したが、これは本発明の望ましい実施例を例示的に説明したものであって、本発明を限定するものではない。また、本発明が属する技術分野で通常の知識を有した者なら誰も本発明の技術的思想の範疇を離脱しない範囲内で多様な変形及び模倣が可能であることは明白な事実である。

【産業上の利用可能性】

【0083】

本発明による液晶ディスプレイパネル駆動回路は、回路面積を大きく減少させた効果がある。従来技術による駆動回路は、抵抗ストリング部の抵抗及びDACスイッチング部のトランジスタの個数がそれぞれ 2^N 程度必要であれば、本発明による駆動回路は、抵抗及びトランジスタはそれぞれ $2^X + 2(2^{1/2^X})$ の個数程度必要であって、さらに補間アンプに $(2^{(Y-3)} + 2^{(Y-2)} + 2^{(Y-1)}) \times 3$ 個のトランジスタが必要であるが、全体的に抵抗及びトランジスタの個数が大きく減少されるので面積減少の効果が大きい。

10

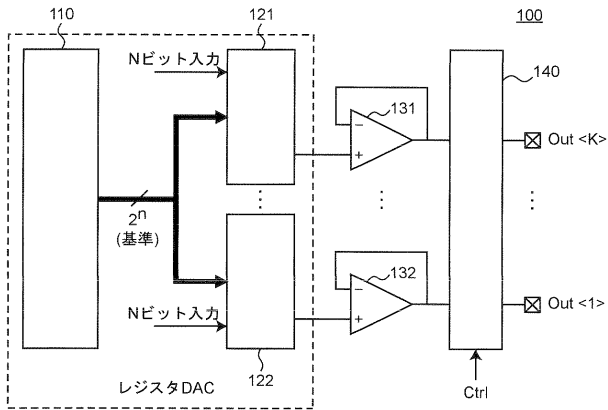
【符号の説明】

【0084】

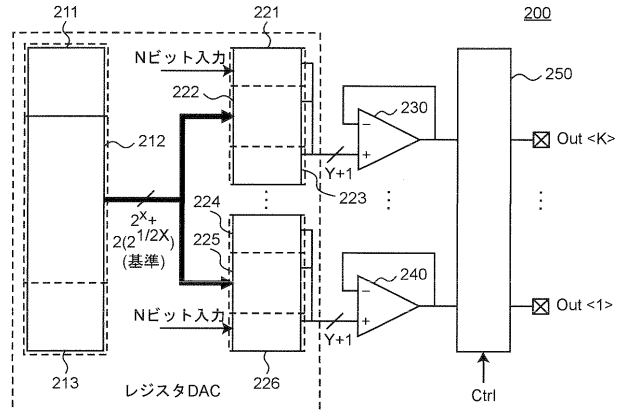
2 1 1 ... 上位領域抵抗ストリング部、
 2 1 2 ... 中間領域抵抗ストリング部、
 2 1 3 ... 下位領域抵抗ストリング部、
 2 2 1 ... 第1上位領域DACスイッチング部、
 2 2 2 ... 第1中間領域DACスイッチング部、
 2 2 3 ... 第1下位領域DACスイッチング部、
 2 2 4 ... 第M上位領域DACスイッチング部、
 2 2 5 ... 第M中間領域DACスイッチング部、
 2 2 6 ... 第M下位領域DACスイッチング部、
 2 3 0 ... 補間アンプ、
 2 4 0 ... 補間アンプ、
 2 5 0 ... 出力スイッチ部。

20

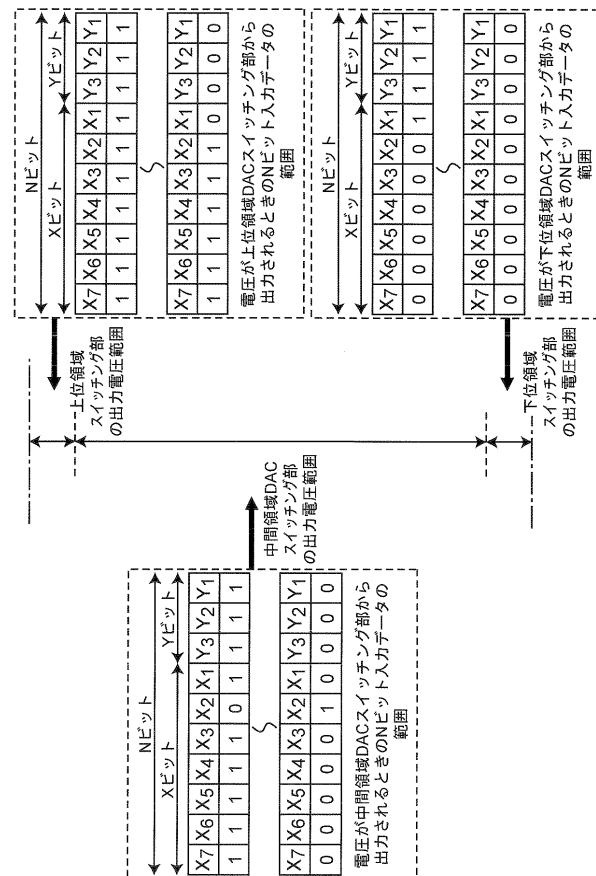
【図 1】



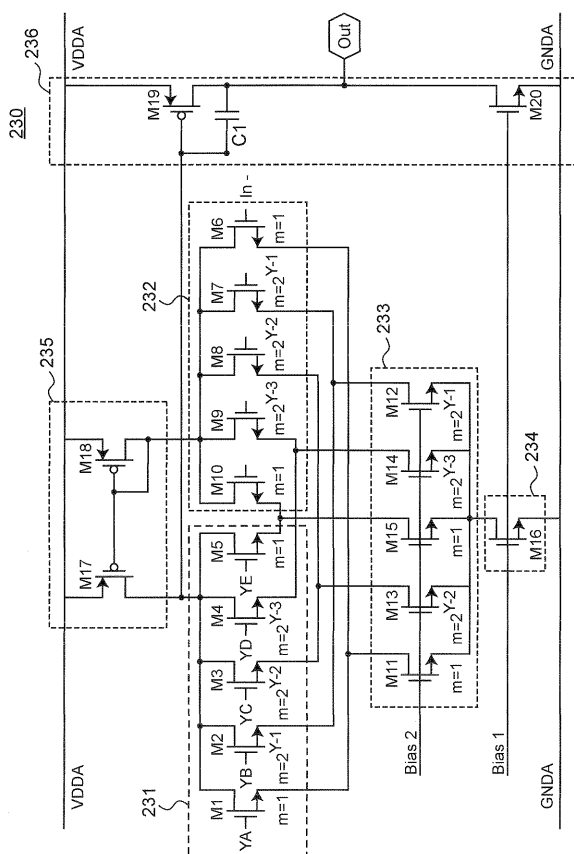
【図 2】



【図 3】



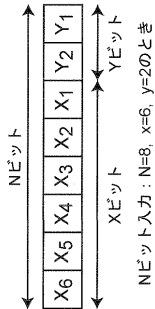
【図 4】



【図 5】

Y2	Y1	YA	YB	YC	補間アンプの出力
0	0	V1	V1	V1	$0.25V1+0.5V1+0.25V1=1.00V1$
0	1	V1	V1	V2	$0.25V1+0.5V1+0.25V2=0.75V1+0.25V2$
1	0	V2	V1	V2	$0.25V2+0.5V1+0.25V2=0.5V1+0.5V2$
1	1	V2	V2	V1	$0.25V2+0.5V2+0.25V1=0.25V1+0.75V2$

Y=2のときの中間領域DACスイッチング部の出力と補間アンプの出力



フロントページの続き

(51) Int.Cl. F I テーマコード (参考)

G 0 9 G 3/20 6 2 1 B
 G 0 9 G 3/20 6 1 1 A
 G 0 9 G 3/20 6 2 1 G
 G 0 9 G 3/20 6 2 1 J
 G 0 2 F 1/133 5 5 0
 H 0 3 M 1/68
 H 0 3 M 1/76

(72) 発明者 趙 賢鎬

大韓民国仁川市南區朱安 3 洞 7 3 0 - 1 シニル・テクノ・ビル 5 0 2

(72) 発明者 金 志勳

大韓民国大田市儒城區田民洞 4 5 9 - 6 チョウォン・ビル 4 0 1

(72) 発明者 羅 俊 ▲ ぼ ▼

大韓民国大田市西區屯山 2 洞 水晶アパートメント 8 - 6 0 8

(72) 発明者 呉 亨錫

大韓民国大田市東區龍雲洞 グメグリーン・アパートメント 1 0 1 - 4 0 1

(72) 発明者 金 大成

大韓民国大田市大徳區梧井洞 新東亞アパートメント 6 - 1 5 0 3

(72) 発明者 韓 大根

大韓民国大田市西區屯山洞 9 7 0 郷村アパートメント 1 0 9 - 1 3 0 1

F ターム (参考) 2H193 ZA01 ZF03 ZF12 ZF34

5C006 AA01 AA22 AC21 AC26 AF47 AF83 BC12 BC13 BF43 EB04

FA41 FA43 FA47

5C080 DD07 DD22 DD27 DD28 JJ02 JJ03

5J022 AB05 AB09 BA06 CA08 CB02 CF09 CG04

专利名称(译)	液晶显示面板驱动电路		
公开(公告)号	JP2011095749A	公开(公告)日	2011-05-12
申请号	JP2010240483	申请日	2010-10-27
[标]申请(专利权)人(译)	硅工厂股份有限公司		
申请(专利权)人(译)	硅厂有限公司		
[标]发明人	趙賢鎬 金志勳 羅俊ほ 吳亨錫 金大成 韓大根		
发明人	趙賢鎬 金志勳 羅俊▲ほ▼ 吳亨錫 金大成 韓大根		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H03M1/68 H03M1/76		
CPC分类号	G09G3/3685 G09G3/20 G09G3/3696 G09G2310/027		
FI分类号	G09G3/36 G09G3/20.623.F G09G3/20.612.F G09G3/20.632.C G09G3/20.650.C G09G3/20.621.B G09G3/20.611.A G09G3/20.621.G G09G3/20.621.J G02F1/133.550 H03M1/68 H03M1/76		
F-TERM分类号	2H193/ZA01 2H193/ZF03 2H193/ZF12 2H193/ZF34 5C006/AA01 5C006/AA22 5C006/AC21 5C006/AC26 5C006/AF47 5C006/AF83 5C006/BC12 5C006/BC13 5C006/BF43 5C006/EB04 5C006/FA41 5C006/FA43 5C006/FA47 5C080/DD07 5C080/DD22 5C080/DD27 5C080/DD28 5C080/JJ02 5C080/JJ03 5J022/AB05 5J022/AB09 5J022/BA06 5J022/CA08 5J022/CB02 5J022/CF09 5J022/CG04		
代理人(译)	山田卓司 田中，三夫		
优先权	1020090102453 2009-10-27 KR		
其他公开文献	JP5179557B2		
外部链接	Espacenet		

摘要(译)

要解决的问题提供一种液晶显示面板驱动电路，其面积大大减少。在用于驱动具有分辨率的N位的A中的液晶显示面板中，N位的数字数据将被输入的驱动电路由上X位和低Y个比特构成，该数字数据3的N位的电压范围已经通过上X比特接收到来自各区域的电阻串部分输入的模拟接收N位数字数据的输入;区域电阻串部分，在通过区域的数量划分的各区域的另一比率输出该模拟参考电压选择和 (Y + 1) 区域的数字模拟转换器的开关单元输出 (Y + 1) 由参考电压的下Y个比特的模拟电压的模拟电压输出不同的组合; (Y + 1) 模拟在接收到电压输入后，通过由Y值确定的多因子和内插输出电压为每个Y + 1模拟电压设置权重因子用所得插值放大器。 . The

