

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-186169

(P2010-186169A)

(43) 公開日 平成22年8月26日(2010.8.26)

(51) Int.Cl.	F I	テーマコード(参考)
G09G 3/36 (2006.01)	G09G 3/36	2H092
G02F 1/1343 (2006.01)	G02F 1/1343	2H193
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G02F 1/133 (2006.01)	G02F 1/133 550	5C080
G09G 3/20 (2006.01)	G09G 3/20 623H	

審査請求 未請求 請求項の数 11 O L (全 75 頁) 最終頁に続く

(21) 出願番号 特願2010-3491 (P2010-3491)  
 (22) 出願日 平成22年1月11日(2010.1.11)  
 (31) 優先権主張番号 特願2009-7419 (P2009-7419)  
 (32) 優先日 平成21年1月16日(2009.1.16)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷398番地  
 (72) 発明者 梅崎 敦司  
 神奈川県厚木市長谷398番地 株式会社  
 半導体エネルギー研究所内  
 Fターム(参考) 2H092 GA59 JA26 JB22 JB31 JB64  
 JB69  
 2H193 ZA04 ZA07 ZF23 ZF32 ZF44  
 5C006 AA22 AC09 AF50 BB15 BC03  
 BC11 BC20 BF03 BF06 BF24  
 BF26 BF31 BF36 EB04 EC11  
 FA31 FA33 FA41 FA47 FA51

最終頁に続く

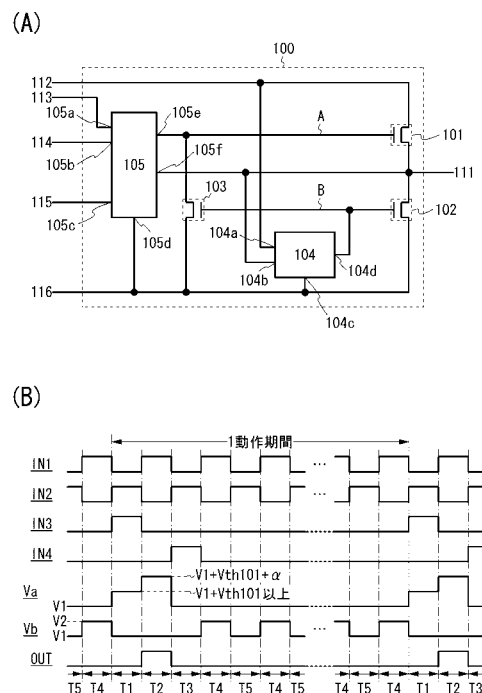
(54) 【発明の名称】 液晶表示装置、および液晶表示装置を具備した電子機器

(57) 【要約】

【課題】プルアップトランジスタのゲートの電位の低下を抑制することを課題の一とする。

【解決手段】駆動回路が有する第1のトランジスタは、第1の端子が第2の配線に電氣的に接続され、第2の端子が第1の配線に電氣的に接続され、ゲートが第2の回路及び第3のトランジスタの第1の端子に電氣的に接続され、第2のトランジスタは、第1の端子が第1の配線に電氣的に接続され、第2の端子が第6の配線に電氣的に接続され、ゲートが第1の回路及び第3のトランジスタのゲートに電氣的に接続され、第3のトランジスタは、第2の端子が第6の配線に電氣的に接続され、第1の回路は、第3の配線、第4の配線、第5の配線、及び第6の配線に電氣的に接続され、第2の回路は、第1の配線、第2の配線、及び第6の配線に電氣的に接続されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 1 の回路、及び第 2 の回路を有する駆動回路と、  
液晶素子を有する画素と、を有し、

前記第 1 のトランジスタは、第 1 の端子が、信号線、又はクロック信号線としての機能を有する第 2 の配線に電氣的に接続され、第 2 の端子が、信号線、ゲート線、走査線、又は出力信号線としての機能を有する第 1 の配線に電氣的に接続され、ゲートが前記第 2 の回路及び前記第 3 のトランジスタの第 1 の端子に電氣的に接続され、

前記第 2 のトランジスタは、第 1 の端子が前記第 1 の配線に電氣的に接続され、第 2 の端子が、電源線、又はグランド線としての機能を有する第 6 の配線に電氣的に接続され、ゲートが前記第 1 の回路及び前記第 3 のトランジスタのゲートに電氣的に接続され、

前記第 3 のトランジスタは、第 2 の端子が前記第 6 の配線に電氣的に接続され、

前記第 2 の回路は、信号線、又はクロック信号線としての機能を有する第 3 の配線、信号線としての機能を有する第 4 の配線、信号線としての機能を有する第 5 の配線、及び前記第 6 の配線に電氣的に接続され、

前記第 1 の回路は、前記第 1 の配線、前記第 2 の配線、及び前記第 6 の配線に電氣的に接続されている液晶表示装置。

## 【請求項 2】

請求項 1 において、前記第 1 のトランジスタは、前記第 1 のトランジスタのゲートの電位に応じて、前記第 2 の配線の信号を前記第 1 の配線に供給するタイミングを制御するブートストラップトランジスタとして機能を有するものである液晶表示装置。

## 【請求項 3】

請求項 1 または 2 において、前記第 2 のトランジスタは、前記第 1 の回路の出力信号、又は前記第 2 のトランジスタのゲートの電位に応じて、前記第 6 の配線と前記第 1 の配線との導通状態を制御するスイッチとして機能を有するものである液晶表示装置。

## 【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、前記第 3 のトランジスタは、前記第 1 の回路の出力信号に応じて、前記第 6 の配線と前記第 1 のトランジスタのゲートとの導通状態を制御するスイッチとして機能を有するものである液晶表示装置。

## 【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、前記第 1 の回路は、前記第 1 の配線の信号又は前記第 2 の配線の信号に応じて、前記第 2 のトランジスタのゲートに前記第 6 の配線の電圧を供給するタイミングを制御することで、前記第 2 のトランジスタのゲートの電位を上昇、減少若しくは維持する機能、又は前記第 2 のトランジスタのゲートを浮遊状態とする制御回路として機能を有するものである液晶表示装置。

## 【請求項 6】

請求項 1 乃至請求項 5 のいずれかーにおいて、前記第 2 の回路は、前記第 3 の配線に供給される信号、前記第 4 の配線に供給される信号、又は前記第 5 の配線に供給される信号に応じて、前記第 1 のトランジスタのゲートに、前記第 4 の配線に供給される信号又は前記第 6 の配線の電圧を供給するタイミングを制御し、前記第 1 のトランジスタのゲートの電位を上昇、減少、若しくは維持する機能、又は前記第 1 のトランジスタのゲートの電位を浮遊状態とする制御回路として機能を有するものである液晶表示装置。

## 【請求項 7】

請求項 1 乃至請求項 6 のいずれかーにおいて、

前記第 1 の回路は、第 4 のトランジスタ、第 5 のトランジスタ、第 6 のトランジスタ、及び第 7 のトランジスタを有し、

前記第 4 のトランジスタは、第 1 の端子が前記第 2 の配線と電氣的に接続され、第 2 の端子が前記第 2 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタは、第 1 の端子が前記第 6 の配線と電氣的に接続され、第 2 の端

10

20

30

40

50

子が前記第 2 のトランジスタのゲートと電氣的に接続され、ゲートが前記第 1 の配線と電氣的に接続され、

前記第 6 のトランジスタは、第 1 の端子が前記第 2 の配線と電氣的に接続され、第 2 の端子が前記第 4 のトランジスタのゲートと電氣的に接続され、ゲートが前記第 2 の配線と電氣的に接続され、

前記第 7 のトランジスタは、第 1 の端子が前記第 6 の配線と電氣的に接続され、第 2 の端子が前記第 4 のトランジスタのゲートと電氣的に接続され、ゲートが前記第 1 の配線と電氣的に接続される液晶表示装置。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか一において、

前記第 2 の回路は、第 8 のトランジスタ、第 9 のトランジスタ、第 10 のトランジスタ、第 11 のトランジスタ、及び第 12 のトランジスタを有し、

前記第 8 のトランジスタは、第 1 の端子が前記第 4 の配線と電氣的に接続され、第 2 の端子が前記第 1 のトランジスタのゲートと電氣的に接続され、ゲートが前記第 3 の配線と電氣的に接続され、

前記第 9 のトランジスタは、第 1 の端子が前記第 1 のトランジスタのゲートと電氣的に接続され、第 2 の端子が前記第 4 の配線と電氣的に接続され、ゲートが前記第 4 の配線と電氣的に接続され、

前記第 10 のトランジスタは、第 1 の端子が前記第 1 のトランジスタのゲートと電氣的に接続され、第 2 の端子が前記第 6 の配線と電氣的に接続され、ゲートが前記第 5 の配線と電氣的に接続され、

前記第 11 のトランジスタは、第 1 の端子が前記第 1 の配線と電氣的に接続され、第 2 の端子が前記第 6 の配線と電氣的に接続され、ゲートが前記第 5 の配線と電氣的に接続され、

前記第 12 のトランジスタは、第 1 の端子が前記第 1 の配線と電氣的に接続され、第 2 の端子が前記第 6 の配線と電氣的に接続され、ゲートが前記第 3 の配線と電氣的に接続される液晶表示装置。

【請求項 9】

請求項 1 乃至請求項 8 のいずれか一において、

前記駆動回路は、前記画素と同じ基板に形成される液晶表示装置。

【請求項 10】

請求項 1 乃至請求項 9 のいずれか一において、

前記第 1 のトランジスタのチャンネル幅は、前記第 2 のトランジスタ及び前記第 3 のトランジスタのチャンネル幅よりも大きい液晶表示装置。

【請求項 11】

請求項 1 乃至請求項 10 のいずれか一に記載の液晶表示装置と、操作スイッチとを有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、表示装置、液晶表示装置、それらの駆動方法、又はそれらを生産する方法に関する。特に、画素部と同じ基板に形成される駆動回路を有する半導体装置、表示装置、液晶表示装置、又はそれらの駆動方法に関する。または、当該半導体装置、当該表示装置、又は当該液晶表示装置を有する電子機器に関する。

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基板にゲートドライバなどの駆動回路を構成する技術は、コストの低減、信頼性の向上に大きく貢献するため、活発に開発が進められている。

10

20

30

40

50

## 【 0 0 0 3 】

非単結晶半導体によって構成されるトランジスタは、閾値電圧の上昇、又は移動度の低下などの劣化を生じることがある。このトランジスタの劣化が進むと、駆動回路が動作しづらくなり、画像を表示できなくなるといった問題があった。そこで、特許文献 1 には、トランジスタの劣化を抑制することができるシフトレジスタが開示されている。特に、特許文献 1 の図 7 では、トランジスタの特性劣化を抑制するために、二つのトランジスタが用いられる。一方のトランジスタは、フリップフロップの出力端子と、VSS（以下負電源）が供給される配線との間に接続される。他方のトランジスタは、フリップフロップの出力端子と、プルアップトランジスタのゲートとの間に接続される。そして、フリップフロップの出力信号が L レベルになる期間において、この二つのトランジスタが交互にオンする。一方のトランジスタがオンすると、VSS が一方のトランジスタを介してフリップフロップの出力端子に供給される。他方のトランジスタがオンすると、プルアップトランジスタのゲートに供給される VSS が他方のトランジスタを介してフリップフロップの出力端子に供給される。こうして、トランジスタの劣化を抑制することができる。さらに、フリップフロップの出力端子に VSS が常に供給されるので、フリップフロップの出力信号を L レベルに維持しやすくなる。

10

## 【 先行技術文献 】

## 【 特許文献 】

## 【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 5 - 5 0 5 0 2 号公報

20

## 【 発明の概要 】

## 【 発明が解決しようとする課題 】

## 【 0 0 0 5 】

特許文献 1 に示す構成において、フリップフロップの出力信号が H レベルとなる期間において、他方のトランジスタが少しの間オンしてしまうので、プルアップトランジスタのゲートと、フリップフロップの出力端子とが少しの間導通状態になる。このとき、プルアップトランジスタのゲートの電位は、高い電位になっており、フリップフロップの出力端子の電位は、低い電位となっている。本発明の一態様は、プルアップトランジスタのゲートの電位を高くすることを課題とする。

30

## 【 0 0 0 6 】

または、プルアップトランジスタのゲートの電位が低下すると、プルアップトランジスタがオフすることがある。本発明の一態様は、シフトレジスタの誤動作を防ぐことを課題とする。

## 【 0 0 0 7 】

または、プルアップトランジスタがオンし、シフトレジスタが正常に動作することができたとしても、プルアップトランジスタのゲートの電位は低下することに変わりない。本発明の一態様は、プルアップトランジスタのゲートとソースとの間の電位差（ $V_{gs}$ ）を大きくすることを課題とする。

## 【 0 0 0 8 】

または、プルアップトランジスタの  $V_{gs}$  が小さくなると、プルアップトランジスタのオン抵抗が大きくなってしまふ。本発明の一態様は、表示装置を小さくすることを課題とする。または、本発明の一態様は、表示装置を高精細にすることを課題とする。

40

## 【 0 0 0 9 】

または、プルアップトランジスタの  $V_{gs}$  が小さくなると、フリップフロップの出力信号の立ち上がり時間、又は立ち下がり時間が長くなってしまふ。本発明の一態様は、画素への不正な信号（例えば別の行に属する画素へのビデオ信号）の書き込みを防止し、表示品位を高くすることを課題とする。

## 【 0 0 1 0 】

または、プルアップトランジスタの  $V_{gs}$  が小さくなると、プルアップトランジスタのチャンネル幅を大きくする必要がある。そして、プルアップトランジスタのチャンネル幅が大き

50

くなると、他のトランジスタのチャンネル幅も大きくする必要があり、本発明の一態様は、レイアウト面積を小さくすることを課題とする。または、本発明の一態様は、表示装置の額縁を狭くすることを課題とする。

【0011】

または、トランジスタのチャンネル幅が大きくなると、トランジスタのゲートと、ソース又はドレインとがショートしやすくなる。本発明の一態様は、歩留まりを向上させることを課題とする。または、本発明の一態様は、コストの低減を図ることを課題とする。

【0012】

または、トランジスタのチャンネル幅が大きくなると、シフトレジスタの寄生容量が増加してしまう。本発明の一態様は、シフトレジスタに入力される信号になまり又は遅延などを低減することを課題とする。または、本発明の一態様は、消費電力を低減することを課題とする。これを改善するために、シフトレジスタに信号又は電圧などを供給する回路として、大きな電流能力を有する回路を用いる必要がある。本発明の一態様は、外部回路を小さくすることを課題とする。または、本発明の一態様は、表示装置を小さくすることを課題とする。

10

【0013】

なお、上述の課題の記載は、他の課題の存在を妨げるものではない。

【課題を解決するための手段】

【0014】

本発明の一態様は、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第1の回路、及び第2の回路を有する駆動回路と、液晶素子を有する画素と、を有し、第1のトランジスタは、第1の端子が、信号線、又はクロック信号線としての機能を有する第2の配線に電氣的に接続され、第2の端子が、信号線、ゲート線、走査線、又は出力信号線としての機能を有する第1の配線に電氣的に接続され、ゲートが第2の回路及び第3のトランジスタの第1の端子に電氣的に接続され、第2のトランジスタは、第1の端子が第1の配線に電氣的に接続され、第2の端子が、電源線、又はグランド線としての機能を有する第6の配線に電氣的に接続され、ゲートが第1の回路及び第3のトランジスタのゲートに電氣的に接続され、第3のトランジスタは、第2の端子が第6の配線に電氣的に接続され、第2の回路は、信号線、又はクロック信号線としての機能を有する第3の配線、信号線としての機能を有する第4の配線、信号線としての機能を有する第5の配線、及び第6の配線に電氣的に接続され、第1の回路は、第1の配線、第2の配線、及び第6の配線に電氣的に接続されている液晶表示装置である。

20

30

【0015】

本発明の一態様において、第1のトランジスタは、第1のトランジスタのゲートの電位に応じて、第2の配線の信号を第1の配線に供給するタイミングを制御するブートストラップトランジスタとして機能するものであってもよい。

【0016】

本発明の一態様において、第2のトランジスタは、第1の回路の出力信号、又は第2のトランジスタのゲートの電位に応じて、第6の配線と第1の配線との導通状態を制御するスイッチとして機能するものであってもよい。

40

【0017】

本発明の一態様において、第3のトランジスタは、第1の回路の出力信号に応じて、第6の配線と第1のトランジスタのゲートとの導通状態を制御するスイッチとして機能するものであってもよい。

【0018】

本発明の一態様において、第1の回路は、第1の配線の信号又は第2の配線の信号に応じて、第2のトランジスタのゲートに第6の配線の電圧を供給するタイミングを制御することで、第2のトランジスタのゲートの電位を上昇、減少若しくは維持する機能、又は第2のトランジスタのゲートを浮遊状態とする制御回路として機能するものであってもよい。

【0019】

50

本発明の一態様において、第2の回路は、第3の配線に供給される信号、第4の配線に供給される信号、又は第5の配線に供給される信号に応じて、第1のトランジスタのゲートに、第4の配線に供給される信号又は第6の配線の電圧を供給するタイミングを制御し、第1のトランジスタのゲートの電位を上昇、減少、若しくは維持する機能、又は第1のトランジスタのゲートの電位を浮遊状態とする制御回路として機能するものであってもよい。

【0020】

本発明の一態様において、第1の回路は、第4のトランジスタ、第5のトランジスタ、第6のトランジスタ、及び第7のトランジスタを有し、第4のトランジスタは、第1の端子が第2の配線と電氣的に接続され、第2の端子が第2のトランジスタのゲートと電氣的に接続され、第5のトランジスタは、第1の端子が第6の配線と電氣的に接続され、第2の端子が第2のトランジスタのゲートと電氣的に接続され、ゲートが第1の配線と電氣的に接続され、第6のトランジスタは、第1の端子が第2の配線と電氣的に接続され、第2の端子が第4のトランジスタのゲートと電氣的に接続され、ゲートが第2の配線と電氣的に接続され、第7のトランジスタは、第1の端子が第6の配線と電氣的に接続され、第2の端子が第4のトランジスタのゲートと電氣的に接続され、ゲートが第1の配線と電氣的に接続されるものであってもよい。

10

【0021】

本発明の一態様において、第2の回路は、第8のトランジスタ、第9のトランジスタ、第10のトランジスタ、第11のトランジスタ、及び第12のトランジスタを有し、第8のトランジスタは、第1の端子が第4の配線と電氣的に接続され、第2の端子が第1のトランジスタのゲートと電氣的に接続され、ゲートが第3の配線と電氣的に接続され、第9のトランジスタは、第1の端子が第1のトランジスタのゲートと電氣的に接続され、第2の端子が第4の配線と電氣的に接続され、ゲートが第4の配線と電氣的に接続され、第10のトランジスタは、第1の端子が第1のトランジスタのゲートと電氣的に接続され、第2の端子が第6の配線と電氣的に接続され、ゲートが第5の配線と電氣的に接続され、第11のトランジスタは、第1の端子が第1の配線と電氣的に接続され、第2の端子が第6の配線と電氣的に接続され、ゲートが第5の配線と電氣的に接続され、第12のトランジスタは、第1の端子が第1の配線と電氣的に接続され、第2の端子が第6の配線と電氣的に接続され、ゲートが第3の配線と電氣的に接続されるものであってもよい。

20

30

【0022】

本発明の一態様において、駆動回路は、画素と同じ基板に形成されるものであってもよい。

【0023】

本発明の一態様において、第1のトランジスタのチャンネル幅は、第2のトランジスタ及び第3のトランジスタのチャンネル幅よりも大きいものであってもよい。

【0024】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

40

【0025】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。

【0026】

50

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。

【0027】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0028】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

【0029】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0030】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁氣的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。

【0031】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一对の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、パナナ型液晶などを挙げることができる。また液晶の駆動方式としては、TN（Twisted Nematic）モ

10

20

30

40

50

ード、STN (Super Twisted Nematic) モード、IPS (In-Plane-Switching) モード、FFS (Fringe Field Switching) モード、MVA (Multi-domain Vertical Alignment) モード、PVA (Patterned Vertical Alignment) モード、ASV (Advanced Super View) モード、ASM (Axially Symmetric aligned Micro-cell) モード、OCB (Optically Compensated Birefringence) モード、ECB (Electrically Controlled Birefringence) モード、FLC (Ferroelectric Liquid Crystal) モード、AFLC (AntiFerroelectric Liquid Crystal) モード、PDLC (Polymer Dispersed Liquid Crystal) モード、ゲストホストモード、ブルー相 (Blue Phase) モードなどを用いることができる。ただし、これに限定されず、液晶素子及びその駆動方式として様々なものを用いることができる。

10

**【0032】**

なお、光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

**【0033】**

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。

20

**【0034】**

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。

**【0035】**

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。あるいは、LDD領域を設けた構造を適用できる。

30

**【0036】**

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

**【0037】**

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

40

**【0038】**

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成さ

50

れている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

【0039】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

【0040】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

【0041】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

10

【0042】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

【0043】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

20

【0044】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多く、これに限定されない。

【0045】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【0046】

なお、第1、第2、第3などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第1、第2、第3などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第1の」を「第2の」又は「第3の」などと置き換えることが可能である。

30

【発明の効果】

【0047】

本発明の一態様は、トランジスタのゲートの電位を高くすることができる。または、本発明の一態様は、誤動作を防止することができる。または、本発明の一態様は、トランジスタの $V_{gs}$ を大きくすることができる。または、本発明の一態様は、トランジスタのオン抵抗を小さくすることができる。または、本発明の一態様は、トランジスタのチャンネル幅を小さくすることができる。または、本発明の一態様は、トランジスタの劣化を抑制又は緩和することができる。または、本発明の一態様は、レイアウト面積を小さくすることができる。または、本発明の一態様は、フリップフロップ、シフトレジスタ、又は走査線駆動回路などの駆動回路の出力信号の立ち下がり時間、又は立ち上がり時間を短くすることができる。または、本発明の一態様は、表示装置を大きくすることができる。または、本発明の一態様は、表示装置を高精細にすることができる。または、本発明の一態様は、表示装置の額縁を狭くすることができる。または、本発明の一態様は、画素に正確な信号を書き込むことができる。または、本発明の一態様は、表示品位を高くすることができる。または、本発明の一態様は、歩留まりを高くすることができる。または、本発明の一態様は、コストを削減することができる。または、本発明の一態様は、シフトレジスタに入力

40

50

される信号のなまり又は遅延を小さくすることができる。または、本発明の一態様は、消費電力を小さくすることができる。または、本発明の一態様は、外部回路の電流能力を小さくすることができる。または、本発明の一態様は、外部回路のサイズ、又は当該外部回路を有する表示装置のサイズを小さくすることができる。

【図面の簡単な説明】

【0048】

【図1】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【図2】半導体装置の駆動方法を説明する模式図。

【図3】半導体装置の駆動方法を説明する模式図。

【図4】半導体装置の駆動方法を説明するタイミングチャート。

10

【図5】半導体装置の回路図。

【図6】半導体装置の回路図。

【図7】半導体装置の回路図。

【図8】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【図9】半導体装置の駆動方法を説明する模式図。

【図10】半導体装置の回路図。

【図11】半導体装置の回路図。

【図12】半導体装置の回路図、及びその駆動方法を説明する模式図。

【図13】半導体装置の駆動方法を説明する模式図。

【図14】半導体装置の回路図。

20

【図15】半導体装置の回路図。

【図16】半導体装置の回路図。

【図17】半導体装置の回路図。

【図18】半導体装置の回路図。

【図19】シフトレジスタの回路図。

【図20】シフトレジスタの駆動方法を説明するタイミングチャート。

【図21】シフトレジスタの駆動方法を説明するタイミングチャート。

【図22】シフトレジスタの回路図。

【図23】表示装置のシステムブロック図。

【図24】表示装置の構成を説明する図。

30

【図25】信号線駆動回路の回路図、及びその駆動方法を説明するタイミングチャート。

【図26】画素の回路図、及びその駆動方法を説明するタイミングチャート。

【図27】画素の回路図。

【図28】半導体装置の回路図。

【図29】表示装置の上面図と、その断面図。

【図30】トランジスタの断面図。

【図31】シフトレジスタのレイアウト図。

【図32】シフトレジスタのレイアウト図。

【図33】電子機器を説明する図。

【図34】電子機器を説明する図。

40

【発明を実施するための形態】

【0049】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0050】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形

50

態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0051】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0052】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

10

【0053】

（実施の形態1）

本実施の形態では、半導体装置の一例について説明する。本実施の形態の半導体装置は、一例として、シフトレジスタ、ゲートドライバ、ソースドライバ、又は表示装置などに用いることが可能である。なお、当該半導体装置をフリップフロップ、又は駆動回路と示すことが可能である。

【0054】

まず、本実施の形態の半導体装置の一例について、図1（A）を参照して説明する。図1（A）には、回路100を示す。なお、回路100を半導体装置、駆動回路、又はフリップフロップと示すことが可能である。

20

【0055】

回路100は、トランジスタ101（第1のトランジスタともいう）、トランジスタ102（第2のトランジスタともいう）、トランジスタ103（第3のトランジスタともいう）、回路104（第1の回路ともいう）、及び回路105（第2の回路ともいう）を有する。回路104は、端子104a、端子104b、端子104c、及び端子104dという複数の端子を有する。回路105は、端子105a、端子105b、端子105c、端子105d、端子105e、及び端子105fという複数の端子を有する。ただし、これに限定されず、これらのトランジスタのいずれか、又はこれらの回路のいずれかを省略、又は、容量素子、抵抗素子、若しくはダイオードなどの様々な素子、又はこれらのうちのいずれかの素子を組み合わせた回路への置き換えを行うことが可能である。または、トランジスタ、容量素子、抵抗素子、若しくはダイオードなどの様々な素子、又はこれらのうちのいずれかの素子を組み合わせた回路を新たに追加することが可能である。または、回路104、及び回路105の構成によっては、端子の追加、又は端子の省略を行うことが可能である。

30

【0056】

なお、一例として、トランジスタ101～103は、Nチャネル型であるものとする。Nチャネル型のトランジスタは、ゲートとソースとの間の電位差（ $V_{gs}$ ）が閾値電圧（ $V_{th}$ ）を上回った場合にオンするものとする。ただし、これに限定されず、トランジスタ101～103は、Pチャネル型であることが可能である。Pチャネル型トランジスタは、ゲートとソースとの間の電位差（ $V_{gs}$ ）が閾値電圧（ $V_{th}$ ）を下回った場合にオンするものとする。

40

【0057】

なお、一例として、図28（A）に示すように、回路104は、2入力のANDとNOTとを組み合わせた論理回路であるものとする。この組み合わせ論理回路は、一方の入力信号（例えば配線113の信号）と、他方の入力信号（例えば配線111の信号）の反転信号との論理積をとるものとする。ただし、これに限定されず、回路104としては、図28（B）に示すように、2入力のNORを用いることが可能である。他にも、回路104としては、様々な回路を用いることが可能である。

【0058】

50

なお、一例として、回路104、及び回路105は、一つ又は複数のトランジスタを有するものとする。そして、これらのトランジスタの極性は、トランジスタ101～103と同じ極性であるものとする。トランジスタの極性を同じ極性とすることによって、製造工程の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。ただし、これに限定されず、回路104、及び回路105は、Nチャネル型トランジスタとPチャネル型トランジスタとを有することが可能である。つまり、回路104、及び105は、CMOS回路であることが可能である。

【0059】

なお、一例として、端子104a～104cは、入力端子として機能し、端子104dは、出力端子として機能するものとする。そして、一例として、端子105a～105dは、入力端子として機能し、端子105e及び端子105fは、出力端子として機能するものとする。ただし、これに限定されない。

10

【0060】

なお、回路104、及び/又は回路105は、さらに多くの端子を有することが可能である。または、回路104、及び/又は回路105は、端子の一部を省略することが可能である。

【0061】

次に、回路100の接続関係の一例について説明する。トランジスタ101の第1の端子は、配線112と接続され、トランジスタ101の第2の端子は、配線111と接続される。トランジスタ102の第1の端子は、配線116と接続され、トランジスタ102の第2の端子は、配線111と接続される。トランジスタ103の第1の端子は、配線116と接続され、トランジスタ103の第2の端子は、トランジスタ101のゲートと接続され、トランジスタ103のゲートは、トランジスタ102のゲートと接続される。回路104の端子104aは、配線112と接続され、回路104の端子104bは、配線111と接続され、回路104の端子104cは、配線116と接続され、回路104の端子104dは、トランジスタ102のゲートと接続される。回路105の端子105aは、配線113と接続され、回路105の端子105bは、配線114と接続され、回路105の端子105cは、配線115と接続され、回路105の端子105dは、配線116と接続され、回路105の端子105eは、トランジスタ101のゲートと接続され、回路105の端子105fは、配線111と接続される。ただし、これに限定されず、他にも様々な接続構成にすることが可能である。

20

30

【0062】

なお、トランジスタ101のゲート、トランジスタ103の第2の端子、又は、回路105の端子105eの接続箇所をノードAと示す。そして、トランジスタ102のゲート、回路104の端子104d、又は、トランジスタ103のゲートの接続箇所をノードBと示す。なお、ノードA、及びノードBを配線、又は端子と示すことが可能である。

【0063】

なお、配線111、配線112、配線113、配線114、配線115、及び配線116を端子と示すことが可能である。

【0064】

なお、すでに述べたように、回路104、及び/又は回路105には、新たな端子を追加することが可能である。このような場合、当該端子は、様々な配線、又は様々な素子と接続することが可能である。

40

【0065】

なお、配線111～116のいずれかの省略、及び/又は、新たな配線の追加を行うことが可能である。

【0066】

次に、配線111～116に入力又は出力される信号又は電圧の一例について説明する。配線111からは、一例として、信号OUTが出力されるものとする。信号OUTは、HレベルとLレベルとを有するデジタル信号である場合が多く、回路100の出力信号、選

50

扱信号、転送信号、スタート信号、リセット信号、ゲート信号、又は走査信号として機能することが可能である。配線 1 1 2 には、一例として、信号 I N 1 が入力されるものとする。信号 I N 1 は、デジタル信号である場合が多く、クロック信号として機能することが可能である。配線 1 1 3 には、一例として、信号 I N 2 が入力されるものとする。信号 I N 2 は、信号 I N 1 の反転信号、又は信号 I N 1 から位相が  $180^\circ$  ずれた信号である場合が多く、反転クロック信号として機能することが可能である。配線 1 1 4 には、一例として、信号 I N 3 が入力されるものとする。信号 I N 3 は、デジタル信号である場合が多く、スタート信号、又は垂直同期信号として機能することが可能である。または、回路 1 0 0 がシフトレジスタ又は表示装置に用いられる場合、信号 I N 3 は、別の段（例えば前段）からの転送信号、又は別の行（例えば前行）を選択する信号として機能することが可能である。配線 1 1 5 には、一例として、信号 I N 4 が入力されるものとする。信号 I N 4 は、デジタル信号である場合が多く、リセット信号として機能することが可能である。または、回路 1 0 0 がシフトレジスタ又は表示装置に用いられる場合、信号 I N 4 は、別の行（例えば次の行）を選択する信号として機能することが可能である。配線 1 1 6 には、一例として、電圧 V 1 が入力されるものとする。電圧 V 1 は、L レベルの信号 O U T、信号 I N 1、信号 I N 2、信号 I N 3、又は信号 I N 4 とおおむね等しい値である場合が多く、グランド電圧、電源電圧、又は負電源電圧として機能することが可能である。ただし、これに限定されず、配線 1 1 1 ~ 1 1 6 には、他にも様々な信号、様々な電流、又は様々な電圧を入力することが可能である。例えば、配線 1 1 2、配線 1 1 3、配線 1 1 4、及び / 又は、配線 1 1 5 に、電圧 V 1 又は電圧 V 2 などの電圧が供給されることが可能である。または、配線 1 1 6 に、信号 O U T、信号 I N 1、信号 I N 2、信号 I N 3、又は信号 I N 4 などの信号が入力されることが可能である。または、配線 1 1 1、配線 1 1 2、配線 1 1 3、配線 1 1 4、配線 1 1 5、及び / 又は、配線 1 1 6 に信号又は電圧などを入力させずに、これらの配線を浮遊状態にすることが可能である。

#### 【 0 0 6 7 】

なお、おおむねとは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、及び / 又は、測定誤差などの様々な誤差を含むものとする。

#### 【 0 0 6 8 】

なお、配線 1 1 1（第 1 の配線ともいう）は、信号線、ゲート線、走査線、又は出力信号線として機能することが可能である。配線 1 1 2（第 2 の配線ともいう）は、信号線、又はクロック信号線として機能することが可能である。配線 1 1 3（第 3 の配線ともいう）は、信号線、又はクロック信号線として機能することが可能である。配線 1 1 4（第 4 の配線ともいう）は、信号線として機能することが可能である。配線 1 1 5（第 5 の配線ともいう）は、信号線として機能することが可能である。配線 1 1 6（第 6 の配線ともいう）は、電源線、又はグランド線として機能することが可能である。ただし、これに限定されず、配線 1 1 1 ~ 1 1 6 は、他にも様々な配線として機能することが可能である。例えば、配線 1 1 2、配線 1 1 3、配線 1 1 4、及び / 又は、配線 1 1 5 に、電圧が供給される場合、これらの配線は、電源線として機能することが可能である。または、配線 1 1 6 に、信号が入力される場合、配線 1 1 6 は、信号線として機能することが可能である。または、配線 1 1 4、及び / 又は、配線 1 1 5 は、配線 1 1 1 と同様に、信号線、ゲート線、走査線、又は出力信号線として機能することが可能である。

#### 【 0 0 6 9 】

なお、回路 1 0 0 には、多相のクロック信号を入力することが可能である。例えば、 $n$ （ $n$  は自然数）相のクロック信号と示す場合、 $n$  相のクロック信号とは、周期がそれぞれ  $1/n$  周期ずつずれた  $n$  個のクロック信号のことである。または、多相のクロック信号のいずれか二つが、各々、配線 1 1 2、配線 1 1 3 に入力されることが可能である。

#### 【 0 0 7 0 】

なお、信号 I N 1、又は信号 I N 2 としては、平衡のクロック信号を用いることが可能であるし、非平衡（不平衡ともいう）のクロック信号を用いることが可能である。平衡とは、1 周期のうち、H レベルになる期間と L レベルになる期間とが等しいことをいう。非平

衡とは、1周期のうち、Hレベルになる期間とLレベルになる期間とが異なることをいう。

【0071】

なお、一例として、Lレベルの信号の電位を $V_1$ とし、Hレベルの信号の電位を $V_2$ であるものとする。そして、 $V_2 > V_1$ であるものとする。そして、電圧 $V_2$ と示す場合、電圧 $V_2$ とは信号のHレベルとおおむね等しい値であるものとする。ただし、これに限定されず、Lレベルの信号の電位は、 $V_1$ よりも低いことが可能であるし、 $V_1$ よりも高いことが可能である。または、Hレベルの信号の電位は、 $V_2$ よりも低いことが可能であるし、 $V_2$ よりも高いことが可能である。

【0072】

次に、トランジスタ101~103、及び回路104、105が有する機能の一例について説明する。

【0073】

トランジスタ101は、ノードAの電位に応じて、Hレベルの信号IN1を配線111に供給するタイミングを制御することによって、信号OUTがHレベルになるタイミングを制御する機能を有し、プルアップトランジスタ、又はブートストラップトランジスタとして機能することが可能である。トランジスタ102は、回路104の出力信号、又はノードBの電位に応じて、配線116と配線111との導通状態を制御することによって、配線111に電圧 $V_1$ を供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ103は、回路104の出力信号、又はノードBの電位に応じて、配線116とノードAとの導通状態を制御することによって、ノードAに電圧 $V_1$ を供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。

【0074】

回路104は、信号OUT又は信号IN1に応じて、ノードBに信号IN3又は電圧 $V_1$ を供給するタイミングを制御することによって、ノードBの電位を上昇、減少若しくは維持する機能、又はノードBを浮遊状態とする機能を有し、制御回路として機能することが可能である。そして、回路104は、ノードBの電位を制御することによって、トランジスタ102及びトランジスタ103の導通状態を制御する機能を有することが可能である。例えば、回路104は、信号IN2がLレベルになると、電圧 $V_1$ 又はLレベルの信号IN2をノードBに供給することによって、ノードBの電位を減少させる機能を有する。別の例として、回路104は、信号OUTがHレベルになると、電圧 $V_1$ 又はLレベルの信号をノードBに供給することによって、ノードBの電位を減少させる機能を有する。別の例として、信号OUTがLレベルのときに、信号IN2がHレベルになると、電圧 $V_2$ 又はHレベルの信号IN2をノードBに供給することによって、ノードBの電位を上昇させる機能を有する。

【0075】

回路105は、信号IN2、信号IN3、又は信号IN4に応じて、ノードAに、信号IN3又は電圧 $V_1$ を供給するタイミングを制御することによって、ノードAの電位を上昇、減少、若しくは維持する機能、又はノードAを浮遊状態にする機能を有し、制御回路として機能することが可能である。または、回路105は、信号IN2、信号IN3、又は信号IN4に応じて、配線111に電圧 $V_1$ を供給するタイミングを制御することによって、配線111の電位を減少若しくは維持する機能、又は配線111を浮遊状態にする機能を有する。例えば、回路105は、信号IN2又は信号IN3がHレベルになると、Hレベルの信号IN3又は電圧 $V_2$ をノードAに供給することによって、ノードAの電位を上昇させる機能を有する。別の例として、回路105は、信号IN2又は信号IN4がHレベルになると、電圧 $V_1$ 又はLレベルの信号をノードA又は配線111に供給することによって、ノードAの電位又は配線111の電位を減少させる機能を有する。

【0076】

ただし、これに限定されず、トランジスタ101~103、及び回路104~105は、

10

20

30

40

50

他にも様々な機能を有することが可能である。または、これらの素子又は回路は、上述した機能を有していないことが可能である。

【0077】

次に、図1(A)の半導体装置の動作について、図1(B)、及び図2(A)、図2(B)、図2(C)、図3(A)、及び図3(B)を参照して説明する。図1(B)は、半導体装置の動作を説明するためのタイミングチャートの一例である。図1(B)には、1動作期間における信号IN1、信号IN2、信号IN3、信号IN4、ノードAの電位Va、ノードBの電位Vb、及び信号OUTの一例を示す。そして、図1(B)のタイミングチャートの1動作期間は、期間T1、期間T2、期間T3、期間T4、及び期間T5を有する。図2(A)は、期間T1における図1(A)の半導体装置の動作の模式図の一例である。図2(B)は、期間T2における図1(A)の半導体装置の動作の模式図の一例である。図2(C)は、期間T3における図1(A)の半導体装置の動作の模式図の一例である。図3(A)は、期間T4における図1(A)の半導体装置の動作の模式図の一例である。図3(B)は、期間T5における図1(A)の半導体装置の動作の模式図の一例である。

10

【0078】

なお、一例として、信号IN3がHレベルになると、図1(A)の半導体装置は、期間T1における動作、期間T2における動作、及び期間T3における動作を順に行うものとする。そして、その後、再び信号IN3がHレベルになるまで、図1(A)の半導体装置は、期間T4における動作と期間T5における動作とを順に繰り返すものとする。ただし、これに限定されず、図1(A)の半導体装置は、期間T1～期間T5における動作を様々な順番で行うことが可能である。

20

【0079】

まず、期間T1において、信号IN1がLレベルになり、信号IN2がHレベルになり、信号IN3がHレベルになり、信号IN4がLレベルになる。信号IN3がHレベルになるので、回路105は、ノードAの電位を上昇させ始める。このとき、信号IN1がLレベルになるので、回路104は、ノードBの電位をV1となるように減少させ始める。よって、トランジスタ102、及びトランジスタ103がオフするので、配線116と配線111とは非導通状態となり、配線116とノードAとは非導通状態となる。その後、ノードAの電位が配線112の電位(V1)と、トランジスタ101の閾値電圧(Vth101)との和(V1+Vth101)となったところで、トランジスタ101がオンする。すると、配線112と配線111とが導通状態となるので、Lレベルの信号IN1は、配線112からトランジスタ101を介して配線111に供給される。よって、配線111の電位はV1となるので、信号OUTはLレベルとなる。その後、回路105は、ノードAの電位をさらに上昇させ続ける。そして、回路105は、ノードAの電位をある程度の値(少なくともV1+Vth101以上)まで上昇させたところで、ノードAへの信号又は電圧の供給を止める。よって、ノードAは、このときの電位(例えばV1+Vth101以上)を維持したまま浮遊状態となる。

30

【0080】

なお、期間T1において、回路105は、配線111に電圧V1、又はLレベルの信号を供給する場合が多い。ただし、これに限定されず、回路105は、配線111に電圧又は信号などを供給しないことによって、回路105と配線111とを非導通状態にすることが可能である。

40

【0081】

次に、期間T2において、信号IN1がHレベルになり、信号IN2がLレベルになり、信号IN3がLレベルになり、信号IN4がLレベルのままとなる。回路105は、電圧又は信号などをノードAに供給していない場合が多いので、ノードAは、期間T1における電位(V1+Vth101以上)を維持したまま、浮遊状態のままとなる。よって、トランジスタ101はオンのままとなるので、配線112と配線111とは導通状態のままとなる。このとき、信号IN1がLレベルからHレベルに上昇するので、配線111の電

50

位がV<sub>1</sub>から上昇し始める。すると、ノードAは浮遊状態となっているので、ノードAの電位は、トランジスタ101のゲートと第2の端子との間の寄生容量によって上昇する。いわゆる、ブートストラップ動作である。こうして、ノードAの電位がV<sub>2</sub> + V<sub>th101</sub> + (は正の数)まで上昇する。すると、配線111の電位はHレベルの信号IN<sub>2</sub>の電位、つまりV<sub>2</sub>まで上昇するので、信号OUTはHレベルとなる。このとき、信号OUTがHレベルになるので、回路104は、ノードBに電圧V<sub>1</sub>又はLレベルの信号などを供給することによって、ノードBの電位をV<sub>1</sub>に維持する。よって、トランジスタ102、及びトランジスタ103はオフのままとなるので、配線116と配線111とは非導通状態のままとなり、配線116とノードAとは非導通状態のままとなる。

【0082】

なお、期間T<sub>2</sub>において、回路104は、ノードBに信号又は電圧などを供給しないことによって、回路104とノードBとを非導通状態とすることが可能である。そして、回路104は、ノードBを浮遊状態にすることが可能である。この場合でも、ノードBは浮遊状態になるので、ノードBの電位はV<sub>1</sub>に維持される場合が多い。

【0083】

なお、期間T<sub>2</sub>において、回路105は、配線111に信号又は電圧などを供給しないことによって、回路105と配線111とを非導通状態とすることが可能である。ただし、これに限定されず、回路105は、配線111に電圧V<sub>2</sub>又はHレベルの信号などを供給することが可能である。

【0084】

次に、期間T<sub>3</sub>において、信号IN<sub>1</sub>がLレベルになり、信号IN<sub>2</sub>がHレベルになり、信号IN<sub>3</sub>がLレベルのままとなり、信号IN<sub>4</sub>がHレベルとなる。信号IN<sub>4</sub>がHレベルになるので、回路105は、ノードAの電位をV<sub>1</sub>となるように減少させる。よって、トランジスタ101がオフとなるので、配線112と配線111とは非導通状態となる。ここで、ノードAの電位は回路105を介して供給される電圧又は信号によって制御されるので、トランジスタ101がオフするタイミングは、信号IN<sub>1</sub>がLレベルになるタイミングよりも遅い場合が多い。つまり、トランジスタ101がオンしている状態のときに、信号IN<sub>1</sub>がLレベルとなることがある。この場合、Lレベルの信号IN<sub>1</sub>が配線112からトランジスタ101を介して配線111に供給される。よって、配線111の電位はV<sub>1</sub>となるので、信号OUTはLレベルとなる。このとき、信号IN<sub>1</sub>はLレベルなので、回路104は、Lレベルの信号IN<sub>2</sub>又は電圧V<sub>1</sub>をノードBに供給することによって、ノードBの電位をV<sub>1</sub>に維持する。よって、トランジスタ102、及びトランジスタ103はオフのままとなるので、配線116と配線111とは非導通状態のままとなり、配線116とノードAとは非導通状態のままとなる。

【0085】

なお、期間T<sub>3</sub>において、回路104は、信号又は電圧などをノードBに供給しないことによって、回路104とノードBとを非導通状態にすることが可能である。そして、回路104は、ノードBを浮遊状態にすることが可能である。この場合でも、ノードBは浮遊状態になるので、ノードBの電位はV<sub>1</sub>に維持される場合が多い。

【0086】

なお、期間T<sub>2</sub>において、回路105は、電圧V<sub>1</sub>又はLレベルの信号を配線111に供給することが可能である。または、回路105は、電圧又は信号などを配線111に供給していないことによって、回路105と配線111とを非導通状態にすることが可能である。

【0087】

次に、期間T<sub>4</sub>において、信号IN<sub>1</sub>がHレベルになり、信号IN<sub>2</sub>がLレベルになり、信号IN<sub>3</sub>がLレベルのままとなり、信号IN<sub>4</sub>がLレベルとなる。信号OUTがLレベルのまま、信号IN<sub>1</sub>がHレベルになるので、回路104は、Hレベルの信号IN<sub>1</sub>又は電圧V<sub>2</sub>をノードBに供給することによって、ノードBの電位をV<sub>2</sub>となるように上昇させる。すると、トランジスタ102、及びトランジスタ103がオンするので、配線11

10

20

30

40

50

6と配線111とが導通状態となり、配線116とノードAとが導通状態となる。よって、電圧V1が配線116からトランジスタ102を介して配線111に供給されるので、配線111の電位はV1に維持される。そして、電圧V1が配線116からトランジスタ103を介してノードAに供給されるので、ノードAの電位はV1に維持される。こうして、信号OUTはLレベルのままとなる。

【0088】

なお、回路105は、電圧V1又はLレベルの信号などを配線111又はノードAに供給することが可能である。または、回路105は、電圧又は信号などを配線111又はノードAに供給しないことによって、回路105とノードAとを非導通状態とすることが可能であり、回路105と配線111とを非導通状態とすることが可能である。

10

【0089】

次に、期間T5において、信号IN1がLレベルになり、信号IN2がHレベルになり、信号IN3がLレベルのままとなり、信号IN4がLレベルのままとなる。信号IN1がLレベルになるので、回路104は、Lレベルの信号IN1又は電圧V1をノードBに供給することによって、ノードBの電位をV1となるように減少させる。よって、トランジスタ102、及びトランジスタ103がオフするので、配線116と配線111とが非導通状態となり、配線116とノードAとが非導通状態となる。ここで、回路105が電圧V1又はLレベルの信号などを、配線111又はノードAに供給していれば、配線111又はノードAの電位は、V1に維持される。ただし、回路105が電圧又は信号などを配線111又はノードAに供給していない場合でも、配線111又はノードAの電位は、V1に維持される。なぜなら、配線111、及びノードAは、浮遊状態となるので、期間T4における電位(V1)を維持するからである。こうして、信号OUTはLレベルのままとなる。

20

【0090】

以上、図1(A)の半導体装置の動作について説明した。図1(A)の半導体装置では、期間T2において、ノードAの電位の減少を防止することができる。従来の技術では、期間T2において、配線111の電位がある程度の値に上昇するまでは、ノードAと配線111とが導通状態になっていた。よって、ノードAの電位が減少していた。しかし、図1(A)の半導体装置では、期間T2において、ノードAと配線111とは、導通状態とならない。したがって、ノードAの電位の減少を防止することができる。この結果、トランジスタ101のVgsの減少を防ぐことができる。または、トランジスタ101のVgsを大きくすることができる。または、ノードAの電位が減少しすぎることによる誤動作を防止することができる。または、トランジスタ101のVgsの減少を防ぐことができるので、トランジスタ101のチャネル幅(W)を小さくすることができる。よって、レイアウト面積の縮小を図ることができる。または、トランジスタ101のVgsを大きくすることができるので、トランジスタ101のオン抵抗を小さくすることができる。よって、信号OUTの立ち下がり時間若しくは立ち上がり時間の減少、又は信号OUTの遅延の減少を図ることができる。

30

【0091】

または、図1(A)の半導体装置では、全てのトランジスタの極性をNチャンネル型又はPチャンネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、全てのトランジスタがNチャンネル型の場合、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。ただし、これに限定されず、図1(A)の半導体装置は、Pチャンネル型のトランジスタとNチャンネル型のトランジスタとによって構成されるCMOS回路を有することが可能である。または、トランジスタの半導体層として、単結晶半導体、又は多結晶半導体を用いることが可能である。

40

【0092】

または、図1(A)の半導体装置では、期間T4と期間T5とのうち少なくとも一方にお

50

いて、トランジスタ101～103はオフする。したがって、トランジスタが1動作期間中にずっとオン状態にならないので、閾値電圧の上昇又は移動度の低下などのトランジスタの特性劣化を抑制することができる。特に、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などが用いられる場合、トランジスタの特性劣化は顕著に表れる場合が多い。しかし、図1(A)の半導体装置では、トランジスタの特性劣化を抑制することができるので、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが容易になる。ただし、これに限定されず、半導体層としては、多結晶半導体、又は単結晶半導体を用いることが可能である。

#### 【0093】

なお、期間T2を選択期間と示し、それ以外の期間(期間T1、期間T3、期間T4、及び期間T5)を非選択期間と示すことが可能である。または、期間T1、期間T2、期間T3、期間T4、及び期間T5を、各々、セット期間、出力期間、リセット期間、第1の非選択期間、第2の非選択期間と示すことが可能である。

#### 【0094】

なお、図1(B)のタイミングチャートの一例では、信号IN1と信号IN2とは平衡である場合について示したが、これに限定されない。すでに述べたように、信号IN1と信号IN2とは、非平衡であることが可能である。または、図1(B)のタイミングチャートでは、信号IN1(又は信号IN2)がHレベルになる時間と、信号IN1(又は信号IN2)がLレベルになる時間とがおおむね等しい場合、つまり信号IN1及び信号IN2のデューティ比がおおむね50%である場合について示したが、これに限定されない。信号IN1、及び信号IN2のデューティ比は、50%以上であることが可能であるし、50%以下であることが可能である。図4(A)には、信号IN1と信号IN2とが非平衡であり、且つ信号IN1及び信号IN2のデューティ比が50%ではない場合のタイミングチャートを示す。図4(A)のタイミングチャートでは、期間T2において、信号IN1がHレベルになると、ノードAの電位がブートストラップ動作によって上昇し、信号OUTがHレベルになる。その後、信号IN1がLレベルになる。図1(B)のタイミングチャートでは、これと同時に、又は少し遅れて、ノードAの電位はV1になるように減少する。つまり、信号IN1がLレベルになると同時に、又は少しだけ遅れて、トランジスタ101がオフになる。しかし、図4(A)のタイミングチャートでは、信号IN4がHレベルになるまで、又は信号IN2がHレベルになるまでは、ノードAの電位は高いままである。つまり、信号IN1がLレベルになった後も、トランジスタ101がオンのままとなる。よって、配線112と配線111とが導通状態のままなので、Lレベルの信号IN1が配線112からトランジスタ101を介して配線111に供給される。すると、トランジスタ101のチャンネル幅(W)は大きい場合が多いので、配線111の電位はすぐにV1まで減少する。よって、信号OUTの立ち下がり時間を短くすることができる。

#### 【0095】

なお、図4(A)において、信号IN1の1周期を期間Tckと示す。そして、1周期のうち信号IN1がHレベルとなる期間を期間Tck(H)と示し、1周期のうち信号IN1がLレベルとなる期間を期間Tck(L)と示す。同様に、信号IN2の1周期を期間Tckbと示す。そして、1周期のうち信号IN2がHレベルとなる期間を期間Tckb(H)と示し、1周期のうち信号IN2がLレベルとなる期間を期間Tckb(L)と示す。期間Tckと期間Tckbとの関係、期間Tck(H)と期間Tckb(H)との関係、及び期間Tck(L)と期間Tckb(L)との関係は、各々、 $Tck > Tckb$ 、 $Tck(H) > Tckb(H)$ 、 $Tck(L) > Tckb(L)$ である場合が多い。ただし、これに限定されない。

#### 【0096】

なお、図4(A)において、期間Tck(H)と期間Tck(L)との関係は、 $Tck(H) < Tck(L)$ であることが好ましい。同様に、期間Tckb(H)と期間Tckb(L)との関係は、 $Tckb(H) < Tckb(L)$ であることが好ましい。こうするこ

10

20

30

40

50

とによって、上述したように、信号OUTの立ち下がり時間を短くすることができる。ただし、これに限定されず、 $T_{ck}(H) > T_{ck}(L)$ であることが可能であるし、 $T_{ckb}(H) > T_{ckb}(L)$ であることが可能である。

【0097】

なお、図4(A)のタイミングチャートに示すように、期間T2の途中に、信号OUTをLレベルにすることが可能である。これを実現するために、期間T2の途中に、信号IN4をHレベルにする。すると、図1(A)の回路100は、強制的に期間T3の動作、又はこれに準ずる動作を開始する。まず、信号IN4がHレベルになるので、回路105は、ノードA、及び配線111に、電圧V1又はLレベルの信号を供給することによって、ノードA、及び配線111の電位をV1になるように減少させる。よって、信号OUTはLレベルとなる。そして、信号OUTがLレベルとなり、信号IN1がHレベルのままなので、回路104は、期間T4と同様に、Hレベルの信号IN1をノードBに供給することによって、ノードBの電位をV2とする。すると、トランジスタ102、及びトランジスタ103がオンするので、配線116と配線111とが導通状態となり、配線116とノードAとが導通状態となる。よって、電圧V1が配線116からトランジスタ102を介して配線111に供給されるので、配線111の電位はV1に維持される。一方、電圧V1が配線116からトランジスタ103を介してノードAに供給されるので、ノードAの電位はV1に維持される。このとき、ノードAの電位はV1となるので、トランジスタ101はオフになる。よって、配線112と配線111とは非導通状態となる。このようにして、信号IN1がHレベルとなる時間よりも、信号OUTがHレベルとなる期間を短くすることができる。この結果、信号IN1がHレベルとなる時間と、信号OUTがHレベルとなる時間とがおおむね等しい場合と比較して、駆動周波数が遅くなる。よって、消費電力の低減を図ることができる。

10

20

【0098】

なお、一例として、トランジスタ101～トランジスタ103の中で、又は、図1(A)の半導体装置が有するトランジスタの中で、トランジスタ101のチャンネル幅が一番大きいことが好ましい。こうすることによって、トランジスタ101のオン抵抗が小さくなるので、信号OUTの立ち上がり時間、又は立ち下がり時間を短くすることができる。ただし、これに限定されず、トランジスタ101のチャンネル幅は、図1(A)の半導体装置が有するトランジスタのいずれかよりも小さいことが可能である。

30

【0099】

なお、トランジスタのチャンネル幅と示す場合、これをトランジスタのW/L(W:チャンネル幅、L:チャンネル長)比と言い換えることが可能である。

【0100】

なお、一例として、トランジスタ102のチャンネル幅は、トランジスタ103のチャンネル幅よりも大きいことが好ましい。なぜなら、配線111はゲート線又は画素などと接続される場合が多いので、配線111の負荷は、ノードAの負荷よりも大きい場合が多いからである。そして、トランジスタ102は、電圧V1を配線111に供給する機能を有し、トランジスタ103は、電圧V1をノードAに供給する機能を有しているからである。ただし、これに限定されず、トランジスタ102のチャンネル幅は、トランジスタ103のチャンネル幅よりも小さいことが可能である。

40

【0101】

なお、一例として、トランジスタ101において、ゲートと第2の端子との間の寄生容量は、ゲートと第1の端子との間の寄生容量よりも大きいことが好ましい。なぜなら、期間T2において、ノードAの電位がブートストラップ動作によって高くなりやすくなるからである。したがって、ゲートとして機能する導電層と、ソース又はドレインとして機能する導電層とが重なる面積は、第2の端子側のほうが第1の端子側よりも大きいことが好ましい。ただし、これに限定されない。

【0102】

なお、配線を複数の配線に分割することが可能である。そして、当該複数の配線には、同

50

じ信号又は電圧を入力することが可能であるし、別々の信号又は電圧を入力することが可能である。または、当該複数の配線は、同じ配線又は同じ素子と接続されることが可能であるし、当該複数の配線は、別々の配線又は別々の素子と接続されることが可能である。図5(A)の一例には、配線112を配線112A~112Bという複数の配線に分割し、配線116を配線116A~116Dという複数の配線に分割する場合の構成を示す。トランジスタ101の第1の端子は、配線112Aと接続され、回路104の端子104aは、配線112Bと接続される。トランジスタ102の第1の端子は配線116Aと接続され、トランジスタ103の第1の端子は配線116Bと接続され、回路104の端子104cは配線116Cと接続され、回路105の端子105dは配線116Dと接続される。ただし、これに限定されず、配線111、配線113、配線114、及び/又は、配線115を複数の配線に分割することが可能である。または、配線112と配線116との一方のみを複数の配線に分割することが可能である。

10

## 【0103】

なお、図5(A)において、配線112A~112Bは、図1(A)の配線112に対応する。よって、配線112A~112Bには、信号IN1を入力することが可能であり、配線112A~112Bは、信号線、又はクロック信号線として機能することが可能である。ただし、これに限定されず、配線112A~112Bには、電圧V1又は電圧V2などの電圧を供給することが可能であり、配線112A~112Bは、電源線として機能することが可能である。または、配線112A~112Bには、別々の信号、又は別々の電圧を入力することが可能である。または、配線112A~112Bには、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

20

## 【0104】

なお、図5(A)において、配線116A~116Dは、図1(A)の配線116に対応する。よって、配線116A~116Dには、電圧V1を供給することが可能であり、配線116A~116Dは、電源線として機能することが可能である。ただし、これに限定されず、配線116A~116Dには、信号OUT、又は信号IN1~信号IN4などの信号が入力されることが可能であり、配線116A~116Dは、信号線として機能することが可能である。または、配線116A~116Dには、別々の電圧、又は別々の信号を入力することが可能である。または、配線116A~116Dには、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

30

## 【0105】

なお、図5(A)において、配線116A、及び配線116Bには、期間T4において、Lレベルとなる信号を入力することが可能である。例えば、配線116A、及び配線116Bに、信号IN2を入力することが可能である。この場合、図5(B)に示すように、トランジスタ102の第1の端子、及びトランジスタ103の第1の端子は、配線113と接続されることが可能である。こうして、トランジスタ102、及びトランジスタ103に逆バイアスを印加することができるので、トランジスタ102、及びトランジスタ103の特性劣化を緩和することができる。ただし、これに限定されず、配線116Aと配線116Bとの一方に信号IN2を入力し、配線116Aと配線116Bとの一方のみが配線113と接続されることが可能である。または、配線116A、及び/又は、配線116Bに、信号OUT、信号IN3、信号IN4、又はその他の信号を入力することが可能である。この場合、トランジスタ103の第1の端子、及び/又は、トランジスタ102の第1の端子は、配線111、配線114又は配線115と接続されることが可能である。または、配線116C、及び/又は、配線116Dに、信号OUT、信号IN2、信号IN3、信号IN4、又はその他の信号を入力することが可能である。この場合、回路104の端子104c、及び/又は、回路105の端子105dは、配線111、配線113、配線114、又は配線115と接続されることが可能である。

40

## 【0106】

なお、図6(A)に示すように、トランジスタ101のゲートと第2の端子との間に、容量素子121を新たに接続することが可能である。こうすることによって、期間T2にお

50

けるブートストラップ動作時に、ノードAの電位を高くすることができる。よって、トランジスタ101の $V_{gs}$ が大きくなるので、信号OUTの立ち下がり時間若しくは立ち上がり時間を短くすることができる。ただし、これに限定されず、容量素子121として、トランジスタをMOS容量として用いることが可能である。この場合、MOS容量として用いるトランジスタの容量値を大きくするために、当該トランジスタのゲートはノードAと接続され、当該トランジスタの第1の端子、又は第2の端子は配線111と接続されることが好ましい。

【0107】

なお、図6(A)と同様に、図5(A)～(B)においても、トランジスタ101のゲートと第2の端子との間に、容量素子121を新たに接続することが可能である。または、第1の端子及び第2の端子が配線111と接続され、ゲートがノードAと接続されるトランジスタを新たに追加することが可能である。

10

【0108】

なお、図6(B)に示すように、第1の端子が配線111と接続され、第2の端子がノードAと接続され、ゲートが配線112と接続されるトランジスタ122を新たに追加することが可能である。トランジスタ122の極性は、トランジスタ101～103と同じ極性である場合が好ましく、Nチャネル型である場合が多い。ただし、これに限定されず、トランジスタ122の極性は、Pチャネル型であることが可能である。トランジスタ122は、信号IN2に応じて、ノードAと配線111とが導通状態となるタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ122は、期間T4においてオンし、ノードAと配線111とを導通状態にする。

20

【0109】

なお、図6(B)と同様に、図5(A)～(B)、及び図6(A)においても、第1の端子が配線111と接続され、第2の端子がノードAと接続され、ゲートが配線112と接続されるトランジスタ122を新たに追加することが可能である。

【0110】

なお、図6(C)に示すように、トランジスタ103を省略することが可能である。この場合、期間T4において、ノードAが浮遊状態となる場合が多い。ただし、これに限定されず、トランジスタ102を省略することが可能である。この場合、期間T4において、配線111が浮遊状態となる場合が多い。こうして、トランジスタ102とトランジスタ103との一方を省略することによって、トランジスタの数を減らすことができる。よって、レイアウト面積の縮小、又は歩留まりの向上などを図ることができる。

30

【0111】

なお、図6(C)と同様に、図5(A)～(B)、及び図6(A)～(B)においても、トランジスタ102、又はトランジスタ103を省略することが可能である。特に、図6(B)では、トランジスタ102とトランジスタ103との一方を省略することが好ましい。なぜなら、図6(B)では、期間T4において、ノードAと配線111とが導通状態となるので、ノードA、又は配線111が浮遊状態とならないからである。

【0112】

なお、図7(A)に示すように、トランジスタ102を、一方の端子(以下、正極ともいう)が配線111と接続され、他方の端子(以下、負極ともいう)がノードBと接続されるダイオード102aに置き換えることが可能である。または、トランジスタ103を、一方の端子(以下、正極ともいう)がノードAと接続され、他方の端子(以下、負極ともいう)がノードBと接続されるダイオード103aに置き換えることが可能である。この場合、回路104は、期間T4においてノードBの電位を $V_1$ になるように減少させ、期間T1、期間T2、期間T5においてノードBの電位を $V_2$ となるように上昇させることが可能である。ただし、これに限定されず、トランジスタ102とトランジスタ103の一方のみをダイオードに置き換えることが可能である。または、ダイオード102a、及び/又は、ダイオード103aを新たに追加することが可能である。

40

【0113】

50

なお、図7(A)と同様に、図5(A)～(B)、及び図6(A)～(C)においても、トランジスタ102を、一方の端子が配線111と接続され、他方の端子がノードBと接続されるダイオード102aに置き換えることが可能である。または、トランジスタ103を、一方の端子がノードAと接続され、他方の端子がノードBと接続されるダイオード103aに置き換えることが可能である。または、ダイオード102a、及び/又は、ダイオード103aを新たに追加することができる。

【0114】

なお、図示はしないが、図1(A)、図5(A)～(B)、図6(A)～(C)、及び図7(A)において、トランジスタ102、又はトランジスタ103をダイオード接続することが可能である。この場合、トランジスタ102の第1の端子はノードBと接続され、トランジスタ102の第2の端子は、配線111と接続され、トランジスタ102のゲートは、ノードB又は配線111と接続される。トランジスタ103の第1の端子は、ノードBと接続され、トランジスタ103の第2の端子は、ノードAと接続され、トランジスタ103のゲートは、ノードA又はノードBと接続される。ただし、これに限定されず、トランジスタ102とトランジスタ103の一方のみをダイオード接続することが可能である。

10

【0115】

なお、図7(B)に示すように、回路104の端子104bは、ノードAと接続されることが可能である。こうすることによって、期間T2において、回路104の端子104bにLレベルの信号が入力されること防ぐことができるので、ノードBの電位をV1に維持しやすくなる。よって、ノードBの電位が瞬間的に上昇し、トランジスタ102、及びトランジスタ103がオンしてしまうことを防止することができる。

20

【0116】

なお、図7(B)と同様に、図5(A)～(B)、図6(A)～(C)、及び図7(A)においても、回路104の端子104bは、ノードAと接続されることが可能である。

【0117】

なお、図7(C)に示すように、回路105を省略することが可能である。

【0118】

なお、図7(C)と同様に、図5(A)～(B)、図6(A)～(C)、及び図7(A)～(B)においても、回路105を省略することが可能である。

30

【0119】

なお、図28(B)に示すように、回路104の端子104aは、配線113と接続されることが可能である。ただし、これに限定されず、回路104の端子104aは、他にも様々な配線、端子、又はノードと接続されることが可能である。なお、図28(B)と同様に、図5(A)～(B)、図6(A)～(C)、及び図7(A)～(B)においても、回路104の端子104aは、配線113と接続されることが可能である。

【0120】

なお、図8(A)に示すように、トランジスタ101～103として、Pチャネル型トランジスタを用いることが可能である。トランジスタ101p、トランジスタ102p、及びトランジスタ103pは、各々、トランジスタ101、トランジスタ102、トランジスタ103に対応し、Pチャネル型である。そして、図8(B)に示すように、トランジスタの極性がPチャネル型の場合、配線116には電圧V2が供給され、信号OUT、信号IN1、信号IN2、信号IN3、信号IN4、ノードAの電位、及びノードBの電位は、図1(B)のタイミングチャートと比較して反転していることを付記する。

40

【0121】

なお、図8(A)において、回路104、及び回路105が有するトランジスタの極性は、Pチャネル型であることが好ましい。ただし、これに限定されず、回路104、及び回路105が有するトランジスタの極性は、Nチャネル型であることが可能である。

【0122】

なお、図8(A)、及び図8(B)と同様に、図5(A)～(B)、図6(A)～(C)

50

、及び図7(A)~(C)においても、トランジスタ101~103として、Pチャネル型トランジスタを用いることが可能である。

【0123】

(実施の形態2)

本実施の形態では、実施の形態1で述べる回路104の具体例について説明する。なお、回路104を半導体装置、駆動回路、又はゲートドライバと示すことが可能である。なお、実施の形態1で述べる内容は、その説明を省略する。なお、実施の形態1で述べる内容は、本実施の形態で述べる内容と自由に組み合わせることができる。

【0124】

まず、回路104の一例について、図9(A)を参照して説明する。図9(A)の一例では、回路104は、トランジスタ201(第4のトランジスタともいう)、トランジスタ202(第5のトランジスタともいう)、トランジスタ203(第6のトランジスタともいう)、及びトランジスタ204(第7のトランジスタともいう)を有する。ただし、これに限定されず、これらのトランジスタのいずれかを省略することが可能である。または、これらのトランジスタのいずれかを容量素子、抵抗素子、若しくはダイオードなどの様々な素子、又はこれらのうちのいずれかの素子を組み合わせた回路に置き換えることが可能である。または、トランジスタ、容量素子、抵抗素子、若しくはダイオードなどの様々な素子、又はこれらのうちのいずれかの素子を組み合わせた回路を新たに追加することが可能である。

10

【0125】

なお、一例として、トランジスタ201~204は、Nチャネル型であるものとする。特に、実施の形態1で述べるトランジスタ101~103がNチャネル型である場合、トランジスタ201~204は、Nチャネル型であることが好ましい。こうして、全てのトランジスタをNチャネル型とすることができる。ただし、これに限定されず、トランジスタ201~204は、Pチャネル型であることが可能である。

20

【0126】

次に、回路104の接続関係の一例について説明する。トランジスタ201の第1の端子は、配線112と接続され、トランジスタ201の第2の端子は、ノードBと接続される。トランジスタ202の第1の端子は、配線116と接続され、トランジスタ202の第2の端子は、ノードBと接続され、トランジスタ202のゲートは、配線111と接続される。トランジスタ203の第1の端子は、配線112と接続され、トランジスタ203の第2の端子は、トランジスタ201のゲートと接続され、トランジスタ203のゲートは、配線112と接続される。トランジスタ204の第1の端子は、配線116と接続され、トランジスタ204の第2の端子は、トランジスタ201のゲートと接続され、トランジスタ204のゲートは、配線111と接続される。ただし、これに限定されず、他にも様々な接続構成にすることが可能である。

30

【0127】

なお、トランジスタ201のゲート、トランジスタ203の第2の端子、又は、トランジスタ204の第2の端子の接続箇所をノードCと示す。なお、ノードCを配線又は端子と示すことが可能である。

40

【0128】

なお、配線111、配線112、又は配線116には、実施の形態1で述べるように、様々な信号、様々な電圧、又は様々な電流を入力することが可能である。ここでは、一例として、配線111には、実施の形態1で述べる信号OUTが入力されるものとする。配線112には、一例として、実施の形態1で述べる信号IN1が入力されるものとする。配線116には、一例として、実施の形態1で述べる電圧V1が供給されるものとする。ただし、これに限定されない。

【0129】

次に、トランジスタ201~204が有する機能の一例について説明する。トランジスタ201は、ノードCの電位に応じて、信号IN2をノードBに供給するタイミングを制御

50

する機能を有し、ブートストラップトランジスタ、又はスイッチとして機能することが可能である。トランジスタ202は、配線111の電位(信号OUT)に応じて、配線116とノードBとの導通状態と制御することによって、電圧V1をノードBに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ203は、ノードCの電位を上昇させた後に、ノードCを浮遊状態にする機能を有し、ダイオードとして機能することが可能である。トランジスタ204は、配線111の電位(信号OUT)に応じて、配線116とノードCとの導通状態と制御することによって、電圧V1をノードCに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。ただし、これに限定されず、トランジスタ201~204は、他にも様々な機能を有することが可能である。または、これらの素子又は回路は、上述した機能を有していないことが可能である。

10

#### 【0130】

次に、回路104の動作について、図1(B)、図9(B)、図9(C)、図9(D)、図9(E)、及び図9(F)を参照して説明する。図9(B)は、期間T1における回路104の動作の模式図の一例である。図9(C)は、期間T2における回路104の動作の模式図の一例である。図9(D)は、期間T3における回路104の動作の模式図の一例である。図9(E)は、期間T4における回路104の動作の模式図の一例である。図9(F)は、期間T5における回路104の動作の模式図の一例である。

#### 【0131】

まず、便宜上、期間T2における動作から順に説明する。期間T2では、信号IN2がHレベルになり、信号OUTがHレベルになる。信号OUTがHレベルになるので、トランジスタ202、及びトランジスタ204がオンする。すると、配線116とノードBとが導通状態となり、配線116とノードCとが導通状態となる。よって、電圧V1が配線116からトランジスタ202を介してノードBに供給されるので、ノードBの電位はV1に減少する。そして、電圧V1が配線116からトランジスタ204を介してノードCに供給されるので、ノードCの電位は減少する。このときのノードCの電位は、トランジスタ203トランジスタ204との動作点によって決定する。ここでは、一例として、ノードCの電位は、電圧V1とトランジスタ201の閾値電圧( $V_{th201}$ )との和( $V1 + V_{th201}$ )よりも低い値となるものとする。よって、トランジスタ201はオフするので、配線112とノードBとは非導通状態となる。

20

30

#### 【0132】

次に、期間T3では、信号IN1がLレベルになり、信号OUTがLレベルになる。信号OUTがLレベルになるので、トランジスタ202、及びトランジスタ203がオフする。よって、配線116とノードBとが非導通状態となり、配線116とノードCとが非導通状態となる。そして、信号IN1がLレベルになるので、トランジスタ203がオフする。すると、ノードCは、浮遊状態となるので、期間T2における電位を維持する。よって、トランジスタ201はオフのままとなる。

#### 【0133】

次に、期間T4では、信号IN1がHレベルになり、信号OUTがLレベルのままとなる。信号OUTはLレベルのままなので、トランジスタ202、及びトランジスタ203はオフのままとなる。よって、配線116とノードBとが非導通状態のままとなり、配線116とノードCとが非導通状態のままとなる。このとき、信号IN1がHレベルになる。すると、トランジスタ203がオンするので、配線112とノードCとが導通状態となる。よって、Hレベルの信号IN1が配線112からトランジスタ203を介してノードCに供給されるので、ノードCの電位が上昇し始める。その後、ノードCの電位が $V1 + V_{th201}$ となったところで、トランジスタ201がオンする。すると、配線112とノードBとが導通状態となる。よって、Hレベルの信号IN1が配線112からトランジスタ201を介してノードBに供給されるので、ノードBの電位が上昇し始める。その後、ノードCの電位がHレベルの信号IN1の電位( $V2$ )からトランジスタ203の閾値電圧( $V_{th203}$ )を引いた値( $V2 - V_{th203}$ )となったところで、トランジスタ

40

50

203がオフする。よって、配線112とノードCとは非導通状態となる。すると、ノードCは浮遊状態となるので、ノードCの電位は、トランジスタ201のゲートと第2の端子との間の寄生容量の容量結合、つまりブートストラップ動作によってさらに上昇し続ける。そして、このノードCの電位が $V_2 + V_{th201}$ よりも高くなったとすると、ノードBの電位は $V_2$ まで上昇する。

#### 【0134】

次に、期間T5、又は期間T1では、信号IN1がLレベルになり、信号OUTがLレベルのままとなる。信号OUTはLレベルのままなので、トランジスタ202、及びトランジスタ203はオフのままとなる。よって、配線116とノードBとが非導通状態のままとなり、配線116とノードCとが非導通状態のままとなる。そして、信号IN1がLレベルになる。すると、トランジスタ203がオフするので、配線112とノードCとは非導通状態のままとなる。よって、ノードCは、浮遊状態となるので、 $V_2 + V_{th201}$ よりも高い電位を維持する。この結果、トランジスタ201はオンのままとなるので、配線112とノードBとは導通状態のままとなる。よって、Lレベルの信号IN1が配線112からトランジスタ201を介してノードBに供給されるので、ノードBの電位は $V_1$ に減少する。このとき、ノードCは、浮遊状態なので、トランジスタ201のゲートと第2の端子との間の寄生容量の容量結合によって、電位が減少する場合が多い。そして、ノードCの電位は、期間T4において、ブートストラップ動作によって上昇した分だけ減少する場合が多い。

10

#### 【0135】

以上、図9(A)の回路104について説明した。図9(A)の回路104は、ブートストラップ動作を用いることによって、ノードBの電位を $V_2$ まで上昇させることができる。したがって、実施の形態1で述べるトランジスタ102、及びトランジスタ103の $V_{gs}$ を大きくすることができる。この結果、トランジスタ102、及びトランジスタ103のチャネル幅を小さくすることができるので、レイアウト面積の縮小を図ることができる。または、トランジスタ102、及びトランジスタ103の閾値電圧が上昇しても、トランジスタをオンしやすくすることができる。または、トランジスタ102、及びトランジスタ103のオン抵抗が小さくなるので、ノードAの電位及び配線111の電位を $V_1$ に維持しやすくすることができる。

20

#### 【0136】

または、図9(A)の回路104では、全てのトランジスタの極性をNチャンネル型又はPチャンネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、全てのトランジスタがNチャンネル型の場合、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。ただし、これに限定されず、図9(A)の回路104は、Pチャンネル型のトランジスタとNチャンネル型のトランジスタとによって構成されるCMOS回路を有することが可能である。または、トランジスタの半導体層として、単結晶半導体、又は多結晶半導体を用いることが可能である。

30

#### 【0137】

または、図9(A)の回路104では、期間T4と期間T5とのうち少なくとも一方において、トランジスタ202~204はオフする。したがって、トランジスタが1動作期間中ずっとオン状態にならないので、閾値電圧の上昇又は移動度の低下などのトランジスタの特性劣化を抑制することができる。または、期間T4と期間T5とにおいて、ノードCは、電位の上昇と電位の減少とを繰り返す。よって、トランジスタ201にパルスが入力されることになるので、閾値電圧の上昇又は移動度の低下などのトランジスタの特性劣化を抑制することができる。特に、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などが用いられる場合、トランジスタの特性劣化は顕著に表れる場合が多い。しかし、図9(A)の半導体装置では、トランジスタの特性劣化を抑制することができるので、トランジスタの半導体層として、非単結晶半導体

40

50

、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが容易になる。ただし、これに限定されず、半導体層としては、多結晶半導体、又は単結晶半導体を用いることが可能である。

【0138】

なお、一例として、トランジスタ203のチャネル幅は、トランジスタ204のチャネル幅よりも小さいことが好ましい。なぜなら、期間T2において、トランジスタ203とトランジスタ204とがオンする場合に、ノードCの電位を低くするためである。同様の理由によって、一例として、トランジスタ203のチャネル長は、トランジスタ204のチャネル長よりも短いことが好ましい。ただし、これに限定されず、トランジスタ203のチャネル幅は、トランジスタ204のチャネル幅よりも大きいことが可能である。または、トランジスタ203のチャネル長は、トランジスタ204のチャネル長よりも小さいことが可能である。

10

【0139】

なお、一例として、トランジスタ204のチャネル幅は、トランジスタ202のチャネル幅よりも小さいことが好ましい。なぜなら、ノードBの負荷は、ノードCの負荷よりも大きい場合が多いからである。同様の理由で、トランジスタ203のチャネル幅は、トランジスタ201のチャネル幅よりも小さいことが好ましい。ただし、これに限定されず、トランジスタ204のチャネル幅は、トランジスタ202のチャネル幅よりも大きいことが可能である。または、トランジスタ203のチャネル幅は、トランジスタ201のチャネル幅よりも大きいことが可能である。

20

【0140】

なお、一例として、トランジスタ201のチャネル幅とトランジスタ202のチャネル幅とは、おおむね等しいことが好ましい。なぜなら、トランジスタ201とトランジスタ202とは、両方とも、ノードCの電位を制御し、同じ極性のトランジスタだからである。ただし、これに限定されず、トランジスタ201のチャネル幅は、トランジスタ202のチャネル幅よりも大きいことが可能であるし、小さいことが可能である。

【0141】

なお、一例として、トランジスタ201、トランジスタ202、トランジスタ203、又はトランジスタ204のチャネル幅は、実施の形態1で述べるトランジスタ101、トランジスタ102、又はトランジスタ103のチャネル幅よりも小さいことが好ましい。ただし、これに限定されず、トランジスタ201～204のいずれか一のチャネル幅は、図1(A)のトランジスタ101、トランジスタ102、又はトランジスタ103のチャネル幅よりも大きいことが可能である。

30

【0142】

なお、一例として、実施の形態1で述べるトランジスタ101と同様に、トランジスタ201において、ゲートと第2の端子との間の寄生容量は、ゲートと第1の端子との間の寄生容量よりも大きいことが好ましい。なぜなら、期間T4において、ノードCの電位がブートストラップ動作によって高くなりやすくなるからである。したがって、ゲートとして機能する導電層と、ソース又はドレインとして機能する導電層とが重なる面積は、第2の端子側のほうが、第1の端子側よりも大きいことが好ましい。ただし、これに限定されない。

40

【0143】

なお、端子104bには、Lレベルの電位がV1よりも低い信号を入力することが可能である。こうして、トランジスタ202、及びトランジスタ204に逆バイアスを印加することができるので、トランジスタ202、及びトランジスタ204の特性劣化を緩和することができる。または、端子104bには、Hレベルの電位がV2よりも低い信号を入力することが可能である。こうして、トランジスタ202、及びトランジスタ204がオンのときのVgsを小さくすることができるので、トランジスタ202、及びトランジスタ204の特性劣化を抑制することができる。このような場合、配線111に、Lレベルの電位がV1よりも低い信号、Hレベルの電位がV2よりも低い信号、又は、Lレベルの電

50

位がV1よりも低く、且つHレベルの電位がV2よりも低い信号を入力することが可能である。ただし、これに限定されず、端子104bが配線111とは別の配線と接続され、当該配線に、Lレベルの電位がV1よりも低い信号、Hレベルの電位がV2よりも低い信号、又は、Lレベルの電位がV1よりも低く、且つHレベルの電位がV2よりも低い信号を入力することが可能である。

**【0144】**

なお、実施の形態1と同様に、配線を複数の配線に分割することが可能である。そして、当該複数の配線には、同じ信号又は電圧を入力することが可能であるし、別々の信号又は電圧を入力することが可能である。または、当該複数の配線は、同じ配線又は同じ素子と接続されることが可能であるし、当該複数の配線は、別々の配線又は別々の素子と接続されることが可能である。図10(A)の一例には、配線111が配線111A~111Bという複数の配線に分割され、配線112が配線112C~112Dという複数の配線に分割され、配線116が配線116E~116Fという複数の配線に分割される場合の構成を示す。そして、トランジスタ204のゲートが配線111Aと接続され、トランジスタ202のゲートが配線111Bと接続される。トランジスタ201の第1の端子は、配線112Cと接続され、トランジスタ203の第1の端子及びゲートは、配線112Dと接続される。トランジスタ202の第1の端子は、配線116Eと接続され、トランジスタ204の第1の端子は、配線116Fと接続される。ただし、これに限定されず、配線111、配線112、及び配線116のいずれか一又は二つのみが複数の配線に分割されることが可能である。または、トランジスタ203のゲートと第1の端子とは、別々の信号又は別々の電圧を入力することが可能である。この場合、トランジスタ203のゲートと第1の端子とは、別々の配線と接続されることが可能である。

10

20

**【0145】**

なお、図10(A)において、配線111A~111Bは、図9(A)の配線111に対応する。よって、配線111と同様に、配線111A~111Bには、信号OUTを入力することが可能であり、配線111A~111Bは、信号線として機能することが可能である。ただし、これに限定されず、配線111A~111Bには、電圧V1又は電圧V2などの電圧を供給することが可能であり、配線111A~111Bは、電源線として機能することが可能である。または、配線111A~111Bには、別々の信号又は別々の電圧を入力することが可能である。または、配線111A~111Bには、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

30

**【0146】**

なお、図10(A)において、配線112C~112Dは、図9(A)の配線112に対応する。よって、配線112と同様に、配線112C~112Dには、信号IN1を入力することが可能であり、配線112C~112Dは、信号線として機能することが可能である。ただし、これに限定されず、配線112C~112Dには、電圧V1又は電圧V2などの電圧を供給することが可能であり、配線112C~112Dは、電源線として機能することが可能である。または、配線112C~112Dには、別々の信号又は別々の電圧を入力することが可能である。または、配線112C~112Dには、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

40

**【0147】**

なお、図10(A)において、配線116E~116Fは、図9(A)の配線116に対応する。よって、配線116と同様に、配線116E~116Fには、電圧V1を供給することが可能であり、配線116E~116Fは、電源線として機能することが可能である。ただし、これに限定されず、配線116E~116Fには、信号OUT、又は信号IN1~IN4などの信号を入力することによって、配線116E~116Fは、信号線として機能することが可能である。または、配線116E~116Fには、別々の電圧、又は別々の信号を供給することが可能である。または、配線116E~116Fには、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

**【0148】**

50

なお、図10(A)において、配線116E、及び配線116Fには、期間T2において、Lレベルとなる信号を入力することが可能である。例えば、配線116E、及び配線116Fには、信号IN2を入力することが可能である。この場合、配線116E、及び配線116Fは、実施の形態1で述べる配線113と接続されることが可能である。こうすることによって、トランジスタ202、及びトランジスタ204には、逆バイアスが印加されるので、トランジスタ202、及びトランジスタ204の特性劣化を緩和することができる。ただし、これに限定されず、配線116Eと配線116Fとの一方だけに、信号IN2を入力することが可能である。この場合、配線116Eと配線116Fの一方のみが配線113と接続されることが可能である。または、配線116E、及び/又は、配線116Fに、信号IN3、又は信号IN4を入力することが可能である。この場合、配線116E、及び/又は、配線116Fを実施の形態1で述べる配線114、又は配線115と接続されることが可能である。

10

**【0149】**

なお、図10(A)において、配線112Dに、信号IN2を入力することが可能である。この場合、トランジスタ203のゲート及び第1の端子は、配線113と接続されることが可能である。こうすることによって、期間T3において、ノードCの電位は、Hレベルの信号IN2の電位(V2)からトランジスタ203の閾値電圧(Vth203)を引いた値(V2 - Vth203)となる。その後、期間T4において、信号IN1がHレベルになるので、ノードCの電位は、ブートストラップ動作によって、V2 - Vth203からさらに上昇する。よって、ノードCの電位が高くなるので、トランジスタ201のVgsを大きくすることができる。この結果、回路104の出力信号(ノードBの電位)の立ち下がり時間、及び立ち上がり時間を短くすることができる。または、回路104の出力信号の遅延を低減することができる。ただし、これに限定されず、配線112Dには、電圧V2を供給することが可能である。

20

**【0150】**

なお、図10(B)に示すように、トランジスタ201のゲートと第2の端子との間に、容量素子221を新たに接続することが可能である。こうすることによって、図6(A)と同様に、ノードCの電位を高くすることができる。ただし、これに限定されず、図6(A)と同様に、容量素子221には、第1の端子及び第2の端子がノードBと接続され、ゲートがノードCと接続されたトランジスタを、MOS容量として用いることが可能である。

30

**【0151】**

なお、図10(B)と同様に、図10(A)においても、トランジスタ201のゲートと第2の端子との間に、容量素子221を新たに接続することが可能である。または、第1の端子及び第2の端子がノードBと接続され、ゲートがノードCと接続されたトランジスタを新たに接続することが可能である。

**【0152】**

なお、図10(C)に示すように、トランジスタ204を省略することが可能である。または、図10(D)に示すように、トランジスタ202を省略することが可能である。こうすることによって、トランジスタの数を減らすことができる。よって、レイアウト面積の縮小、又は歩留まりの向上などを図ることができる。ただし、これに限定されず、トランジスタ202とトランジスタ204との両方を省略することが可能である。

40

**【0153】**

なお、図10(C)、又は図10(D)と同様に、図10(A)～(B)においても、トランジスタ202、及び/又は、トランジスタ204を省略することが可能である。

**【0154】**

なお、図10(E)に示すように、トランジスタ202を、一方の端子(以下、正極ともいう)がノードBと接続され、他方の端子(以下、負極ともいう)が配線111と接続されるダイオード202aに置き換えることが可能である。または、トランジスタ203を、一方の端子(以下、正極ともいう)がノードCと接続され、他方の端子(以下、負極と

50

もいう)が配線111と接続されるダイオード203aに置き換えることが可能である。この場合、回路104の端子104bには、信号OUTの反転信号、又はノードAの電位の反転した信号が入力されることが可能である。これを実現するために、配線111、又はノードAは、インバータ回路、NAND回路、又はNOR回路などの入力信号を反転して出力する機能を有する回路を介して、回路104の端子104bと接続されることが可能である。ただし、これに限定されず、トランジスタ202とトランジスタ204との一方をダイオードに置き換えることが可能である。または、ダイオード202a、及び/又は、ダイオード203aを新たに追加することが可能である。

【0155】

なお、図10(E)と同様に、図10(A)~(D)においても、トランジスタ202を、一方の端子がノードBと接続され、他方の端子が配線111と接続されるダイオード202aに置き換えることが可能である。または、トランジスタ203を、一方の端子がノードCと接続され、他方の端子が配線111と接続されるダイオード203aに置き換えることが可能である。または、ダイオード202a、及び/又は、ダイオード203aを新たに追加することが可能である。

10

【0156】

なお、図示はしないが、図10(A)~(E)において、トランジスタ202の第1の端子は配線111と接続され、トランジスタ202の第2の端子はノードBと接続され、トランジスタ202のゲートは配線111又はノードBと接続されることによって、トランジスタ202をダイオード接続にすることが可能である。または、トランジスタ204の第1の端子は配線111と接続され、トランジスタ204の第2の端子はノードCと接続され、トランジスタ204のゲートは配線111又はノードCと接続されることによって、トランジスタ204をダイオード接続にすることが可能である。ただし、これに限定されず、トランジスタ202とトランジスタ204の一方のみをダイオード接続にすることが可能である。

20

【0157】

なお、図10(F)に示すように、トランジスタ201~204として、Pチャネル型トランジスタを用いることが可能である。特に、図1(A)のトランジスタ101~103として、Pチャネル型トランジスタが用いられる場合には、トランジスタ201~204として、Pチャネル型トランジスタを用いることが好ましい。トランジスタ201p、トランジスタ202p、トランジスタ203p、及びトランジスタ204pは、各々、トランジスタ201、トランジスタ202、トランジスタ203、トランジスタ204に対応し、Pチャネル型である。

30

【0158】

なお、図10(F)と同様に、図10(A)~(E)においても、トランジスタ201~204として、Pチャネル型トランジスタを用いることが可能である。

【0159】

なお、すでに述べたように、実施の形態1で述べた回路100が有する回路104に、本実施の形態で述べた回路104の構成を用いることが可能である。図11には、一例として、図7(C)の回路100が有する回路104に、図9(A)の回路104の一例を用いる場合の構成を示す。ただし、これに限定されず、図9(A)、図10(A)、図10(B)、図10(C)、図10(D)、図10(E)、図10(F)、又はこれらを組み合わせた場合の回路104を、図1(A)、図5(A)、図5(B)、図6(A)、図6(B)、図6(C)、図7(A)、図7(B)、図8(A)、又はこれらを組み合わせた場合の回路100が有する回路104に用いることが可能である。

40

【0160】

(実施の形態3)

本実施の形態では、回路105の具体例について説明する。なお、回路105を半導体装置、駆動回路、又はゲートドライバと示すことが可能である。なお、実施の形態1、及び実施の形態2で述べる内容は、その説明を省略する。なお、実施の形態1、及び実施の形

50

態2で述べる内容は、本実施の形態で述べる内容と自由に組み合わせることができる。

【0161】

まず、回路105の一例について、図12(A)を参照して説明する。図9(A)の一例では、回路105は、トランジスタ301(第8のトランジスタともいう)、トランジスタ302(第9のトランジスタともいう)、トランジスタ303(第10のトランジスタともいう)、トランジスタ304(第11のトランジスタともいう)、及びトランジスタ305(第12のトランジスタともいう)を有する。ただし、これに限定されず、これらのトランジスタのいずれかを省略することが可能である。または、これらのトランジスタのいずれかを容量素子、抵抗素子、若しくはダイオードなどの様々な素子、又はこれらのうちのいずれかの素子を組み合わせた回路に置き換えることが可能である。または、トランジスタ、容量素子、抵抗素子、若しくはダイオードなどの様々な素子、又はこれらのうちのいずれかの素子を組み合わせた回路を新たに追加することが可能である。

10

【0162】

なお、一例として、トランジスタ301~305は、Nチャネル型であるものとする。特に、実施の形態1で述べるトランジスタ101~103、及び実施の形態2で述べるトランジスタ201~204がNチャネル型である場合には、トランジスタ301~305は、Nチャネル型であることが好ましい。こうして、全てのトランジスタを同じ極性とすることができる。ただし、これに限定されず、トランジスタ301~305は、Pチャネル型であることが可能である。

20

【0163】

次に、図12(A)の回路105の接続関係の一例について説明する。トランジスタ301の第1の端子は、配線114と接続され、トランジスタ301の第2の端子は、ノードAと接続され、トランジスタ301のゲートは、配線114と接続される。トランジスタ302の第1の端子は、配線114と接続され、トランジスタ302の第2の端子は、ノードAと接続され、トランジスタ302のゲートは、配線113と接続される。トランジスタ303の第1の端子は、配線116と接続され、トランジスタ303の第2の端子は、ノードAと接続され、トランジスタ303のゲートは、配線115と接続される。トランジスタ304の第1の端子は、配線116と接続され、トランジスタ304の第2の端子は、配線111と接続され、トランジスタ304のゲートは、配線115と接続される。トランジスタ305の第1の端子は、配線116と接続され、トランジスタ305の第2の端子は、配線111と接続され、トランジスタ305のゲートは、配線113と接続される。ただし、これに限定されず、他にも様々な接続構成にすることが可能である。

30

【0164】

なお、配線113、配線114、配線115、又は配線116には、実施の形態1で述べるように、様々な信号、様々な電圧、又は様々な電流を入力することが可能である。ここでは、一例として、配線113には、実施の形態1で述べる信号IN2が入力されるものとする。配線114には、一例として、実施の形態1で述べる信号IN3が入力されるものとする。配線115には、一例として、図1(B)又は図3(A)に示す信号IN4が入力されるものとする。配線116には、一例として、電圧V1が供給されるものとする。ただし、これに限定されない。

40

【0165】

次に、トランジスタ301~305が有する機能の一例について説明する。トランジスタ301は、信号IN3に応じて、Hレベルの信号IN2をノードAに供給するタイミングを制御し、ダイオードとして機能することが可能である。または、トランジスタ301は、ノードAの電位に応じて、配線114とノードAとの導通状態を制御することによって、信号IN3をノードAに供給するタイミングを制御する機能を有する。トランジスタ302は、信号IN2に応じて、配線114とノードAとの導通状態を制御することによって、信号IN3をノードAに供給するタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ303は、信号IN4に応じて、配線116とノードAとの導通状態を制御することによって、電圧V1をノードAに供給する機能を有

50

し、スイッチとして機能することが可能である。トランジスタ304は、信号IN4に応じて、配線116と配線111との導通状態を制御することによって、電圧V1を配線111に供給する機能を有し、スイッチとして機能することが可能である。トランジスタ305は、信号IN2に応じて、配線116と配線111との導通状態を制御することによって、電圧V1を配線111に供給する機能を有し、スイッチとして機能することが可能である。ただし、これに限定されず、トランジスタ301～305は、他にも様々な機能を有することが可能である。または、これらの素子又は回路は、上述した機能を有していないことが可能である。

#### 【0166】

次に、回路105の動作について、図1(B)、図12(B)、図12(C)、図13(A)、図13(B)、及び図13(C)を参照して説明する。図12(B)は、期間T1における回路105の動作の模式図の一例である。図12(C)は、期間T2における回路105の動作の模式図の一例である。図13(A)は、期間T3における回路105の動作の模式図の一例である。図13(B)は、期間T4における回路105の動作の模式図の一例である。図13(C)は、期間T5における回路105の動作の模式図の一例である。

10

#### 【0167】

まず、期間T1では、信号IN2がHレベルになり、信号IN3がHレベルになり、信号IN4がLレベルになる。信号IN3がHレベルになるので、トランジスタ301がオンする。同時に、信号IN2がHレベルになるので、トランジスタ302、及びトランジスタ305がオンする。すると、配線114とノードAとが導通状態となるので、信号IN3は、配線114からトランジスタ301及びトランジスタ302を介してノードAに供給される。よって、ノードAの電位が上昇し始める。同様に、配線116と配線111とが導通状態となるので、電圧V1が配線116からトランジスタ305を介して配線111に供給される。よって、配線111の電位はV1となる。このとき、信号IN4はLレベルなので、トランジスタ303、及びトランジスタ304はオフになる。よって、配線116とノードAとは非導通状態となり、配線116と配線111とは非導通状態となる。その後、ノードAの電位が配線114の電位(V2)からトランジスタ301の閾値電圧(Vth301)を引いた値(V2 - Vth301)となったところで、トランジスタ301はオフになる。同様に、ノードAの電位が配線113の電位(V2)からトランジスタ302の閾値電圧(Vth302)を引いた値(V2 - Vth302)となったところで、トランジスタ302はオフになる。よって、配線114とノードAとは非導通状態となる。ここでは、一例として、ノードAの電位がV2 - Vth301となったところで、トランジスタ301、及びトランジスタ302がオフするものとする。よって、ノードAは、電位をV2 - Vth301に維持したまま、浮遊状態になる。

20

30

#### 【0168】

次に、期間T2では、信号IN3がLレベルになり、信号IN4がLレベルになり、信号IN5がLレベルのままとなる。信号IN3がLレベルになるので、トランジスタ301はオフのままとなる。同時に、信号IN2がLレベルになるので、トランジスタ302はオフのままとなり、トランジスタ303はオフする。よって、配線114とノードAとは非導通状態のままとなり、配線116と配線111とは非導通状態となる。このとき、信号IN4はLレベルのままなので、トランジスタ303、及びトランジスタ304はオフのままとなる。よって、配線116とノードAとは非導通状態のままとなり、配線116と配線111とは非導通状態のままとなる。

40

#### 【0169】

次に、期間T3では、信号IN2がHレベルになり、信号IN3がLレベルのままとなり、信号IN4がHレベルになる。信号IN3がLレベルのままなので、トランジスタ301はオフのままとなる。そして、信号IN2がHレベルになるので、トランジスタ302、及びトランジスタ304がオンになる。すると、配線114とノードAとが導通状態となるので、Lレベルの信号IN3が配線114からトランジスタ302を介してノードA

50

に供給される。同様に、配線 1 1 6 と配線 1 1 1 とが導通状態となるので、電圧 V 1 が配線 1 1 6 からトランジスタ 3 0 5 を介して配線 1 1 1 に供給される。このとき、信号 I N 4 が H レベルになるので、トランジスタ 3 0 3、及びトランジスタ 3 0 4 がオンになる。すると、配線 1 1 6 とノード A とが導通状態となるので、電圧 V 1 が配線 1 1 6 からトランジスタ 3 0 3 を介してノード A に供給される。同様に、配線 1 1 6 と配線 1 1 1 とが導通状態となるので、電圧 V 1 が配線 1 1 6 からトランジスタ 3 0 4 を介して配線 1 1 1 に供給される。したがって、ノード A の電位は、V 1 になるように減少し、配線 1 1 1 の電位は、V 1 になるように減少する。

#### 【 0 1 7 0 】

次に、期間 T 4 では、信号 I N 2 が L レベルになり、信号 I N 3 が L レベルのままとなり、信号 I N 4 が L レベルになる。信号 I N 3 が L レベルのままなので、トランジスタ 3 0 1 はオフのままとなる。そして、信号 I N 2 が L レベルになるので、トランジスタ 3 0 2、及びトランジスタ 3 0 5 がオフになる。よって、配線 1 1 4 とノード A とは非導通状態となり、配線 1 1 6 と配線 1 1 1 とは非導通状態となる。同時に、信号 I N 4 が L レベルになるので、トランジスタ 3 0 3、及びトランジスタ 3 0 4 がオフになる。よって、配線 1 1 6 とノード A とは非導通状態となり、配線 1 1 6 と配線 1 1 1 とは非導通状態となる。このように、期間 T 4 では、回路 1 0 5 からは、ノード A 又は配線 1 1 1 に信号又は電圧などを供給しない場合が多い。

#### 【 0 1 7 1 】

次に、期間 T 5 では、信号 I N 2 が H レベルになり、信号 I N 3 が L レベルのままとなり、信号 I N 4 が L レベルのままとなる。信号 I N 4 が L レベルのままなので、トランジスタ 3 0 3、及びトランジスタ 3 0 4 がオフになる。よって、配線 1 1 6 とノード A とは非導通状態となり、配線 1 1 6 と配線 1 1 1 とは非導通状態となる。同様に、信号 I N 3 が L レベルのままなので、トランジスタ 3 0 1 がオフのままとなる。このとき、信号 I N 2 が H レベルになるので、トランジスタ 3 0 2、及びトランジスタ 3 0 5 がオンになる。すると、配線 1 1 4 とノード A とが導通状態となるので、L レベルの信号 I N 3 が配線 1 1 4 からトランジスタ 3 0 2 を介してノード A に供給される。よって、ノード A の電位は、V 1 に維持される。同様に、配線 1 1 6 と配線 1 1 1 とが導通状態となるので、電圧 V 1 が配線 1 1 6 からトランジスタ 3 0 5 を介して配線 1 1 1 に供給される。よって、配線 1 1 1 の電位は V 1 に維持される。

#### 【 0 1 7 2 】

以上、図 1 2 ( A ) の回路 1 0 5 について説明した。図 1 2 ( A ) の回路 1 0 5 では、全てのトランジスタの極性を N チャネル型又は P チャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、全てのトランジスタが N チャネル型の場合、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。ただし、これに限定されず、図 1 2 ( A ) の回路 1 0 5 は、P チャネル型のトランジスタと N チャネル型のトランジスタとによって構成される CMOS 回路を有することが可能である。または、トランジスタの半導体層として、単結晶半導体、又は多結晶半導体を用いることが可能である。

#### 【 0 1 7 3 】

または、図 1 2 ( A ) の回路 1 0 5 では、期間 T 4 と期間 T 5 とのうち少なくとも一方において、トランジスタ 3 0 1 ~ 3 0 5 はオフする。したがって、トランジスタが 1 動作期間中にずっとオン状態にならないので、閾値電圧の上昇又は移動度の低下などのトランジスタの特性劣化を抑制することができる。特に、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などが用いられる場合、トランジスタの特性劣化は顕著に表れる場合が多い。しかし、図 1 2 ( A ) の回路 1 0 5 では、トランジスタの特性劣化を抑制することができるので、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが容易

10

20

30

40

50

になる。ただし、これに限定されず、半導体層としては、多結晶半導体、又は単結晶半導体を用いることが可能である。

【0174】

なお、一例として、トランジスタ305のチャンネル幅は、トランジスタ302のチャンネル幅よりも大きいことが好ましい。または、トランジスタ304のチャンネル幅は、一例として、トランジスタ303のチャンネル幅よりも大きいことが好ましい。なぜなら、配線111の負荷は、ノードAの負荷よりも大きい場合が多いので、配線111に信号又は電圧などを供給するトランジスタの駆動能力は、ノードAに信号又は電圧などを供給するトランジスタの駆動能力よりも大きい場合が多いからである。そして、トランジスタ305、及びトランジスタ304は、配線111に信号又は電圧を供給する機能を有し、トランジスタ302、及びトランジスタ303は、ノードAに信号又は電圧を供給する機能を有するからである。ただし、これに限定されず、トランジスタ305のチャンネル幅は、トランジスタ302のチャンネル幅よりも小さいことが可能である。または、トランジスタ304のチャンネル幅は、一例として、トランジスタ303のチャンネル幅よりも小さいことが可能である。なぜなら、ノードAには、実施の形態1で述べるトランジスタ101の第1の端子とゲートとの間の寄生容量によって、ノイズが生じやすいからである。そして、このノイズによって、トランジスタ101がオンし、配線111の電位が上昇してしまう場合があるからである。

10

【0175】

なお、一例として、トランジスタ303のチャンネル幅は、トランジスタ302のチャンネル幅よりも大きいことが好ましい。または、トランジスタ304のチャンネル幅は、一例として、トランジスタ305のチャンネル幅よりも大きいことが好ましい。こうすることによって、ノードA、及び配線111に生じるノイズの影響を低減することができる。ただし、これに限定されず、トランジスタ303のチャンネル幅は、トランジスタ302のチャンネル幅よりも小さいことが可能である。または、トランジスタ304のチャンネル幅は、トランジスタ305のチャンネル幅よりも小さいことが可能である。

20

【0176】

なお、端子105a、及び端子105cには、Lレベルの電位がV1よりも低い信号を入力することが可能である。こうして、トランジスタ302～305に逆バイアスを印加することが可能になるので、トランジスタ302～305の特性劣化を緩和することができる。または、端子105a、及び端子105cには、Hレベルの電位がV2よりも低い信号を入力することが可能である。こうして、トランジスタ302～305がオンのときのVgsを小さくすることができるので、トランジスタ302～305の特性劣化を抑制することができる。このような場合、配線113、及び配線115に、Lレベルの電位がV1よりも低い信号、Hレベルの電位がV2よりも低い信号、又は、Lレベルの電位がV1よりも低く、且つHレベルの電位がV2よりも低い信号を入力することが可能である。ただし、これに限定されず、端子105aと端子105cとの一方に、Lレベルの電位がV1よりも低い信号、Hレベルの電位がV2よりも低い信号、又は、Lレベルの電位がV1よりも低く、且つHレベルの電位がV2よりも低い信号を入力することが可能である。この場合、配線113と配線115との一方に、Lレベルの電位がV1よりも低い信号、Hレベルの電位がV2よりも低い信号、又は、Lレベルの電位がV1よりも低く、且つHレベルの電位がV2よりも低い信号を入力することが可能である。または、端子105aが配線113とは別の配線と接続され、当該配線に、Lレベルの電位がV1よりも低い信号、Hレベルの電位がV2よりも低い信号、又は、Lレベルの電位がV1よりも低く、且つHレベルの電位がV2よりも低い信号を入力することが可能である。または、端子105cが配線115とは別の配線と接続され、当該配線に、Lレベルの電位がV1よりも低い信号、Hレベルの電位がV2よりも低い信号、又は、Lレベルの電位がV1よりも低く、且つHレベルの電位がV2よりも低い信号を入力することが可能である。

30

40

【0177】

なお、端子105dには、期間T1、期間T3、及び期間T4において、Lレベルとなる

50

信号を入力することが可能である。例えば、端子 105d には、信号 IN2 を入力することが可能である。この場合、端子 105d は、配線 113 と接続されることが可能である。こうすることによって、トランジスタ 303、トランジスタ 304、又はトランジスタ 305 には、逆バイアスを印加することが可能になるので、トランジスタ 303、トランジスタ 304、又はトランジスタ 305 の特性劣化を緩和することができる。

#### 【0178】

なお、実施の形態 1、又は実施の形態 2 と同様に、配線を複数の配線に分割することが可能である。そして、当該複数の配線には、同じ信号又は電圧を入力することが可能であるし、別々の信号又は電圧を入力することが可能である。または、当該複数の配線は、同じ配線又は同じ素子と接続されることが可能であるし、当該複数の配線は、別々の配線又は別々の素子と接続されることが可能である。図 14 (A) の一例には、配線 113 が配線 113A ~ 113B という複数の配線に分割され、配線 114 が配線 114A ~ 114B という複数の配線に分割され、配線 115 が配線 115A ~ 115B という複数の配線に分割され、配線 116 が配線 116G ~ 116I という複数の配線に分割される場合の構成を示す。そして、トランジスタ 302 のゲートが配線 113A と接続され、トランジスタ 305 のゲートが配線 113B と接続される。トランジスタ 302 の第 1 の端子が配線 114A と接続され、トランジスタ 301 の第 1 の端子及びゲートが配線 114B と接続される。トランジスタ 303 のゲートが配線 115A と接続され、トランジスタ 304 のゲートが配線 115B と接続される。トランジスタ 303 の第 1 の端子が配線 116G と接続され、トランジスタ 304 の第 1 の端子が配線 116H と接続され、トランジスタ 305 の第 1 の端子が配線 116I と接続される。ただし、これに限定されず、配線 113、配線 114、配線 115、及び配線 116 のうちの、一つ、二つ、又は三つのみが複数の配線に分割されることが可能である。

#### 【0179】

なお、図 14 (A) において、配線 113A ~ 113B は、図 12 (A) の配線 113 に対応する。よって、配線 113 と同様に、配線 113A ~ 113B には、信号 IN2 を入力することが可能であり、配線 113A ~ 113B は、信号線として機能することが可能である。ただし、これに限定されず、配線 113A ~ 113B には、電圧 V1 又は電圧 V2 などの電圧を供給することが可能であり、配線 113A ~ 113B は、電源線として機能することが可能である。または、配線 113A ~ 113B には、別々の信号又は別々の電圧を入力することが可能である。または、配線 113A ~ 113B には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

#### 【0180】

なお、図 14 (A) において、配線 114A ~ 114B は、図 12 (A) の配線 114 に対応する。よって、配線 114 と同様に、配線 114A ~ 114B には、信号 IN3 を入力することが可能であり、配線 114A ~ 114B は、信号線として機能することが可能である。ただし、これに限定されず、配線 114A ~ 114B には、電圧 V1 又は電圧 V2 などの電圧を供給することが可能であり、配線 114A ~ 114B は、電源線として機能することが可能である。または、配線 114A ~ 114B には、別々の信号又は別々の電圧を入力することが可能である。または、配線 114A ~ 114B には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

#### 【0181】

なお、図 14 (A) において、配線 115A ~ 115B は、図 12 (A) の配線 115 に対応する。よって、配線 115 と同様に、配線 115A ~ 115B には、信号 IN4 を入力することが可能であり、配線 115A ~ 115B は、信号線として機能することが可能である。ただし、これに限定されず、配線 115A ~ 115B には、電圧 V1 又は電圧 V2 などの電圧を供給することが可能であり、配線 115A ~ 115B は、電源線として機能することが可能である。または、配線 115A ~ 115B には、別々の信号又は別々の電圧を入力することが可能である。または、配線 115A ~ 115B には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

## 【0182】

なお、図14(A)において、配線116G~116Iは、図12(A)の配線116に対応する。よって、配線116と同様に、配線116G~116Iには、電圧V1を供給することが可能であり、配線116G~116Iは、電源線として機能することが可能である。ただし、これに限定されず、配線116G~116Iには、信号OUT、又は信号IN1~IN4などの信号を入力することによって、配線116G~116Iは、信号線として機能することが可能である。または、配線116G~116Iには、別々の電圧、又は別々の信号を供給することが可能である。または、配線116G~116Iには、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

## 【0183】

なお、図14(A)において、配線116G、及び配線116Hには、期間T3において、Lレベルとなる信号を入力することが可能である。例えば、配線116G、及び配線116Hには、信号IN2を入力することが可能である。この場合、配線116G、及び配線116Hは、実施の形態1及び実施の形態2で述べる配線112と接続されることが可能である。こうすることによって、トランジスタ303、及びトランジスタ304に逆バイアスを印加することが可能になるので、トランジスタ303、及びトランジスタ304の特性劣化を抑制することができる。ただし、これに限定されず、配線116Gと配線116Hとの一方のみに、信号IN2を入力することが可能である。または、配線116G、及び/又は、配線116Hに、信号OUT、又は信号IN3を入力することが可能である。この場合、配線116G、及び/又は、配線116Hは、実施の形態1及び実施の形態2で述べる配線111、又は配線114と接続されることが可能である。

## 【0184】

なお、図14(A)において、配線116Iには、期間T1、期間T3、期間T5において、Lレベルとなる信号を入力することが可能である。例えば、配線116Iには、信号IN2を入力することが可能である。この場合、配線116Iは、実施の形態1及び実施の形態2で述べる配線112と接続されることが可能である。こうすることによって、トランジスタ305に逆バイアスを印加することが可能になるので、トランジスタ305の特性劣化を抑制することができる。ただし、これに限定されない。

## 【0185】

なお、図14(B)に示すように、トランジスタ303、及びトランジスタ304を省略することが可能である。こうして、トランジスタの数を減らすことができる。よって、レイアウト面積の縮小、又は歩留まりの向上などを図ることができる。ただし、これに限定されず、トランジスタ303とトランジスタ304との一方のみを省略することが可能である。

## 【0186】

なお、図14(B)と同様に、図14(A)においても、トランジスタ303、及び/又は、トランジスタ304を省略することが可能である。

## 【0187】

なお、図14(C)に示すように、トランジスタ305を省略することが可能である。こうして、トランジスタの数を減らすことができる。よって、レイアウト面積の縮小、又は歩留まりの向上などを図ることができる。ただし、これに限定されない。

## 【0188】

なお、図14(C)と同様に、図14(A)~(B)においても、トランジスタ305を省略することが可能である。

## 【0189】

なお、図15(A)に示すように、トランジスタ302を省略することが可能である。こうして、トランジスタの数を減らすことができる。よって、レイアウト面積の縮小、又は歩留まりの向上などを図ることができる。ただし、これに限定されない。

## 【0190】

なお、図15(A)と同様に、図14(A)~(C)においても、トランジスタ302を

10

20

30

40

50

省略することが可能である。

【0191】

なお、図15(B)に示すように、トランジスタ301を省略することが可能である。こうして、トランジスタの数を減らすことができる。よって、レイアウト面積の縮小、又は歩留まりの向上などを図ることができる。ただし、これに限定されない。

【0192】

なお、図15(B)と同様に、図14(A)~(C)、及び図15(A)においても、トランジスタ301を省略することが可能である。

【0193】

なお、図16(A)に示すように、トランジスタ303を、一方の端子(以下、正極ともいう)がノードAと接続され、他方の端子(以下、負極ともいう)が配線115と接続されるダイオード303aに置き換えることが可能である。または、トランジスタ304を、一方の端子(以下、正極ともいう)が配線111と接続され、他方の端子(以下、負極ともいう)が配線115と接続されるダイオード304aに置き換えることが可能である。ただし、これに限定されず、トランジスタ303とトランジスタ304との一方をダイオードに置き換えることが可能である。または、ダイオード303a、及び/又は、ダイオード304aを新たに追加することが可能である。

10

【0194】

なお、図16(A)と同様に、図14(A)~(C)、及び図15(A)~(B)においても、トランジスタ303を、一方の端子がノードAと接続され、他方の端子が配線115と接続されるダイオード303aに置き換えることが可能である。または、トランジスタ304を、一方の端子が配線111と接続され、他方の端子が配線115と接続されるダイオード304aに置き換えることが可能である。または、ダイオード303a、及び/又は、ダイオード304aを新たに追加することが可能である。

20

【0195】

なお、図示はしないが、図14(A)~(C)、図15(A)~(B)、及び図16(A)において、トランジスタ303の第1の端子が配線115と接続され、トランジスタ303の第2の端子がノードAと接続され、トランジスタ303のゲートがノードAと接続されることによって、トランジスタ303をダイオード接続にすることが可能である。または、トランジスタ304の第1の端子が配線115と接続され、トランジスタ304の第2の端子が配線111と接続され、トランジスタ304のゲートが配線111と接続されることによって、トランジスタ304をダイオード接続にすることが可能である。ただし、これに限定されず、トランジスタ303とトランジスタ304との一方をダイオード接続にすることが可能である。

30

【0196】

なお、図16(B)に示すように、トランジスタ305を、一方の端子(以下、正極ともいう)が配線111と接続され、他方の端子(以下、負極ともいう)が配線113と接続されるダイオード305aに置き換えることが可能である。ただし、これに限定されず、ダイオード305aを新たに追加することが可能である。

【0197】

なお、図16(B)と同様に、図14(A)~(C)、図15(A)~(B)、及び図16(A)においても、トランジスタ305を、一方の端子(以下、正極ともいう)が配線111と接続され、他方の端子(以下、負極ともいう)が配線113と接続されるダイオード305aに置き換えることが可能である。または、ダイオード305aを新たに追加することが可能である。

40

【0198】

なお、図示はしないが、図14(A)~(C)、図15(A)~(B)、及び図16(A)~(B)において、トランジスタ305の第1の端子が配線113と接続され、トランジスタ305の第2の端子が配線111と接続され、トランジスタ305のゲートが配線111と接続されることによって、トランジスタ305をダイオード接続にすることが可

50

能である。ただし、これに限定されない。

【0199】

なお、図17(A)に示すように、トランジスタ301のゲートは、配線117と接続されることが可能である。このために、回路105は、新たに端子105gを有することが可能である。そして、配線117は、端子105gを介してトランジスタ301のゲートと接続される。配線117には、電圧V2が供給され、配線117は電源線として機能することが可能である。ただし、これに限定されず、トランジスタ301の第1の端子が配線117と接続され、トランジスタ301のゲートは、配線114と接続されることが可能である。または、配線117には、期間T2において、Hレベルとなる信号を入力することが可能であり、配線117は、信号線として機能することが可能である。例えば、配線117に信号IN2を入力することが可能であり、配線117は、配線113と接続されることが可能である。または、配線117には、他にも様々な信号、様々な電圧、又は様々な電流を入力することが可能である。

10

【0200】

なお、図17(A)と同様に、図14(A)~(C)、図15(A)~(B)、及び図16(A)~(B)においても、トランジスタ301のゲート、又はトランジスタ301の第1の端子は、配線117と接続されることが可能である。

【0201】

なお、図17(B)に示すように、トランジスタ306、及びトランジスタ307を新たに追加することが可能である。一例として、トランジスタ306、及びトランジスタ307は、トランジスタ301~305と同じ極性である場合が多く、Nチャネル型であるものとする。トランジスタ306の第1の端子は、配線116と接続され、トランジスタ306の第2の端子は、ノードAと接続され、トランジスタ306のゲートは、配線118と接続される。トランジスタ307の第1の端子は、配線116と接続され、トランジスタ307の第2の端子は、配線111と接続され、トランジスタ307のゲートは、配線118と接続される。配線118には、一例として、信号IN5が入力されるものとし、配線118は、信号線として機能することが可能である。トランジスタ306は、信号IN5、又は配線115の電位に応じて、配線116とノードAとの導通状態を制御することによって、電圧V1がノードAに供給されるタイミングを制御する機能を有し、スイッチとして機能することが可能である。トランジスタ307は、信号IN5、又は配線115の電位に応じて、配線116と配線111との導通状態を制御することによって、電圧V1が配線111に供給されるタイミングを制御する機能を有し、スイッチとして機能することが可能である。信号IN5は、一例として、全段リセット信号として機能する場合が多い。ただし、これに限定されず、トランジスタ306とトランジスタ307との一方のみを新たに追加することが可能である。

20

30

【0202】

なお、図17(B)と同様に、図14(A)~(C)、図15(A)~(B)、図16(A)~(B)、及び図17(A)においても、トランジスタ306、及び/又は、トランジスタ307を新たに追加することが可能である。トランジスタ306の第1の端子は、配線116と接続され、トランジスタ306の第2の端子は、ノードAと接続され、トランジスタ306のゲートは、配線118と接続される。トランジスタ307の第1の端子は、配線116と接続され、トランジスタ307の第2の端子は、配線111と接続され、トランジスタ307のゲートは、配線118と接続される。

40

【0203】

なお、図17(C)に示すように、トランジスタ301~305として、Pチャネル型トランジスタを用いることが可能である。特に、実施の形態1で述べるトランジスタ101~103、及び実施の形態2で述べるトランジスタ201~204として、Pチャネル型トランジスタが用いられる場合には、トランジスタ301~305として、Pチャネル型トランジスタを用いることが好ましい。トランジスタ301p、トランジスタ302p、トランジスタ303p、トランジスタ304p、及びトランジスタ305pは、各々、ト

50

ランジスタ 301、トランジスタ 302、トランジスタ 303、トランジスタ 304、トランジスタ 305 に対応する。

【0204】

なお、図 17 (C) と同様に、図 14 (A) ~ (C)、図 15 (A) ~ (B)、図 16 (A) ~ (B)、及び図 17 (A) ~ (B) においても、トランジスタ 301 ~ 305 として、Pチャネル型トランジスタを用いることが可能である。

【0205】

なお、すでに述べたように、実施の形態 1 で述べる回路 100 が有する回路 105 に、本実施の形態で述べる回路 105 の構成を用いることが可能である。図 18 (A) には、一例として、図 1 (A) の回路 100 が有する回路 105 に、図 12 (A) の回路 105 の一例を用いる場合の構成を示す。そして、図 18 (B) には、一例として、図 1 (A) の回路 100 が有する回路 105 に、図 12 (A) の回路 105 の一例を用い、さらに図 1 (A) の回路 100 が有する回路 104 に、図 9 (A) の回路 104 の一例を用いる場合の構成を示す。ただし、これに限定されず、図 12 (A)、図 14 (A)、図 14 (B)、図 14 (C)、図 15 (A)、図 15 (B)、図 16 (A)、図 16 (B)、図 17 (A)、図 17 (B)、図 17 (C)、又はこれらを組み合わせた場合の回路 105 を、図 1 (A)、図 5 (A)、図 5 (B)、図 6 (A)、図 6 (B)、図 6 (C)、図 7 (A)、図 7 (B)、図 8 (A)、又はこれらを組み合わせた場合の回路 100 が有する回路 105 に用いることが可能である。

【0206】

(実施の形態 4)

本実施の形態では、シフトレジスタの一例について説明する。本実施の形態のシフトレジスタは、実施の形態 1 ~ 実施の形態 3 の半導体装置を有することが可能である。なお、シフトレジスタを、半導体装置、又はゲートドライバを示すことが可能である。なお、実施の形態 1 ~ 実施の形態 3 で述べる内容は、その説明を省略する。なお、実施の形態 1 ~ 実施の形態 3 で述べる内容は、本実施の形態で述べる内容と自由に組み合わせることができる。

【0207】

まず、シフトレジスタの一例について、図 19 を参照して説明する。シフトレジスタ 400 は、フリップフロップ 401<sub>1</sub> ~ 401<sub>N</sub> (N は自然数) という複数のフリップフロップを有する。

【0208】

なお、フリップフロップ 401<sub>1</sub> ~ 401<sub>N</sub> は、各々、実施の形態 1 ~ 実施の形態 3 で述べる半導体装置に対応する。図 19 の一例には、フリップフロップ 401<sub>1</sub> ~ 401<sub>N</sub> として、図 1 (A) の半導体装置を用いる場合について示す。ただし、これに限定されず、フリップフロップ 401<sub>1</sub> ~ 401<sub>N</sub> としては、図 1 (A) の半導体装置の他にも、実施の形態 1 ~ 実施の形態 3 で述べる半導体装置、又は他の様々な半導体装置又は回路を用いることが可能である。

【0209】

次に、シフトレジスタの接続関係について説明する。シフトレジスタ 400 は、配線 411<sub>1</sub> ~ 411<sub>N</sub>、配線 412、配線 413、配線 414、及び配線 415 と接続される。そして、フリップフロップ 401<sub>i</sub> (i は 1 ~ N のいずれか) において、配線 111 は配線 411<sub>i</sub> と接続され、配線 112 は配線 412 と配線 413 との一方と接続され、配線 113 は配線 412 と配線 413 との他方と接続され、配線 114 は配線 411<sub>i-1</sub> と接続され、配線 115 は配線 411<sub>i+1</sub> と接続され、配線 116 は配線 416 と接続される。ここで、奇数段のフリップフロップと、偶数段のフリップフロップとでは、配線 112 及び配線 113 の接続先が逆になっている場合が多い。例えば、奇数段のフリップフロップにおいて、配線 112 が配線 412 と接続され、配線 113 が配線 413 と接続される場合、偶数段のフリップフロップにおいては、配線 112 が配線 413 と接続され、配線 113 が配線 412 と接続される場合が多い。一方、奇数段のフリッ

10

20

30

40

50

フリップフロップにおいて、配線 1 1 2 が配線 4 1 3 と接続され、配線 1 1 3 が配線 4 1 2 と接続される場合、偶数段のフリップフロップにおいては、配線 1 1 2 が配線 4 1 2 と接続され、配線 1 1 3 が配線 4 1 3 と接続される場合が多い。ただし、これに限定されず、他にも様々な接続構成にすることが可能である。

#### 【 0 2 1 0 】

なお、フリップフロップ 4 0 1 \_\_ 1 では、配線 1 1 4 は、配線 4 1 4 と接続される場合が多い。そして、フリップフロップ 4 0 1 \_\_ N では、配線 1 1 5 は、配線 4 1 5 と接続される場合が多い。

#### 【 0 2 1 1 】

なお、配線 4 1 1 \_\_ 1 ~ 4 1 1 \_\_ N は、各々、実施の形態 1 ~ 実施の形態 3 で述べる配線 1 1 1 に対応する。配線 4 1 2 は、実施の形態 1 ~ 実施の形態 3 で述べる配線 1 1 2 又は配線 1 1 3 に対応する。配線 4 1 3 は、実施の形態 1 ~ 実施の形態 3 で述べる配線 1 1 2 又は配線 1 1 3 に対応する。配線 4 1 4 は、実施の形態 1 ~ 実施の形態 3 で述べる配線 1 1 4 に対応する。配線 4 1 5 は、実施の形態 1 ~ 実施の形態 3 で述べる配線 1 1 5 に対応する。配線 4 1 6 は、実施の形態 1 ~ 実施の形態 3 で述べる配線 1 1 6 に対応する。

#### 【 0 2 1 2 】

次に、配線 4 1 1 \_\_ 1 ~ 4 1 1 \_\_ N、配線 4 1 2、配線 4 1 3、配線 4 1 4、配線 4 1 5、配線 4 1 6 に入力又は出力される信号又は電圧の一例について説明する。配線 4 1 1 \_\_ 1 ~ 4 1 1 \_\_ N からは、一例として、各々、信号 G O U T \_\_ 1 ~ G O U T \_\_ N が出力されるものとする。信号 G O U T \_\_ 1 ~ G O U T \_\_ N は、各々、フリップフロップ 4 0 1 \_\_ 1 ~ 4 0 1 \_\_ N の出力信号である。そして、信号 G O U T \_\_ 1 ~ G O U T \_\_ N は、実施の形態 1 ~ 実施の形態 3 で述べる信号 O U T に対応し、出力信号、選択信号、転送信号、スタート信号、リセット信号、ゲート信号、又は走査信号として機能することが可能である。配線 4 1 2 には、一例として、信号 G C K が入力されるものとする。信号 G C K は、実施の形態 1 ~ 実施の形態 3 で述べる信号 I N 1 又は信号 I N 2 に対応し、クロック信号として機能することが可能である。配線 4 1 3 には、一例として、信号 G C K B が入力されるものとする。信号 G C K B は、実施の形態 1 ~ 実施の形態 3 で述べる信号 I N 1 又は信号 I N 2 に対応し、反転クロック信号として機能することが可能である。配線 4 1 4 には、一例として、信号 G S P が入力されるものとする。信号 G S P は、実施の形態 1 ~ 実施の形態 3 で述べる信号 I N 3 に対応し、スタート信号、又は垂直同期信号として機能することが可能である。配線 4 1 5 には、一例として、信号 G R E が入力されるものとする。信号 G R E は、実施の形態 1 ~ 実施の形態 3 で述べる信号 I N 4 に対応し、リセット信号として機能することが可能である。配線 4 1 6 には、一例として、電圧 V 1 が入力されるものとする。ただし、これに限定されず、配線 4 1 1 \_\_ 1 ~ 4 1 1 \_\_ N、配線 4 1 2、配線 4 1 3、配線 4 1 4、配線 4 1 5、及び / 又は、配線 4 1 6 には、他にも様々な信号、様々な電流、又は様々な電圧を入力することが可能である。例えば、配線 4 1 2、配線 4 1 3、配線 4 1 4、及び / 又は、配線 4 1 5 に、電圧 V 1 又は電圧 V 2 などの電圧が供給されることが可能である。または、配線 4 1 6 に、信号 G O U T \_\_ 1 ~ G O U T \_\_ N、信号 G C K、信号 G C K B、信号 G S P、又は信号 G R E などの信号が入力されることが可能である。または、配線 4 1 1 \_\_ 1 ~ 4 1 1 \_\_ N、配線 4 1 2、配線 4 1 3、配線 4 1 4、配線 4 1 5、及び / 又は、配線 4 1 6 に、信号又は電圧などを入力せずに、これらの配線を浮遊状態にすることが可能である。

#### 【 0 2 1 3 】

なお、配線 4 1 1 \_\_ 1 ~ 4 1 1 \_\_ N は、信号線、ゲート線、走査線、又は出力信号線として機能することが可能である。配線 4 1 2 は、信号線、又はクロック信号線として機能することが可能である。配線 4 1 3 は、信号線、又はクロック信号線として機能することが可能である。配線 4 1 4 は、信号線として機能することが可能である。配線 4 1 5 は、信号線として機能することが可能である。配線 4 1 6 は、電源線、又はグランド線として機能することが可能である。ただし、これに限定されず、配線 4 1 1 \_\_ 1 ~ 4 1 1 \_\_ N、配線 4 1 2、配線 4 1 3、配線 4 1 4、配線 4 1 5、及び / 又は、配線 4 1 6 は、他にも様

10

20

30

40

50

々な配線として機能することが可能である。例えば、配線 4 1 2、配線 4 1 3、配線 4 1 4、及び / 又は、配線 4 1 5 に、電圧が供給される場合、これらの配線は、電源線として機能することが可能である。または、配線 4 1 6 に、信号が入力される場合、配線 4 1 6 は、信号線として機能することが可能である。

【 0 2 1 4 】

なお、すでに述べたように、シフトレジスタには、多相のクロック信号、又は非平衡のクロック信号を入力することが可能である。

【 0 2 1 5 】

なお、配線 4 1 2、配線 4 1 3、配線 4 1 4、配線 4 1 5、及び配線 4 1 6 には、回路 4 2 0 から信号又は電圧などが入力されるものとする。回路 4 2 0 は、シフトレジスタ 4 0 0 に信号又は電圧などを供給することによって、シフトレジスタ 4 0 0 を制御する機能を有し、制御回路、又はコントローラなどとして機能することが可能である。本実施の形態では、一例として、回路 4 2 0 は、配線 4 1 2、配線 4 1 3、配線 4 1 4、配線 4 1 5、及び配線 4 1 6 に、各々、信号 G C K、信号 G C K B、信号 G S P、信号 G R E、電圧 V 1 を供給するものとする。ただし、これに限定されず、回路 4 2 0 は、シフトレジスタ 4 0 0 だけでなく、他にも様々な回路（例えば、信号線駆動回路、走査線駆動回路、及び / 又は、画素など）に、信号又は電圧を供給し、これらの回路を制御することが可能である。

10

【 0 2 1 6 】

なお、回路 4 2 0 は、一例として、回路 4 2 1、及び回路 4 2 2 を有するものとする。回路 4 2 1 は、正電源電圧、負電源電圧、グランド電圧、基準電圧などの電源電圧を生成する機能を有し、電源回路、又はレギュレータとして機能することが可能である。回路 4 2 2 は、クロック信号、反転クロック信号、スタート信号、リセット信号、及び / 又は、ビデオ信号などの様々な信号を生成する機能を有し、タイミングジェネレータとして機能することが可能である。ただし、これに限定されず、回路 4 2 0 は、回路 4 2 1 及び回路 4 2 2 の他にも様々な回路、又は様々な素子を有することが可能である。例えば、回路 4 2 0 は、オシレータ、レベルシフト回路、インバータ回路、バッファ回路、D A 変換回路、A D 変換回路、オペアンプ、シフトレジスタ、ルックアップテーブル、コイル、トランジスタ、容量素子、抵抗素子、及び / 又は、分周器などを有することが可能である。

20

【 0 2 1 7 】

次に、図 1 9 のシフトレジスタの動作について、図 2 0 のタイミングチャートを参照して説明する。図 2 0 は、シフトレジスタの動作を説明するためのタイミングチャートの一例である。図 2 0 には、信号 G S P、信号 G R E、信号 G C K、信号 G C K B、信号 G O U T \_\_ 1、信号 G O U T \_\_ i - 1、信号 G O U T \_\_ i、信号 G O U T \_\_ i + 1、及び信号 G O U T \_\_ N の一例を示す。なお、実施の形態 1 ~ 実施の形態 3 の半導体装置の動作と共通するところは、その説明を省略する。

30

【 0 2 1 8 】

フリップフロップ 4 0 1 \_\_ i の動作について説明する。まず、信号 G O U T \_\_ i - 1 が H レベルになる。すると、フリップフロップ 4 0 1 \_\_ i は、期間 T 1 における動作を開始し、信号 G O U T \_\_ i は L レベルになる。その後、信号 G C K、及び信号 G C K B が反転する。すると、フリップフロップ 4 0 1 \_\_ i が期間 T 2 における動作を開始し、信号 G O U T \_\_ i が H レベルになる。信号 G O U T \_\_ i は、フリップフロップ 4 0 1 \_\_ i - 1 にリセット信号として入力され、且つフリップフロップ 4 0 1 \_\_ i + 1 にスタート信号として入力される。よって、フリップフロップ 4 0 1 \_\_ i - 1 は、期間 T 3 における動作を開始し、フリップフロップ 4 0 1 \_\_ i + 1 は、期間 T 1 における動作を開始する。その後、信号 G C K、及び信号 G C K B が再び反転する。すると、フリップフロップ 4 0 1 \_\_ i + 1 が期間 T 2 における動作を開始し、信号 G O U T \_\_ i + 1 が H レベルとなる。信号 G O U T \_\_ i + 1 は、フリップフロップ 4 0 1 \_\_ i にリセット信号として入力される。したがって、フリップフロップ 4 0 1 \_\_ i が期間 T 3 における動作を開始するので、信号 G O U T \_\_ i は L レベルとなる。その後、再び信号 G O U T \_\_ i - 1 が H レベルになるまでは、フリ

40

50

ップフロップ 401\_\_i は、信号 GCK 及び信号 GCKB が反転するたびに、期間 T4 における動作と期間 T5 における動作とを繰り返す。

【0219】

なお、フリップフロップ 401\_\_1 では、前の段のフリップフロップの出力信号の代わりに、信号 GSP が回路 420 から配線 414 を介して入力される。よって、信号 GSP が H レベルになると、フリップフロップ 401\_\_1 は、期間 T1 における動作を開始する。

【0220】

なお、フリップフロップ 401\_\_N では、次の段のフリップフロップの出力信号の代わりに、信号 GRE が回路 420 から配線 415 を介して入力される。よって、信号 GRE が H レベルになると、フリップフロップ 401\_\_N は、期間 T3 における動作を開始する。

【0221】

以上、本実施の形態のシフトレジスタの動作について説明した。本実施の形態のシフトレジスタは、実施の形態 1 ~ 実施の形態 3 の半導体装置を用いることによって、当該半導体装置と同様のメリットを得ることが可能である。

【0222】

なお、実施の形態 1 ~ 実施の形態 3 で述べるように、信号 GCK と信号 GCKB との関係を非平衡にすることが可能である。例えば、図 21 (A) のタイミングチャートに示すように、信号 GCK 及び信号 GCKB において、H レベルになる期間が L レベルになる期間よりも短くすることが可能である。こうすることによって、信号 GOUT\_\_1 ~ GOUT\_\_N に、遅延又はなまりなどが生じても、これらの信号が H レベルとなる期間を防止することができる。したがって、本実施の形態のシフトレジスタが表示装置に用いられる場合、複数の行が同時に選択されることを防ぐことができる。ただし、これに限定されず、信号 GCK、及び / 又は、信号 GCKB において、H レベルになる期間が L レベルになる期間よりも長いことが可能である。

【0223】

なお、実施の形態 1 ~ 実施の形態 3 で述べるように、多相のクロック信号を用いることが可能である。例えば、図 21 (B) のタイミングチャートに示すように、M (M は自然数) 相のクロック信号を用いることが可能である。この場合、信号 GOUT\_\_1 ~ GOUT\_\_N において、ある段において H レベルとなる期間は、その前後の段において H レベルとなる期間と重なることが可能となる。したがって、本実施の形態が表示装置に用いられる場合、複数の行が同時に選択されることになる。これにより、他の行の画素へのビデオ信号をプリチャージ電圧として用いることが可能になる。

【0224】

なお、図 21 (B) において、M = 8 であることが好ましい。より好ましくは、M = 6 であることが好ましい。さらに好ましくは、M = 4 であることが好ましい。なぜなら、シフトレジスタが表示装置の走査線駆動回路に用いられる場合、M が大きすぎると、画素に複数の種類のビデオ信号が書き込まれるからである。そして、当該画素に不正なビデオ信号が入力される期間が長くなるので、表示品位が低下する場合があるからである。

【0225】

なお、図 21 (B) と同様に、図 21 (A) のタイミングチャートにおいても、多相のクロック信号を用いることが可能である。

【0226】

なお、配線 415 は、他の配線と共有、又は省略されることが可能である。例えば、配線 415 は、配線 412、配線 413、配線 414、又は配線 416 と共有されることが可能である。この場合、配線 415 が省略され、フリップフロップ 401\_\_N において、配線 115 は、配線 412、配線 413、配線 414、又は配線 416 と接続されることが可能である。別の例として、配線 415 が省略されることが可能である。この場合、フリップフロップ 401\_\_N において、図 14 (B) と同様に、回路 105 が有するトランジスタ 303 及びトランジスタ 304 が省略されることが可能である。

【0227】

10

20

30

40

50

なお、フリップフロップ 401\_\_1 ~ 401\_\_N の構成によっては、新たな配線を追加することが可能である。例えば、図 17 (A)、又は図 17 (B) のように、電圧 V2、又は全段リセット信号として機能することが可能な信号などを必要とする場合、新たな配線を追加することが可能である。そして、新たに追加する配線には、回路 420 から信号又は電圧などを供給されることが可能である。

#### 【0228】

なお、図 22 に示すように、フリップフロップ 401\_\_1 ~ 401\_\_N に、各々、トランジスタ 431 を追加することが可能である。トランジスタ 431 の極性は、トランジスタ 101 と同じ極性であることが好ましく、N チャネル型であることが多い。ただし、これに限定されず、トランジスタ 431 は P チャネル型であることが可能である。フリップフロップ 401\_\_i において、トランジスタ 431 の第 1 の端子は、配線 112 と接続され、トランジスタ 431 の第 2 の端子は、配線 417\_\_i と接続され、トランジスタ 431 のゲートは、ノード A と接続される。そして、フリップフロップ 401\_\_i において、配線 111 は配線 411\_\_i と接続され、配線 112 は配線 412 と配線 413 との一方と接続され、配線 113 は配線 412 と配線 413 との他方と接続され、配線 114 は、配線 417\_\_i - 1 と接続され、配線 115 は、配線 411\_\_i + 1 と接続され、配線 116 は配線 416 と接続される。こうすることによって、配線 411\_\_1 ~ 411\_\_N に、画素又はゲート線などの負荷が接続される場合でも、次の段のフリップフロップを駆動するための転送信号になまり又は遅延などが生じることがない。よって、シフトレジスタの遅延の影響を低減することができる。ただし、これに限定されず、配線 114 は、配線 411\_\_i - 1 と接続されることが可能である。または、配線 115 は、配線 417\_\_i + 1 と接続されることが可能である。または、配線 417\_\_1 ~ 417\_\_N の電位を V1 に維持するためのトランジスタを新たに追加することが可能である。

#### 【0229】

なお、図 22 においても、図 21 (A) と同様に、信号 GCK と信号 GCKB とを非平衡にすることが可能である。または、図 21 (B) と同様に、多相のクロック信号を用いることが可能である。

#### 【0230】

(実施の形態 5)

本実施の形態では、表示装置の一例について説明する。

#### 【0231】

まず、図 23 (A) を参照して、液晶表示装置のシステムブロックの一例について説明する。液晶表示装置は、回路 5361、回路 5362、回路 5363\_\_1、回路 5363\_\_2、画素部 5364、回路 5365、及び照明装置 5366 を有する。画素部 5364 には、複数の配線 5371 が回路 5362 から延伸して配置され、複数の配線 5372 が回路 5363\_\_1、及び回路 5363\_\_2 から延伸して配置されている。そして、複数の配線 5371 と複数の配線 5372 との交差領域には、各々、液晶素子などの表示素子を有する画素 5367 がマトリクス状に配置されている。

#### 【0232】

回路 5361 は、映像信号 5360 に応じて、回路 5362、回路 5363\_\_1、回路 5363\_\_2、及び回路 5365 に、信号、電圧、又は電流などを供給する機能を有し、コントローラ、制御回路、タイミングジェネレータ、電源回路、又はレギュレータなどとして機能することが可能である。本実施の形態では、一例として、回路 5361 は、回路 5362 に、信号線駆動回路用スタート信号 (SSP)、信号線駆動回路用クロック信号 (SCK)、信号線駆動回路用反転クロック信号 (SCKB)、ビデオ信号用データ (DATA)、ラッチ信号 (LAT) を供給するものとする。または、回路 5361 は、一例として、回路 5363\_\_1、及び回路 5363\_\_2 に、走査線駆動回路用スタート信号 (GSP)、走査線駆動回路用クロック信号 (GCK)、及び反転走査線駆動回路用クロック信号 (GCKB) を供給するものとする。または、回路 5361 は、回路 5365 に、バックライト制御信号 (BLC) を供給するものとする。ただし、これに限定されず、回路

5 3 6 1 は、他にも様々な信号、様々な電圧、又は様々な電流などを、回路 5 3 6 2、回路 5 3 6 3 \_\_ 1、回路 5 3 6 3 \_\_ 2、及び回路 5 3 6 5 に供給することが可能である。

【0 2 3 3】

回路 5 3 6 2 は、回路 5 3 6 1 から供給される信号（例えば、SSP、SCK、SCKB、DATA、LAT）に応じて、ビデオ信号を複数の配線 5 3 7 1 に出力する機能を有し、信号線駆動回路として機能することが可能である。回路 5 3 6 3 \_\_ 1、及び回路 5 3 6 3 \_\_ 2 は、回路 5 3 6 1 から供給される信号（GSP、GCK、GCKB）に応じて、走査信号を複数の配線 5 3 7 2 に出力する機能を有し、走査線駆動回路として機能することが可能である。回路 5 3 6 5 は、回路 5 3 6 1 から供給される信号（BLC）に応じて、照明装置 5 3 6 6 に供給する電力の量、又は時間などを制御することによって、照明装置 5 3 6 6 の輝度（又は平均輝度）を制御する機能を有し、電源回路として機能することが可能である。

10

【0 2 3 4】

なお、複数の配線 5 3 7 1 にビデオ信号が入力される場合、複数の配線 5 3 7 1 は、信号線、ビデオ信号線、又はソース線などとして機能することが可能である。複数の配線 5 3 7 2 に走査信号が入力される場合、複数の配線 5 3 7 2 は、信号線、走査線、又はゲート線などとして機能することが可能である。ただし、これに限定されない。

【0 2 3 5】

なお、回路 5 3 6 3 \_\_ 1、及び回路 5 3 6 3 \_\_ 2 に、同じ信号が回路 5 3 6 1 から入力される場合、回路 5 3 6 3 \_\_ 1 が複数の配線 5 3 7 2 に出力する走査信号と、回路 5 3 6 3 \_\_ 2 が複数の配線 5 3 7 2 に出力する走査信号とは、おおむね等しいタイミングとなる場合が多い。したがって、回路 5 3 6 3 \_\_ 1、及び回路 5 3 6 3 \_\_ 2 が駆動する負荷を小さくすることができる。よって、表示装置を大きくすることができる。または、表示装置を高精細にすることができる。または、回路 5 3 6 3 \_\_ 1、及び回路 5 3 6 3 \_\_ 2 が有するトランジスタのチャンネル幅を小さくすることができるので、狭額縁な表示装置を得ることができる。ただし、これに限定されず、回路 5 3 6 1 は、回路 5 3 6 3 \_\_ 1 と回路 5 3 6 3 \_\_ 2 とに別々の信号を供給することが可能である。

20

【0 2 3 6】

なお、回路 5 3 6 3 \_\_ 1 と回路 5 3 6 3 \_\_ 2 との一方を省略することが可能である。

【0 2 3 7】

なお、画素部 5 3 6 4 には、容量線、電源線、走査線などの配線を新たに配置することが可能である。そして、回路 5 3 6 1 は、これらの配線に信号又は電圧などを出力することが可能である。または、回路 5 3 6 3 \_\_ 1 又は回路 5 3 6 3 \_\_ 2 と同様の回路を新たに追加し、この新たに追加した回路は、新たに追加した配線に走査信号などの信号を出力することが可能である。

30

【0 2 3 8】

なお、画素 5 3 6 7 が表示素子として EL 素子などの発光素子を有することが可能である。この場合、図 2 3 ( B ) に示すように、表示素子が発光することが可能なので、回路 5 3 6 5、及び照明装置 5 3 6 6 は省略されることが可能である。そして、表示素子に電力を供給するために、電源線として機能することが可能な複数の配線 5 3 7 3 を画素部 5 3 6 4 に配置することが可能である。回路 5 3 6 1 は、電圧 ( ANO ) という電源電圧を配線 5 3 7 3 に供給することが可能である。この配線 5 3 7 3 は、画素の色要素別に接続されることが可能であるし、全ての画素に共通して接続されることが可能である。

40

【0 2 3 9】

なお、図 2 3 ( B ) では、一例として、回路 5 3 6 1 は、回路 5 3 6 3 \_\_ 1 と回路 5 3 6 3 \_\_ 2 とに別々の信号を供給する場合の一例を示す。回路 5 3 6 1 は、走査線駆動回路用スタート信号 ( GSP 1 )、走査線駆動回路用クロック信号 ( GCK 1 )、及び反転走査線駆動回路用クロック信号 ( GCKB 1 ) などの信号を回路 5 3 6 3 \_\_ 1 に供給する。そして、回路 5 3 6 1 は、走査線駆動回路用スタート信号 ( GSP 2 )、走査線駆動回路用クロック信号 ( GCK 2 )、及び反転走査線駆動回路用クロック信号 ( GCKB 2 ) など

50

の信号を回路5363\_\_2に供給する。この場合、回路5363\_\_1は、複数の配線5372のうち奇数行目の配線のみを走査し、回路5363\_\_2は、複数の配線5372のうち偶数行目の配線のみを走査することが可能になる。よって、回路5363\_\_1、及び回路5363\_\_2の駆動周波数を小さくできるので、消費電力の低減を図ることができる。または、1段分のフリップフロップをレイアウトすることが可能な面積を大きくすることができる。よって、表示装置を高精細にすることができる。または、表示装置を大型にすることができる。ただし、これに限定されず、図23(A)と同様に、回路5361は、回路5363\_\_1と回路5363\_\_2とに同じ信号を出力することが可能である。

【0240】

なお、図23(B)と同様に、図23(A)においても、回路5361は、回路5363\_\_1と回路5363\_\_2とに別々の信号を供給することが可能である。

10

【0241】

以上、表示装置のシステムブロックの一例について説明した。

【0242】

次に、表示装置の構成の一例について、図24(A)、(B)、(C)、(D)、及び(E)を参照して説明する。

【0243】

図24(A)では、画素部5364に信号を出力する機能を有する回路(例えば、回路5362、回路5363\_\_1、及び回路5363\_\_2など)は、画素部5364と同じ基板5380に形成される。そして、回路5361は、画素部5364とは別の基板に形成される。こうして、外部部品の数が減るので、コストの低減を図ることができる。または、基板5380に入力される信号又は電圧の数が減るので、基板5380と、外部部品との接続数を減らすことができる。よって、信頼性の向上、又は歩留まりの向上を図ることができる。

20

【0244】

なお、回路が画素部5364とは別の基板に形成される場合、当該基板は、TAB(Tape Automated Bonding)方式によってFPC(Flexible Printed Circuit)に実装されることが可能である。または、当該基板は、COG(Chip on Glass)方式によって画素部5364と同じ基板5380に実装することが可能である。

30

【0245】

なお、回路が画素部5364とは別の基板に形成される場合、当該基板には、単結晶半導体を用いたトランジスタを形成することが可能である。したがって、当該基板に形成される回路は、駆動周波数の向上、駆動電圧の向上、出力信号のばらつき低減などのメリットを得ることができる。

【0246】

なお、外部回路からは、入力端子5381を介して信号、電圧、又は電流などが入力される場合が多い。

【0247】

図24(B)では、駆動周波数が低い回路(例えば、回路5363\_\_1、回路5363\_\_2)は、画素部5364と同じ基板5380に形成される。そして、回路5361、及び回路5362は、画素部5364とは別の基板に形成される。こうして、移動度が小さいトランジスタによって、基板5380に形成される回路を構成することが可能になる。よって、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを行うことができる。

40

【0248】

なお、図24(C)に示すように、回路5362の一部(回路5362a)が画素部5364と同じ基板5380に形成され、残りの回路5362(回路5362b)が画素部5364とは別の基板に形成されることが可能である。回路5362aは、移動度が低いト

50

ランジスタによって構成することが可能な回路（例えば、シフトレジスタ、セレクトア、スイッチなど）を有する場合が多い。そして、回路5362bは、移動度が高く、特性ばらつきが小さいトランジスタによって構成することが好ましい回路（例えば、シフトレジスタ、ラッチ回路、パッファ回路、DA変換回路、AD変換回路など）を有する場合が多い。こうすることによって、図24(B)と同様に、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能となり、さらに外部部品の削減を図ることができる。

【0249】

図24(D)では、画素部5364に信号を出力する機能を有する回路（例えば、回路5362、回路5363\_\_1、及び回路5363\_\_2など）、及びこれらの回路を制御する機能を有する回路（例えば、回路5361）は、画素部5364とは別の基板に形成される。こうして、画素部と、その周辺回路とを別々の基板に形成することが可能になるので、歩留まりの向上を図ることができる。

10

【0250】

なお、図24(D)と同様に、図24(A)~(C)においても、回路5363\_\_1、及び回路5363\_\_2を画素部5364とは別の基板に形成することが可能である。

【0251】

図24(E)では、回路5361の一部（回路5361a）が画素部5364と同じ基板5380に形成され、残りの回路5361（回路5361b）が画素部5364とは別の基板に形成される。回路5361aは、移動度が小さいトランジスタによって構成することが可能な回路（例えば、スイッチ、セレクトア、レベルシフト回路など）を有する場合が多い。そして、回路5361bは、移動度が高く、ばらつきが小さいトランジスタを用いて構成することが好ましい回路（例えば、シフトレジスタ、タイミングジェネレータ、オシレータ、レギュレータ、又はアナログパッファなど）を有する場合が多い。

20

【0252】

なお、図24(A)~(D)においても、回路5361aを画素部5364と同じ基板に形成し、回路5361bを画素部5364とは別の基板に形成することが可能である。

【0253】

以上、本実施の形態の表示装置を説明した。回路5363\_\_1、及び回路5363\_\_2として、実施の形態1~実施の形態4の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路5363\_\_1、及び回路5363\_\_2と画素部とが同じ基板に形成されることによって、当該基板に形成される全てのトランジスタの極性をNチャンネル型又はPチャンネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、信頼性の向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性がNチャンネル型である場合には、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、表示装置の大型化、コストの低減、又は歩留まりの向上などを行うことができる。

30

【0254】

なお、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを半導体層として用いるトランジスタは、閾値電圧の増加、又は移動度の低下などの特性劣化を生じる場合が多い。しかし、実施の形態1~実施の形態4の半導体装置又はシフトレジスタは、トランジスタの特性劣化を抑制することができるので、表示装置の寿命を長くすることができる。

40

【0255】

なお、回路5362の一部として、実施の形態1~実施の形態4の半導体装置、又はシフトレジスタを用いることが可能である。例えば、回路5362aは、実施の形態1~実施の形態4の半導体装置、又はシフトレジスタを有することが可能である。

【0256】

(実施の形態6)

本実施の形態では、信号線駆動回路の一例について説明する。なお、信号線駆動回路を半

50

導体装置、又は信号生成回路と示すことが可能である。

【0257】

信号線駆動回路の一例について、図25(A)を参照して説明する。信号線駆動回路は、回路502\_\_1~502\_\_N(Nは自然数)という複数の回路と、回路500と、回路501とを有する。そして、回路502\_\_1~502\_\_Nは、各々、トランジスタ503\_\_1~503\_\_k(kは自然数)という複数のトランジスタを有する。トランジスタ503\_\_1~503\_\_kは、Nチャンネル型であるものとする。ただし、これに限定されず、トランジスタ503\_\_1~503\_\_kは、Pチャンネル型とすることが可能であるし、CMOS型のスイッチとすることが可能である。

【0258】

信号線駆動回路の接続関係について、回路502\_\_1を例にして説明する。トランジスタ503\_\_1~503\_\_kの第1の端子は、配線505\_\_1と接続される。トランジスタ503\_\_1~503\_\_kの第2の端子は、各々、配線S1~Skと接続される。トランジスタ503\_\_1~503\_\_kのゲートは、各々、配線504\_\_1~504\_\_kと接続される。例えば、トランジスタ503\_\_1の第1の端子は、配線505\_\_1と接続され、トランジスタ503\_\_1の第2の端子は、配線S1と接続され、トランジスタ503\_\_1のゲートは、配線504\_\_1と接続される。

【0259】

回路500は、配線504\_\_1~504\_\_kを介して、信号を回路502\_\_1~502\_\_Nに供給する機能を有し、シフトレジスタ、又はデコーダなどとして機能することが可能である。当該信号は、デジタル信号である場合が多く、選択信号として機能することが可能である。そして、配線504\_\_1~504\_\_kは、信号線として機能することが可能である。

【0260】

回路501は、信号を回路502\_\_1~502\_\_Nに出力する機能を有し、ビデオ信号生成回路などとして機能することが可能である。例えば、回路501は、配線505\_\_1を介して信号を回路502\_\_1に供給する。同時に、配線505\_\_2を介して信号を回路502\_\_2に供給する。当該信号は、アナログ信号である場合が多く、ビデオ信号として機能することが可能である。そして、配線505\_\_1~505\_\_Nは、信号線として機能することが可能である。

【0261】

回路502\_\_1~502\_\_Nは、回路501の出力信号を、どの配線に出力するのかを選択する機能を有し、セレクト回路として機能することが可能である。例えば、回路502\_\_1は、回路501が配線505\_\_1に出力する信号を、配線S1~Skのうちどの配線に出力するのかを選択する機能を有する。

【0262】

トランジスタ503\_\_1~503\_\_kは、各々、回路500の出力信号に応じて、配線505\_\_1と、配線S1~Skとの導通状態を制御する機能を有し、スイッチとして機能する。

【0263】

次に、図25(A)の信号線駆動回路の動作について、図25(B)のタイミングチャートを参照して説明する。図25(B)には、配線504\_\_1に入力される信号514\_\_1、配線504\_\_2に入力される信号514\_\_2、配線504\_\_kに入力される信号514\_\_k、配線505\_\_1に入力される信号515\_\_1、及び配線505\_\_2に入力される信号515\_\_2の一例を示す。

【0264】

なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間とは、ある行に属する画素が選択され、当該画素にビデオ信号を書き込むことが可能な期間のことをいう。

【0265】

10

20

30

40

50

なお、1ゲート選択期間は、期間T<sub>0</sub>、期間T<sub>1</sub>、乃至期間T<sub>k</sub>に分割される。期間T<sub>0</sub>は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間として機能することが可能である。期間T<sub>1</sub>～T<sub>k</sub>は、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間として機能することが可能である。

**【0266】**

なお、便宜上、回路502\_\_1の動作を例にして、信号線駆動回路の動作を説明する。

**【0267】**

まず、期間T<sub>0</sub>において、回路500は、配線504\_\_1～504\_\_kにHレベルの信号を出力する。すると、トランジスタ503\_\_1～503\_\_kがオンするので、配線505\_\_1と、配線S<sub>1</sub>～S<sub>k</sub>とが導通状態となる。このとき、回路501は、配線505\_\_1にプリチャージ電圧V<sub>p</sub>を供給しているので、プリチャージ電圧V<sub>p</sub>は、トランジスタ503\_\_1～503\_\_kを介して、配線S<sub>1</sub>～S<sub>k</sub>にそれぞれ出力される。そして、プリチャージ電圧V<sub>p</sub>は、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

10

**【0268】**

次に、期間T<sub>1</sub>において、回路500は、Hレベルの信号を配線504\_\_1に出力する。すると、トランジスタ503\_\_1がオンするので、配線505\_\_1と配線S<sub>1</sub>とが導通状態となる。そして、配線505\_\_1と配線S<sub>2</sub>～S<sub>k</sub>とが非導通状態となる。このとき、回路501は、信号Data(S<sub>1</sub>)を配線505\_\_1に出力しているとする、信号Data(S<sub>1</sub>)は、トランジスタ503\_\_1を介して、配線S<sub>1</sub>に出力される。こうして、信号Data(S<sub>1</sub>)は、配線S<sub>1</sub>と接続される画素のうち、選択された行に属する画素に書き込まれる。

20

**【0269】**

次に、期間T<sub>2</sub>において、回路500は、Hレベルの信号を配線504\_\_2に出力する。すると、トランジスタ503\_\_2がオンするので、配線505\_\_2と配線S<sub>2</sub>とが導通状態となる。そして、配線505\_\_1と配線S<sub>1</sub>とが非導通状態となり、配線505\_\_1と配線S<sub>3</sub>～S<sub>k</sub>とが非導通状態のままとなる。このとき、回路501は、信号Data(S<sub>2</sub>)を配線505\_\_1に出力しているとする、信号Data(S<sub>2</sub>)は、トランジスタ503\_\_2を介して、配線S<sub>2</sub>に出力される。こうして、信号Data(S<sub>2</sub>)は、配線S<sub>2</sub>と接続される画素のうち、選択された行に属する画素に書き込まれる。

30

**【0270】**

その後、期間T<sub>k</sub>まで、回路500は、配線504\_\_1～504\_\_kにHレベルの信号を順に出力するので、期間T<sub>1</sub>及び期間T<sub>2</sub>と同様に、期間T<sub>3</sub>から期間T<sub>k</sub>まで、回路500は、配線504\_\_3～504\_\_kにHレベルの信号を順に出力する。よって、トランジスタ503\_\_3～503\_\_kが順にオンするので、トランジスタ503\_\_1～503\_\_kが順にオンする。したがって、回路501から出力される信号は、配線S<sub>1</sub>～S<sub>k</sub>に順に出力される。こうして、選択された行に属する画素に、信号を順に書き込むことが可能になる。

**【0271】**

以上、信号線駆動回路の一例について説明した。本実施の形態の信号線駆動回路は、セレクトクタとして機能する回路を有するので、信号の数、又は配線の数減らすことができる。または、画素にビデオ信号を書き込む前(期間T<sub>0</sub>)に、プリチャージを行うための電圧を画素に書き込むので、ビデオ信号の書き込み時間を短くすることができる。したがって、表示装置の大型化、表示装置の高精細化を図ることができる。ただし、これに限定されず、期間T<sub>0</sub>を省略し、画素にプリチャージしないことが可能である。

40

**【0272】**

なお、kが大きすぎると、画素への書き込み時間が短くなるので、ビデオ信号の画素への書き込みが時間内に終了しない場合がある。したがって、k=6であることが好ましい。より好ましくはk=3であることが好ましい。さらに好ましくはk=2であることが好ま

50

しい。

【0273】

特に、画素の色要素が $n$  ( $n$ は自然数)個に分割される場合、 $k = n$ とすることが可能である。例えば、画素の色要素が赤(R)と緑(G)と青(B)との三つに分割される場合、 $k = 3$ であることが可能である。この場合、1ゲート選択期間は、期間 $T_0$ 、期間 $T_1$ 、期間 $T_2$ 、期間 $T_3$ に分割される。そして、期間 $T_1$ 、期間 $T_2$ 、期間 $T_3$ では、各々、赤(R)の画素、緑(G)の画素、青(B)の画素にビデオ信号を書き込むことが可能である。ただし、これに限定されず、期間 $T_1$ 、期間 $T_2$ 、期間 $T_3$ の順番は任意に設定することが可能である。

【0274】

特に、画素が $n$  ( $n$ は自然数)個のサブ画素(以下サブピクセル、又は副画素ともいう)に分割される場合、 $k = n$ とすることが可能である。例えば、画素が2個のサブ画素に分割される場合、 $k = 2$ であることが可能である。この場合、1ゲート選択期間は、期間 $T_0$ 、期間 $T_1$ 、期間 $T_2$ に分割される。そして、期間 $T_1$ では、2個のサブ画素の一方にビデオ信号を書き込み、期間 $T_2$ では、2個のサブ画素の他方にビデオ信号を書き込むことが可能である。

【0275】

なお、回路500、及び回路502\_\_1~502\_\_Nの駆動周波数が低い場合が多いので、回路500、及び回路502\_\_1~502\_\_Nは、画素部と同じ基板に形成することが可能である。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、又は信頼性の向上などを図ることができる。さらに、図24(C)のように、走査線駆動回路も画素部と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。

【0276】

なお、回路500として、実施の形態1~実施の形態4の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路500が有する全てのトランジスタの極性をNチャンネル型、又はPチャンネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。

【0277】

なお、回路500だけでなく、回路502\_\_1~502\_\_Nが有する全てのトランジスタの極性もNチャンネル型、又はPチャンネル型とすることが可能である。したがって、回路500、及び回路502\_\_1~502\_\_Nが、画素部と同じ基板に形成される場合、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性をNチャンネル型とすることによって、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることができる。なぜなら、回路500、及び回路502\_\_1~502\_\_Nの駆動周波数は、低い場合が多いからである。

【0278】

(実施の形態7)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

【0279】

図26(A)は、画素の一例を示す。画素5420は、トランジスタ5421、液晶素子5422、及び容量素子5423を有する。そして、トランジスタ5421の第1の端子は、配線5431と接続され、トランジスタ5421の第2の端子は、液晶素子5422の一方の電極及び容量素子5423の一方の電極と接続され、トランジスタ5421のゲートは、配線5432と接続される。液晶素子5422の他方の電極は、電極5434と接続され、容量素子5423の他方の電極は、配線5433と接続される。

【0280】

配線5431には、一例として、ビデオ信号が入力されることが可能である。配線543

10

20

30

40

50

2には、一例として、走査信号、選択信号、又はゲート信号が入力されることが可能である。配線5433には、一例として、一定の電圧が供給されることが可能である。電極5434には、一例として、一定の電圧が供給されることが可能である。ただし、これに限定されず、配線5431にはプリチャージ電圧が供給されることによって、ビデオ信号の書き込み時間を短くすることが可能である。または、配線5433には信号が入力されることによって、液晶素子5422に印加される電圧を制御することが可能である。または、電極5434に信号が入力されることによって、フレーム反転駆動を実現することが可能である。

#### 【0281】

なお、配線5431は、信号線、ビデオ信号線、又はソース線として機能することが可能である。配線5432は、信号線、走査線、又はゲート線として機能することが可能である。配線5433は、電源線、又は容量線として機能することが可能である。電極5434は、共通電極、又は対向電極として機能することが可能である。ただし、これに限定されず、配線5431、配線5432に、電圧が供給される場合、これらの配線は、電源線として機能することが可能である。または、配線5433に信号が入力される場合、配線5433は信号線として機能することが可能である。

10

#### 【0282】

トランジスタ5421は、配線5431と液晶素子5422の一方の電極との導通状態を制御することによって、画素にビデオ信号を書き込むタイミングを制御する機能を有し、スイッチとして機能することが可能である。容量素子5423は、液晶素子5422の一方の電極と、配線5433との間の電位差を保持し、液晶素子5422に印加される電圧を一定に保持する機能を有し、保持容量として機能する。ただし、これに限定されない。

20

#### 【0283】

図26(B)には、図26(A)の画素の動作を説明するためのタイミングチャートの一例を示す。図26(B)には、信号5442<sub>j</sub> (jは自然数)、信号5442<sub>j+1</sub>、信号5441<sub>i</sub> (iは自然数)、信号5441<sub>i+1</sub>、及び電圧5442を示す。そして、図26(B)には、第k (kは自然数)フレームと、第k+1フレームを示す。なお、信号5442<sub>j</sub>、信号5442<sub>j+1</sub>、信号5441<sub>i</sub>、信号5441<sub>i+1</sub>、及び電圧5442は、各々、j行目の配線5432に入力される信号、j+1行目の配線5432に入力される信号、i列目の配線5431に入力される信号、i+1列目の配線5431に入力される信号、配線5432に供給される電圧の一例である。

30

#### 【0284】

j行i列目に属する画素5420の動作について説明する。信号5442<sub>j</sub>がHレベルになると、トランジスタ5421がオンする。よって、i列目の配線5431と液晶素子5422の一方の電極とが導通状態となるので、信号5441<sub>j</sub>がトランジスタ5421を介して液晶素子5422の一方の電極に入力される。そして、容量素子5423は、このときの液晶素子5422の一方の電極の電位と、配線5433の電位との電位差を保持する。よって、その後、再び信号5442<sub>j</sub>がHレベルになるまで、液晶素子5422に印加される電圧は一定となる。そして、液晶素子5422は、印加される電圧に応じた階調を表現する。

40

#### 【0285】

なお、図26(B)には、正極性の信号と負極性の信号とが、1行選択期間毎に交互に配線5431に入力される場合の一例を示す。正極性の信号とは、電位が基準の値(例えば電極5434の電位)よりも高い信号のことであり、負極性の信号とは、電位が基準の値(例えば電極5434の電位)よりも低い信号のことである。ただし、これに限定されず、配線5431に入力される信号は、1フレーム期間中、同じ極性であることが可能である。

#### 【0286】

なお、図26(B)には、信号5441<sub>i</sub>の極性と信号5441<sub>i+1</sub>の極性とが互いに異なる場合の一例を示す。ただし、これに限定されず、信号5441<sub>i</sub>の極性と

50

信号 5 4 4 1  $\_i + 1$  の極性とは同じであることが可能である。

【0287】

なお、図 2 6 ( B ) には、信号 5 4 4 2  $\_j$  が H レベルとなる期間と、信号 5 4 4 2  $\_j + 1$  が H レベルになる期間とは、重ならない場合の一例を示した。ただし、これに限定されず、図 2 6 ( C ) に示すように、信号 5 4 4 2  $\_j$  が H レベルとなる期間と、信号 5 4 4 2  $\_j + 1$  が H レベルになる期間とは重なることが可能である。この場合、配線 5 4 3 1 には、1 フレーム期間中、同じ極性の信号が供給されることが好ましい。こうすることによって、 $j$  行目の画素へ書き込まれる信号 5 4 4 1  $\_j$  を用いて、 $j + 1$  行目の画素をプリチャージすることができる。こうして、画素へのビデオ信号の書き込み時間を短くすることができる。よって、表示装置を高精細にすることができる。または、表示装置の表示部を大きくすることができる。または、1 フレーム期間において、配線 5 4 3 1 に同じ極性の信号が入力されるので、消費電力を削減することができる。

10

【0288】

なお、図 2 7 ( A ) の画素構成と、図 2 6 ( C ) のタイミングチャートとを組み合わせることによって、ドット反転駆動を実現することができる。図 2 7 ( A ) の画素構成では、画素 5 4 2 0 (  $i, j$  ) は、配線 5 4 3 1  $\_i$  と接続される。一方、画素 5 4 2 0 (  $i, j + 1$  ) は、配線 5 4 3 1  $\_i + 1$  と接続される。つまり、 $i$  列目に属する画素は、1 行ずつ交互に、配線 5 4 3 1  $\_i$  と、配線 5 4 3 1  $\_i + 1$  と接続される。こうして、 $i$  列目に属する画素は、1 行ずつ交互に、正極性の信号と負極性の信号とが書き込まれるので、ドット反転駆動を実現することができる。ただし、これに限定されず、 $i$  列目に属する画素は、複数行 (例えば 2 行又は 3 行) ずつ交互に、配線 5 4 3 1  $\_i$  と、配線 5 4 3 1  $\_i + 1$  と接続されることが可能である。

20

【0289】

なお、画素構成としては、サブピクセル構造を用いることが可能である。図 2 7 ( B )、及び ( C ) には、画素を二つのサブ画素に分割する場合の構成を示す。そして、図 2 7 ( B ) には、1 S + 2 G と呼ばれるサブピクセル構造を示し、図 2 7 ( C ) には、2 S + 1 G と呼ばれるサブピクセル構造を示す。サブ画素 5 4 2 0 A 及びサブ画素 5 4 2 0 B は、画素 5 4 2 0 に対応する。トランジスタ 5 4 2 1 A 及びトランジスタ 5 4 2 1 B は、トランジスタ 5 4 2 1 に対応する。液晶素子 5 4 2 2 A 及び液晶素子 5 4 2 2 B は、液晶素子 5 4 2 2 に対応する。容量素子 5 4 2 3 A 及び容量素子 5 4 2 3 B は、容量素子 5 4 2 3 に対応する。配線 5 4 3 1 A 及び配線 5 4 3 1 B は、配線 5 4 3 1 に対応する。配線 5 4 3 2 A 及び配線 5 4 3 2 B は、配線 5 4 3 2 に対応する。

30

【0290】

以上、本実施の形態の画素構成、及び画素の駆動方法について説明した。本実施の形態の画素と、実施の形態 1 ~ 実施の形態 6 の半導体装置、シフトレジスタ、表示装置、又は信号線駆動回路とを組み合わせることによって、様々なメリットを得ることができる。例えば、画素として、サブピクセル構造を用いる場合、表示装置を駆動するために必要な信号の数が増えてしまう。このため、ゲート線の数、又はソース線の数が増えてしまう。この結果、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。しかし、ゲート線の数が増えても、実施の形態 5 に示すように、走査線駆動回路を画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。または、ソース線の数が増えても、実施の形態 6 の信号線駆動回路を画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。

40

【0291】

または、容量線に信号を入力する場合、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。そこで、容量線に、実施の形態 1 ~ 実施の形態 4 の半導体装置又はシフトレジスタを用いて信号を供給することが可能である。そして、実施の形態 1 ~ 実施の形態 4 の半導体装置又はシフトレジスタは、画素部と同じ基板に形成する

50

ことが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、容量線に信号を入力することができる。

【0292】

または、交流駆動を用いる場合、画素へのビデオ信号の書き込み時間が短くなってしまふ。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。同様に、サブピクセル構造の画素を用いる場合、画素へのビデオ信号の書き込み時間が短くなる。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。そこで、実施の形態6の信号線駆動回路を用いて、画素にビデオ信号を書き込むことが可能である。この場合、画素にビデオ信号を書き込む前に、画素にプリチャージ用の電圧を書き込むので、短い時間で画素にビデオ信号を書き込むことができる。または、図21 (B)に示すように、ある行が選択される期間と、別の行が選択される期間とを重ねることによって、別の行のビデオ信号をプリチャージ用の電圧として用いることが可能である。

10

【0293】

(実施の形態8)

本実施の形態では、表示装置の断面構造の一例について、図29(A)、(B)、及び(C)を参照して説明する。

【0294】

図29(A)は、表示装置の上面図の一例である。基板5391に、駆動回路5392と画素部5393とが形成されている。駆動回路5392の一例としては、走査線駆動回路、又は信号線駆動回路などがある。

20

【0295】

図29(B)には、図29(A)のA-B断面の一例を示す。そして、図29(B)には、基板5400と、基板5400の上に形成される導電層5401と、導電層5401を覆うように形成される絶縁層5402と、導電層5401及び絶縁層5402の上に形成される半導体層5403aと、半導体層5403aの上に形成される半導体層5403bと、半導体層5403bの上及び絶縁層5402の上に形成される導電層5404と、絶縁層5402の上及び導電層5404の上に形成され、開口部を有する絶縁層5405と、絶縁層5405の上及び絶縁層5405の開口部に形成される導電層5406と、絶縁層5405の上及び導電層5406の上に配置される絶縁層5408と、絶縁層5405の上に形成される液晶層5407と、液晶層5407の上及び絶縁層5408の上に形成される導電層5409と、導電層5409の上に形成される基板5410とを示す。

30

【0296】

導電層5401は、ゲート電極として機能することが可能である。絶縁層5402は、ゲート絶縁膜として機能することが可能である。導電層5404は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。絶縁層5405は、層間膜、又は平坦化膜として機能することが可能である。導電層5406は、配線、画素電極、又は反射電極として機能することが可能である。絶縁層5408は、シール材として機能することが可能である。導電層5409は、対向電極、又は共通電極として機能することが可能である。

40

【0297】

ここで、駆動回路5392と、導電層5409との間には、寄生容量が生じることがある。この結果、駆動回路5392の出力信号又は各ノードの電位に、なまり又は遅延などが生じてしまう。または、消費電力が大きくなってしまふ。しかし、図29(B)に示すように、駆動回路5392の上に、シール材として機能することが可能な絶縁層5408を形成することによって、駆動回路5392と、導電層5409との間に生じる寄生容量を低減することができる。なぜなら、シール材の誘電率は、液晶層の誘電率よりも低い場合が多いからである。したがって、駆動回路5392の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。または、駆動回路5392の消費電力を低減することができる。

50

## 【0298】

なお、図29(C)に示すように、駆動回路5392の一部の上に、シール材として機能することが可能な絶縁層5408が形成されることが可能である。このような場合でも、駆動回路5392と、導電層5409との間に生じる寄生容量を低減することができるので、駆動回路5392の出力信号又は各ノードの電位のなまり又は遅延を低減することができる。ただし、これに限定されず、駆動回路5392の上に、シール材として機能することが可能な絶縁層5408が形成されていないことが可能である。

## 【0299】

なお、表示素子は、液晶素子に限定されず、EL素子、又は電気泳動素子などの様々な表示素子を用いることが可能である。

10

## 【0300】

以上、本実施の形態では、表示装置の断面構造の一例について説明した。このような構造と、実施の形態1～実施の形態4の半導体装置又はシフトレジスタとを組み合わせることが可能である。例えば、トランジスタの半導体層として、非単結晶半導体、非晶質半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタのチャネル幅が大きくなる場合が多い。しかし、本実施の形態のように、駆動回路の寄生容量を小さくできると、トランジスタのチャネル幅を小さくすることができる。よって、レイアウト面積の縮小を図ることができるので、表示装置を狭額縁にすることができる。または、表示装置を高精細にすることができる。

## 【0301】

(実施の形態9)

本実施の形態では、トランジスタの構造の一例について図30(A)、(B)、及び(C)を参照して説明する。

20

## 【0302】

図30(A)は、トップゲート型のトランジスタの構成の一例である。図30(B)は、ボトムゲート型のトランジスタの構成の一例である。図30(C)は、半導体基板を用いて作製されるトランジスタの構成の一例である。

## 【0303】

図30(A)には、基板5260と、基板5260の上に形成される絶縁層5261と、絶縁層5261の上に形成され、領域5262a、領域5262b、領域5262c、領域5262d、及び5262eを有する半導体層5262と、半導体層5262を覆うように形成される絶縁層5263と、半導体層5262及び絶縁層5263の上に形成される導電層5264と、絶縁層5263及び導電層5264の上に形成され、開口部を有する絶縁層5265と、絶縁層5265の上及び絶縁層5265の開口部に形成される導電層5266と、導電層5266の上及び絶縁層5265の上に形成され、開口部を有する絶縁層5267と、絶縁層5267の上及び絶縁層5267の開口部に形成される導電層5268と、絶縁層5267の上及び導電層5268の上に形成され、開口部を有する絶縁層5269と、絶縁層5269の上及び絶縁層5269の開口部に形成される発光層5270と、絶縁層5269の上及び発光層5270の上に形成される導電層5271とを示す。

30

40

## 【0304】

図30(B)には、基板5300と、基板5300の上に形成される導電層5301と、導電層5301を覆うように形成される絶縁層5302と、導電層5301及び絶縁層5302の上に形成される半導体層5303aと、半導体層5303aの上に形成される半導体層5303bと、半導体層5303bの上及び絶縁層5302の上に形成される導電層5304と、絶縁層5302の上及び導電層5304の上に形成され、開口部を有する絶縁層5305と、絶縁層5305の上及び絶縁層5305の開口部に形成される導電層5306と、絶縁層5305の上及び導電層5306の上に配置される液晶層5307と、液晶層5307の上に形成される導電層5308とを示す。

## 【0305】

50

図30(C)には、領域5353及び領域5355を有する半導体基板5352と、半導体基板5352の上に形成される絶縁層5356と、半導体基板5352の上に形成される絶縁層5354と、絶縁層5356の上に形成される導電層5357と、絶縁層5354、絶縁層5356、及び導電層5357の上に形成され、開口部を有する絶縁層5358と、絶縁層5358の上及び絶縁層5358の開口部に形成される導電層5359とを示す。こうして、領域5350と領域5351とに、各々、トランジスタが作製される。

#### 【0306】

絶縁層5261は、下地膜として機能することが可能である。絶縁層5354は、素子間分離層(例えばフィールド酸化膜)として機能する。絶縁層5263、絶縁層5302、絶縁層5356は、ゲート絶縁膜として機能することが可能である。導電層5264、導電層5301、導電層5357は、ゲート電極として機能することが可能である。絶縁層5265、絶縁層5267、絶縁層5305、及び絶縁層5358は、層間膜、又は平坦化膜として機能することが可能である。導電層5266、導電層5304、及び導電層5359は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。導電層5268、及び導電層5306は、画素電極、又は反射電極などとして機能することが可能である。絶縁層5269は、土手として機能することが可能である。導電層5271、及び導電層5308は、対向電極、又は共通電極などとして機能することが可能である。

10

#### 【0307】

基板5260、及び基板5300の一例としては、ガラス基板、石英基板、シリコン基板(又は単結晶基板)、SOI基板、プラスチック基板、金属基板、ステンレス基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板又は可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム(ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど)、繊維状な材料を含む紙、基材フィルム(ポリエステル、ポリアミド、無機蒸着フィルム、紙類等)などがある。

20

#### 【0308】

半導体基板5352としては、一例として、n型又はp型の導電性を有する単結晶Si基板を用いることが可能である。ただし、これに限定されず、基板5260と同様なものを用いることが可能である。領域5353は、一例として、半導体基板5352に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板5352がp型の導電性を有する場合、領域5353は、n型の導電性を有し、nウェルとして機能する。一方で、半導体基板5352がn型の導電性を有する場合、領域5353は、p型の導電性を有し、pウェルとして機能する。領域5355は、一例として、不純物が半導体基板5352に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板5352に、LDD領域を形成することが可能である。

30

#### 【0309】

絶縁層5261の一例としては、酸化珪素(SiO<sub>x</sub>)、窒化珪素(SiN<sub>x</sub>)、酸化窒化珪素(SiO<sub>x</sub>N<sub>y</sub>)(x>y)、窒化酸化珪素(SiN<sub>x</sub>O<sub>y</sub>)(x>y)などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。絶縁層5261が2層構造で設けられる場合の一例としては、1層目の絶縁膜として窒化珪素膜を設け、2層目の絶縁膜として酸化珪素膜を設けることが可能である。絶縁層5261が3層構造で設けられる場合の一例としては、1層目の絶縁膜として酸化珪素膜を設け、2層目の絶縁膜として窒化珪素膜を設け、3層目の絶縁膜として酸化珪素膜を設けることが可能である。

40

#### 【0310】

半導体層5262、半導体層5303a、及び半導体層5303bの一例としては、非単結晶半導体(非晶質(アモルファス)シリコン、多結晶シリコン、微結晶シリコンなど)

50

、単結晶半導体、化合物半導体若しくは酸化物半導体（ $ZnO$ 、 $InGaZnO$ 、 $SiGe$ 、 $GaAs$ 、 $IZO$ 、 $ITO$ 、 $SnO$ 、 $TiO$ 、 $AlZnSnO$ （ $AZTO$ ））、有機半導体、又はカーボンナノチューブなどがある。

【0311】

なお、例えば、領域5262aは、不純物が半導体層5262に添加されていない真性の状態であり、チャンネル領域として機能する。ただし、領域5262aに微少な不純物を添加することが可能であり、領域5262aに添加される不純物は、領域5262b、領域5262c、領域5262d、又は領域5262eに添加される不純物の濃度よりも低いことが好ましい。領域5262b、及び領域5262dは、低濃度に不純物が添加された領域であり、LDD（Lightly Doped Drain：LDD）領域として機能する。ただし、領域5262b、及び領域5262dを省略することが可能である。領域5262c、及び領域5262eは、高濃度に不純物が半導体層5262に添加された領域であり、ソース領域又はドレイン領域として機能する。

10

【0312】

なお、半導体層5303bは、不純物元素としてリンなどが添加された半導体層であり、n型の導電性を有する。

【0313】

なお、半導体層5303aとして、酸化物半導体、又は化合物半導体が用いられる場合、半導体層5303bを省略することが可能である。

20

【0314】

絶縁層5263、絶縁層5302、及び絶縁層5356の一例としては、酸化珪素（ $SiO_x$ ）、窒化珪素（ $SiN_x$ ）、酸化窒化珪素（ $SiO_xN_y$ ）（ $x > y$ ）、窒化酸化珪素（ $SiN_xO_y$ ）（ $x > y$ ）などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

【0315】

導電層5264、導電層5266、導電層5268、導電層5271、導電層5301、導電層5304、導電層5306、導電層5308、導電層5357、及び導電層5359の一例としては、単層構造の導電膜、又はこれらの積層構造などがある。当該導電膜の一例としては、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジウム（Nd）、クロム（Cr）、ニッケル（Ni）、白金（Pt）、金（Au）、銀（Ag）、銅（Cu）、マンガン（Mn）、コバルト（Co）、ニオブ（Nb）、シリコン（Si）、鉄（Fe）、パラジウム（Pd）、炭素（C）、スカンジウム（Sc）、亜鉛（Zn）、リン（P）、ボロン（B）、ヒ素（As）、ガリウム（Ga）、インジウム（In）、錫（Sn）、酸素（O）、ジルコニウム（Zr）、セリウム（Ce）によって構成される群から選ばれた一つの元素の単体膜、又は、前記群から選ばれた一つ又は複数の元素を含む化合物などがある。当該化合物の一例としては、前記群から選ばれた一つ若しくは複数の元素を含む合金（インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を含むインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、酸化錫（SnO）、酸化錫カドミウム（CTO）、アルミネオジウム（Al-Nd）、アルミタングステン（Al-Ta）、アルミジルコニウム（Al-Zr）、アルミチタン（Al-Ti）、アルミセリウム（Al-Ce）、マグネシウム銀（Mg-Ag）、モリブデンニオブ（Mo-Nb）、モリブデンタングステン（Mo-W）、モリブデンタンタル（Mo-Ta）などの合金材料）、前記群から選ばれた一つ若しくは複数の元素と窒素との化合物（窒化チタン、窒化タンタル、窒化モリブデンなどの窒化膜）、又は、前記群から選ばれた一つ若しくは複数の元素とシリコンとの化合物（タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミシリコン、モリブデンシリコンなどのシリサイド膜）などがある。他にも、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどのナノチューブ材料がある。

30

40

【0316】

50

なお、シリコン (Si) は、n 型不純物 (リンなど)、又は p 型不純物 (ボロンなど) を含むことが可能である。

【0317】

なお、銅が導電層として用いられる場合、密着性を向上させるために積層構造にすることが好ましい。

【0318】

なお、酸化物半導体、又はシリコンと接触する導電層としては、モリブデン又はチタンを用いることが好ましい。

【0319】

なお、導電層としてネオジムとアルミニウムとの合金材料を用いることによって、アルミニウムがヒロックを起こしにくくなる。

10

【0320】

なお、導電層として、シリコンなどの半導体材料を用いる場合、シリコンなどの半導体材料をトランジスタが有する半導体層と同時に形成することが可能である。

【0321】

なお、ITO、IZO、ITSO、ZnO、Si、SnO、CTO、又はカーボンナノチューブなどは、透光性を有しているので、これらの材料を画素電極、対向電極、又は共通電極などの光を透過させる部分に用いることが可能である。

【0322】

なお、低抵抗材料 (例えばアルミニウムなど) を用いて積層構造とすることによって、配線の抵抗を小さくすることができる。

20

【0323】

なお、低耐熱性の材料 (例えばアルミニウムなど) を、高耐熱性の材料 (例えばモリブデン、チタン、ネオジムなど) によって挟む積層構造にすることによって、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることができる。

【0324】

なお、他の材料に反応して性質が変わってしまう材料を、当該他の材料に反応しにくい材料によって挟んだり、覆ったりすることが可能である。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、ネオジム合金、チタン、モリブデンなどを挟むことが可能である。例えば、シリコンとアルミニウムとを接続させる場合は、シリコンとアルミニウムとの間に、ネオジム合金、チタン、モリブデンを挟むことが可能である。

30

なお、これらの材料は、配線、電極、導電層、導電膜、端子、ビア、プラグなどにも用いることが可能である。

【0325】

絶縁層 5265、絶縁層 5267、絶縁層 5269、絶縁層 5305、及び絶縁層 5358 の一例としては、単層構造の絶縁膜、又はこれらの積層構造などがある。当該絶縁膜の一例としては、酸化珪素 (SiO<sub>x</sub>)、窒化珪素 (SiN<sub>x</sub>)、若しくは酸化窒化珪素 (SiO<sub>x</sub>N<sub>y</sub>) (x > y)、窒化酸化珪素 (SiN<sub>x</sub>O<sub>y</sub>) (x > y) 等の酸素若しくは窒素を含む膜、DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

40

【0326】

発光層 5270 の一例としては、有機 EL 素子、又は無機 EL 素子などがある。有機 EL 素子の一例としては、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層など、若しくはこれらの材料のうち複数の材料を混合した層の単層構造、若しくはこれらの積層構造などがある。

【0327】

なお、絶縁層 5305 の上及び導電層 5306 の上には、配向膜として機能する絶縁層、

50

突起部として機能する絶縁層などを形成することが可能である。

【0328】

なお、導電層5308の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層5308の下には、配向膜として機能する絶縁層を形成することが可能である。

【0329】

なお、図30(A)の断面構造において、絶縁層5269、発光層5270、及び導電層5271を省略し、図30(B)に示す液晶層5307、導電層5308を絶縁層5267の上及び導電層5268に形成することが可能である。

【0330】

なお、図30(B)の断面構造において、液晶層5307、導電層5308を省略し、図30(A)に示す絶縁層5269、発光層5270、及び導電層5271を絶縁層5305の上及び導電層5306の上に形成することが可能である。

【0331】

なお、図30(C)の断面構造において、絶縁層5358及び導電層5359の上に、図30(A)に示す絶縁層5269、発光層5270、及び導電層5271を形成することが可能である。あるいは、図30(B)に示す液晶層5307、導電層5308を絶縁層5267の上及び導電層5268に形成することが可能である。

【0332】

以上、本実施の形態では、トランジスタの構造の一例について説明した。本実施の形態のトランジスタは、実施の形態1～実施の形態8に適用することが可能である。特に、図30(B)において、半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタが劣化してしまう場合がある。しかし、実施の形態1～実施の形態8の半導体装置、シフトレジスタ、又は表示装置では、トランジスタの劣化を抑制することができるので有利である。

【0333】

(実施の形態10)

本実施の形態では、シフトレジスタのレイアウト図(以下、上面図ともいう)について説明する。本実施の形態では、一例として、実施の形態4に述べるシフトレジスタのレイアウト図について説明する。なお、本実施の形態において説明する内容は、実施の形態4に述べるシフトレジスタの他にも、実施の形態1～実施の形態9の半導体装置、シフトレジスタ、又は表示装置に適用することが可能である。なお、本実施の形態のレイアウト図は一例であって、これに限定されるものではないことを付記する。

【0334】

本実施の形態のレイアウト図について、図31、及び図32を参照して説明する。図31には、シフトレジスタの一部のレイアウト図の一例を示し、図32には、一例として、フリップフロップ401<sub>i</sub>のレイアウト図を示す。

【0335】

図31、及び図32に示すトランジスタ、又は配線などは、導電層601、半導体層602、導電層603、導電層604、及びコンタクトホール605によって構成される。ただし、これに限定されず、別の導電層、絶縁膜、又は別のコンタクトホールを新たに形成することが可能である。例えば、導電層601と導電層603とを接続するためのコンタクトホールを新たに追加することが可能である。

【0336】

導電層601は、ゲート電極、又は配線として機能する部分を含むことが可能である。半導体層602は、トランジスタの半導体層として機能する部分を含むことが可能である。導電層603は、配線、ソース、又はドレインとして機能する部分を含むことが可能である。導電層604は、透明電極、画素電極、又は配線として機能する部分を含むことが可能である。コンタクトホール605は、導電層601と導電層604とを接続する機能、又は導電層603と導電層604とを接続する機能を有する。

10

20

30

40

50

## 【0337】

図31の一例では、配線412は、開口部611を有し、配線413は、開口部612を有する。このように、配線412、及び配線413が開口部を有することによって、寄生容量を小さくすることができる。または、静電破壊によって生じるトランジスタの破壊を抑制することができる。ただし、これに限定されず、配線416と同様に、開口部611、又は開口部612を省略することが可能である。または、配線416に、配線412又は配線413と同様に、開口部を設けることが可能である。

## 【0338】

図31の一例では、配線412又は配線413と、別の配線との交差部の一部に、開口部を設けることによって、配線の交差容量を低減することができる。したがって、ノイズの低減、又は信号の遅延又はなまりの低減などを図ることができる。

10

## 【0339】

図31の一例では、配線416が有する導電層603の一部の上には、導電層604が形成される。そして、当該導電層604は、コンタクトホール605を介して当該導電層603と接続される。こうして、配線抵抗を小さくすることができるので、電圧降下の減少、又は信号の遅延又はなまりの低減を図ることができる。ただし、これに限定されず、当該導電層604、及び当該コンタクトホール605を省略することが可能である。または、配線416と同様に、配線412、又は配線413においても、導電層603の一部の上に導電層604が形成され、当該導電層604が当該導電層603と接続されることが可能である。

20

## 【0340】

ここで、図31の一例において、配線412の配線幅、配線413の配線幅、及び配線416の配線幅を、各々、配線幅621、配線幅622、幅623と示す。そして、開口部611の幅、開口部611の長さ、開口部612の幅、及び開口部612の長さを、各々、幅624、長さ625、幅626、長さ627と示す。

## 【0341】

配線412、及び配線413に入力される信号は、お互いに反転した信号である場合が多い。よって、配線412の配線抵抗又は寄生容量は、配線413の配線抵抗又は寄生容量とおおむね等しくなるように設定されることが好ましい。したがって、配線412は、配線幅622とおおむね等しい部分を含むことが好ましい。または、開口部611は、開口部612の幅626、又は開口部612の長さ627とおおむね等しい部分を含むことが好ましい。ただし、これに限定されず、配線幅621、配線幅622、開口部611の幅624、開口部611の幅624、開口部611の長さ625、又は開口部612の長さ627は、様々な値に設定することが可能である。例えば、配線412と他の配線との交差容量が、配線413と他の配線との交差容量よりも大きいとする。この場合、配線412の配線抵抗を小さくすることによって、配線412、及び配線413に入力される信号の遅延又はなまりをとおおむね等しくなうように設定することが可能である。このために、配線412は、配線幅622よりも大きい部分を含むことが可能である。または、開口部611は、開口部612の幅626よりも小さい部分を含むことが可能である。または、開口部611は、開口部612の長さ627よりも短い部分を含むことが可能である。一方、配線412と他の配線との交差容量が、配線413と他の配線との交差容量よりも小さい場合は、配線412は、配線幅622よりも小さい部分を含むことが可能である。または、開口部611は、開口部612の幅626よりも大きい部分を含むことが可能である。または、開口部611は、開口部612の長さ627よりも長い部分を含むことが可能である。

30

40

## 【0342】

配線416が開口部を有していない場合、配線416は、配線幅621、又は配線幅622よりも小さい部分を含むことが好ましい。なぜなら、配線416は開口部を有していないので、配線416の配線抵抗が小さいからである。ただし、これに限定されず、配線416は、配線幅621、又は配線幅622よりも大きい部分を含むことが可能である。

50

## 【0343】

図32の一例では、トランジスタ101、トランジスタ102、トランジスタ103、トランジスタ201、トランジスタ202、トランジスタ203、トランジスタ204、トランジスタ301、トランジスタ302、トランジスタ303、トランジスタ304、及び/又は、トランジスタ305において、第2の端子の導電層601と導電層603とが重なる面積は、第1の端子の導電層601と導電層603とが重なる面積よりも小さいことが好ましい。こうすることによって、トランジスタ101のゲート、又は配線401—iのノイズの低減を図ることができる。または、第2の端子への電界の集中を抑制することができるので、トランジスタの劣化、又はトランジスタの破壊を抑制することができる。

10

## 【0344】

以上、シフトレジスタのレイアウト図の一例を説明した。ただし、すでに述べたように、本実施の形態のレイアウト図は一例であり、これに限定されない。

## 【0345】

なお、導電層601と導電層603とが重なる部分には、半導体層602を形成することが可能である。こうすることによって、導電層601と導電層603との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層601と導電層604とが重なる部分には、半導体層602又は導電層603を形成することが可能である。

20

## 【0346】

なお、導電層601の一部の上に導電層604を形成し、当該導電層601は、コンタクトホール605を介して導電層604と接続されることが可能である。こうすることによって、配線抵抗を下げるることができる。または、導電層601の一部の上に導電層603、及び導電層604を形成し、当該導電層601は、コンタクトホール605を介して当該導電層604と接続され、当該導電層603は、別のコンタクトホール605を介して当該導電層604と接続されることが可能である。こうすることによって、配線抵抗をさらに下げることができる。

## 【0347】

なお、導電層603の一部の上に導電層604を形成し、当該導電層603は、コンタクトホール605を介して導電層604と接続されることが可能である。こうすることによって、配線抵抗を下げるることができる。

30

## 【0348】

なお、導電層604の一部の下に導電層601、又は導電層603を形成し、当該導電層604は、コンタクトホール605を介して、当該導電層601、又は当該導電層603と接続されることが可能である。こうすることによって、配線抵抗を下げるることができる。

## 【0349】

なお、実施の形態1で述べたように、トランジスタ101のゲートと第1の端子との間の寄生容量よりも、トランジスタ101のゲートと第2の端子との間の寄生容量を大きくすることが可能である。図32に示すように、トランジスタ101の第1の電極として機能することが可能な導電層603の幅を幅631と示し、トランジスタ101の第2の電極として機能することが可能な導電層603の幅を幅632と示す。そして、幅631は、幅632よりも大きいことが可能である。こうすることによって、実施の形態1で述べたように、トランジスタ101のゲートと第1の端子との間の寄生容量よりも、トランジスタ101のゲートと第2の端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

40

## 【0350】

(実施の形態11)

本実施の形態においては、電子機器の例について説明する。

## 【0351】

50

図 3 3 ( A ) 乃至図 3 3 ( H )、図 3 4 ( A ) 乃至図 3 4 ( D ) は、電子機器を示す図である。これらの電子機器は、筐体 5 0 0 0、表示部 5 0 0 1、スピーカ 5 0 0 3、LED ランプ 5 0 0 4、操作キー 5 0 0 5 ( 操作スイッチ、又は電源スイッチを含む)、接続端子 5 0 0 6、センサ 5 0 0 7 ( 力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に於いて又は赤外線を測定する機能を含むもの)、マイクロフォン 5 0 0 8、等を有することができる。

#### 【 0 3 5 2 】

図 3 3 ( A ) はモバイルコンピュータであり、上述したものの他に、スイッチ 5 0 0 9、赤外線ポート 5 0 1 0、等を有することができる。図 3 3 ( B ) は記録媒体を備えた携帯型の画像再生装置 ( たとえば、DVD 再生装置 ) であり、上述したものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 ( C ) はゴーグル型ディスプレイであり、上述したものの他に、第 2 表示部 5 0 0 2、支持部 5 0 1 2、イヤホン 5 0 1 3、等を有することができる。図 3 3 ( D ) は携帯型遊技機であり、上述したものの他に、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 ( E ) はプロジェクタであり、上述したものの他に、光源 5 0 3 3、投射レンズ 5 0 3 4、等を有することができる。図 3 3 ( F ) は携帯型遊技機であり、上述したものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 ( G ) はテレビ受像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図 3 3 ( H ) は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器 5 0 1 7、等を有することができる。図 3 4 ( A ) はディスプレイであり、上述したものの他に、支持台 5 0 1 8、等を有することができる。図 3 4 ( B ) はカメラであり、上述したものの他に、外部接続ポート 5 0 1 9、シャッターボタン 5 0 1 5、受像部 5 0 1 6、等を有することができる。図 3 4 ( C ) はコンピュータであり、上述したものの他に、ポインティングデバイス 5 0 2 0、外部接続ポート 5 0 1 9、リーダ/ライタ 5 0 2 1、等を有することができる。図 3 4 ( D ) は携帯電話機であり、上述したものの他に、アンテナ 5 0 1 4、携帯電話・移動端末向けの 1 セグメント部分受信サービス用チューナ、等を有することができる。

#### 【 0 3 5 3 】

図 3 3 ( A ) 乃至図 3 3 ( H )、図 3 4 ( A ) 乃至図 3 4 ( D ) に示す電子機器は、様々な機能を有することができる。例えば、様々な情報 ( 静止画、動画、テキスト画像など ) を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア ( プログラム ) によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体 ( 外部又はカメラに内蔵 ) に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図 3 3 ( A ) 乃至図 3 3 ( H )、図 3 4 ( A ) 乃至図 3 4 ( D ) に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

#### 【 0 3 5 4 】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。本実施の形態の電子機器と、実施の形態 1 ~ 実施の形態 9 の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、信頼性の向上、歩留まりの向上、コストの削減、表示部の大型化、表示部の高精細化などを図ることができる。

## 【 0 3 5 5 】

次に、半導体装置の応用例を説明する。

## 【 0 3 5 6 】

図 3 4 ( E ) に、半導体装置を、建造物と一体にして設けた例について示す。図 3 4 ( E ) は、筐体 5 0 2 2、表示部 5 0 2 3、操作部であるリモコン装置 5 0 2 4、スピーカ 5 0 2 5 等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

## 【 0 3 5 7 】

図 3 4 ( F ) に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル 5 0 2 6 は、ユニットバス 5 0 2 7 と一体に取り付けられており、入浴者は表示パネル 5 0 2 6 の視聴が可能になる。

10

## 【 0 3 5 8 】

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

## 【 0 3 5 9 】

次に、半導体装置を、移動体と一体にして設けた例について示す。

## 【 0 3 6 0 】

図 3 4 ( G ) は、半導体装置を、自動車に設けた例について示した図である。表示パネル 5 0 2 8 は、自動車の車体 5 0 2 9 に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

20

## 【 0 3 6 1 】

図 3 4 ( H ) は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図 3 4 ( H ) は、旅客用飛行機の座席上部の天井 5 0 3 0 に表示パネル 5 0 3 1 を設けたときの、使用時の形状について示した図である。表示パネル 5 0 3 1 は、天井 5 0 3 0 とヒンジ部 5 0 3 2 を介して一体に取り付けられており、ヒンジ部 5 0 3 2 の伸縮により乗客は表示パネル 5 0 3 1 の視聴が可能になる。表示パネル 5 0 3 1 は乗客が操作することで情報を表示する機能を有する。

## 【 0 3 6 2 】

なお、本実施の形態において、移動体としては自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

30

## 【 符号の説明 】

## 【 0 3 6 3 】

1 0 0 回路

1 0 1 トランジスタ

1 0 2 トランジスタ

1 0 3 トランジスタ

1 0 4 回路

1 0 5 回路

1 0 6 回路

1 1 1 配線

1 1 2 配線

1 1 3 配線

1 1 4 配線

1 1 5 配線

1 1 6 配線

1 1 7 配線

1 1 8 配線

1 2 1 容量素子

40

50

1 2 2	トランジスタ	
2 0 1	トランジスタ	
2 0 2	トランジスタ	
2 0 3	トランジスタ	
2 0 4	トランジスタ	
2 2 1	容量素子	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	トランジスタ	
3 0 4	トランジスタ	10
3 0 5	トランジスタ	
3 0 6	トランジスタ	
3 0 7	トランジスタ	
4 0 0	シフトレジスタ	
4 0 1	フリップフロップ	
4 1 1	配線	
4 1 2	配線	
4 1 3	配線	
4 1 4	配線	
4 1 5	配線	20
4 1 6	配線	
4 1 7	配線	
4 2 0	回路	
4 2 1	回路	
4 2 2	回路	
4 3 1	トランジスタ	
5 0 0	回路	
5 0 1	回路	
5 0 2	回路	
5 0 3	トランジスタ	30
5 0 4	配線	
5 0 5	配線	
5 1 4	信号	
5 1 5	信号	
5 4 0	画素	
6 0 1	導電層	
6 0 2	半導体層	
6 0 3	導電層	
6 0 4	導電層	
6 0 5	コンタクトホール	40
6 1 1	開口部	
6 1 2	開口部	
6 2 1	配線幅	
6 2 2	配線幅	
6 2 3	幅	
6 2 4	幅	
6 2 6	幅	
6 3 1	幅	
6 3 2	幅	
1 0 1 p	トランジスタ	50

1 0 2 a	ダイオード	
1 0 2 p	トランジスタ	
1 0 3 a	ダイオード	
1 0 3 p	トランジスタ	
1 0 4 a	端子	
1 0 4 b	端子	
1 0 4 c	端子	
1 0 4 d	端子	
1 0 5 a	端子	
1 0 5 b	端子	10
1 0 5 c	端子	
1 0 5 d	端子	
1 0 5 e	端子	
1 0 5 f	端子	
1 0 5 g	端子	
1 1 1 A	配線	
1 1 2 A	配線	
1 1 2 B	配線	
1 1 2 C	配線	
1 1 2 D	配線	20
1 1 3 A	配線	
1 1 3 B	配線	
1 1 4 A	配線	
1 1 4 B	配線	
1 1 5 A	配線	
1 1 5 B	配線	
1 1 6 A	配線	
1 1 6 B	配線	
1 1 6 C	配線	
1 1 6 D	配線	30
1 1 6 E	配線	
1 1 6 F	配線	
1 1 6 G	配線	
1 1 6 H	配線	
1 1 6 I	配線	
2 0 1 p	トランジスタ	
2 0 2 a	ダイオード	
2 0 2 p	トランジスタ	
2 0 3 a	ダイオード	
2 0 3 p	トランジスタ	40
2 0 4 p	トランジスタ	
3 0 1 p	トランジスタ	
3 0 2 p	トランジスタ	
3 0 3 0	トランジスタ	
3 0 3 a	ダイオード	
3 0 3 p	トランジスタ	
3 0 4 a	ダイオード	
3 0 4 p	トランジスタ	
3 0 5 a	ダイオード	
3 0 5 p	トランジスタ	50

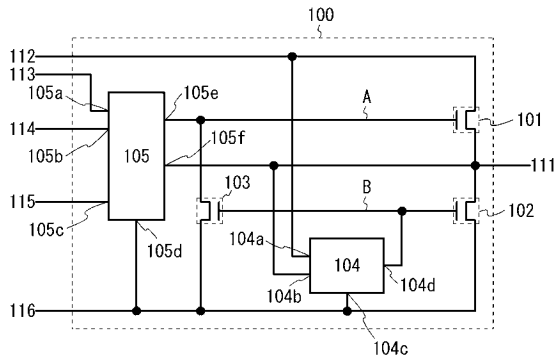
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E Dランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	10
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	20
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ/ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	30
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 2 6 0	基板	
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 3	絶縁層	
5 2 6 4	導電層	40
5 2 6 5	絶縁層	
5 2 6 5	絶縁膜	
5 2 6 6	導電層	
5 2 6 7	絶縁層	
5 2 6 8	導電層	
5 2 6 9	絶縁層	
5 2 6 9	絶縁膜	
5 2 7 0	発光層	
5 2 7 1	導電層	
5 2 7 3	絶縁層	50

5 3 0 0	基板	
5 3 0 1	導電層	
5 3 0 2	絶縁層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	
5 3 0 6	導電層	
5 3 0 7	液晶層	
5 3 0 8	導電層	
5 3 2 1	トランジスタ	
5 3 5 0	領域	10
5 3 5 1	領域	
5 3 5 2	半導体基板	
5 3 5 3	領域	
5 3 5 4	絶縁層	
5 3 5 5	領域	
5 3 5 6	絶縁層	
5 3 5 7	導電層	
5 3 5 8	絶縁層	
5 3 5 9	導電層	
5 3 6 0	映像信号	20
5 3 6 1	回路	
5 3 6 2	回路	
5 3 6 2	配線	
5 3 6 3	回路	
5 3 6 4	画素部	
5 3 6 5	回路	
5 3 6 6	照明装置	
5 3 6 7	画素	
5 3 7 1	配線	
5 3 7 2	配線	30
5 3 7 3	配線	
5 3 8 0	基板	
5 3 8 1	入力端子	
5 3 9 1	基板	
5 3 9 2	駆動回路	
5 3 9 3	画素部	
5 4 0 0	基板	
5 4 0 1	導電層	
5 4 0 2	絶縁層	
5 4 0 4	導電層	40
5 4 0 5	絶縁層	
5 4 0 6	導電層	
5 4 0 8	絶縁層	
5 4 0 9	導電層	
5 4 1 0	基板	
5 4 2 0	画素	
5 4 2 1	トランジスタ	
5 4 2 1	配線	
5 4 2 2	液晶素子	
5 4 2 3	容量素子	50

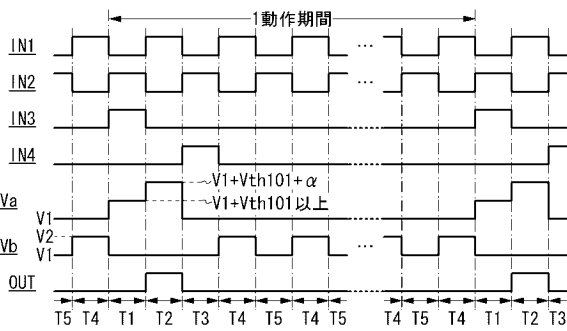
5 4 3 1	配線	
5 4 3 2	配線	
5 4 3 3	配線	
5 4 3 4	電極	
5 4 4 1	信号	
5 4 4 2	信号	
5 2 6 2 a	領域	
5 2 6 2 b	領域	
5 2 6 2 c	領域	
5 2 6 2 d	領域	10
5 2 6 2 e	領域	
5 3 0 3 a	半導体層	
5 3 0 3 b	半導体層	
5 3 6 1 a	回路	
5 3 6 1 b	回路	
5 3 6 2 a	回路	
5 3 6 2 b	回路	
5 4 0 3 a	半導体層	
5 4 0 3 b	半導体層	
5 4 2 0 A	サブ画素	20
5 4 2 0 B	サブ画素	
5 4 2 1 A	トランジスタ	
5 4 2 1 B	トランジスタ	
5 4 2 2 A	液晶素子	
5 4 2 2 B	液晶素子	
5 4 2 3 A	容量素子	
5 4 2 3 B	容量素子	
5 4 3 1 A	配線	
5 4 3 1 B	配線	
5 4 3 2 A	配線	30
5 4 3 2 B	配線	

【図1】

(A)

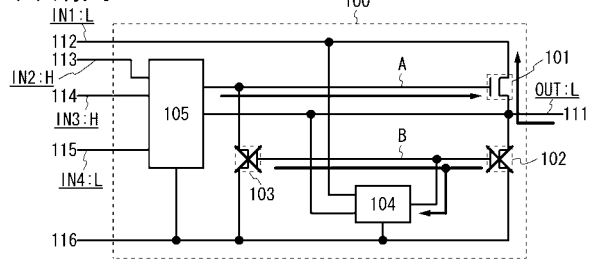


(B)

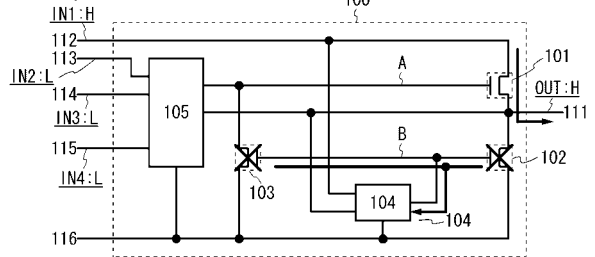


【図2】

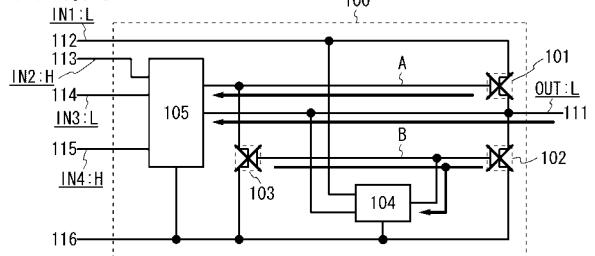
(A) 期間T1



(B) 期間T2

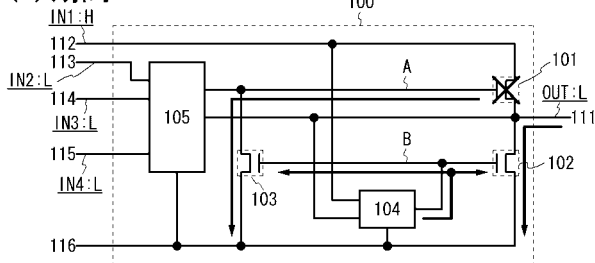


(C) 期間T3

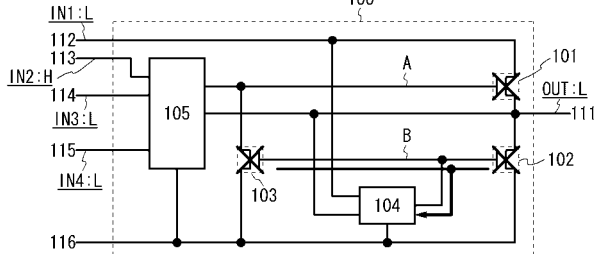


【図3】

(A) 期間T4

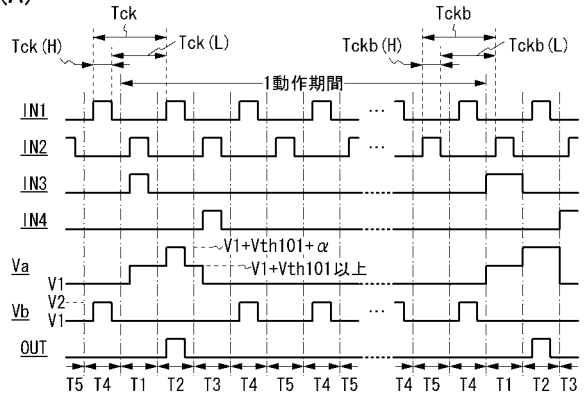


(B) 期間T5

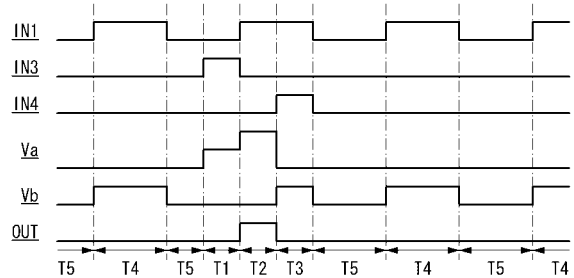


【図4】

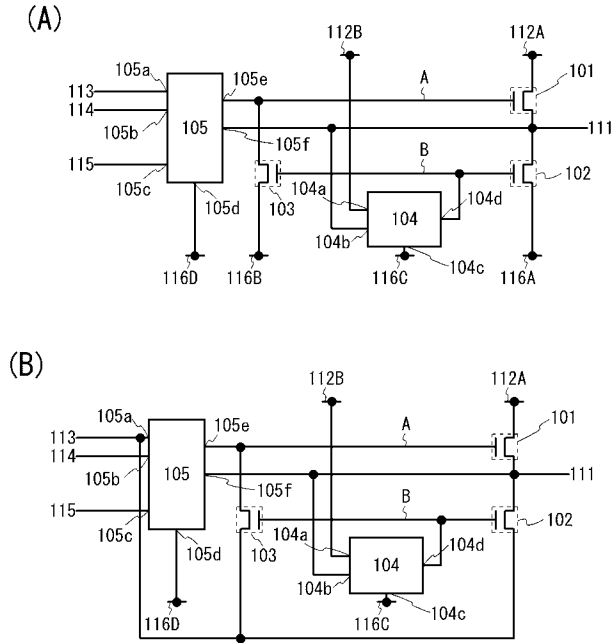
(A)



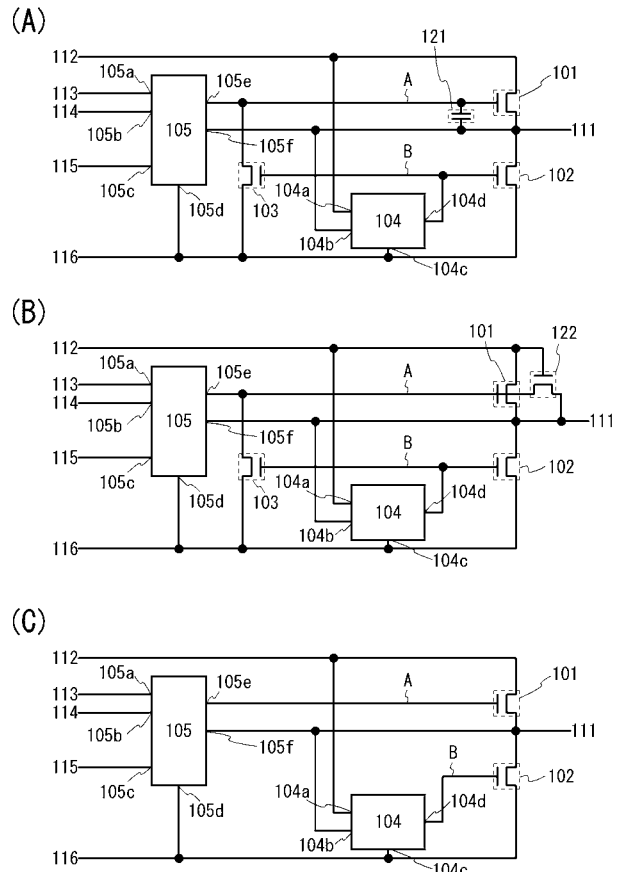
(B)



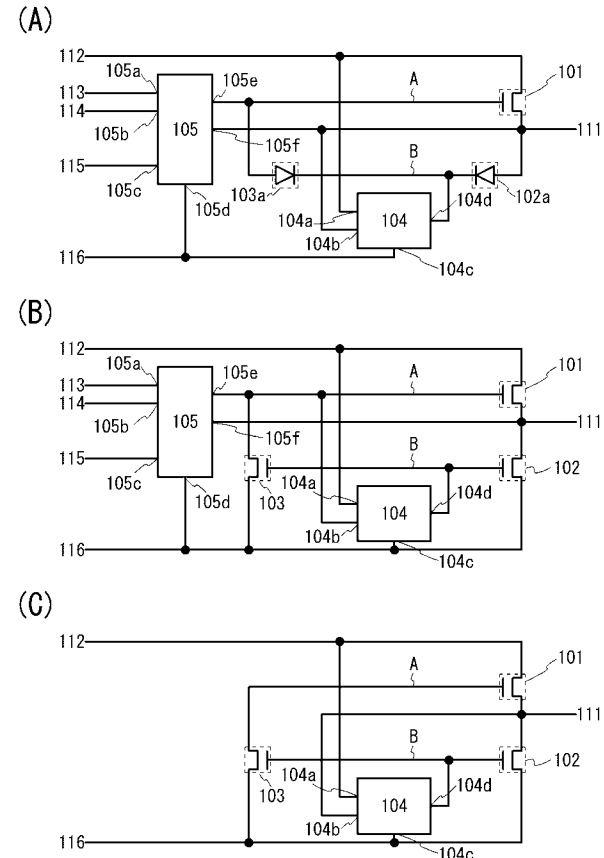
【図 5】



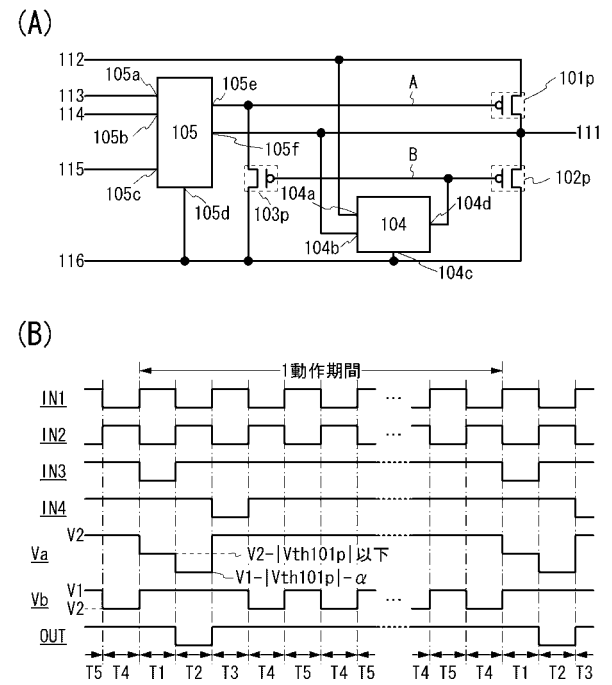
【図 6】



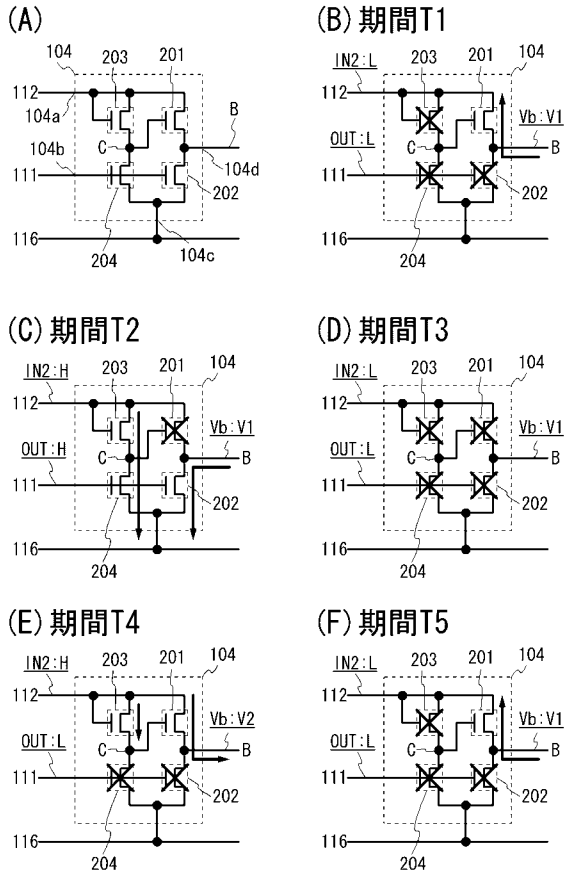
【図 7】



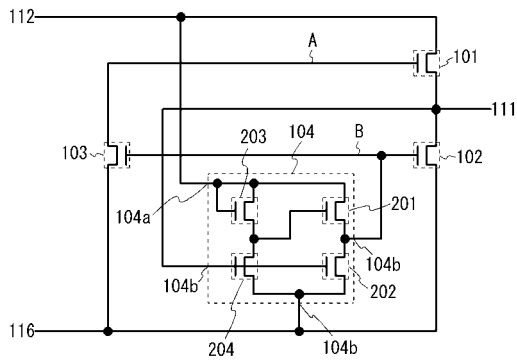
【図 8】



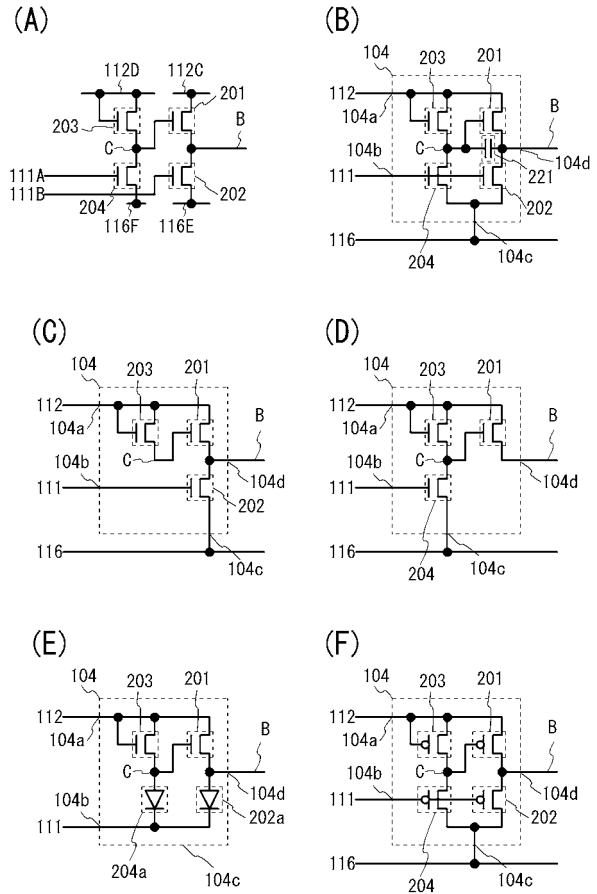
【図 9】



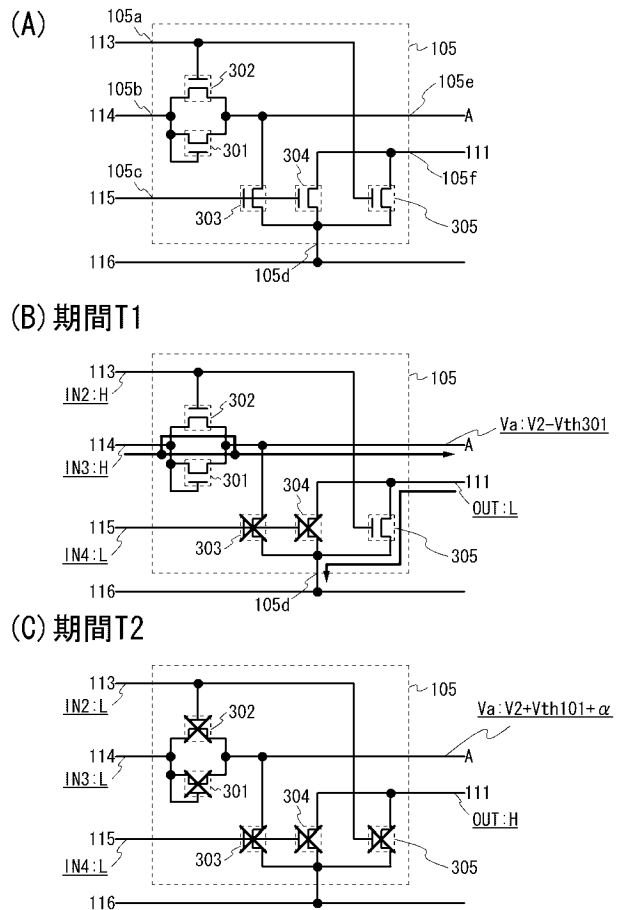
【図 1 1】



【図 1 0】

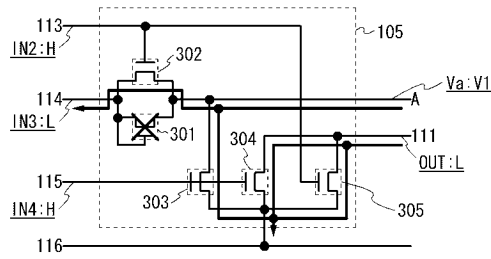


【図 1 2】

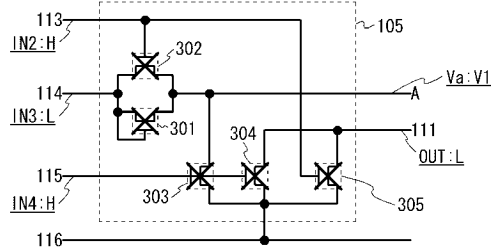


【図13】

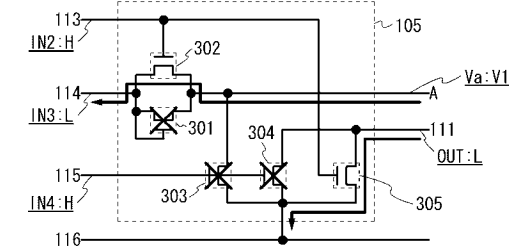
(A) 期間T3



(B) 期間T4

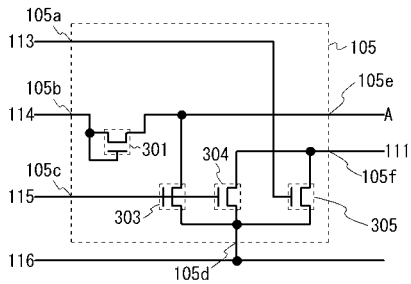


(C) 期間T5

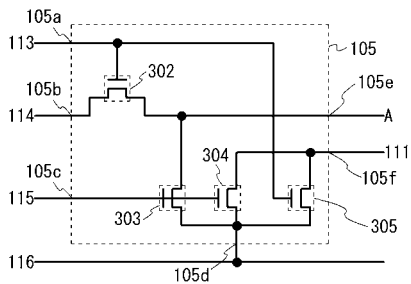


【図15】

(A)

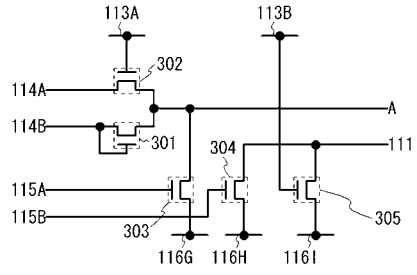


(B)

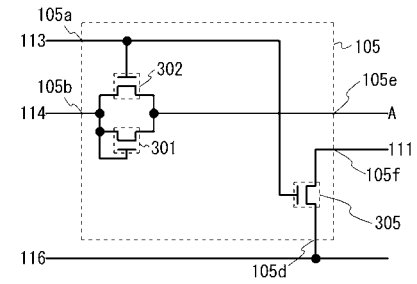


【図14】

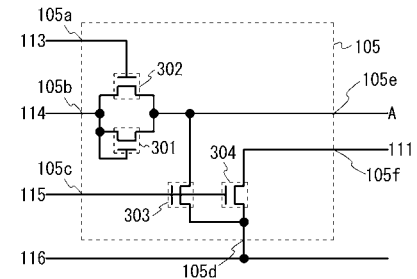
(A)



(B)

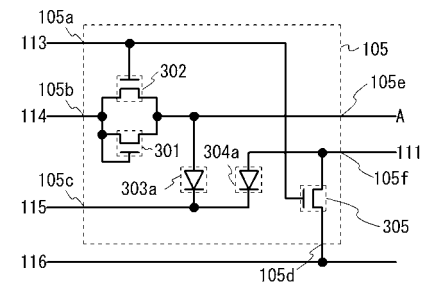


(C)

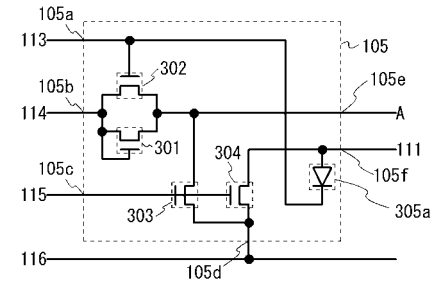


【図16】

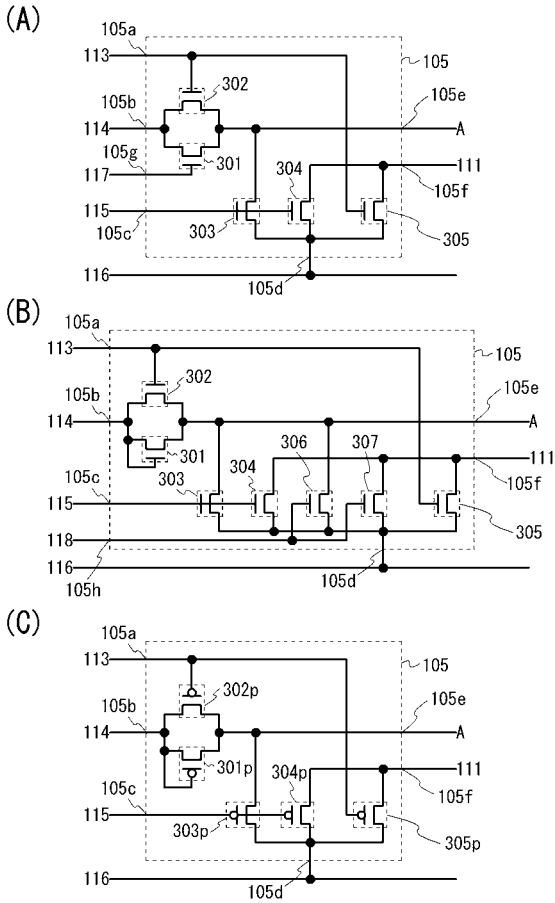
(A)



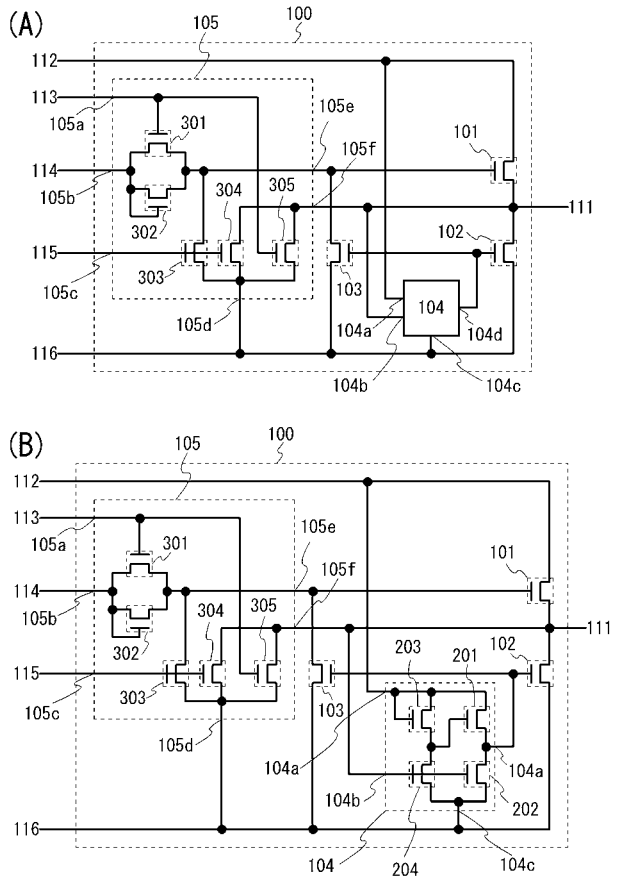
(B)



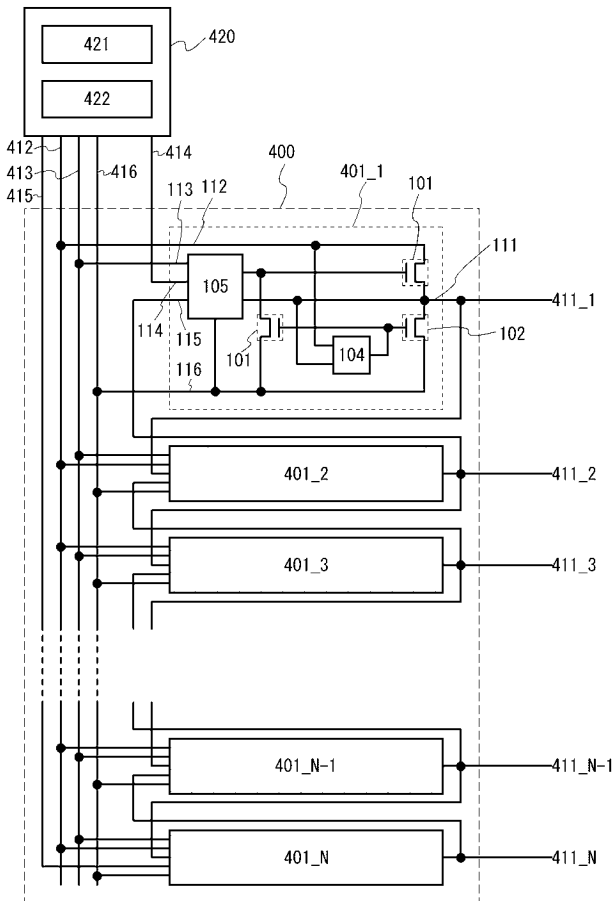
【図 17】



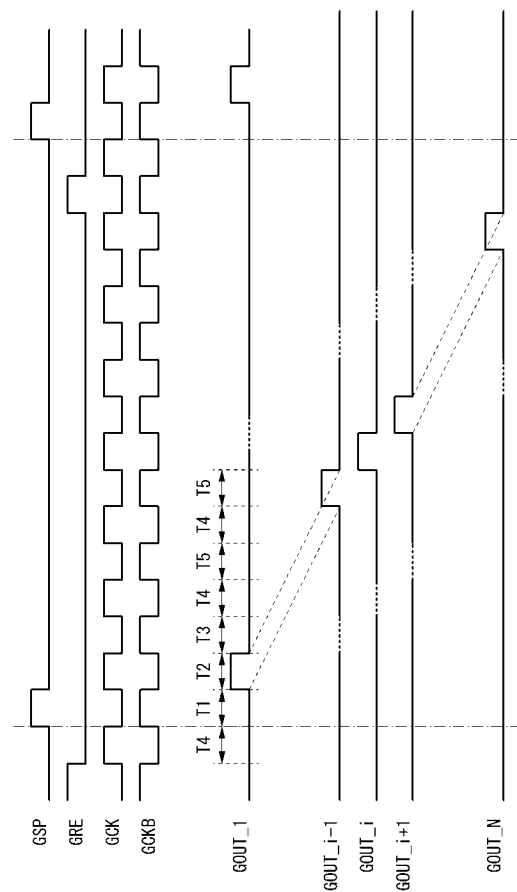
【図 18】



【図 19】



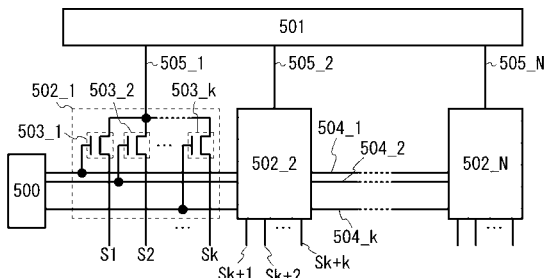
【図 20】



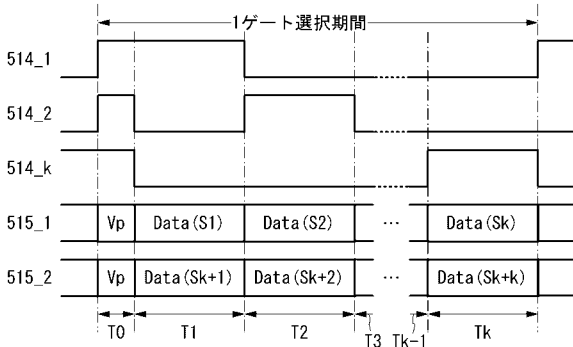


【図 2 5】

(A)

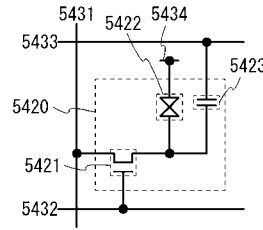


(B)

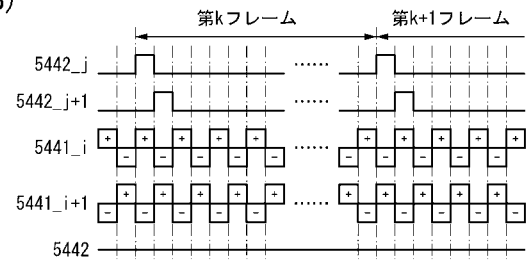


【図 2 6】

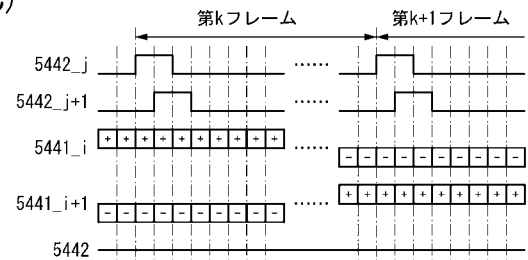
(A)



(B)

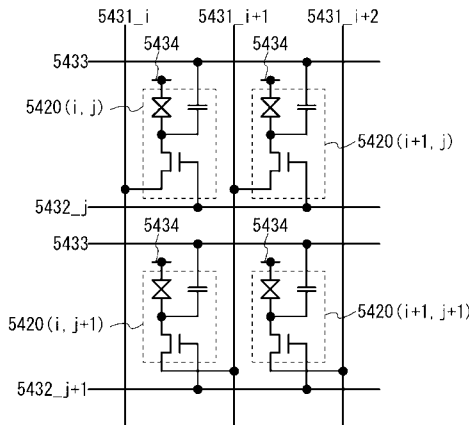


(C)

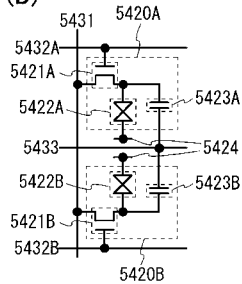


【図 2 7】

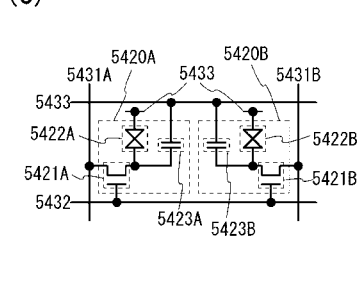
(A)



(B)

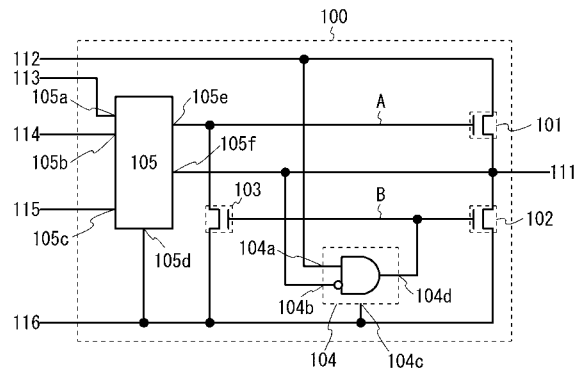


(C)

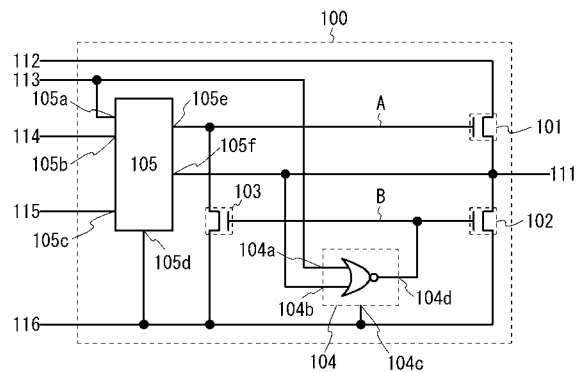


【図 2 8】

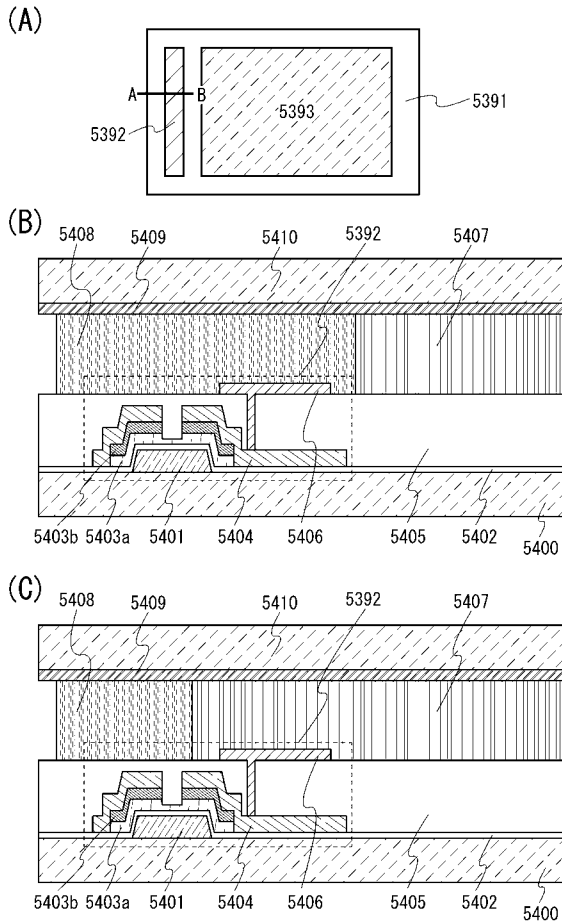
(A)



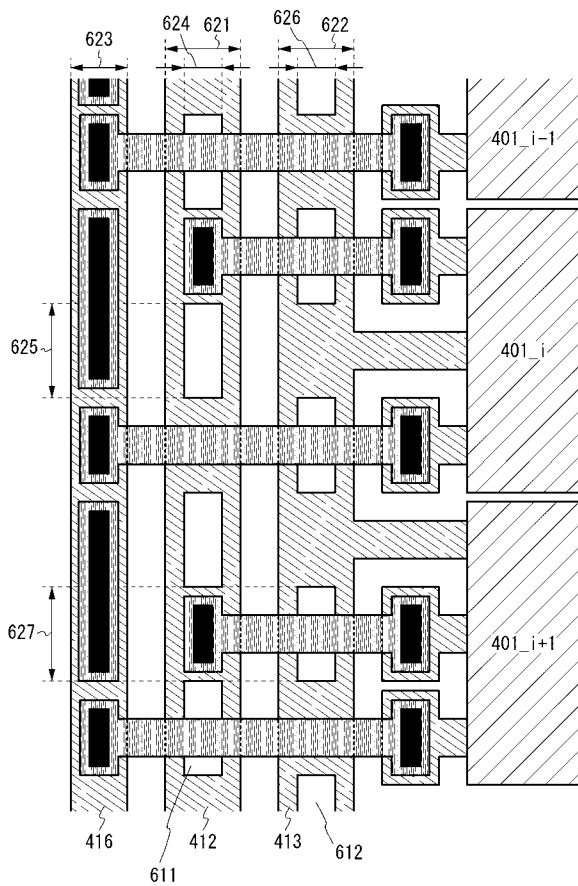
(B)



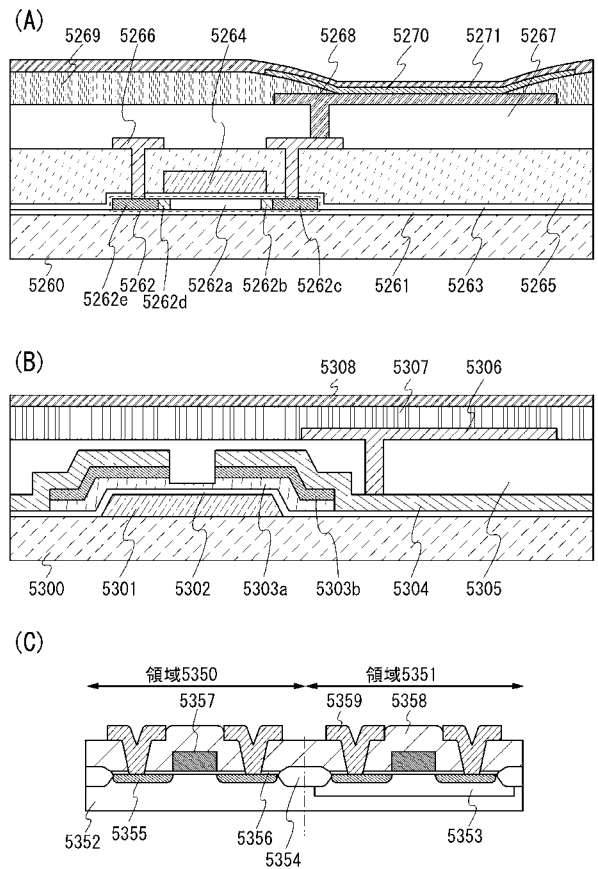
【 図 2 9 】



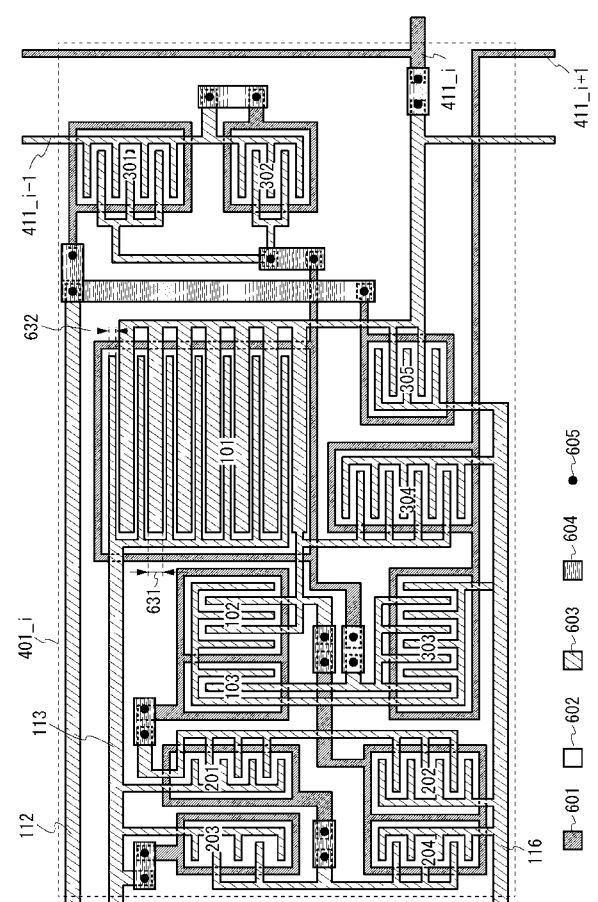
【 図 3 1 】



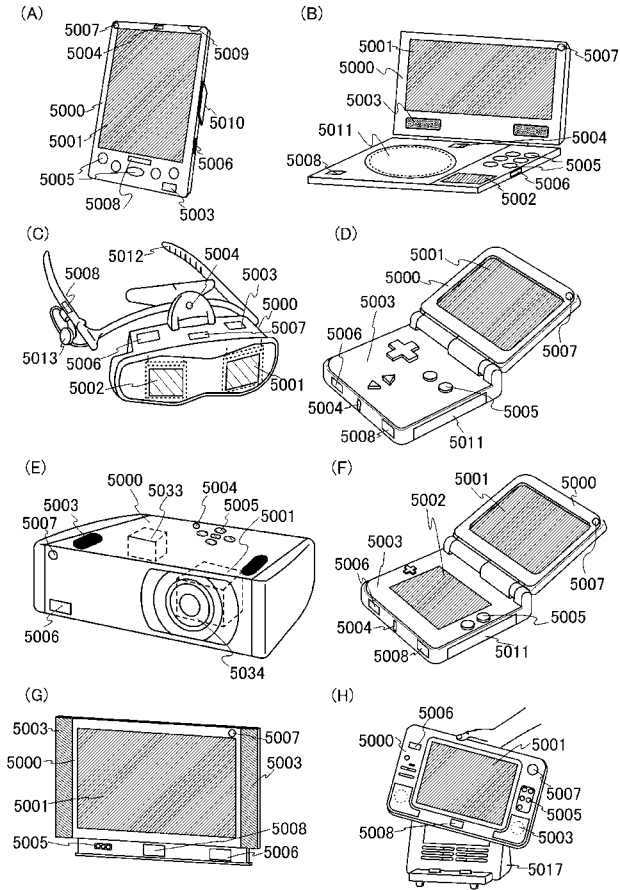
【 図 3 0 】



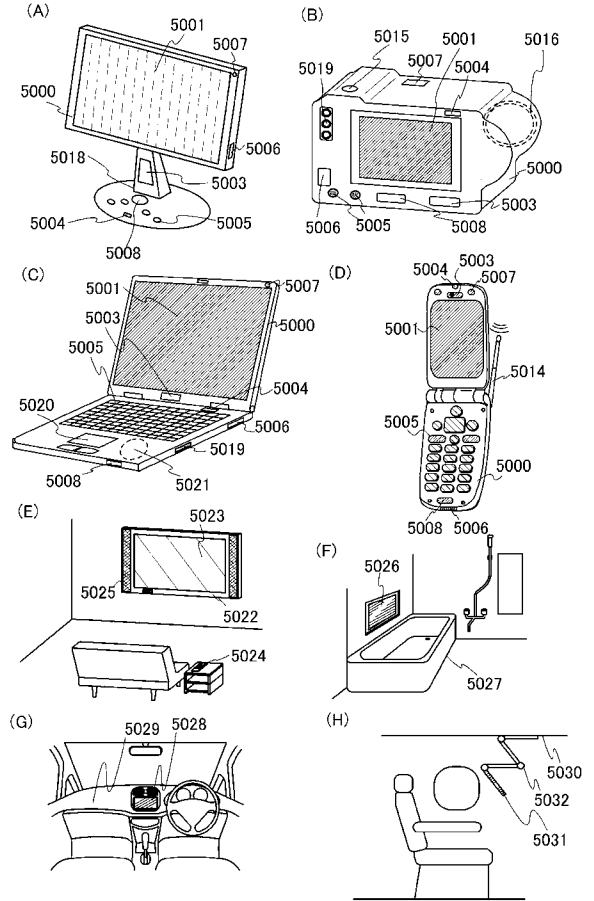
【 図 3 2 】



【図 3 3】



【図 3 4】



---

フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 2 E  
G 0 9 G 3/20 6 7 0 F  
G 0 9 G 3/20 6 7 0 E  
G 0 9 G 3/20 6 1 1 A

Fターム(参考) 5C080 AA06 AA10 AA13 BB05 CC03 DD09 DD12 DD22 DD26 DD27  
DD29 EE01 EE17 FF11 FF12 JJ02 JJ03 JJ04 JJ06 KK02  
KK43 KK47 KK50

专利名称(译)	液晶显示装置和配备有液晶显示装置的电子装置		
公开(公告)号	<a href="#">JP2010186169A</a>	公开(公告)日	2010-08-26
申请号	JP2010003491	申请日	2010-01-11
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	梅崎敦司		
发明人	梅崎 敦司		
IPC分类号	G09G3/36 G02F1/1343 G02F1/1368 G02F1/133 G09G3/20		
CPC分类号	G02F1/13454 G02F1/136286 G02F2001/13606 G02F2201/124 G09G3/3677 G09G3/3688 G09G2300/0408 G09G2300/0417 G09G2310/0286 H01L27/1214 H01L29/7869 H01L2924/0002 H01L29/786 H01L2924/00 G09G3/3406 G09G3/36 G09G3/3648 G09G2230/00 G09G2320/043 G09G2340/0435 G09G3/3674 G11C19/28 H01L23/528		
FI分类号	G09G3/36 G02F1/1343 G02F1/1368 G02F1/133.550 G09G3/20.623.H G09G3/20.622.E G09G3/20.670.F G09G3/20.670.E G09G3/20.611.A G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H092/GA59 2H092/JA26 2H092/JB22 2H092/JB31 2H092/JB64 2H092/JB69 2H193/ZA04 2H193/ZA07 2H193/ZF23 2H193/ZF32 2H193/ZF44 5C006/AA22 5C006/AC09 5C006/AF50 5C006/BB15 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF06 5C006/BF24 5C006/BF26 5C006/BF31 5C006/BF36 5C006/EB04 5C006/EC11 5C006/FA31 5C006/FA33 5C006/FA41 5C006/FA47 5C006/FA51 5C080/AA06 5C080/AA10 5C080/AA13 5C080/BB05 5C080/CC03 5C080/DD09 5C080/DD12 5C080/DD22 5C080/DD26 5C080/DD27 5C080/DD29 5C080/EE01 5C080/EE17 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK43 5C080/KK47 5C080/KK50 2H192/AA23 2H192/AA24 2H192/BC23 2H192/BC24 2H192/BC31 2H192/BC61 2H192/CA02 2H192/CA03 2H192/CB03 2H192/CB06 2H192/CB08 2H192/CB13 2H192/CB24 2H192/CB36 2H192/CB37 2H192/CB83 2H192/CC07 2H192/CC33 2H192/CC73 2H192/DA12 2H192/DA72 2H192/EA22 2H192/EA43 2H192/EA67 2H192/EA76 2H192/FA44 2H192/FA73 2H192/FB03 2H192/FB05 2H192/FB22 2H192/GA31 2H192/GD03 2H192/GD06 2H192/GD61 2H192/JB02 5B074/AA02 5B074/AA03 5B074/AA10 5B074/CA01 5B074/DB01		
优先权	2009007419 2009-01-16 JP		
其他公开文献	JP5634070B2 JP2010186169A5		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

种类代码：A1本发明的一个实施例的目的是抑制上拉晶体管的栅极电位的降低。在包括在驱动电路中的第一晶体管中，第一端子电连接到第二布线，第二端子电连接到第一布线，栅极电连接到第二布线并且第一晶体管电连接到第三晶体管的第一端子，第一端子电连接到第一布线，第二端子电连接到第六布线栅极电连接到第一电路和第三晶体管的栅极，第三晶体管的第三端子电连接到第六布线，第三晶体管的栅极电连接到第三晶体管的栅极，1电路电连接到第三布线，第四布线，第五布线和第六布线，第二电路电连接到第一布线，第二布线和第六布线图6的电连接彼此电连接。点域1

(A)

