

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-152347

(P2010-152347A)

(43) 公開日 平成22年7月8日 (2010. 7. 8)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H193
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 621M	3K107
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 680G	5C006
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 622E	5C080
	G09G 3/20 670J	
審査請求 未請求 請求項の数 7 O L (全 75 頁) 最終頁に続く		

(21) 出願番号	特願2009-265806 (P2009-265806)	(71) 出願人	000153878
(22) 出願日	平成21年11月23日 (2009. 11. 23)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2008-304124 (P2008-304124)		神奈川県厚木市長谷398番地
(32) 優先日	平成20年11月28日 (2008. 11. 28)	(72) 発明者	梅崎 敦司
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		Fターム (参考)	2H193 ZA04 ZA07 ZA20 ZB02 ZB03 ZB14 ZC04 ZC07 ZC13 ZC14 ZC16 ZC25 ZF23 ZF44 ZQ11 ZQ16 3K107 AA01 BB01 CC14 CC21 CC29 CC31 CC43 CC45 EE03 EE59 HH04
		最終頁に続く	

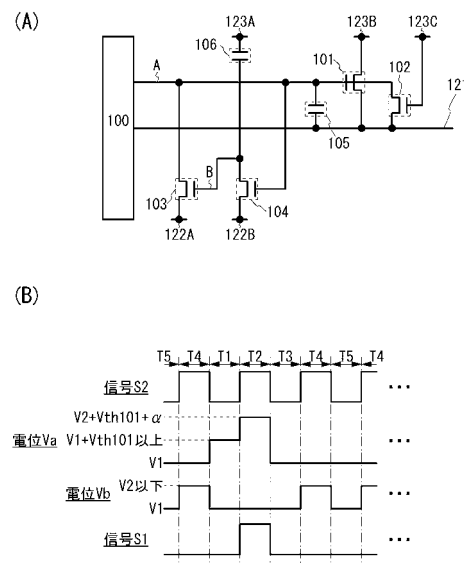
(54) 【発明の名称】 液晶表示装置、および液晶表示装置を具備した電子機器

## (57) 【要約】

【課題】容量素子と接続されるトランジスタの数を減らすことを課題とする。

【解決手段】容量素子と、一つのトランジスタとを有し、容量素子の一方の電極は配線と接続され、容量素子の他方の電極はトランジスタのゲートと接続される構成とする。当該配線には、クロック信号が入力されるので、クロック信号は容量素子を介してトランジスタのゲートに入力される。そして、トランジスタの導通状態は、クロック信号に同期した信号によって制御され、トランジスタはオンになる期間とオフになる期間とを繰り返す。こうして、トランジスタの劣化を抑制することができる。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

駆動回路と、画素とを有し、

前記画素は、液晶素子を有し、

前記駆動回路は、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、及び容量素子を有し、

前記第 1 のトランジスタの第 1 の端子は、第 1 の配線と電氣的に接続され、前記第 1 のトランジスタの第 2 の端子は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、前記第 2 の配線と電氣的に接続され、前記第 2 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタの第 1 の端子は、第 3 の配線と電氣的に接続され、前記第 3 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタの第 1 の端子は、前記第 3 の配線と電氣的に接続され、前記第 4 のトランジスタの第 2 の端子は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の一方の電極は、前記第 1 の配線と電氣的に接続され、前記容量素子の他方の電極は、前記第 3 のトランジスタのゲートと電氣的に接続されることを特徴とする液晶表示装置。

## 【請求項 2】

請求項 1 において、

前記駆動回路は、前記画素が有するトランジスタと同じ基板上に形成されることを特徴とする液晶表示装置。

## 【請求項 3】

請求項 1 又は請求項 2 において、

前記第 1 のトランジスタのチャネル幅は、前記第 2 のトランジスタ乃至第 4 のトランジスタのチャネル幅よりも大きいことを特徴とする液晶表示装置。

## 【請求項 4】

駆動回路と、画素とを有し、

前記画素は、液晶素子を有し、

前記駆動回路は、第 1 のトランジスタ、第 2 のトランジスタ、第 3 のトランジスタ、第 4 のトランジスタ、第 5 のトランジスタ、第 6 のトランジスタ、第 7 のトランジスタ、第 8 のトランジスタ、第 9 のトランジスタ、及び容量素子を有し、

前記第 1 のトランジスタの第 1 の端子は、第 1 の配線と電氣的に接続され、前記第 1 のトランジスタの第 2 の端子は、第 2 の配線と電氣的に接続され、

前記第 2 のトランジスタの第 1 の端子は、前記第 2 の配線と電氣的に接続され、前記第 2 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 1 の配線と電氣的に接続され、

前記第 3 のトランジスタの第 1 の端子は、第 3 の配線と電氣的に接続され、前記第 3 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタの第 1 の端子は、前記第 3 の配線と電氣的に接続され、前記第 4 のトランジスタの第 2 の端子は、前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 4 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 5 のトランジスタの第 1 の端子は、第 4 の配線と電氣的に接続され、前記第 5 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、前記第 5 のトランジスタのゲートは、前記第 4 の配線と電氣的に接続され、

前記第 6 のトランジスタの第 1 の端子は、前記第 4 の配線と電氣的に接続され、前記第 6 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 6 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタの第 1 の端子は、第 5 の配線と電氣的に接続され、前記第 7 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 7 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 8 のトランジスタの第 1 の端子は、第 6 の配線と電氣的に接続され、前記第 8 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 8 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 9 のトランジスタの第 1 の端子は、第 7 の配線と電氣的に接続され、前記第 9 のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記第 9 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記容量素子の一方の電極は、前記第 1 の配線と電氣的に接続され、前記容量素子の他方の電極は、前記第 7 のトランジスタのゲートと電氣的に接続されることを特徴とする液晶表示装置。

前記第 6 のトランジスタのゲートは、第 5 の配線と電氣的に接続され、  
前記第 7 のトランジスタの第 1 の端子は、前記第 3 の配線と電氣的に接続され、前記第 7  
のトランジスタの第 2 の端子は、前記第 2 の配線と電氣的に接続され、前記第 7 のトラン  
ジスタのゲートは、前記第 5 の配線と電氣的に接続され、  
前記第 8 のトランジスタの第 1 の端子は、前記第 3 の配線と電氣的に接続され、前記第 8  
のトランジスタの第 2 の端子は、前記第 1 のトランジスタのゲートと電氣的に接続され、  
前記第 8 のトランジスタのゲートは、第 6 の配線と電氣的に接続され、  
前記第 9 のトランジスタの第 1 の端子は、前記第 3 の配線と電氣的に接続され、前記第 9  
のトランジスタの第 2 の端子は、前記第 2 の配線と電氣的に接続され、前記第 9 のトラン  
ジスタのゲートは、前記第 6 の配線と電氣的に接続され、  
前記容量素子の一方の電極は、前記第 1 の配線と電氣的に接続され、前記容量素子の他方  
の電極は、前記第 3 のトランジスタのゲートと電氣的に接続されることを特徴とする液晶  
表示装置。

10

【請求項 5】

請求項 4 において、

前記駆動回路は、前記画素が有するトランジスタと同じ基板上に形成されることを特徴と  
する液晶表示装置。

【請求項 6】

請求項 4 又は請求項 5 において、

前記第 1 のトランジスタのチャネル幅は、前記第 2 のトランジスタ乃至第 9 のトランジス  
タのチャネル幅よりも大きいことを特徴とする液晶表示装置。

20

【請求項 7】

請求項 1 乃至請求項 6 のいずれか一項に記載の液晶表示装置と、操作スイッチとを有する  
電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

半導体装置、表示装置、液晶表示装置、それらの駆動方法、又はそれらを生産する方法に  
関する。特に、画素部と同じ基板に形成される駆動回路を有する半導体装置、表示装置、  
液晶表示装置、又は当該装置の駆動方法に関する。または、当該装置を有する電子機器に  
関する。

30

【背景技術】

【0002】

近年、表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められて  
いる。特に、非単結晶半導体によって構成されるトランジスタを用いて、画素部と同じ基  
板にゲートドライバなどの駆動回路を構成する技術は、コストの低減、信頼性の向上に大  
きく貢献するため、活発に開発が進められている。

【0003】

しかしながら、非単結晶半導体によって構成されるトランジスタは、閾値電圧の上昇、又  
は移動度の低下などの劣化を生じる。このトランジスタの劣化が進むと、駆動回路が動作  
しづらくなり、画像を表示できなくなるといった問題がある。そこで、特許文献 1 では、  
トランジスタの劣化を抑制することができるシフトレジスタの構成について、開示してい  
る。特許文献 1 では、容量素子の一方の電極をクロック信号が入力される配線と接続し、  
容量素子の他方の電極を二つのトランジスタのゲートに接続して、容量素子の他方の電極  
の電位をクロック信号に同期させて上昇または減少させる。こうして、容量素子の容量結  
合を用いて、クロック信号に同期した信号を二つのトランジスタのゲートに生成する。そ  
して、このクロック信号に同期した信号を用いて、トランジスタのオンとオフとを制御す  
る。すると、トランジスタがオンになる期間と、トランジスタがオフになる期間とが繰り返  
されることになるので、トランジスタの劣化を抑制することができる。

40

【先行技術文献】

50

## 【特許文献】

【0004】

【特許文献1】特開2006-24350号公報

## 【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1では、容量素子の他方の電極は、二つのトランジスタのゲートと接続されているので、容量素子に接続されるノードの寄生容量が大きくなるといった課題がある。このために、クロック信号に同期した信号のHレベルの電位が低くなるといった課題がある。この場合、トランジスタの閾値電圧が上昇したときに、トランジスタがオンできなくなる時間が早くなるといった課題がある。つまり、シフトレジスタの寿命が短くなるといった課題がある。または、容量素子に接続される寄生容量が大きいため、容量素子の容量値を大きくしなければならないといった課題がある。このために、容量素子の一方の電極と他方の電極とが重なる面積を大きくする必要があるため、容量素子のレイアウト面積が大きくなるといった課題がある。

10

【0006】

または、特許文献1では、容量素子の面積を大きくする必要があるため、一方の電極と他方の電極とがゴミなどによってショートしやすくなるといった課題がある。この結果、歩留まりが下がり、コストが増加するといった課題がある。

【0007】

20

または、特許文献1では、容量素子の容量値を大きくする必要があるため、容量素子に供給される信号（例えばクロック信号又は反転クロック信号）の遅延又はなまりが大きくなるといった課題がある。または、消費電力が大きくなるといった課題がある。

【0008】

または、容量素子に供給される信号を出力する回路として、大きな電流駆動能力を有する回路を用いる必要があるため、外付回路（以下、外部回路ともいう）が大きくなるといった課題がある。または、表示装置が大きくなるといった課題がある。

【0009】

または、特許文献1では、プルアップトランジスタTuのゲートが浮遊状態となる期間が存在する。したがって、プルアップトランジスタTuのゲートの電位が安定せずに、ノイズなどが生じる。そのため、シフトレジスタが誤動作を起こすといった課題がある。

30

【0010】

上記課題を鑑み、容量素子と接続されるトランジスタの数を減らすことを課題とする。または、当該容量素子と接続されるトランジスタの寄生容量を小さくすることを課題とする。または、クロック信号に同期した信号のHレベルの電位を高くすることを課題とする。または、レイアウト面積を小さくすることを課題とする。または、寿命を長くすることを課題とする。信号の遅延又はなまりを小さくすることを課題とする。または、消費電力を小さくすることを課題とする。または、ノイズの影響を低減することを課題とする。または、トランジスタの劣化を抑制又は緩和することを課題とする。または、誤動作を抑制することを課題とする。または、容量素子の一方の電極と他方の電極とのショートを防ぐことを課題とする。または、外付回路の電流駆動能力を小さくすることを課題とする。または、外付回路のサイズを小さくすることを課題とする。または、表示装置を小さくすることを課題とする。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。

40

【課題を解決するための手段】

【0011】

容量素子と、一つのトランジスタとを有し、容量素子の一方の電極は配線と接続され、容量素子の他方の電極はトランジスタのゲートと接続される構成とする。当該配線には、クロック信号が入力されるので、クロック信号は容量素子を介してトランジスタのゲートに入力される。そして、トランジスタの導通状態は、クロック信号に同期した信号によって制御され、トランジスタはオンになる期間とオフになる期間とを繰り返す。こうして、ト

50

ランジスタの劣化を抑制することができる。

【0012】

本発明の例示的な一態様は、駆動回路と、画素とを有し、前記画素は、液晶素子を有し、前記駆動回路は、第1のトランジスタ、第2のトランジスタ、第3のトランジスタ、第4のトランジスタ、及び容量素子を有し、前記第1のトランジスタの第1の端子は、第1の配線と電氣的に接続され、前記第1のトランジスタの第2の端子は、第2の配線と電氣的に接続され、前記第2のトランジスタの第1の端子は、前記第2の配線と電氣的に接続され、前記第2のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第2のトランジスタのゲートは、前記第1の配線と電氣的に接続され、前記第3のトランジスタの第1の端子は、第3の配線と電氣的に接続され、前記第3のトランジスタの第2の端子は、前記第1のトランジスタのゲートと電氣的に接続され、前記第4のトランジスタの第1の端子は、前記第3の配線と電氣的に接続され、前記第4のトランジスタの第2の端子は、前記第3のトランジスタのゲートと電氣的に接続され、前記第4のトランジスタのゲートは、前記第1のトランジスタのゲートと電氣的に接続され、前記容量素子の一方の電極は、前記第1の配線と電氣的に接続され、前記容量素子の他方の電極は、前記第3のトランジスタのゲートと電氣的に接続される液晶表示装置である。

10

【0013】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

20

【0014】

なお、機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。

【0015】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。

30

【0016】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

【0017】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの

40

50

間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

【0018】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

10

【0019】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

20

【0020】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、バナナ型液晶、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、ASV（Advanced Super View）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、ECB（Electrically Controlled Birefringence）モード、 FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モード、PDLC（Polymer Dispersed Liquid Crystal）モード、ゲストホストモード、ブルー相（Blue Phase）モードなどを用いることができる。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

30

40

【0021】

50

なお、光源を必要とする表示装置、例えば、液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、グレーティングライトバルブ（GLV）を用いた表示装置、デジタルマイクロミラーデバイス（DMD）を用いた表示装置などの光源としては、エレクトロルミネッセンス、冷陰極管、熱陰極管、LED、レーザー光源、水銀ランプなどを用いることができる。ただし、これに限定されず、光源として様々なものを用いることができる。

#### 【0022】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶（マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う）シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることが出来る。

#### 【0023】

なお、微結晶シリコンを製造するときに、触媒（ニッケルなど）を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。その結果、ソースドライバ回路の一部（アナログスイッチなど）およびゲートドライバ回路（走査線駆動回路）を基板上に一体形成することが出来る。さらに、結晶化のためにレーザー照射を行わない場合は、シリコンの結晶性のムラを抑えることができる。そのため、画質の向上した画像を表示することが出来る。

#### 【0024】

ただし、触媒（ニッケルなど）を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

#### 【0025】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。これらにより、特性やサイズや形状などのバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタを製造することができる。これらのトランジスタを用いると、回路の低消費電力化、又は回路の高集積化を図ることができる。

#### 【0026】

または、ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。これらにより、製造温度を低くでき、例えば、室温でトランジスタを製造することが可能となる。その結果、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。さらに、それらをトランジスタと同時に成膜又は形成できるため、コストを低減できる。

#### 【0027】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来る。これらにより、室温で製造、低真空度で製造、又は大型基板上に製造することができる。マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することが出来る。さらに、レジストを用いる必要がないので、材料費が安くなり、工程数を削減できる。さらに、必要な部分にのみ膜を付けるため、全面に成膜した後でエッチングする、という製法よりも、材料が無駄にならず、低コストにできる。

#### 【0028】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることがで

10

20

30

40

50

きる。これらにより、曲げることが可能な基板上にトランジスタを形成することが出来る。このような基板を用いた半導体装置は、衝撃に強くすることができる。

【0029】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることが出来る。MOS型トランジスタを用いることにより、トランジスタのサイズを小さくすることが出来る。よって、多数のトランジスタを搭載することができる。バイポーラトランジスタを用いることにより、大きな電流を流すことが出来る。よって、高速に回路を動作させることができる。

【0030】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。これにより、低消費電力、小型化、高速動作などを実現することが出来る。

【0031】

その他、様々なトランジスタを用いることができる。

【0032】

なお、トランジスタは、様々な基板を用いて形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。

【0033】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。

【0034】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。なお、チャンネルの上下にゲート電極が配置される構成にすることにより、複数のトランジスタが並列に接続されたような構成となる。

【0035】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域（もしくはその一部）にソース電極やドレイン電極が重なっている構造も適用できる。あるいは、LDD領域を設けた構造を適用できる。

【0036】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な基板を用いて形成することも可能である。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG (Chip On Glass) でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB (Tape Automated Bonding) やプリント基板を用いてガラス基板と接続することも可能である。

10

20

30

40

50

あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたＩＣチップを用いるようにすれば、消費電力の増加を防ぐことができる。

【００３７】

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャネル領域を有しており、ドレイン領域とチャネル領域とソース領域とを介して電流を流すことが出来る。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第１端子、第２端子と表記する場合がある。あるいは、それぞれを第１電極、第２電極と表記する場合がある。あるいは、第１領域、第２領域と表記する場合がある。

10

【００３８】

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第１端子、第２端子などと表記する場合がある。

【００３９】

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

20

【００４０】

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでいても良い。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでいても良い。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングや bumps などによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（ＣＯＧ）で接続されたＩＣチップ、または、TABなどで接続されたＩＣチップを含んでいても良い。なお、表示装置は、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（ＦＰＣ）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（ＦＰＣ）などを介して接続され、ＩＣチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（ＰＷＢ）を含んでいても良い。なお、表示装置は、偏光板または位相差板などの光学シートを含んでいても良い。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでいても良い。

30

【００４１】

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（ＬＥＤ、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していても良い。

40

【００４２】

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

【００４３】

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

【００４４】

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直視型、投写型、透過型、反射型、半透過型などがある。

50

## 【 0 0 4 5 】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

## 【 0 0 4 6 】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

10

## 【 0 0 4 7 】

なお、Aの上にBが形成されている、あるいは、A上にBが形成されている、と明示的に記載する場合は、Aの上にBが直接接して形成されていることに限定されない。直接接してはいない場合、つまり、AとBと間に別の対象物が介在する場合も含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

## 【 0 0 4 8 】

従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、と明示的に記載されている場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

20

## 【 0 0 4 9 】

さらに、Aの上方にBが形成されている、と明示的に記載されている場合についても同様であり、Aの上にBが直接接していることに限定されず、AとBとの間に別の対象物が介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。なお、別の層（例えば層Cや層Dなど）は、単層でもよいし、複層でもよい。

30

## 【 0 0 5 0 】

なお、Aの上にBが形成されている、A上にBが形成されている、又はAの上方にBが形成されている、と明示的に記載する場合、斜め上にBが形成される場合も含むこととする。

## 【 0 0 5 1 】

なお、Aの下にBが、あるいは、Aの下方にBが、の場合についても、同様である。

## 【 0 0 5 2 】

なお、明示的に単数として記載されているものについては、単数であることが望ましい。ただし、これに限定されず、複数であることも可能である。同様に、明示的に複数として記載されているものについては、複数であることが望ましい。ただし、これに限定されず、単数であることも可能である。

40

## 【 0 0 5 3 】

なお、図において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

## 【 0 0 5 4 】

なお、図は、理想的な例を模式的に示したものであり、図に示す形状又は値などに限定されない。例えば、製造技術による形状のばらつき、誤差による形状のばらつき、ノイズに

50

よる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【 0 0 5 5 】

なお、専門用語は、特定の実施の形態、又は実施例などを述べる目的で用いられる場合が多く、これに限定されない。

【 0 0 5 6 】

なお、定義されていない文言（専門用語又は学術用語などの科学技術文言を含む）は、通常の当業者が理解する一般的な意味と同等の意味として用いることが可能である。辞書等により定義されている文言は、関連技術の背景と矛盾がないような意味に解釈されることが好ましい。

【 0 0 5 7 】

なお、第 1、第 2、第 3 などの語句は、様々な要素、部材、領域、層、区域を他のものと区別して記述するために用いられる。よって、第 1、第 2、第 3 などの語句は、要素、部材、領域、層、区域などの数を限定するものではない。さらに、例えば、「第 1 の」を「第 2 の」又は「第 3 の」などと置き換えることが可能である。

【 発明の効果 】

【 0 0 5 8 】

容量素子と接続されるトランジスタの数を減らすことができる。または、当該容量素子と接続されるトランジスタの寄生容量を小さくすることができる。または、クロック信号に同期した信号の H レベルの電位を高くすることができる。または、レイアウト面積を小さくすることができる。または、寿命を長くすることができる。信号の遅延又はなまりを小さくすることができる。または、消費電力を小さくすることができる。または、ノイズの影響を低減することができる。または、トランジスタの劣化を抑制又は緩和することができる。または、誤動作を抑制することができる。または、容量素子の一方の電極と他方の電極とのショートを防ぐことができる。または、外付回路の電流駆動能力を小さくすることができる。または、外付回路のサイズを小さくすることができる。または、表示装置を小さくすることができる。

【 図面の簡単な説明 】

【 0 0 5 9 】

【 図 1 】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【 図 2 】半導体装置の駆動方法を説明する模式図。

【 図 3 】半導体装置の回路図。

【 図 4 】半導体装置の回路図。

【 図 5 】半導体装置の回路図。

【 図 6 】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【 図 7 】半導体装置の駆動方法を説明する模式図。

【 図 8 】半導体装置の駆動方法を説明する模式図。

【 図 9 】半導体装置の回路図。

【 図 1 0 】半導体装置の回路図。

【 図 1 1 】半導体装置の回路図。

【 図 1 2 】半導体装置の回路図。

【 図 1 3 】半導体装置の回路図。

【 図 1 4 】シフトレジスタの回路図、及びその駆動方法を説明するタイミングチャート。

【 図 1 5 】シフトレジスタの回路図。

【 図 1 6 】シフトレジスタの回路図。

【 図 1 7 】シフトレジスタの回路図。

【 図 1 8 】シフトレジスタのレイアウト図。

【 図 1 9 】半導体装置の回路図、及びその駆動方法を説明するタイミングチャート。

【 図 2 0 】半導体装置の回路図。

【 図 2 1 】シフトレジスタの回路図。

10

20

30

40

50

【図 2 2】表示装置のシステムブロック図。

【図 2 3】表示装置の構成を説明する図。

【図 2 4】シフトレジスタの回路図。

【図 2 5】シフトレジスタの駆動方法を説明するタイミングチャート。

【図 2 6】信号線駆動回路の回路図、及びその駆動方法を説明するタイミングチャート。

【図 2 7】画素の回路図、及びその駆動方法を説明するタイミングチャート。

【図 2 8】画素の回路図、そのレイアウト図、及びその駆動方法を説明するタイミングチャート。

【図 2 9】画素の回路図、及びその駆動方法を説明するタイミングチャート。

【図 3 0】シフトレジスタのレイアウト図。

10

【図 3 1】シフトレジスタのレイアウト図。

【図 3 2】トランジスタの断面図。

【図 3 3】電子機器を説明する図。

【図 3 4】電子機器を説明する図。

【発明を実施するための形態】

【0060】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する構成において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

20

【0061】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0062】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容である。

30

【0063】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0064】

（実施の形態 1）

本実施の形態では、半導体装置の一例について説明する。なお、当該半導体装置を駆動回路、又はフリップフロップと示すことが可能である。

【0065】

40

まず、本実施の形態の半導体装置の一例について、図 1（A）を参照して説明する。図 1（A）の半導体装置は、回路 100、トランジスタ 101、トランジスタ 102、トランジスタ 103、トランジスタ 104、容量素子 105、及び容量素子 106 を有する。トランジスタ 101～104 は、各々、N チャネル型であるものとし、ゲートとソースとの間の電位差（ $V_{gs}$ ）が閾値電圧（ $V_{th}$ ）を上回った場合にオンになるものとする。ただし、これに限定されず、トランジスタ 101～104 は、各々、P チャネル型であることが可能である。P チャネル型トランジスタは、ゲートとソースとの間の電位差（ $V_{gs}$ ）が閾値電圧（ $V_{th}$ ）を下回った場合にオンになるものとする。

【0066】

図 1（A）の半導体装置の接続関係について説明する。トランジスタ 101 の第 1 の端子

50

は、配線 1 2 3 B と接続され、トランジスタ 1 0 1 の第 2 の端子は、配線 1 2 1 と接続される。トランジスタ 1 0 2 の第 1 の端子は、トランジスタ 1 0 1 のゲートと接続され、トランジスタ 1 0 2 の第 2 の端子は、配線 1 2 1 と接続され、トランジスタ 1 0 2 のゲートは、配線 1 2 3 C と接続される。トランジスタ 1 0 3 の第 1 の端子は、配線 1 2 2 A と接続され、トランジスタ 1 0 3 の第 2 の端子は、トランジスタ 1 0 1 のゲートと接続される。トランジスタ 1 0 4 の第 1 の端子は、配線 1 2 2 B と接続され、トランジスタ 1 0 4 の第 2 の端子は、トランジスタ 1 0 3 のゲートと接続される。容量素子 1 0 5 の一方の電極は、トランジスタ 1 0 1 のゲートと接続され、容量素子 1 0 5 の他方の電極は、配線 1 2 1 と接続される。容量素子 1 0 6 の一方の電極は、配線 1 2 3 と接続され、容量素子 1 0 6 の他方の電極は、トランジスタ 1 0 3 のゲートと接続される。

10

**【 0 0 6 7 】**

なお、トランジスタ 1 0 1 のゲート、トランジスタ 1 0 2 の第 1 の端子、トランジスタ 1 0 3 の第 2 の端子、又は、トランジスタ 1 0 4 のゲートの接続箇所をノード A と示す。そして、トランジスタ 1 0 3 のゲート、トランジスタ 1 0 4 の第 2 の端子、又は、容量素子 1 0 6 の他方の電極の接続箇所をノード B と示す。ただし、ノード A、及びノード B を配線と示すことが可能である。

**【 0 0 6 8 】**

なお、配線 1 2 1、配線 1 2 3 A、配線 1 2 3 B、配線 1 2 3 C、配線 1 2 2 A、配線 1 2 2 B を端子と示すことが可能である。

**【 0 0 6 9 】**

20

各配線（配線 1 2 1、配線 1 2 2 A ~ 1 2 2 B、配線 1 2 3 A ~ 1 2 3 C）に入力することが可能なもの（例えば信号、電圧、又は電流など）の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。各配線には、以下に述べるものの他にも様々なものを入力することが可能であるし、各配線を浮遊状態（以下、フローティング状態）とすることが可能である。

**【 0 0 7 0 】**

配線 1 2 1 からは、一例として、信号 S 1 が出力されるものとする。よって、配線 1 2 1 は、信号線として機能することが可能である。特に、配線 1 2 1 が画素と接続される場合、又は配線 1 2 1 が画素部に延伸して配置される場合、配線 1 2 1 はゲート線、走査線、又は容量線として機能することが可能である。信号 S 1 は、半導体装置の出力信号であり、H レベルと L レベルとを有するデジタル信号である場合が多く、出力信号、選択信号、ゲート信号、又は走査信号として機能することが可能である。

30

**【 0 0 7 1 】**

配線 1 2 2 A ~ 1 2 2 B には、一例として、電圧 V 1 が供給されるものとする。よって、配線 1 2 2 A ~ 1 2 2 B は、電源線として機能することが可能である。電圧 V 1 は、信号 S 1 の L レベルとおおむね等しい値である場合が多く、グランド電圧、電源電圧、又は負電源電圧として機能することが可能である。ただし、これに限定されず、配線 1 2 2 A ~ 1 2 2 B にクロック信号などの信号が入力されることが可能である。この場合、配線 1 2 2 A ~ 1 2 2 B は、信号線、又はクロック信号線として機能することが可能である。または、配線 1 2 2 A ~ 1 2 2 B には、別々の電圧、又は別々の信号が入力されることが可能である。

40

**【 0 0 7 2 】**

なお、おおむねとは、ノイズによる誤差、プロセスのばらつきによる誤差、素子の作製工程のばらつきによる誤差、及び / 又は、測定誤差などの様々な誤差を含むものとする。

**【 0 0 7 3 】**

配線 1 2 3 A ~ 1 2 3 C には、一例として、信号 S 2 が入力されるものとする。よって、配線 1 2 3 A ~ 1 2 3 C は、信号線として機能することが可能である。信号 S 2 は、一定の周期で H レベルと L レベルとを繰り返すデジタル信号である場合が多く、クロック信号（C K）として機能することが可能である。ただし、これに限定されず、配線 1 2 3 A ~ 1 2 3 C には、電源電圧が供給されることが可能である。この場合、配線 1 2 3 A ~ 1 2

50

3 C は、電源線として機能することが可能である。または、配線 1 2 3 A ~ 1 2 3 B には、別々の電圧、又は別々の信号が入力されることが可能である。

【 0 0 7 4 】

なお、本実施の形態では、一例として、信号の L レベルの電位を  $V_1$ 、信号の H レベルの電位を  $V_2$  とし、 $V_2 > V_1$  であるものとする。ただし、これに限定されない。

【 0 0 7 5 】

なお、電圧とは、ある電位と、基準の電位（例えばグランド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【 0 0 7 6 】

回路 1 0 0、トランジスタ 1 0 1 ~ 1 0 4、容量素子 1 0 5、容量素子 1 0 6 が有する機能の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。回路 1 0 0、及び各素子は、以下に述べる機能の他にも様々な機能を有することが可能であるし、以下に述べる機能を有していないことも可能である。

【 0 0 7 7 】

回路 1 0 0 は、ノード A の電位、又は状態を制御する機能と、配線 1 2 1 の電位、又は状態を制御する機能とを有する。例えば、回路 1 0 0 は、ノード A の電位若しくは配線 1 2 1 の電位を上昇させる機能、ノード A の電位若しくは配線 1 2 1 の電位を減少させる機能、及び / 又は、ノード A 若しくは配線 1 2 1 を浮遊状態にする機能などを有する。トランジスタ 1 0 1 は、配線 1 2 3 B に入力される信号（例えば信号 S 2）に応じて、配線 1 2 1 の電位を上昇させる機能を有する。トランジスタ 1 0 2 は、配線 1 2 3 C に入力される信号（例えば信号 S 2）に応じて、配線 1 2 1 とノード A とが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ 1 0 3 は、ノード B の電位に応じて、配線 1 2 2 A とノード A とが導通するタイミングを制御し、スイッチとして機能する。トランジスタ 1 0 4 は、ノード A の電位に応じて、配線 1 2 2 B とノード B とが導通するタイミングを制御する機能を有し、スイッチとして機能する。容量素子 1 0 5 は、配線 1 2 6 の電位に応じて、ノード A の電位を上昇させる機能、及び / 又は、トランジスタ 1 0 1 のゲートと第 2 の端子との間の電位差を保持する機能を有する。容量素子 1 0 6 は、配線 1 2 3 A に入力される信号（例えば信号 S 2）に応じて、ノード B の電位を制御する機能を有する。

【 0 0 7 8 】

次に、図 1 ( A ) の半導体装置の動作について、図 1 ( B )、図 2 ( A ) ~ ( E ) を参照して説明する。図 1 ( B ) は、半導体装置の動作を説明するためのタイミングチャートの一例であり、期間 T 1、期間 T 2、期間 T 3、期間 T 4、及び期間 T 5 を有する。そして、図 1 ( B ) には、信号 S 1、信号 S 2、ノード A の電位  $V_a$ 、ノード B の電位  $V_b$  を示す。図 2 ( A ) は、期間 T 1 における図 1 ( A ) の半導体装置の動作の模式図を示す。図 2 ( B ) は、期間 T 2 における図 1 ( A ) の半導体装置の動作の模式図を示す。図 2 ( C ) は、期間 T 3 における図 1 ( A ) の半導体装置の動作の模式図を示す。図 2 ( D ) は、期間 T 4 における図 1 ( A ) の半導体装置の動作の模式図を示す。図 2 ( E ) は、期間 T 5 における図 1 ( A ) の半導体装置の動作の模式図を示す。

【 0 0 7 9 】

なお、ノード A の電位が上昇すると、半導体装置は、期間 T 1 における動作、期間 T 2 における動作、及び期間 T 3 における動作を順に行う。その後、再びノード A の電位が上昇するまで、半導体装置は、期間 T 4 における動作と期間 T 5 における動作とを順に繰り返す。

【 0 0 8 0 】

まず、期間 T 1 において、信号 S 2 は L レベルとなる。すると、トランジスタ 1 0 2 がオフになるので、ノード A と配線 1 2 1 とは非導通状態となる。同時に、ノード B の電位は、容量素子 1 0 6 の容量結合によって減少する。このときのノード B の電位が、配線 1 2 2 A の電位 ( $V_1$ ) とトランジスタ 1 0 3 の閾値電圧 ( $V_{th106}$ ) との和 ( $V_1 + V$

10

20

30

40

50

t h 1 0 6 ) よりも低くなるとすると、トランジスタ 1 0 3 はオフになる。よって、配線 1 2 2 A とノード A とは非導通状態となる。一方で、回路 1 0 0 は、ノード A の電位を上昇させ始める。そして、ノード A の電位が配線 1 2 2 B の電位 (  $V_1$  ) とトランジスタ 1 0 4 の閾値電圧 (  $V_{th104}$  ) との和 (  $V_1 + V_{th104}$  ) となったところで、トランジスタ 1 0 4 がオンになる。すると、配線 1 2 2 B とノード B とが導通状態となる。よって、電圧  $V_1$  が配線 1 2 2 B からノード B に供給されるので、ノード B の電位が  $V_1$  となる。この結果、トランジスタ 1 0 3 はオフのままとなるので、配線 1 2 2 A とノード A とは非導通状態のままとなる。同様に、ノード A の電位が配線 1 2 3 B の電位 (  $V_1$  ) とトランジスタ 1 0 1 の閾値電圧 (  $V_{th101}$  ) との和 (  $V_1 + V_{th101}$  ) となったところで、トランジスタ 1 0 1 がオンになる。すると、配線 1 2 3 B と配線 1 2 1 とが導通状態となる。よって、L レベルの信号  $S_2$  が配線 1 2 3 B から配線 1 2 1 に供給されるので、配線 1 2 1 の電位は、配線 1 2 3 B の電位 ( 信号  $S_2$  の L レベル、又は  $V_1$  ) とおおむね等しくなる。その後、回路 1 0 0 は、ノード A の電位をある値 ( 例えば  $V_1 + V_{th101}$  以上、且つ  $V_2$  以下 ) まで上昇させたところで、ノード A への信号の供給を止めるので、回路 1 0 0 とノード A とは、非導通状態となる。よって、ノード A は、浮遊状態となり、ノード A の電位は高い値のまま維持される。容量素子 1 0 5 には、このときのノード A と配線 1 2 1 との電位差が保持される。

10

#### 【 0 0 8 1 】

なお、期間  $T_1$  において、回路 1 0 0 は、配線 1 2 1 に電圧  $V_1$ 、又は L レベルの信号などを供給することが可能である。または、回路 1 0 0 は、配線 1 2 1 に信号などを供給しないことによって、回路 1 0 0 と配線 1 2 1 とを非導通状態とすることが可能である。そして、回路 1 0 0 は、配線 1 2 1 を浮遊状態にすることが可能である。

20

#### 【 0 0 8 2 】

次に、期間  $T_2$  において、ノード A の電位は高い値のまま維持されるので、トランジスタ 1 0 4 はオンのままとなる。よって、配線 1 2 2 B とノード B とは導通状態のままとなるので、ノード B の電位は  $V_1$  のままとなる。この結果、トランジスタ 1 0 3 はオフのままとなるので、配線 1 2 2 A とノード A とは非導通状態のままとなる。同様に、ノード A の電位は高い値のまま維持されるので、トランジスタ 1 0 1 はオンのままとなる。よって、配線 1 2 3 B と配線 1 2 1 とは導通状態のままとなる。このとき、信号  $S_2$  が L レベルから H レベルに上昇する。すると、配線 1 2 3 B と配線 1 2 1 とは導通状態のままなので、配線 1 2 1 の電位が上昇し始める。同時に、トランジスタ 1 0 2 がオンになるので、ノード A と配線 1 2 1 とが導通状態となる。ただし、配線 1 2 1 の電位が配線 1 2 3 C の電位 (  $V_2$  ) からトランジスタ 1 0 2 の閾値電圧 (  $V_{th102}$  ) を引いた値 (  $V_2 - V_{th102}$  ) まで上昇したところで、トランジスタ 1 0 2 はオフになる。よって、配線 1 2 1 とノード A とは非導通状態となる。ここで、容量素子 1 0 5 は、期間  $T_1$  における配線 1 2 1 とノード A との電位差を保持したままである。したがって、配線 1 2 1 の電位が上昇すると、ノード A の電位は、容量素子 1 0 5 の容量結合によって、 $V_2 + V_{th101} +$  ( は正の数 ) まで上昇する。いわゆる、ブートストラップ動作である。したがって、配線 1 2 1 の電位は、配線 1 2 3 B の電位 ( 信号  $S_2$  の H レベル、又は  $V_1$  ) と等しくなるまで上昇する。

30

40

#### 【 0 0 8 3 】

なお、期間  $T_2$  において、回路 1 0 0 は、ノード A に信号などを供給していない場合が多いので、回路 1 0 0 とノード A とは非導通状態となる場合が多い。こうして、回路 1 0 0 は、ノード A を浮遊状態にする場合が多い。

#### 【 0 0 8 4 】

なお、期間  $T_2$  において、回路 1 0 0 は、配線 1 2 1 に信号などを供給していない場合が多いので、回路 1 0 0 と配線 1 2 1 とは非導通状態となる場合が多い。

#### 【 0 0 8 5 】

次に、期間  $T_3$  において、信号  $S_2$  が H レベルから L レベルに減少した後に、回路 1 0 0 は、ノード A の電位を  $V_1$  となるように減少させる。したがって、ノード A の電位が配線

50

1 2 3 B の電位 (  $V_1$  ) とトランジスタ 1 0 1 の閾値電圧 (  $V_{th101}$  ) との和 (  $V_1 + V_{th101}$  ) となるまでは、トランジスタ 1 0 1 はオンしている。したがって、L レベルの信号  $S_2$  は、配線 1 2 3 B から配線 1 2 1 に供給されるので、配線 1 2 1 の電位は、配線 1 2 3 B の電位 (  $V_1$  ) となるように減少する。同様に、ノード A の電位が配線 1 2 2 B の電位 (  $V_1$  ) とトランジスタ 1 0 4 の閾値電圧 (  $V_{th104}$  ) との和 (  $V_1 + V_{th104}$  ) となるまでは、トランジスタ 1 0 4 はオンしている。したがって、電圧  $V_1$  が配線 1 2 2 B からノード B に供給されるので、ノード B の電位は  $V_1$  のままとなる。この結果、トランジスタ 1 0 3 はオフのままとなるので、配線 1 2 2 A とノード A とは非導通のままとなる。このとき、容量素子 1 0 6 には、配線 1 2 3 A の電位 ( 信号  $S_2$  の L レベル、又は  $V_1$  ) と配線 1 2 2 B の電位 (  $V_1$  ) との電位差が保持される。

10

**【 0 0 8 6 】**

なお、期間  $T_3$  において、回路 1 0 0 は、配線 1 2 1 に電圧  $V_1$ 、又は L レベルの信号などを供給することが可能である。または、回路 1 0 0 は、配線 1 2 1 に信号などを供給しないことによって、回路 1 0 0 と配線 1 2 1 とを非導通状態とすることが可能である。そして、回路 1 0 0 は、配線 1 2 1 を浮遊状態にすることが可能である。

**【 0 0 8 7 】**

次に、期間  $T_4$  において、信号  $S_2$  が L レベルから H レベルに上昇する。このとき、ノード A の電位は  $V_1$  のままなので、トランジスタ 1 0 1、及びトランジスタ 1 0 4 はオフのままである。したがって、ノード B は浮遊状態のままなので、ノード B の電位は、容量素子 1 0 6 の容量結合によって上昇する。ノード B の電位が配線 1 2 2 A の電位 (  $V_1$  ) とトランジスタ 1 0 3 の閾値電圧 (  $V_{th103}$  ) との和 (  $V_1 + V_{th103}$  ) よりも高くなるとすると、トランジスタ 1 0 3 がオンになる。すると、配線 1 2 2 A とノード A とが導通状態となる。よって、電圧  $V_1$  が配線 1 2 2 A からノード A に供給されるので、ノード A の電位は  $V_1$  に維持される。同時に、トランジスタ 1 0 2 がオンになるので、配線 1 2 1 とノード A とが導通状態となる。このとき、ノード A には、電圧  $V_1$  が配線 1 2 2 A から供給されている。よって、電圧  $V_1$  が配線 1 2 2 A から配線 1 2 1 に供給されるので、配線 1 2 1 の電位は  $V_1$  に維持される。

20

**【 0 0 8 8 】**

なお、期間  $T_4$  において、回路 1 0 0 は、ノード A に電圧  $V_1$ 、又は L レベルの信号などを供給することが可能である。または、回路 1 0 0 は、ノード A に信号などを供給しないことによって、回路 1 0 0 とノード A とを非導通状態とすることが可能である。そして、回路 1 0 0 は、ノード A を浮遊状態にすることが可能である。

30

**【 0 0 8 9 】**

なお、期間  $T_5$  において、回路 1 0 0 は、配線 1 2 1 に電圧  $V_1$ 、又は L レベルの信号などを供給することが可能である。または、回路 1 0 0 は、配線 1 2 1 に信号などを供給しないことによって、回路 1 0 0 と配線 1 2 1 とを非導通状態とすることが可能である。そして、回路 1 0 0 は、配線 1 2 1 を浮遊状態にすることが可能である。

**【 0 0 9 0 】**

次に、期間  $T_5$  において、信号  $S_2$  が H レベルから L レベルに減少する。このとき、ノード A の電位は  $V_1$  のままなので、トランジスタ 1 0 1、及びトランジスタ 1 0 4 はオフのままである。したがって、ノード B の電位は、容量素子 1 0 6 の容量結合によって減少する。ノード B の電位が配線 1 2 2 A の配線 (  $V_1$  ) とトランジスタ 1 0 3 の閾値電圧 (  $V_{th103}$  ) との和 (  $V_1 + V_{th103}$  ) よりも低くなるとすると、トランジスタ 1 0 3 がオフになる。よって、配線 1 2 2 A とノード A とは非導通状態となる。同様に、トランジスタ 1 0 2 がオフになるので、配線 1 2 1 とノード A とは非導通状態となる。このとき、回路 1 0 0 がノード A、及び配線 1 2 1 に L レベル信号、又は電圧  $V_1$  を供給していれば、ノード A の電位、及び配線 1 2 1 の電位は  $V_1$  に維持される。ただし、回路 1 0 0 がノード A、及び配線 1 2 1 に L レベル信号、又は電圧  $V_1$  などを供給していない場合でも、ノード A、及び配線 1 2 1 は浮遊状態となるので、ノード A の電位、及び配線 1 2 1 の電位は  $V_1$  に維持される。

40

50

## 【0091】

図1(A)の半導体装置では、従来の技術と比較して、容量素子106の他方の電極に接続されるトランジスタの数を減らすことができる。したがって、容量素子106の他方の電極に接続される寄生容量、つまりノードBの寄生容量を小さくすることができる。なお、寄生容量とは、トランジスタのゲート容量、トランジスタのゲートとソースとの間の寄生容量、トランジスタのゲートとドレインとの間の寄生容量、及びノ又は、配線容量などの合成容量のことをいう。ただし、これに限定されず、容量素子106の他方の電極には、複数のトランジスタを接続することが可能である。

## 【0092】

または、図1(A)の半導体装置では、ノードBの寄生容量を減らすことができるので、容量素子106の容量値を従来の技術よりも小さくすることができる。よって、容量素子106の一方の電極と他方の電極とが重なる面積を小さくすることができるので、容量素子106のレイアウト面積を小さくすることができる。この結果、容量素子106の一方の電極と他方の電極とがゴミなどによってショートしてしまうことを抑制することができる。よって、歩留まりの向上、又はコストの削減を図ることができる。または、配線123Aの負荷を小さくすることができるので、配線123Aに入力される信号(例えば信号S2)のなまり、又は遅延などを低減することができる。または、配線123Aに信号を供給する外付回路の電流駆動能力を小さくすることができるので、外付回路のサイズを小さくすることができる。

10

## 【0093】

または、図1(A)の半導体装置では、ノードBの寄生容量を減らすことができるので、配線123Aの電位が変化した場合のノードBの振幅電圧を大きくすることができる。よって、期間T4において、従来の技術よりも、ノードBの電位を高くすることができるので、トランジスタ103の $V_{gs}$ を大きくすることができる。つまり、トランジスタ103のオン抵抗を小さくすることができるので、期間T4においてノードBの電位を $V_1$ に維持しやすくなる。または、トランジスタ103のチャネル幅(W)を小さくすることができるので、レイアウト面積の縮小を図ることができる。

20

## 【0094】

または、図1(A)の半導体装置では、期間T2において、トランジスタ102がオフになるまでは、ノードAと配線121とが導通状態となる場合が多い。したがって、ノードAの電位が減少するので、トランジスタ101、及びトランジスタ104のゲート電圧を低くすることができる。この結果、トランジスタ101、及びトランジスタ104の特性劣化を抑制することができる。または、トランジスタ101、及びトランジスタ104が破壊されることを抑制することができる。または、トランジスタとして、ゲート絶縁膜を薄くして移動度を向上させたトランジスタを用いることができる。このようなトランジスタを用いる場合、トランジスタのチャネル幅(W)を小さくすることができる。よって、レイアウト面積の縮小を図ることができる。

30

## 【0095】

または、図1(A)の半導体装置では、すべてのトランジスタをNチャネル型、又はすべてのトランジスタをPチャネル型とすることが可能である。よって、CMOS回路と比較して、工程数の削減、歩留まりの向上、又はコストの低減を図ることができる。特に、すべてのトランジスタがNチャネル型である場合、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体を用いることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの低減などを行うことができる。ただし、これに限定されず、図1(A)の半導体装置を、Pチャネル型トランジスタとNチャネル型トランジスタとを組み合わせたCMOS回路によって構成することが可能である。

40

## 【0096】

または、図1(A)の半導体装置では、期間T4と期間T5とのうち少なくとも一方において、トランジスタ101~104はオフになる。したがって、トランジスタが1動作期

50

間中にずっとオンにならないので、閾値電圧の上昇又は移動度の低下などのトランジスタの特性劣化を抑制することができる。

【0097】

特に、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体を用いる場合、当該トランジスタの特性劣化は顕著に表れる。しかし、図1(A)の半導体装置では、トランジスタの特性劣化を抑制することができるので、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体を用いることができる。ただし、これに限定されず、半導体層として、多結晶半導体、又は単結晶半導体を用いることが可能である。

【0098】

なお、期間T2を選択期間と示し、それ以外の期間(期間T1、期間T3、期間T4、及び期間T5)を非選択期間と示すことが可能である。または、期間T1、期間T2、期間T3、期間T4、及び期間T5を、各々、セット期間、出力期間、リセット期間、第1の非選択期間、第2の非選択期間と示すことが可能である。

【0099】

なお、トランジスタ101のチャネル幅(W)は、トランジスタ102、トランジスタ103、及び/又は、トランジスタ104のチャネル幅よりも大きいことが可能である。または、半導体装置が有するトランジスタの中で、トランジスタ101のチャネル幅が一番大きいことが可能である。この場合、トランジスタ101のオン抵抗が小さくなるので、配線121から出力される信号(例えば信号S1)の立ち上がり時間、及び立ち下がり時間が短くなる。したがって、期間T2において、トランジスタ102がオフになるタイミングが早くなる。よって、ノードAの電位が減少しすぎて、半導体装置が誤動作することを抑制することができる。ただし、これに限定されず、トランジスタ101のチャネル幅は、トランジスタ102~104の中のいずれか一のチャネル幅、又は、半導体装置が有するトランジスタの中のいずれか一のチャネル幅よりも小さいことが可能である。

【0100】

なお、トランジスタのチャネル幅という場合、これをトランジスタのW/L(L:チャネル長)比と言い換えることが可能である。

【0101】

なお、配線123A、配線123B、及び/又は、配線123Cに入力される信号のLレベルの電位は、V1よりも低いことが可能である。この場合、トランジスタに逆バイアスを印加することが可能になるので、トランジスタの特性劣化を緩和することができる。特に、トランジスタ102がオンになる時間は長いので、配線123Cに入力される信号のLレベルの電位は、V1よりも低いことが好ましい。ただし、これに限定されず、配線123A、配線123B、及び/又は、配線123Cに入力される信号のLレベルの電位は、V1よりも高いことが可能である。

【0102】

なお、配線123A、配線123B、及び/又は、配線123Cに入力される信号のHレベルの電位は、V2よりも低いことが可能である。この場合、トランジスタのV<sub>gs</sub>が小さくなるので、トランジスタの特性劣化を抑制することができる。特に、トランジスタ102がオンになる時間は長いので、配線123Cに入力される信号のHレベルの電位は、V2よりも低いことが好ましい。ただし、これに限定されず、配線123A、配線123B、及び/又は、配線123Cに入力される信号のHレベルの電位は、V2よりも高いことが可能である。

【0103】

なお、配線123A、配線123B、及び/又は、配線123Cに入力される信号の振幅電圧は、V2-V1よりも小さいことが可能である。特に、トランジスタ103がオンになる時間は長いので、配線123Aに入力される信号の振幅をV2-V1よりも小さくすることが好ましい。こうして、トランジスタ103のV<sub>gs</sub>を小さくすることができるので、トランジスタ103の特性劣化を抑制することができる。ただし、これに限定されず

10

20

30

40

50

、配線 1 2 3 A、配線 1 2 3 B、及び / 又は、配線 1 2 3 C に入力される信号の振幅電圧は、 $V_2 - V_1$  よりも大きいことが可能である。

【0104】

なお、配線 1 2 2 A、及び / 又は、配線 1 2 2 B に信号を入力することが可能である。こうして、電圧  $V_1$  を省略することができるので、電源数を減らすことができる。または、トランジスタに逆バイアスを印加することができるので、トランジスタの特性劣化を緩和することができる。特に、配線 1 2 2 A には、トランジスタ 1 0 3 がオンになる期間（例えば、期間 T 1、期間 T 3、期間 T 5）に L レベルとなる信号を入力することが可能である。その一例としては、信号 S 2 の反転信号（以下、反転クロック信号ともいう）などがある。配線 1 2 2 B には、トランジスタ 1 0 4 がオンになる期間（例えば、期間 T 3、期間 T 4、期間 T 5）に L レベルとなる信号を入力することが可能である。

10

【0105】

なお、配線 1 2 3 A、配線 1 2 3 B、及び / 又は、配線 1 2 3 C に電圧（例えば電圧  $V_2$ ）を供給することが可能である。こうすることによって、半導体装置は、インバータ回路、又はバッファ回路として機能することが可能となる。

【0106】

なお、図 3（A）に示すように、配線 1 2 2 A と配線 1 2 2 B には、同じ電圧（例えば電圧  $V_1$ ）が供給される場合が多いので、配線 1 2 2 A と配線 1 2 2 B とを共有することが可能である。このために、トランジスタ 1 0 3 の第 1 の端子、及びトランジスタ 1 0 4 の第 1 の端子は、配線 1 2 2 と接続される。配線 1 2 2 は、配線 1 2 2 A、又は配線 1 2 2 B に対応し、配線 1 2 2 には、これらの配線と同様なものが入力されることが可能である。

20

【0107】

なお、複数の配線を共有するとは、当該複数の配線に接続される素子又は回路を同じ配線に接続することを言う。または、当該複数の配線を互いに接続することを言う。

【0108】

なお、図 3（B）に示すように、配線 1 2 3 A ~ 1 2 3 C には、同じ信号（例えば信号 S 2）が入力される場合が多いので、配線 1 2 3 A ~ 1 2 3 C を共有することが可能である。このために、トランジスタ 1 0 1 の第 1 の端子、トランジスタ 1 0 2 のゲート、及び容量素子 1 0 6 の一方の電極は、配線 1 2 3 と接続される。配線 1 2 3 は、配線 1 2 3 A ~ 1 2 3 C に対応し、配線 1 2 3 には、これらの配線と同様のものが入力されることが可能である。ただし、これに限定されず、配線 1 2 3 A ~ 配線 1 2 3 C のうちいずれか 2 以上の配線のみを共有することが可能である。

30

【0109】

なお、図 3（B）と同様に、図 3（A）においても、配線 1 2 3 A ~ 1 2 3 C を共有することが可能である。

【0110】

なお、図 3（C）に示すように、図 3（A）と図 3（B）とを組み合わせ、配線 1 2 2 A と配線 1 2 2 B とを共有し、さらに配線 1 2 3 A ~ 1 2 3 C を共有することが可能である。例えば、トランジスタ 1 0 3 の第 1 の端子、及びトランジスタ 1 0 4 の第 1 の端子は、配線 1 2 2 と接続され、且つ、トランジスタ 1 0 1 の第 1 の端子、トランジスタ 1 0 2 のゲート、及び容量素子 1 0 6 の一方の電極は、配線 1 2 3 と接続されることが可能である。

40

【0111】

なお、図 3（D）に示すように、トランジスタ 1 0 4 のゲートは、配線 1 2 1 と接続されることが可能である。トランジスタ 1 0 4 のゲートを配線 1 2 1 と接続することによって、トランジスタ 1 0 4 がオンになるときのゲートの電圧は  $V_1$  となり、図 1（A）でのトランジスタ 1 0 4 がオンになるときのゲートの電圧（ $V_1 + V_{th101} +$ ）よりも低くなる。よって、トランジスタ 1 0 4 の絶縁破壊、又はトランジスタ 1 0 4 の特性劣化を抑制することができる。

50

## 【 0 1 1 2 】

なお、図 3 ( D ) と同様に、図 3 ( A ) ~ ( C ) においても、トランジスタ 1 0 4 のゲートは、配線 1 2 1 と接続されることが可能である。

## 【 0 1 1 3 】

なお、図 3 ( E ) に示すように、トランジスタ 1 0 3 の第 2 の端子は、配線 1 2 1 と接続されることが可能である。トランジスタ 1 0 3 の第 2 の端子を配線 1 2 1 と接続することによって、期間 T 4 において、電圧 V 1 が配線 1 2 2 A から配線 1 2 1 に供給されるので、配線 1 2 1 の電位を V 1 に維持しやすくなる。

## 【 0 1 1 4 】

なお、図 3 ( E ) と同様に、図 3 ( A ) ~ ( D ) においても、トランジスタ 1 0 3 の第 2 の端子は、配線 1 2 1 と接続されることが可能である。

10

## 【 0 1 1 5 】

なお、図 4 ( A ) に示すように、容量素子 1 0 5 を省略することが可能である。この場合、トランジスタ 1 0 1 のゲートと第 2 の端子との間の寄生容量を容量素子 1 0 5 として用いることが可能である。

## 【 0 1 1 6 】

なお、図 4 ( A ) において、容量素子 1 0 5 として、トランジスタ 1 0 1 のゲートと第 2 の端子との間の寄生容量を用いる場合、トランジスタ 1 0 1 において、ゲートと第 2 の端子との間の寄生容量は、ゲートと第 1 の端子との間の寄生容量よりも大きいことが好ましい。したがって、トランジスタ 1 0 1 において、ゲート電極として機能する導電層と、ソース電極又はドレイン電極として機能する導電層との重なる面積は、第 1 の端子側よりも第 2 の端子側の方が大きいことが好ましい。ただし、これに限定されない。

20

## 【 0 1 1 7 】

なお、図 4 ( A ) と同様に、図 3 ( A ) ~ 図 3 ( E ) においても、容量素子 1 0 5 を省略することが可能である。

## 【 0 1 1 8 】

なお、図 4 ( B ) に示すように、容量素子 1 0 5 として、MOS 容量を用いることが可能である。図 4 ( B ) の一例では、容量素子 1 0 5 として、トランジスタ 1 0 5 a が用いられる。トランジスタ 1 0 5 a は、N チャネル型とする。トランジスタ 1 0 5 a の第 1 の端子と第 2 の端子とは、配線 1 2 1 と接続され、トランジスタ 1 0 5 a のゲートは、ノード A と接続される。こうすることによって、容量素子として機能する必要がある期間 ( 期間 T 1 及び期間 T 2 ) では、ノード A の電位が高いので、トランジスタ 1 0 5 a のゲート容量を大きくすることができる。一方で、容量素子として機能する必要がない期間 ( 例えば期間 T 3、期間 T 4、期間 T 5 ) では、ノード A の電位が低いので、トランジスタ 1 0 5 a のゲート容量を小さくすることができる。ただし、これに限定されず、トランジスタ 1 0 5 a は、P チャネル型であることが可能である。または、トランジスタ 1 0 5 a の第 1 の端子と第 2 の端子との一方は、浮遊状態であることが可能である。または、トランジスタ 1 0 5 a のゲートは配線 1 2 1 と接続され、トランジスタ 1 0 5 a の第 1 の端子と第 2 の端子とはノード A と接続されることが可能である。または、トランジスタ 1 0 5 a のチャネル領域に不純物を添加することが可能である。

30

40

## 【 0 1 1 9 】

なお、図 4 ( B ) と同様に、図 3 ( A ) ~ ( E )、及び図 4 ( A ) においても、容量素子 1 0 5 としてトランジスタ 1 0 5 a を用い、トランジスタ 1 0 5 a の第 1 の端子及び第 2 の端子が配線 1 2 1 と接続され、トランジスタ 1 0 5 a のゲートがノード A と接続されることが可能である。

## 【 0 1 2 0 】

なお、図 4 ( C ) に示すように、容量素子 1 0 6 として、MOS 容量を用いることが可能である。図 4 ( C ) の一例では、容量素子 1 0 6 として、トランジスタ 1 0 6 a を用いられる。トランジスタ 1 0 6 a は、N チャネル型とする。トランジスタ 1 0 6 a の第 1 の端子と第 2 の端子とはノード B と接続され、トランジスタ 1 0 6 a のゲートは配線 1 2 3 A

50

と接続される。ただし、これに限定されず、トランジスタ 106a は P チャンネル型であることが可能である。または、トランジスタ 106a の第 1 の端子と第 2 の端子との一方は、浮遊状態であることが可能である。または、トランジスタ 106a のゲートはノード B と接続され、トランジスタ 106a の第 1 の端子と第 2 の端子とは配線 123A と接続されることが可能である。または、トランジスタ 106a のチャンネル領域に不純物を添加することが可能である。

【0121】

なお、図 4 (C) と同様に、図 3 (A) ~ (E)、及び図 4 (A) ~ (B) においても、容量素子 106 としてトランジスタ 106a を用い、トランジスタ 106a の第 1 の端子及び第 2 の端子がノード B と接続され、トランジスタ 106a のゲートが配線 123A と接続されることが可能である。

10

【0122】

なお、図 4 (D) に示すように、トランジスタ 103 をダイオード 103a に置き換えることが可能である。ダイオード 103a は、トランジスタ 103 に対応する。そして、ダイオード 103a は、ノード B の電位がノード A の電位よりも低いときに、ノード A の電位を減少させる機能、及びノード B の電位がノード A の電位よりも高いときに、ノード A とノード B とを非導通状態とする機能を有する。ダイオード 103a の一方の端子 (以下、入力端子又は陽極ともいう) はノード A と接続され、ダイオード 103a の他方の端子 (以下、出力端子又は陰極ともいう) はノード B と接続される。

【0123】

20

なお、図 4 (D) において、トランジスタ 103 をダイオード 103a に置き換える場合、配線 122B には、電圧 V2 を供給することが可能である。または、配線 123A に、信号 S2 の反転信号 (例えば反転クロック信号) を入力することが可能である。

【0124】

なお、図 4 (D) と同様に、図 3 (A) ~ (E)、及び図 4 (A) ~ (C) においても、トランジスタ 103 をダイオード 103a に置き換え、ダイオード 103a の一方の端子がノード A と接続され、ダイオード 103a の他方の端子がノード B と接続されることが可能である。

【0125】

なお、図 4 (E) に示すように、トランジスタ 104 をダイオード 104a に置き換えることが可能である。図 4 (E) の一例では、トランジスタ 104 だけでなく、トランジスタ 103 もダイオードに置き換える場合の一例を示す。ダイオード 104a は、トランジスタ 104 に対応する。そして、ダイオード 104a は、ノード A の電位ノード B の電位よりも高いときに、ノード B の電位を上昇させる機能、及びノード A の電位がノード B の電位よりも低いときに、ノード A とノード B とを非導通状態とする機能を有する。ダイオード 104a の一方の端子はノード A と接続され、ダイオード 104a の他方の端子はノード B と接続される。

30

【0126】

なお、図 4 (E) と同様に、図 3 (A) ~ (E)、及び図 4 (A) ~ (D) においても、トランジスタ 104 をダイオード 104a に置き換え、ダイオード 104a の一方の端子がノード A と接続され、ダイオード 104a の他方の端子がノード B と接続されることが可能である。

40

【0127】

なお、図 4 (F) に示すように、ダイオードとして、ダイオード接続されたトランジスタを用いることが可能である。ダイオード接続されたトランジスタ 103、及びダイオード接続されたトランジスタ 104 は、各々、ダイオード 103a、ダイオード 104a に対応する。トランジスタ 103 の第 1 の端子はノード B と接続され、トランジスタ 103 の第 2 の端子及びゲートはノード A と接続される。トランジスタ 104 の第 1 の端子及びゲートはノード A と接続され、トランジスタ 104 の第 2 の端子はノード B と接続される。ただし、これに限定されず、トランジスタ 103 のゲートは、ノード B と接続され、トラ

50

ンジスタ 104 のゲートはノード B と接続されることが可能である。

【0128】

なお、図 4 ( F ) と同様に、図 3 ( A ) ~ ( E )、及び図 4 ( A ) ~ ( E ) においても、トランジスタ 103 の第 1 の端子がノード B と接続され、トランジスタ 103 の第 2 の端子がノード A と接続され、トランジスタ 103 のゲートがノード A と接続されることが可能である。または、トランジスタ 104 の第 1 の端子がノード A と接続され、トランジスタ 104 の第 2 の端子がノード B と接続され、トランジスタ 104 のゲートがノード A と接続されることが可能である。ただし、これに限定されず、トランジスタ 103 のゲートがノード B と接続され、トランジスタ 104 のゲートがノード B と接続されることが可能である。

10

【0129】

なお、図 5 ( A ) に示すように、ダイオード 107 を新たに追加することが可能である。ダイオード 107 は、配線 123 A に L レベルの信号が入力される場合に、ノード B の電位を減少させる機能、及び配線 123 A に H レベルの信号が入力される場合に、配線 123 A とノード B とを非導通状態とする機能を有する。ダイオード 107 の一方の端子はノード B と接続され、ダイオード 107 の他方の端子は配線 123 A と接続される。ただし、これに限定されず、ダイオード 107 の他方の端子は、配線 123 A とは別の配線と接続されることが可能である。

【0130】

なお、図 5 ( A ) と同様に、図 3 ( A ) ~ ( E )、及び図 4 ( A ) ~ ( F ) においても、ダイオード 107 を新たに追加し、ダイオード 107 の一方の端子がノード B と接続され、ダイオード 107 の他方の端子が配線 123 A と接続されることが可能である。

20

【0131】

なお、図 5 ( B ) に示すように、ダイオード接続されたトランジスタ 107 a を新たに追加することが可能である。ダイオード接続されたトランジスタ 107 a は、ダイオード 107 に対応し、N チャネル型である。トランジスタ 107 a の第 1 の端子は、配線 123 A と接続され、トランジスタ 107 a の第 2 の端子及びゲートは、ノード B と接続される。ただし、これに限定されず、トランジスタ 107 a は、P チャネル型であることが可能である。または、トランジスタ 107 a のゲートは、配線 123 A と接続されることが可能である。

30

【0132】

なお、図 5 ( B ) と同様に、図 3 ( A ) ~ ( E )、図 4 ( A ) ~ ( F )、及び図 5 ( A ) においても、トランジスタ 107 a を新たに追加し、トランジスタ 107 a の第 1 の端子が配線 123 A と接続され、トランジスタ 107 a の第 2 の端子及びゲートがノード B と接続されることが可能である。ただし、これに限定されず、トランジスタ 107 a のゲートがノード B と接続されることが可能である。

【0133】

なお、図 5 ( C ) に示すように、トランジスタ 102 を省略することが可能である。

【0134】

なお、図 5 ( C ) と同様に、図 3 ( A ) ~ ( E )、図 4 ( A ) ~ ( F )、及び図 5 ( A ) ~ ( B ) においても、トランジスタ 102 を省略することが可能である。

40

【0135】

なお、図 5 ( D ) に示すように、回路 100 を省略することが可能である。

【0136】

なお、図 5 ( D ) と同様に、図 3 ( A ) ~ ( E )、図 4 ( A ) ~ ( F )、及び図 5 ( A ) ~ ( C ) においても、回路 100 を省略することが可能である。

【0137】

なお、図 5 ( E ) に示すように、トランジスタ 101、トランジスタ 102、トランジスタ 103、及びトランジスタ 104 をトランジスタ 101 p、トランジスタ 102 p、トランジスタ 103 p、及びトランジスタ 104 p に置き換えることが可能である。トラン

50

ジスタ 101p ~ 104p は、各々、トランジスタ 101 ~ 104 に対応し、Pチャネル型であるものとする。

【0138】

なお、図5(E)において、電位の関係は、図1(A)の半導体装置と逆になっている場合が多い。例えば、配線122A ~ 122Bには、電圧V2が供給され、配線123A ~ 123Bには、信号S2の反転信号が入力されることが可能である。同様に、配線121からは、信号S1の反転信号が出力される場合が多い。

【0139】

なお、図5(E)において、回路100は、期間T1においてノードAの電位を減少させる機能を有する場合が多い。または、回路100は、期間T3において、ノードAの電位をV2となるように上昇させる機能を有する場合が多い。

10

【0140】

なお、図5(E)と同様に、図3(A) ~ (E)、図4(A) ~ (F)、及び図5(A) ~ (D)においても、トランジスタ101 ~ 104として、Pチャネル型のトランジスタを用いることが可能である。

【0141】

(実施の形態2)

本実施の形態では、半導体装置の一例について説明する。本実施の形態の半導体装置は、実施の形態1において説明する半導体装置の具体例である。特に、本実施の形態では、回路100の具体例について説明する。なお、実施の形態1において説明する内容は、本実施の形態の半導体装置に適用することが可能である。

20

【0142】

回路100の具体例について、図6(A)を参照して説明する。ただし、図6(A)は一例であって、これに限定されない。回路100としては、図6(A)の他にも様々な構成の回路を用いることができる。なお、図1(A)と同様なところは同じ符号で示し、その説明を省略する。

【0143】

回路100は、トランジスタ131、トランジスタ132、トランジスタ133、トランジスタ134、及びトランジスタ135を有する。トランジスタ131 ~ 135は、各々、Nチャネル型であるものとする。ただし、トランジスタ131 ~ 135は、Pチャネル型であることが可能である。

30

【0144】

回路100が有するトランジスタの接続関係について説明する。トランジスタ131の第1の端子は配線125と接続され、トランジスタ131の第2の端子はノードAと接続され、トランジスタ131のゲートは配線125と接続される。トランジスタ132の第1の端子は配線125と接続され、トランジスタ132の第2の端子はノードAと接続され、トランジスタ132のゲートは配線124Aと接続される。トランジスタ133の第1の端子は配線122Eと接続され、トランジスタ133の第2の端子は配線121と接続され、トランジスタ133のゲートは配線124Bと接続される。トランジスタ134の第1の端子は配線122Cと接続され、トランジスタ134の第2の端子はノードAと接続され、トランジスタ134のゲートは配線126と接続される。トランジスタ135の第1の端子は配線122Dと接続され、トランジスタ135の第2の端子は配線121と接続され、トランジスタ135のゲートは配線126と接続される。

40

【0145】

配線122C ~ 122E、配線124A ~ 124B、配線125、及び配線126に入力することが可能なもの(例えば信号、電圧、又は電流など)の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。各配線には、以下に述べるものの他にも様々なものを入力することが可能であるし、各配線を浮遊状態(以下、フローティング状態)とすることが可能である。

【0146】

50

配線 1 2 2 C ~ 1 2 2 E には、配線 1 2 2 A 及び配線 1 2 2 B と同様に、電圧 V 1 が供給されているものとする。よって、配線 1 2 2 C ~ 1 2 2 E は、電源線として機能することが可能である。ただし、これに限定されず、配線 1 2 2 C ~ 1 2 2 E に、クロック信号などの信号を入力することが可能である。この場合、配線 1 2 2 C ~ 1 2 2 E は、信号線として機能することが可能である。または、配線 1 2 2 C ~ 1 2 2 E には、別々の電圧を供給することが可能である。

【 0 1 4 7 】

配線 1 2 4 A ~ 1 2 4 B には、一例として、信号 S 3 が入力されているものとする。よって、配線 1 2 4 A ~ 1 2 4 B は、信号線として機能することが可能である。信号 S 3 は、信号 S 2 の反転信号、又は位相が信号 S 2 とおおむね 1 8 0 ° ずれた信号である場合が多く、反転クロック信号 ( C K B ) として機能することが可能である。ただし、これに限定されず、配線 1 2 4 A ~ 1 2 4 B には、電圧を供給することが可能である。この場合、配線 1 2 4 A ~ 1 2 4 B は、電源線として機能することが可能である。または、配線 1 2 4 A ~ 1 2 4 B には、別々の信号を入力することが可能である。

10

【 0 1 4 8 】

配線 1 2 5 には、一例として、信号 S 4 が入力されているものとする。よって、配線 1 2 5 は、信号線として機能することが可能である。信号 S 4 は、L レベルと H レベルとを有するデジタル信号である場合が多く、スタート信号 ( S P )、別の行 ( 段 ) からの転送信号、又は別の行を選択する信号として機能する。ただし、これに限定されず、配線 1 2 5 には、電圧を供給することが可能である。この場合、配線 1 2 5 は、電源線として機能することが可能である。

20

【 0 1 4 9 】

配線 1 2 6 には、一例として、信号 S 5 が入力されているものとする。よって、配線 1 2 6 は、信号線として機能することが可能である。信号 S 5 は、L レベルと H レベルとを有するデジタル信号である場合が多く、リセット信号 ( R E )、又は別の行を選択する信号として機能する。ただし、これに限定されず、配線 1 2 6 には、電圧を供給することが可能である。この場合、配線 1 2 6 は、電源線として機能することが可能である。

【 0 1 5 0 】

トランジスタ 1 3 1 ~ 1 3 5 が有する機能の一例について説明する。ただし、以下に述べる内容は一例であり、これに限定されない。トランジスタ 1 3 1 ~ 1 3 5 は、以下に述べる機能の他にも様々な機能を有することが可能であるし、以下に述べる機能を有していないことも可能である。

30

【 0 1 5 1 】

トランジスタ 1 3 1 は、配線 1 2 5 に入力される信号 ( 例えば信号 S 4 ) に応じて、ノード A の電位を上昇させる機能を有し、ダイオードとして機能する。トランジスタ 1 3 2 は、配線 1 2 4 A に入力される信号 ( 例えば信号 S 3 ) に応じて、配線 1 2 5 とノード A とが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ 1 3 3 は、配線 1 2 4 B に入力される信号 ( 例えば信号 S 3 ) に応じて、配線 1 2 2 E と配線 1 2 1 とが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ 1 3 4 は、配線 1 2 6 に入力される信号 ( 例えば信号 S 5 ) に応じて、配線 1 2 2 C とノード A とが導通するタイミングを制御する機能を有し、スイッチとして機能する。トランジスタ 1 3 5 は、配線 1 2 6 に入力される信号 ( 例えば信号 S 5 ) に応じて、配線 1 2 2 D と配線 1 2 1 とが導通するタイミングを制御する機能を有し、スイッチとして機能する。

40

【 0 1 5 2 】

次に、図 6 ( A ) の半導体装置の動作について、図 6 ( B )、図 7 ( A ) ~ ( C )、及び図 8 ( A ) ~ ( B ) を参照して説明する。図 6 ( B ) は、半導体装置の動作を説明するためのタイミングチャートの一例であり、期間 T 1、期間 T 2、期間 T 3、期間 T 4、及び期間 T 5 を有する。図 7 ( A ) は、期間 T 1 における図 6 ( A ) の半導体装置の動作の模式図を示す。図 7 ( B ) は、期間 T 2 における図 6 ( A ) の半導体装置の動作の模式図を

50

示す。図 7 ( C ) は、期間 T 3 における図 6 ( A ) の半導体装置の動作の模式図を示す。図 8 ( A ) は、期間 T 4 における図 6 ( A ) の半導体装置の動作の模式図を示す。図 8 ( B ) は、期間 T 5 における図 6 ( A ) の半導体装置の動作の模式図を示す。なお、図 1 ( A ) の半導体装置の動作と共通するところは、その説明を省略する。

#### 【 0 1 5 3 】

まず、期間 T 1 において、信号 S 5 は L レベルとなるので、トランジスタ 1 3 4、及びトランジスタ 1 3 5 はオフになる。よって、配線 1 2 2 C とノード A とは非導通状態となり、配線 1 2 2 D と配線 1 2 1 とは非導通状態となる。同時に、信号 S 3、及び信号 S 4 が H レベルになるので、トランジスタ 1 3 1、トランジスタ 1 3 2、及びトランジスタ 1 3 3 がオンになる。すると、配線 1 2 5 とノード A とが導通状態となり、配線 1 2 2 E と配線 1 2 1 とが導通状態となる。よって、配線 1 2 5 に入力される信号 ( H レベルの信号 S 4 ) が配線 1 2 5 からノード A に供給されるので、ノード A の電位は上昇し始める。さらに、配線 1 2 2 E と配線 1 2 1 とが導通状態となるので、電圧 V 1 が配線 1 2 2 E から配線 1 2 1 に供給される。その後、ノード A の電位が信号 S 4 の H レベルの電位 ( V 1 ) からトランジスタ 1 3 3 の閾値電圧 (  $V_{th131}$  ) を引いた値 (  $V_1 - V_{th131}$  ) まで上昇したところで、トランジスタ 1 3 1 はオフになる。同様に、ノード A の電位が信号 S 3 の H レベルの電位 ( V 1 ) からトランジスタ 1 3 2 の閾値電圧 (  $V_{th132}$  ) を引いた値 (  $V_1 - V_{th132}$  ) まで上昇したところで、トランジスタ 1 3 2 はオフになる。トランジスタ 1 3 1、及びトランジスタ 1 3 2 がオフになると、ノード A には電荷が供給されなくなる。よって、ノード A の電位が高い値 ( 少なくとも  $V_1 + V_{th101}$  以上 ) に維持されたまま、ノード A は浮遊状態となる。ここでは、便宜上、ノード A の電位が  $V_1 - V_{th131}$  になると、トランジスタ 1 3 1、及びトランジスタ 1 3 2 がオフになるものとする。よって、配線 1 2 5 とノード A とは非導通状態となる。このときノード A の電位は  $V_1 - V_{th131}$  のまま、ノード A は浮遊状態となる。

#### 【 0 1 5 4 】

次に、期間 T 2 において、信号 S 4 が L レベルになるので、トランジスタ 1 3 1 はオフのままとなる。そして、信号 S 3 が L レベルになるので、トランジスタ 1 3 2 はオフのままとなり、トランジスタ 1 3 3 はオフになる。よって、配線 1 2 5 とノード A とは非導通状態のままとなり、配線 1 2 2 E と配線 1 2 1 とは非導通状態となる。このとき、信号 S 5 は L レベルのままなので、トランジスタ 1 3 4、及びトランジスタ 1 3 5 はオフのままである。よって、配線 1 2 2 C とノード A とは非導通状態のままであり、配線 1 2 2 D と配線 1 2 1 とは非導通状態のままである。

#### 【 0 1 5 5 】

次に、期間 T 3 において、信号 S 4 は L レベルのままなので、トランジスタ 1 3 1 はオフのままである。そして、信号 S 5 が H レベルになるので、トランジスタ 1 3 4、及びトランジスタ 1 3 5 がオンになる。すると、配線 1 2 2 C とノード A とが導通状態となり、配線 1 2 2 D と配線 1 2 1 とが導通状態となる。よって、電圧 V 1 が配線 1 2 2 C からノード A に供給されるので、ノード A の電位は V 1 となるように減少する。同様に、電圧 V 1 が配線 1 2 2 D から配線 1 2 1 に供給されるので、配線 1 2 1 の電位は V 1 となるように減少する。同時に、信号 S 3 が H レベルになるので、トランジスタ 1 3 2、及びトランジスタ 1 3 3 がオンになる。すると、配線 1 2 5 とノード A とが導通状態となり、配線 1 2 2 E と配線 1 2 1 とが導通状態となる。よって、L レベルの信号 S 4 がノード A に供給されるので、ノード A の電位は V 1 となるように減少する。同様に、電圧 V 1 が配線 1 2 1 に供給されるので、配線 1 2 1 の電位は V 1 となるように減少する。

#### 【 0 1 5 6 】

次に、期間 T 4 において、信号 S 4 は L レベルのままなので、トランジスタ 1 3 1 はオフのままである。そして、信号 S 5 が L レベルになるので、トランジスタ 1 3 4、及びトランジスタ 1 3 5 はオフになる。よって、配線 1 2 2 C とノード A とは非導通状態となり、配線 1 2 2 D と配線 1 2 1 とは非導通状態となる。このとき、信号 S 4 が L レベルになるので、トランジスタ 1 3 2、及びトランジスタ 1 3 3 はオフになる。よって、配線 1 2 5

とノードAとは非導通状態となり、配線122Eと配線121とは非導通状態となる。

【0157】

次に、期間T5において、信号S4はLレベルのままなので、トランジスタ131はオフのままである。そして、信号S5はLレベルのままなので、トランジスタ134、及びトランジスタ135はオフのままとなる。よって、配線122CとノードAとは非導通状態のままとなり、配線122Dと配線121とは非導通状態のままとなる。このとき、信号S4がHレベルとなるので、トランジスタ132、及びトランジスタ133がオンになる。すると、配線125とノードAとが導通状態となり、配線122Eと配線121とが導通状態となる。よって、Lレベルの信号S4が配線125からノードAに供給されるので、ノードAの電位はV1に維持される。同様に、電圧V1が配線122Eから配線121に供給されるので、配線121の電位はV1に維持される。

10

【0158】

図6(A)の半導体装置は、期間T4及び期間T5において、ノードAにLレベルの信号又は電圧V1が供給されるので、ノードAのノイズを低減することができる。よって、誤動作を防止することができる。

【0159】

または、図6(A)の半導体装置は、期間T1において、トランジスタ131とトランジスタ132との両方がオンになるので、ノードAの電位を早く上昇させることができる。または、トランジスタ131のチャネル幅、又はトランジスタ132のチャネル幅を小さくすることができる。

20

【0160】

なお、トランジスタ131のチャネル幅は、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも大きいことが可能である。同様に、トランジスタ132のチャネル幅は、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも大きいことが可能である。なぜなら、期間T2においては、ノードAの電位の上昇は早いほうが好ましく、期間T3においては、ノードAの電位の減少は遅いほうが好ましいからである。つまり、期間T2において、ノードAの電位の上昇が早いと、駆動周波数の向上、貫通電流の抑制、消費電力の低減などを図ることができる。一方で、期間T3において、ノードAの電位の減少が遅いと、トランジスタ101のオン時間が長くなるので、配線121から出力される信号(例えば信号S1)の立ち下がり時間を短くすることができる。したがって、期間T2においてノードAの電位を上昇させる機能を有するトランジスタのチャネル幅は、期間T3においてノードAの電位を減少させるトランジスタのチャネル幅よりも大きいことが好ましい。ただし、これに限定されず、トランジスタ131のチャネル幅は、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも小さいことが可能である。同様に、トランジスタ132のチャネル幅は、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも小さいことが可能である。

30

【0161】

なお、トランジスタ131のチャネル幅とトランジスタ134のチャネル幅との和が、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも大きいことが可能である。なぜなら、期間T2において、Hレベルの信号S4は、トランジスタ131とトランジスタ132という二つの並列に接続されたトランジスタを介して、配線125からノードAに供給されるからである。ただし、これに限定されずトランジスタ131のチャネル幅とトランジスタ134のチャネル幅との和が、トランジスタ134のチャネル幅、又はトランジスタ103のチャネル幅よりも小さいことが可能である。

40

【0162】

なお、トランジスタ134のチャネル幅は、トランジスタ133のチャネル幅よりも小さいことが可能である。同様に、トランジスタ132のチャネル幅は、トランジスタ133のチャネル幅よりも小さいことが可能である。同様に、トランジスタ103のチャネル幅は、トランジスタ102のチャネル幅よりも小さいことが可能である。なぜなら、配線1

50

21の負荷（例えば、配線抵抗、寄生容量、接続されるトランジスタなど）は、ノードAの負荷よりも大きい場合が多いからである。したがって、ノードAに信号又は電圧を供給する機能を有するトランジスタのチャネル幅は、配線121に信号又は電圧を供給するトランジスタのチャネル幅よりも小さいことが好ましい。ただし、これに限定されず、トランジスタ134のチャネル幅は、トランジスタ133のチャネル幅よりも大きいことが可能である。同様に、トランジスタ132のチャネル幅は、トランジスタ133のチャネル幅よりも大きいことが可能である。同様に、トランジスタ103のチャネル幅は、トランジスタ102のチャネル幅よりも大きいことが可能である。

#### 【0163】

なお、トランジスタ103のチャネル幅は、トランジスタ132のチャネル幅よりも大きいことが可能である。なぜなら、トランジスタ103は、期間T4においてノードAの電位をV1に維持する機能を有するのに対し、トランジスタ132は、期間T5においてノードAの電位をV1に維持する機能を有するからである。具体的には、期間T4では、配線123Bに入力される信号（例えば信号S2）はHレベルとなる。このとき、ノードAの電位が上昇し、トランジスタ101がオンしてしまうと、配線121の電位が上昇してしまう。したがって、トランジスタ103には、ノードAの電位をV1に維持し、トランジスタ101をオフのままにすることが求められるので、トランジスタ103のチャネル幅は大きいことが好ましい。一方で、期間T5では、配線123Bに入力される信号（例えば信号S2）はLレベルとなるので、トランジスタ101がオンしても、配線121の電位は上昇しない。つまり、ノードAの電位がV1から上昇または減少しても、配線121の電位が上昇しない。したがって、トランジスタ132のオン抵抗を小さくする必要性は少ないので、トランジスタ132のチャネル幅は小さいことが好ましい。ただし、これに限定されず、トランジスタ103のチャネル幅は、トランジスタ132のチャネル幅よりも小さいことが可能である。なぜなら、トランジスタ132は、期間T1において、ノードAの電位を上昇させる機能を有しているからである。トランジスタ132のチャネル幅を大きくすることによって、ノードAの電位を早く上昇させることができる。

#### 【0164】

なお、トランジスタ102のチャネル幅は、トランジスタ133のチャネル幅よりも小さいことが可能である。なぜなら、トランジスタ102のチャネル幅を大きくしすぎると、期間T2においてノードAの電位が減少しすぎると、半導体装置が誤動作してしまうからである。具体的には、トランジスタ102とトランジスタ133とは両方とも、配線121の電位をV1に維持する機能を有する。しかし、期間T2において、配線121の電位が配線123Cの電位（V1）からトランジスタ102の閾値電圧（ $V_{th102}$ ）を引いた値（ $V1 - V_{th102}$ ）に上昇するまでは、トランジスタ102はオンしている。したがって、期間T2においてノードAの電位が減少しすぎることの防止するために、トランジスタ102のチャネル幅は小さいことが好ましい。一方で、トランジスタ133のチャネル幅は、配線121の電位をV1に維持するために大きいことが好ましい。ただし、これに限定されず、トランジスタ102のチャネル幅は、トランジスタ133のチャネル幅よりも大きいことが可能である。なぜなら、期間T4において、信号S2がHレベルになるときに、配線121の電位が上昇する可能性が高いからである。よって、トランジスタ102のチャネル幅を大きくすることによって、配線121の電位の上昇を抑制しやすくできるからである。

#### 【0165】

なお、実施の形態1と同様に、配線124A、配線124B、配線125、及び/又は、配線126に入力される信号のLレベルの電位は、V1よりも低いことが可能である。特に、トランジスタ132、及びトランジスタ133がオンになる時間が長いので、配線124A、及び配線124Bに入力される信号のLレベルの電位は、V1よりも低いことが好ましい。

#### 【0166】

なお、実施の形態1と同様に、配線124A、配線124B、配線125、又は配線12

10

20

30

40

50

6 に入力される信号の H レベルの電位は、V 2 よりも低いことが可能である。特に、トランジスタ 1 3 2、及びトランジスタ 1 3 3 は劣化しやすいので、配線 1 2 4 A、及び配線 1 2 4 B に入力される信号の H レベルの電位は、V 2 よりも低いこと好ましい。

【0167】

なお、実施の形態 1 と同様に、配線 1 2 2 C、配線 1 2 2 D、又は配線 1 2 2 E に信号を入力することが可能である。例えば、配線 1 2 2 C には、トランジスタ 1 3 4 がオンになる期間（例えば、期間 T 3）に L レベルとなる信号を入力することが可能である。その一例としては、信号 S 2、又は信号 S 4 などがある。配線 1 2 2 D には、トランジスタ 1 3 5 がオンになる期間（例えば、期間 T 3）に L レベルとなる信号を入力することが可能である。その一例としては、信号 S 2、又は信号 S 4 などがある。配線 1 2 2 E には、トランジスタ 1 3 3 がオンになる期間（例えば、期間 T 1、期間 T 3、期間 T 5）に L レベルとなる信号を入力することが可能である。その一例としては、信号 S 2、信号 S 3 などがある。

10

【0168】

なお、図 1 3（C）には、一例として、トランジスタ 1 0 3 の第 1 の端子が配線 1 2 4 B と接続され、トランジスタ 1 0 4 の第 1 の端子が配線 1 2 6 と接続され、トランジスタ 1 3 3 の第 1 の端子が配線 1 2 3 A と接続され、トランジスタ 1 3 4 の第 1 の端子が配線 1 2 3 A と接続され、トランジスタ 1 3 5 の第 1 の端子が配線 1 2 3 A と接続される場合の構成を示す。ただし、これに限定されず、トランジスタ 1 0 3 の第 1 の端子は、配線 1 2 4 A、又は配線 1 2 5 と接続されることが可能である。または、トランジスタ 1 3 3 の第 1 の端子、トランジスタ 1 3 4 の第 1 の端子、又はトランジスタ 1 3 5 の第 1 の端子は、配線 1 2 1、配線 1 2 3 B、配線 1 2 3 C、又は配線 1 2 6 と接続されることが可能である。

20

【0169】

なお、実施の形態 1 と同様に、配線 1 2 4 A、配線 1 2 4 B、及び / 又は、配線 1 2 6 には、電圧（例えば電圧 V 1 又は電圧 V 2）を供給することが可能である。こうすることによって、半導体装置は、インバータ回路、又はバッファ回路として機能することが可能となる。

【0170】

なお、図 9（A）に示すように、配線 1 2 4 A、及び配線 1 2 4 B には、同じ信号（例えば信号 S 3）が入力されるので、配線 1 2 4 A と配線 1 2 4 B とを共有することが可能である。このために、トランジスタ 1 3 2 のゲート、及びトランジスタ 1 3 3 のゲートは、配線 1 2 4 と接続される。配線 1 2 4 は、配線 1 2 4 A、又は配線 1 2 4 B に対応し、これらの配線と同様なものを入力することが可能である。

30

【0171】

なお、図 9（C）には、図 3（C）と図 9（A）とを組み合わせた場合の構成を示す。例えば、トランジスタ 1 0 1 の第 1 の端子、トランジスタ 1 0 2 のゲート、及び容量素子 1 0 6 の一方の電極は、配線 1 2 3 と接続される。トランジスタ 1 3 2 のゲート、及びトランジスタ 1 3 3 のゲートは、配線 1 2 4 と接続される。トランジスタ 1 0 3 の第 1 の端子、トランジスタ 1 0 4 の第 1 の端子、トランジスタ 1 3 3 の第 1 の端子、トランジスタ 1 3 4 の第 1 の端子、及びトランジスタ 1 3 5 の第 1 の端子は、配線 1 2 2 と接続される。

40

【0172】

なお、図 9（C）に示すように、トランジスタ 1 3 1 のゲートが配線 1 2 7 に接続されることが可能である。配線 1 2 7 には、一例として、電圧 V 2 が供給されるものとし、電源線として機能することが可能である。ただし、これに限定されず、配線 1 2 7 には、電流、電圧、信号などの様々なものを入力することが可能である。例えば、配線 1 2 7 に入力される信号は、期間 T 1 において H レベルとなり、期間 T 2 において L レベルとなること好ましいので、配線 1 2 7 に信号 S 3 を入力することが可能である。この場合、配線 1 2 7 は、配線 1 2 4 A、又は配線 1 2 4 B と接続されることが可能であり、信号線として機能することが可能である。

50

## 【 0 1 7 3 】

なお、図 9 ( C ) では、トランジスタ 1 3 1 のゲートが配線 1 2 7 に接続されるものとするが、これに限定されない。例えば、トランジスタ 1 3 1 の第 1 の端子が配線 1 2 7 と接続され、トランジスタ 1 3 1 のゲートが配線 1 2 5 に接続されることが可能である。

## 【 0 1 7 4 】

なお、図 9 ( C ) と同様に、図 9 ( A ) ~ ( B ) においても、トランジスタ 1 3 1 のゲートが配線 1 2 7 に接続されることが可能である。

## 【 0 1 7 5 】

なお、図 1 0 ( A ) に示すように、トランジスタ 1 3 1 を省略することが可能である。トランジスタ 1 3 1 が省略されても、期間 T 1 において、トランジスタ 1 3 2 がオンになるので、ノード A の電位は上昇する。

10

## 【 0 1 7 6 】

なお、図 1 0 ( A ) と同様に、図 9 ( A ) ~ ( C ) においても、トランジスタ 1 3 1 を省略することが可能である。

## 【 0 1 7 7 】

なお、図 1 0 ( B ) に示すように、トランジスタ 1 3 2 を省略することが可能である。トランジスタ 1 3 2 が省略されても、期間 T 5 において、ノード A は浮遊状態となるので、ノード A の電位は V 1 に維持される。

## 【 0 1 7 8 】

なお、図 1 0 ( B ) と同様に、図 9 ( A ) ~ ( C ) 、及び図 1 0 ( A ) においても、トランジスタ 1 3 2 を省略することが可能である。

20

## 【 0 1 7 9 】

なお、図 1 0 ( C ) に示すように、トランジスタ 1 3 4 、及びトランジスタ 1 3 5 を省略することが可能である。または、トランジスタ 1 3 4 とトランジスタ 1 3 5 との一方を省略することが可能である。トランジスタ 1 3 4 が省略されても、期間 T 3 において、トランジスタ 1 3 2 がオンになるので、ノード A の電位は V 1 になるように減少する。同様に、トランジスタ 1 3 5 が省略されても、期間 T 3 において、トランジスタ 1 3 3 がオンになるので、配線 1 2 1 の電位は V 1 となるように減少する。

## 【 0 1 8 0 】

なお、図 1 0 ( C ) と同様に、図 9 ( A ) ~ ( C ) 、及び図 1 0 ( A ) ~ ( B ) においても、トランジスタ 1 3 4 、及びトランジスタ 1 3 5 を省略することが可能である。

30

## 【 0 1 8 1 】

なお、図 1 1 ( A ) に示すように、トランジスタ 1 3 3 を省略することが可能である。トランジスタ 1 3 3 が省略されても、期間 T 5 において、配線 1 2 1 は浮遊状態となるので、配線 1 2 1 の電位は V 1 に維持される。

## 【 0 1 8 2 】

なお、図 1 1 ( A ) と同様に、図 9 ( A ) ~ ( C ) 、及び図 1 0 ( A ) ~ ( C ) においても、トランジスタ 1 3 3 を省略することが可能である。

## 【 0 1 8 3 】

なお、図 1 1 ( B ) に示すように、トランジスタ 1 0 2 を省略することが可能である。トランジスタ 1 0 2 が省略されても、期間 T 4 において、配線 1 2 1 は浮遊状態となるので、配線 1 2 1 の電位は V 1 に維持される。

40

## 【 0 1 8 4 】

なお、図 1 1 ( B ) と同様に、図 9 ( A ) ~ ( C ) 、図 1 0 ( A ) ~ ( C ) 、及び図 1 1 ( A ) においても、トランジスタ 1 0 2 を省略することが可能である。

## 【 0 1 8 5 】

なお、図 1 1 ( C ) に示すように、トランジスタ 1 0 3 、トランジスタ 1 0 4 、及び容量素子 1 0 6 を省略することが可能である。トランジスタ 1 0 3 、トランジスタ 1 0 4 、及び容量素子 1 0 6 が省略されても、期間 T 4 において、配線 1 2 1 は浮遊状態となるので、配線 1 2 1 の電位は V 1 に維持される。

50

## 【0186】

なお、図11(C)と同様に、図9(A)～(C)、図10(A)～(C)、及び図11(A)～(B)においても、トランジスタ103、トランジスタ104、及び容量素子106を省略することが可能である。

## 【0187】

なお、図12(A)に示すように、トランジスタ133をダイオード133aに置き換えることが可能である。ダイオード133aは、トランジスタ133に対応する。ダイオード133aは、配線124BにLレベルの信号が入力されるときに、配線121の電位を減少させる機能、及び配線124BにHレベルの信号が入力されるときに、配線124Bと配線121とを非導通状態とする機能を有する。ダイオード133aの一方の端子(以下、入力端子又は陽極ともいう)は配線121と接続され、ダイオード133aの他方の端子(以下、出力端子又は陰極ともいう)は配線124Bと接続される。

10

## 【0188】

なお、図12(A)において、トランジスタ133をダイオード133aに置き換える場合、配線124Bには信号S2を入力することが可能である。よって、配線124Bを配線123A～123Cと接続し、配線124Bと、配線123A～123Cとを共有することが可能である。

## 【0189】

なお、図12(A)と同様に、図9(A)～(C)、図10(A)～(C)、及び図11(A)～(C)においても、トランジスタ133をダイオード133aに置き換え、ダイオード133aの一方の端子が配線121と接続され、ダイオード133aの他方の端子が配線124Bと接続されることが可能である。

20

## 【0190】

なお、図12(B)に示すように、トランジスタ133をダイオード接続することが可能である。ダイオード接続したトランジスタ133は、ダイオード133aに対応する。トランジスタ133の第1の端子は、配線124Bと接続され、トランジスタ133の第2の端子は、配線121と接続され、トランジスタ133のゲートは、配線121と接続される。ただし、これに限定されず、トランジスタ133のゲートは、配線124Bと接続されることが可能である。

## 【0191】

なお、図12(B)と同様に、図9(A)～(C)、図10(A)～(C)、図11(A)～(C)、及び図12(A)においても、トランジスタ133の第1の端子が配線124Bと接続され、トランジスタ133の第2の端子が配線121と接続され、トランジスタ133のゲートが配線121と接続されることが可能である。ただし、これに限定されず、トランジスタ133のゲートは、配線124Bと接続されることが可能である。

30

## 【0192】

なお、図12(C)に示すように、トランジスタ134をダイオード134aに置き換え、トランジスタ135をダイオード135aに置き換えることが可能である。ダイオード134aは、トランジスタ134に対応し、ダイオード135aは、トランジスタ135に対応する。ダイオード134aは、配線126にLレベルの信号が入力されるときに、ノードAの電位を減少させる機能、及び配線126にHレベルの信号が入力されるときに、配線126とノードAとを非導通状態とする機能を有する。ダイオード135aは、配線126にLレベルの信号が入力されるときに、配線121の電位を減少させる機能、及び配線126にHレベルの信号が入力されるときに、配線126と配線121とを非導通状態とする機能を有する。ダイオード134aの一方の端子(以下、入力端子又は陽極ともいう)はノードAと接続され、ダイオード134aの他方の端子(以下、出力端子又は陰極ともいう)は配線126と接続される。ダイオード135aの一方の端子(以下、入力端子又は陽極ともいう)は配線121と接続され、ダイオード135aの他方の端子(以下、出力端子又は陰極ともいう)は配線126と接続される。

40

## 【0193】

50

なお、図 12 (C) において、トランジスタ 134、及びトランジスタ 135 をダイオードに置き換える場合、配線 126 には、一例として、信号 S5 の反転信号が入力されることが可能である。

【0194】

なお、図 12 (C) において、トランジスタ 134 とトランジスタ 135 との一方のみをダイオードに置き換えることが可能である。

【0195】

なお、図 12 (C) と同様に、図 9 (A) ~ (C)、図 10 (A) ~ (C)、図 11 (A) ~ (C)、及び図 12 (A) ~ (B) においても、トランジスタ 134 をダイオード 134a に置き換え、ダイオード 134a の一方の端子がノード A と接続され、ダイオード 134a の他方の端子が配線 126 と接続されることが可能である。または、トランジスタ 135 をダイオード 135a に置き換え、ダイオード 135a の一方の端子が配線 121 と接続され、ダイオード 135a の他方の端子が配線 126 と接続されることが可能である。

10

【0196】

なお、図 13 (A) に示すように、トランジスタ 134、及びトランジスタ 135 をダイオード接続することが可能である。ダイオード接続したトランジスタ 134、及びダイオード接続したトランジスタ 135 は、各々、ダイオード 134a、ダイオード 135a に対応する。トランジスタ 134 の第 1 の端子は、配線 126 と接続され、トランジスタ 134 の第 2 の端子は、ノード A と接続され、トランジスタ 134 のゲートは、ノード A と接続される。そして、トランジスタ 135 の第 1 の端子は、配線 126 と接続され、トランジスタ 135 の第 2 の端子は、配線 121 と接続され、トランジスタ 135 のゲートは、配線 121 と接続される。ただし、これに限定されず、トランジスタ 134 のゲートは、配線 126 と接続されることが可能であり、トランジスタ 135 のゲートは、配線 126 と接続されることが可能である。

20

【0197】

なお、図 13 (A) と同様に、図 9 (A) ~ (C)、図 10 (A) ~ (C)、図 11 (A) ~ (C)、及び図 12 (A) ~ (C) においても、トランジスタ 134 の第 1 の端子が配線 126 と接続され、トランジスタ 134 の第 2 の端子がノード A と接続され、トランジスタ 134 のゲートがノード A と接続されることが可能である。または、トランジスタ 135 の第 1 の端子が配線 126 と接続され、トランジスタ 135 の第 2 の端子が配線 121 と接続され、トランジスタ 135 のゲートが配線 121 と接続されることが可能である。ただし、これに限定されず、トランジスタ 134 のゲートは、配線 126 と接続されることが可能であり、トランジスタ 135 のゲートは、配線 126 と接続されることが可能である。

30

【0198】

なお、図 13 (B) に示すように、トランジスタ 137、及びトランジスタ 138 を新たに追加することが可能である。トランジスタ 137、及びトランジスタ 138 は、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ 137、及びトランジスタ 138 は、Pチャネル型であることが可能である。トランジスタ 137 の第 1 の端子は、配線 122F と接続され、トランジスタ 137 の第 2 の端子は、配線 121 と接続され、トランジスタ 137 のゲートは、配線 128 と接続される。トランジスタ 138 の第 1 の端子は、配線 122G と接続されトランジスタ 138 の第 2 の端子は、ノード A と接続され、トランジスタ 138 のゲートは、配線 128 と接続される。配線 128 には、一例として、信号 S6 が入力されるものとする。よって、配線 128 は信号線として機能することが可能である。信号 S6 は、HレベルとLレベルとを有するデジタル信号である場合が多く、例えば全段リセット信号として機能することが可能である。配線 122F、及び配線 122G には、一例として、電圧 V1 が供給されるものとする。よって、配線 122F、及び配線 122G は、電源線として機能することが可能である。そして、配線 122A ~ 122G を共有することが可能である。この場合、トランジスタ 137 の第 1 の

40

50

端子、及びトランジスタ 138 の第 1 の端子は、図 11 (B) のように、配線 122 と接続することが可能である。ただし、配線 128、配線 122F、及び配線 122G には、電流、電圧、信号など様々なものを入力することが可能である。

【0199】

なお、図 13 (B) において、信号 S6 は、半導体装置が動作を開始する前の期間において、H レベルになることが可能である。または、図 13 (B) に示す半導体装置がシフトレジスタに用いられる場合、信号 S6 は、該シフトレジスタが走査を開始する前の期間、又は該シフトレジスタが走査を終了した後の期間において、H レベルになることが可能である。よって、信号 S6 としては、該シフトレジスタのスタートパルス、又は該シフトレジスタの最終段の出力信号などを用いることが可能である。ただし、本実施の形態の一例は、これに限定されない。

10

【0200】

なお、図 13 (B) において、トランジスタ 137 とトランジスタ 138 との一方のみを新たに追加することが可能である。

【0201】

なお、図 13 (B) と同様に、図 9 (A) ~ (C)、図 10 (A) ~ (C)、図 11 (A) ~ (C)、図 12 (A) ~ (C)、及び図 13 (A) においても、トランジスタ 137 を新たに追加し、トランジスタ 137 の第 1 の端子が配線 122F と接続され、トランジスタ 137 の第 2 の端子が配線 121 と接続され、トランジスタ 137 のゲートが配線 128 と接続されることが可能である。または、トランジスタ 138 を新たに追加し、トランジスタ 138 の第 1 の端子が配線 122G と接続されトランジスタ 138 の第 2 の端子がノード A と接続され、トランジスタ 138 のゲートが配線 128 と接続されることが可能である。

20

【0202】

(実施の形態 3)

本実施の形態では、シフトレジスタの一例について説明する。本実施の形態のシフトレジスタは、実施の形態 1、及び実施の形態 2 の半導体装置を有することが可能である。なお、シフトレジスタを半導体装置、又はゲートドライバと示すことが可能である。なお、実施の形態 1、及び実施の形態 2 において説明する内容は、本実施の形態のシフトレジスタに適用することが可能である。

30

【0203】

まず、シフトレジスタの一例について、図 14 (A) を参照して説明する。シフトレジスタ 220 は、配線 201 \_\_ 1 ~ 201 \_\_ N (N は、自然数)、配線 202、配線 203、配線 204、配線 205、及び配線 206 と接続される。

【0204】

配線 202 は、実施の形態 1、及び実施の形態 2 において説明する配線 123 (配線 123A ~ 123C)、又は配線 124 (配線 124A ~ 124B) に対応し、信号線、又はクロック信号線として機能することが可能である。そして、配線 202 には、回路 221 から、信号 GS2 が入力されるものとする。信号 GS2 は、実施の形態 1、及び実施の形態 2 において説明する信号 S2 又は信号 S3 に対応し、クロック信号として機能することが可能である。

40

【0205】

配線 203 は、実施の形態 1、及び実施の形態 2 において説明する配線 123 (配線 123A ~ 123C)、又は配線 124 (配線 124A ~ 124B) に対応し、信号線、又はクロック信号線として機能することが可能である。そして、配線 203 には、回路 221 から、信号 GS3 が入力されるものとする。信号 GS3 は、実施の形態 1、及び実施の形態 2 において説明する信号 S2 又は信号 S3 に対応し、反転クロック信号として機能することが可能である。

【0206】

配線 204 は、実施の形態 1、及び実施の形態 2 において説明する配線 122 (配線 12

50

2 A ~ 1 2 2 G ) に対応し、電源線として機能することが可能である。そして、配線 2 0 4 には、回路 2 2 1 から、電圧 V 1 が供給されるものとする。

【 0 2 0 7 】

配線 2 0 5 は、実施の形態 1、及び実施の形態 2 において説明する配線 1 2 5 に対応し、信号線として機能することが可能である。そして、配線 2 0 5 には、回路 2 2 1 から、信号 G S 4 が入力されるものとする。信号 G S 4 は、実施の形態 1、及び実施の形態 2 において説明する信号 S 4 に対応し、スタート信号（以下、スタートパルス）、又は垂直同期信号として機能することが可能である。

【 0 2 0 8 】

配線 2 0 6 は、実施の形態 1、及び実施の形態 2 において説明する配線 1 2 6 に対応し、信号線として機能することが可能である。そして、配線 2 0 6 には、回路 2 2 1 から、信号 G S 5 が入力されるものとする。信号 G S 5 は、実施の形態 1、及び実施の形態 2 において説明する信号 S 5 に対応し、リセット信号として機能することが可能である。

【 0 2 0 9 】

ただし、これに限定されず、配線 2 0 2 ~ 2 0 6 には、信号、電圧、又は電流など様々なものを入力することが可能であるし、各配線を浮遊状態にすることが可能である。

【 0 2 1 0 】

なお、図 6 ( C ) に示すように、信号 S 2、又は信号 S 3 としては、非平衡のクロック信号を用いることが可能である。この場合、一例として、信号 S 3 は、信号 S 2 に対して、位相が 1 8 0 ° ずれたものとすることが可能である。こうすることによって、本実施の形態の半導体装置がシフトレジスタに用いられる場合に、ある段の選択信号がその前後の段の選択信号と重なることを防止することができる。

【 0 2 1 1 】

配線 2 0 1 \_\_ 1 ~ 2 0 1 \_\_ N は、実施の形態 1、及び実施の形態 2 において説明する配線 1 2 1 に対応し、ゲート線、又は走査線として機能することが可能である。そして、配線 2 0 1 \_\_ 1 ~ 2 0 1 \_\_ N からは、各々、信号 G S 1 \_\_ 1 ~ G S 1 \_\_ N が出力される。信号 G S 1 \_\_ 1 ~ G S 1 \_\_ N は、実施の形態 1、及び実施の形態 2 において説明する信号 S 1 に対応し、出力信号、選択信号、走査信号、又はゲート信号として機能することが可能である。

【 0 2 1 2 】

なお、図 1 4 ( B ) に示すように、信号 G S 1 \_\_ 1 ~ G S 1 \_\_ N は、信号 G S 1 \_\_ 1 から順に H レベルとなる。例えば、信号 G S 1 \_\_ i - 1 ( i は、1 ~ N のいずれか ) が H レベルとなるとする。その後、信号 G S 2、及び信号 G S 3 が反転すると、信号 G S 1 \_\_ i - 1 は L レベルとなり、信号 G S 1 \_\_ i が H レベルとなる。その後、再び信号 G S 2、及び信号 G S 3 が反転すると、信号 G S 1 \_\_ i は L レベルとなり、信号 G S 1 \_\_ i + 1 が H レベルとなる。こうして、信号 G S 1 \_\_ 1 ~ G S 1 \_\_ N が順に H レベルとなる。言い換えると、配線 2 0 1 \_\_ 1 ~ 2 0 1 \_\_ N が順に選択される。

【 0 2 1 3 】

回路 2 2 1 は、シフトレジスタ 2 2 0 に信号又は電圧などを供給し、シフトレジスタ 2 2 0 を制御する機能を有し、制御回路、又はコントローラなどとして機能することが可能である。本実施の形態では、回路 2 1 1 は、配線 2 0 2、配線 2 0 3、配線 2 0 4、配線 2 0 5、及び配線 2 0 6 に、各々、信号 G S 2、信号 G S 3、電圧 V 1、信号 G S 4、信号 G S 5 を供給するものとする。ただし、これに限定されず、シフトレジスタ 2 2 0 は、他にも様々な回路に信号、電流、又は電圧などを供給し、これらの回路を制御することが可能である。例えば、回路 2 2 1 は、信号線駆動回路、走査線駆動回路、及び / 又は、画素などに信号又は電圧などを供給し、これらの回路を制御することが可能である。

【 0 2 1 4 】

回路 2 2 1 は、一例として、回路 2 2 2、及び回路 2 2 3 などを有する。回路 2 2 2 は、正電源電圧、負電源電圧、グランド電圧、基準電圧などの電源電圧を生成する機能を有し、電源回路、又はレギュレータとして機能することが可能である。回路 2 2 3 は、クロッ

10

20

30

40

50

ク信号、反転クロック信号、スタート信号、リセット信号、及び／又は、ビデオ信号などの様々な信号を生成する機能を有し、タイミングジェネレータとして機能することが可能である。ただし、これに限定されず、回路 221 は、回路 222、及び回路 223 の他にも、様々な回路、又は様々な素子を有することが可能である。例えば、回路 221 は、オシレータ、レベルシフト回路、インバータ回路、バッファ回路、DA 変換回路、AD 変換回路、オペアンプ、シフトレジスタ、ルックアップテーブル、コイル、トランジスタ、容量素子、抵抗素子、及び／又は、分周器などを有することが可能である。

#### 【0215】

次に、シフトレジスタ 220 の一例について、図 15 を参照して説明する。図 15 のシフトレジスタは、フリップフロップ 200<sub>1</sub> ~ 200<sub>N</sub> (N は自然数) という複数のフリップフロップを有する。フリップフロップ 200<sub>1</sub> ~ 200<sub>N</sub> は、各々、実施の形態 1、及び実施の形態 2 において説明する半導体装置に対応する。図 15 では、一例として、図 9 (B) の半導体装置をフリップフロップとして用いる場合の構成を示す。

10

#### 【0216】

シフトレジスタの接続関係について説明する。まず、一例として、フリップフロップ 200<sub>i</sub> の接続関係について説明する。フリップフロップ 200<sub>i</sub> において、配線 121、配線 122、配線 123、配線 124、配線 126、及び配線 127 は、各々、配線 201<sub>i</sub>、配線 204、配線 202、配線 203、配線 201<sub>i</sub> - 1、配線 201<sub>i</sub> + 1 と接続される。ただし、奇数段のフリップフロップと偶数段のフリップフロップとで、配線 123、及び配線 124 の接続先が逆になっている場合が多い。例えば、奇数段のフリップフロップにおいて、配線 123 が配線 202 と接続され、配線 124 が配線 203 と接続されとする。この場合、偶数段のフリップフロップでは、配線 123 が配線 203 と接続され、配線 124 が配線 202 と接続される。一方で、奇数段のフリップフロップにおいて、配線 123 が配線 203 と接続され、配線 124 が配線 202 と接続されとする。この場合、偶数段のフリップフロップでは、配線 123 が配線 202 と接続され、配線 124 が配線 203 と接続される。

20

#### 【0217】

なお、フリップフロップ 200<sub>1</sub> において、配線 125 は、配線 205 と接続される。

#### 【0218】

なお、フリップフロップ 200<sub>N</sub> において、配線 126 は、配線 206 と接続される。

30

#### 【0219】

次に、図 15 のシフトレジスタの動作の一例について、図 14 (B) タイミングチャートを参照して説明する。なお、実施の形態 1、及び実施の形態 2 の半導体装置の動作と共通するところは、その説明を省略する。

#### 【0220】

フリップフロップ 200<sub>i</sub> の動作について説明する。まず、信号 GS1<sub>i</sub> - 1 が H レベルとなる。すると、フリップフロップ 200<sub>i</sub> が期間 T1 での動作を開始し、信号 GS1<sub>i</sub> は L レベルとなる。その後、信号 GS2、及び信号 GS3 が反転する。すると、フリップフロップ 200<sub>i</sub> が期間 T2 における動作を開始し、信号 GS1<sub>i</sub> が H レベルになる。信号 GS1<sub>i</sub> は、フリップフロップ 200<sub>i</sub> - 1 にリセット信号として入力され、且つフリップフロップ 200<sub>i</sub> + 1 にスタート信号として入力される。よって、フリップフロップ 200<sub>i</sub> - 1 は、期間 T3 における動作を開始し、フリップフロップ 200<sub>i</sub> + 1 は、期間 T1 における動作を開始する。その後、信号 GS2、及び信号 GS3 が再び反転する。すると、フリップフロップ 200<sub>i</sub> + 1 が期間 T2 における動作を開始し、信号 GS1<sub>i</sub> + 1 が H レベルとなる。信号 GS1<sub>i</sub> + 1 は、フリップフロップ 200<sub>i</sub> にリセット信号として入力される。したがって、フリップフロップ 200<sub>i</sub> は期間 T3 における動作を開始ので、信号 GS1<sub>i</sub> は L レベルとなる。その後、再び信号 GS1<sub>i</sub> - 1 が H レベルになるまでは、フリップフロップ 200<sub>i</sub> は、信号 GS2、及び信号 GS3 が反転するたびに、期間 T4 における動作と期間 T5 における動作とを繰り返す。

40

50

## 【 0 2 2 1 】

なお、フリップフロップ 2 0 0 \_\_ 1 では、前の段のフリップフロップの出力信号の代わりに、信号 G S 4 が外部回路から配線 2 0 5 を介して入力される。よって、信号 G S 4 が H レベルになると、フリップフロップ 2 0 0 \_\_ 1 は、期間 T 1 における動作を開始する。

## 【 0 2 2 2 】

なお、フリップフロップ 2 0 0 \_\_ N では、次の段のフリップフロップの出力信号の代わりに、信号 G S 5 が外部回路から配線 2 0 6 を介して入力される。よって、信号 G S 5 が H レベルになると、フリップフロップ 2 0 0 \_\_ N は、期間 T 3 における動作を開始する。

## 【 0 2 2 3 】

本実施の形態のシフトレジスタに、実施の形態 1、及び実施の形態 2 の半導体装置を用いることによって、当該半導体装置と同様なメリットを得ることができる。

10

## 【 0 2 2 4 】

なお、配線 2 0 6 を省略することが可能である。この場合、一例として、フリップフロップ 2 0 0 \_\_ N として、図 1 0 ( C ) に示すようなトランジスタ 1 3 4、及びトランジスタ 1 3 5 を省略する構成を用いることが可能である。

## 【 0 2 2 5 】

なお、フリップフロップ 2 0 0 \_\_ 1 ~ 2 0 0 \_\_ N において、電圧 V 1 の代わりに信号を用いる場合、配線 2 0 4 を省略することが可能である。

## 【 0 2 2 6 】

なお、配線 2 0 6 には、配線 2 0 5 と同様に信号 G S 4 が入力されることが可能である。この場合、配線 2 0 6 を配線 2 0 5 と接続することによって、配線 2 0 5 と配線 2 0 6 とを共有することが可能である。または、配線 2 0 6 には、配線 2 0 2 と同様に信号 G S 2 が入力されることが可能である。この場合、配線 2 0 6 を配線 2 0 2 と接続することによって、配線 2 0 6 と配線 2 0 2 とを共有することが可能である。または、配線 2 0 6 には、配線 2 0 3 と同様に信号 G S 3 が入力されることが可能である。この場合、配線 2 0 6 を配線 2 0 3 と接続することによって、配線 2 0 6 と配線 2 0 3 とを共有することが可能である。または、配線 2 0 6 には、配線 2 0 4 と同様に電圧 V 1 が入力されることが可能である。この場合、配線 2 0 6 を配線 2 0 4 と接続することによって、配線 2 0 6 と配線 2 0 4 とを共有することが可能である。

20

## 【 0 2 2 7 】

なお、フリップフロップ 2 0 0 \_\_ 1 ~ 2 0 0 \_\_ N として、図 1 3 ( B ) のように信号 S 6 を必要とする構成が用いられる場合、図 1 6 に示すように配線 2 0 7 を追加することが可能である。配線 2 0 7 には、信号 G S 6 が入力される。信号 G S 6 は、実施の形態 2 において説明する信号 S 6 に対応し、全段リセット信号として機能することが可能である。そして、配線 2 0 7 は、図 1 3 ( B ) の配線 1 2 8 に対応し、信号線として機能することが可能である。

30

## 【 0 2 2 8 】

ただし、これに限定されず、配線 2 0 7 と別の配線とを共有することによって、配線の数、又は、信号若しくは電源電圧の数を減らすことができる。例えば、配線 2 0 7 には、配線 2 0 5 と同様に信号 G S 4 を入力することが可能である。よって、配線 2 0 7 を配線 2 0 5 と接続することによって、配線 2 0 7 と配線 2 0 5 とを共有することが可能である。または、配線 2 0 7 には、配線 2 0 6 と同様に信号 G S 5 を入力することが可能である。よって、配線 2 0 7 を配線 2 0 6 と接続することによって、配線 2 0 7 と配線 2 0 6 とを共有することが可能である。または、配線 2 0 7 には、フリップフロップ 2 0 0 \_\_ N の出力信号である信号 S 1 \_\_ N を入力することが可能である。よって、配線 2 0 7 を配線 2 0 1 \_\_ N と接続することによって、配線 2 0 7 と配線 2 0 1 \_\_ N とを共有することが可能である。

40

## 【 0 2 2 9 】

なお、フリップフロップ 2 0 0 \_\_ 1 ~ 2 0 0 \_\_ N として、図 9 ( C ) のように電圧 V 2 を必要とする構成が用いられる場合、新たに配線を追加することが可能である。当該配線に

50

は電圧  $V_2$  が供給される。そして、当該配線は、図 9 (C) の配線 127 に対応し、電源線として機能することが可能である。

【0230】

なお、実施の形態 1、及び実施の形態 2 において説明するように、トランジスタの特性劣化を抑制するために、L レベルの電位が  $V_1$  よりも低い信号、H レベルの電位が  $V_2$  よりも低い信号、又は振幅電圧が  $V_2 - V_1$  よりも小さい信号などをフリップフロップに入力する場合、配線を新たに追加することが可能である。当該配線には、信号が入力され、当該配線は信号線として機能することが可能である。

【0231】

なお、図 17 (A) に示すように、シフトレジスタは、回路 212、回路 213、回路 214、回路 215、及び / 又は、回路 216 を有することが可能である。回路 212 ~ 216 は、入力信号の振幅電圧又は入力電圧を大きく (または小さく) して出力する機能を有し、レベルシフト回路として機能することが可能である。または、回路 212 ~ 216 は、入力信号を反転して出力する機能を有し、インバータ回路、又はバッファ回路として機能することが可能である。配線 202 は、回路 212 を介してフリップフロップと接続される。配線 203 は、回路 213 を介してフリップフロップと接続される。配線 204 は、回路 214 を介してフリップフロップと接続される。配線 205 は、回路 215 を介してフリップフロップと接続される。配線 206 は、回路 216 を介してフリップフロップと接続される。こうして、振幅が小さい信号をシフトレジスタに入力することが可能なので、外部回路の駆動電圧を小さくすることができる。よって、外部回路のコストの低減、消費電力の削減などを図ることができる。

【0232】

なお、図 17 (A) において、シフトレジスタは、回路 212 ~ 216 のうちいずれか一、又は 2 以上のみを有することが可能である。

【0233】

なお、図 17 (B) に示すように、シフトレジスタは、回路 211\_\_1 ~ 211\_\_N を有することが可能である。回路 211\_\_1 ~ 211\_\_N は、入力信号の電流能力を高める機能、入力信号の振幅電圧を大きくする機能、又は入力信号を反転させる機能を有し、バッファ回路、レベルシフト回路、又はインバータ回路として機能することが可能である。回路 211\_\_1 ~ 211\_\_N は、各々、フリップフロップ 200\_\_1 ~ 200\_\_N と、配線 201\_\_1 ~ 201\_\_N との間に接続される。例えば、回路 211\_\_i は、フリップフロップ 200\_\_i と配線 201\_\_i との間に接続される。そして、フリップフロップ 200\_\_i の出力信号である信号  $GS1\_i$  は、回路 211\_\_i を介して配線 201\_\_i から出力される。こうして、各フリップフロップの駆動電圧を小さくできるので、消費電力の低減、トランジスタの特性劣化の抑制などを図ることができる。または、各フリップフロップが有するトランジスタ (特に、トランジスタ 101) のチャネル幅を小さくできるので、レイアウト面積の縮小を図ることができる。

【0234】

なお、図 17 (B) の一例では、フリップフロップ 200\_\_i - 1 には、リセット信号として、信号  $GS1\_i$  が回路 211\_\_i を介して入力される。したがって、フリップフロップ 200\_\_i - 1 では、期間  $T_3$  において、トランジスタ 101 がオンになる期間が長くなるので、フリップフロップ 200\_\_i - 1 の出力信号である信号  $GS\_i - 1$  の立下り時間を短くすることができる。一方、フリップフロップ 200\_\_i + 1 には、スタート信号として、信号  $GS1\_i$  が回路 211\_\_i を介さずに入力される。したがって、フリップフロップ 200\_\_i + 1 では、期間  $T_1$  において、ノード A の電位を早く上昇させることができるので、駆動周波数の向上を図ることができる。ただし、これに限定されず、フリップフロップ 200\_\_i - 1 には、リセット信号として、信号  $GS1\_i$  が回路 211\_\_i を介さずに入力されることが可能である。または、フリップフロップ 200\_\_i + 1 には、スタート信号として、信号  $GS1\_i$  が回路 211\_\_i を介して入力されることが可能である。

10

20

30

40

50

## 【0235】

なお、図14(A)のシフトレジスタでは、信号 $S1\_1 \sim S1\_N$ は、信号 $S2$ の $1/2$ 周期ずつ、又は信号 $S3$ の $1/2$ 周期ずつずれていた。ただし、これに限定されず、信号 $S1\_1 \sim S1\_N$ は、信号 $S2$ の $1/2 \times M$  ( $M$ は自然数)周期ずつ、又は信号 $S3$ の $1/2 \times M$ 周期ずつずれていることが可能である。つまり、信号 $S1\_1 \sim S1\_N$ において、ある行の信号がHレベルとなる期間と、別の行の信号がHレベルとなる期間とが重なることが可能である。これを実現するためには、シフトレジスタに $2 \times M$ 相のクロック信号を入力することが可能である。

## 【0236】

具体例について、図24のシフトレジスタを参照して説明する。図24には、フリップフロップ200\_\_ $i+1 \sim 200\_i+2M+1$ のみを示す。フリップフロップ200\_\_ $i+1 \sim 200\_i+M$ の配線123は、各々、配線203\_\_ $1 \sim 203\_M$ と接続され、フリップフロップ200\_\_ $i+1 \sim 200\_i+M$ の配線124は、各々、配線204\_\_ $1 \sim 204\_M$ と接続される。フリップフロップ200\_\_ $i+M+1 \sim 200\_i+2M$ の配線123は、各々、配線204\_\_ $1 \sim 204\_M$ と接続され、フリップフロップ200\_\_ $i+M+1 \sim 200\_i+2M$ の配線124は、各々、配線203\_\_ $1 \sim 203\_M$ と接続される。そして、フリップフロップ200\_\_ $i+1$ の配線125は、フリップフロップ200\_\_ $i$ の配線121と接続される。フリップフロップ200\_\_ $i+1$ の配線126は、フリップフロップ200\_\_ $i+M+1$ の配線121と接続される。なお、配線203\_\_ $1 \sim 203\_M$ は、配線203に対応する。配線204\_\_ $1 \sim 204\_M$ は、配線204に対応する。図25(A)に示すように、配線203\_\_ $1 \sim 203\_M$ には、各々、信号 $GS2\_1 \sim GS2\_M$ が入力される。配線204\_\_ $1 \sim 204\_M$ には、各々、信号 $GS3\_1 \sim GS3\_M$ が入力される。信号 $GS2\_1 \sim GS2\_M$ は、位相が $1/2M$ 周期ずつずれた $M$ 個のクロック信号であり、信号 $GS2$ に対応する。信号 $GS3\_1 \sim GS3\_M$ は、信号 $GS2\_1 \sim GS2\_M$ の反転信号であり、信号 $GS3$ に対応する。このようにして、信号 $S2$ の $1/2 \times M$  ( $M$ は自然数)周期ずつ、又は信号 $S3$ の $1/2 \times M$ 周期ずつずれていることが可能になる。

## 【0237】

なお、図24において、フリップフロップ200\_\_ $i+1$ の配線125は、フリップフロップ200\_\_ $i-M+1 \sim 200\_i-1$ のいずれか一の配線121と接続されることが可能である。こうすることによって、フリップフロップ200\_\_ $i+1$ において、トランジスタ131がオンになるタイミングを早くすることができるので、ノードAの電位が上昇するタイミングを早くすることができる。したがって、駆動周波数を高くすることができる。または、トランジスタ131、又はトランジスタ132のチャネル幅を小さくすることができるので、レイアウト面積の縮小を図ることができる。

## 【0238】

なお、図24において、フリップフロップ200\_\_ $i+1$ の配線126は、フリップフロップ200\_\_ $i+M+2 \sim 200\_i+2M$ のいずれか一の配線121と接続されることが可能である。こうすることによって、フリップフロップ200\_\_ $i+1$ において、トランジスタ101がオフになるタイミングを遅くすることができるので、信号 $S1\_i+1$ の立ち下がり時間を短くすることができる。

## 【0239】

なお、図24において、フリップフロップ200\_\_ $i+1$ の配線126は、フリップフロップ200\_\_ $i+2 \sim 200\_i+M$ のいずれか一の配線121と接続されることが可能である。こうすることによって、信号 $S1\_1 \sim S1\_N$ のパルス幅をクロック信号の半周期よりも小さくすることができる。よって、消費電力の低減を図りつつ、駆動周波数を高くすることができる。

## 【0240】

なお、図24において、 $M=4$ であることが好ましい。より好ましくは $M=2$ であることが好ましい。なぜなら、図23のシフトレジスタを表示装置の走査線駆動回路に用いた場

10

20

30

40

50

合、Mが大きすぎると、画素に複数の種類のビデオ信号が書き込まれるからである。そして、当該画素に不正なビデオ信号が入力される期間が長くなり、表示品位が低下する場合があるからである。図25(B)には、一例として、 $M = 2$ である場合のタイミングチャートの一例を示す。

【0241】

(実施の形態4)

本実施の形態では、半導体装置の一例、及び当該半導体装置を有するシフトレジスタについて説明する。なお、実施の形態1～実施の形態3において説明する内容は、本実施の形態の半導体装置及びシフトレジスタに適用することが可能である。

【0242】

まず、本実施の形態の半導体装置について、図19(A)を参照して説明する。なお、図1(A)と共通するところは同じ符号で示し、その説明を省略する。

【0243】

図19(A)の半導体装置は、回路100、トランジスタ101、トランジスタ102、トランジスタ103、トランジスタ104、容量素子105、容量素子106、及びトランジスタ301を有する。トランジスタ301は、トランジスタ101に対応し、トランジスタ101と同様の機能を有する。そして、トランジスタ301は、Nチャネル型であるものとする。ただし、トランジスタ301は、Pチャネル型であることが可能である。

【0244】

トランジスタ301の第1の端子は、配線123Dと接続され、トランジスタ301の第2の端子は、配線311と接続され、トランジスタ301のゲートはノードAと接続される。

【0245】

配線123Dは、配線123A～123Cに対応し、信号S2が入力されるものとする。よって、図3(D)と同様に、配線123Dと、配線123A～123Cとを共有することが可能である。この場合、トランジスタ301の第1の端子は、配線123と接続される。配線311からは、信号S7が出力されるものとする。信号S7は、信号S1に対応する。

【0246】

次に、図19(A)の半導体装置の動作について、図19(B)のタイミングチャートを参照して説明する。なお、図1(A)の動作と共通するところは、その説明を省略する。

【0247】

まず期間T1において、ノードAの電位が上昇し始める。そして、トランジスタ101と同様に、ノードAの電位が配線123Dの電位( $V_1$ )とトランジスタ301の閾値電圧( $V_{th301}$ )との和( $V_1 + V_{th301}$ )となったところで、トランジスタ301がオンになる。すると、配線123Dと配線311とが導通状態となる。よって、Lレベルの信号S2が配線123Dから配線311に供給されるので、配線311の電位が $V_1$ となるように減少する。

【0248】

次に、期間T2において、ノードAの電位が $V_1 + V_{th101} +$ となるので、トランジスタ301はオンのままとなる。すると、配線123Dと配線311とは導通状態のままとなる。よって、Hレベルの信号S2が配線123Dから配線311に供給されるので、配線311の電位は $V_2$ となるように上昇する。

【0249】

次に、期間T3において、ノードAの電位が $V_1$ となるように減少し始める。トランジスタ101と同様に、ノードAの電位が配線123Dの電位( $V_1$ )とトランジスタ301の閾値電圧( $V_{th301}$ )との和( $V_1 + V_{th301}$ )となるまでは、トランジスタ301はオンしている。よって、Lレベルの信号S1が配線123Dから配線311に共有されるので、配線311の電位は $V_1$ となるように減少する。その後、ノードAの電位が $V_1 + V_{th301}$ まで減少したところで、トランジスタ301はオフになる。

10

20

30

40

50

## 【 0 2 5 0 】

期間 T 4、及び期間 T 5 では、ノード A の電位が V 1 に維持されるので、トランジスタ 3 0 1 はオフのままとなる。よって、配線 1 2 3 D と配線 3 1 1 とは非導通状態のままとなる。

## 【 0 2 5 1 】

図 1 9 ( A ) の半導体装置では、配線 1 2 1 と配線 3 1 1 とが同じタイミングの信号を出力することが可能である。したがって、配線 1 2 1 が出力される信号 S 1 と配線 3 1 1 から出力される信号 S 7 との一方をゲート線、又は画素などの負荷を駆動するために用い、他方の信号を転送用の信号などの別の回路を駆動するための信号として用いることが可能である。こうすることによって、負荷などを駆動することによって生じる信号のなまり、又は遅延などの影響を受けずに、別の回路を駆動することができる。

10

## 【 0 2 5 2 】

なお、トランジスタ 3 0 1 のゲートと第 2 の端子との間に、容量素子を接続することが可能である。当該容量素子は、容量素子 1 0 5 に対応する。

## 【 0 2 5 3 】

なお、図 2 0 ( A ) に示すように、図 6 ( A ) の半導体装置に、トランジスタ 3 0 1 を追加することが可能である。

## 【 0 2 5 4 】

なお、図 2 0 ( B ) に示すように、トランジスタ 3 0 2、トランジスタ 3 0 3、及び / 又は、トランジスタ 3 0 4 を追加することが可能である。トランジスタ 3 0 2、トランジスタ 3 0 3、及びトランジスタ 3 0 4 は、各々、トランジスタ 1 3 4、トランジスタ 1 0 2、トランジスタ 1 3 3 に対応し、同様の機能を有する。トランジスタ 3 0 2 の第 1 の端子は、配線 1 2 2 H と接続され、トランジスタ 3 0 2 の第 2 の端子は、配線 3 3 1 と接続され、トランジスタ 3 0 2 のゲートは、配線 1 2 6 と接続される。トランジスタ 3 0 3 の第 1 の端子は、配線 3 3 1 と接続され、トランジスタ 3 0 3 の第 2 の端子は、ノード A と接続され、トランジスタ 3 0 3 のゲートは、配線 1 2 3 E と接続される。トランジスタ 3 0 4 の第 1 の端子は、配線 1 2 2 I と接続され、トランジスタ 3 0 4 の第 2 の端子は、配線 3 3 1 と接続され、トランジスタ 3 0 4 のゲートは、配線 1 2 4 C と接続される。ただし、これに限定されず、トランジスタ 3 0 2、トランジスタ 3 0 3、及びトランジスタ 3 0 4 のいずれか一、又は二つのみを追加することが可能である。

20

30

## 【 0 2 5 5 】

なお、図 2 0 ( B ) において、配線 1 2 3 D、及び配線 1 2 3 E には、配線 1 2 3 A ~ 1 2 3 C と同じ信号 ( 信号 S 2 ) が入力されているので、配線 1 2 3 D、及び配線 1 2 3 E と、配線 1 2 3 A ~ 1 2 3 C とを共有することが可能である。この場合、トランジスタ 3 0 1 の第 1 の端子、及びトランジスタ 3 0 3 のゲートは、配線 1 2 3 と接続されることが可能である。

## 【 0 2 5 6 】

なお、図 2 0 ( B ) において、配線 1 2 2 H、及び配線 1 2 2 I には、配線 1 2 2 A ~ 1 2 2 E と同じ電圧 ( 電圧 V 1 ) が供給されているので、配線 1 2 2 H、及び配線 1 2 2 I と、配線 1 2 2 A ~ 1 2 2 E とを共有することが可能である。この場合、トランジスタ 3 0 2 の第 1 の端子、及びトランジスタ 3 0 4 の第 1 の端子は、配線 1 2 2 と接続されることが可能である。

40

## 【 0 2 5 7 】

なお、図 2 0 ( B ) において、トランジスタ 3 0 2 は、トランジスタ 1 3 5 と同様に、ダイオード、又はダイオード接続されたトランジスタに置き換えることが可能である。または、トランジスタ 3 0 4 は、トランジスタ 1 3 3 と同様に、ダイオード、又はダイオード接続されたトランジスタに置き換えることが可能である。

## 【 0 2 5 8 】

次に、上述する半導体装置を有するシフトレジスタの一例について、図 2 1 を参照して説明する。なお、実施の形態 3 において述べた内容は、その説明を省略する。または、図 1

50

4 と共通するところは同じ符号で示し、その説明を省略する。

【0259】

シフトレジスタは、フリップフロップ 320\_\_1 ~ 320\_\_N という複数のフリップフロップを有する。フリップフロップ 320\_\_1 ~ 320\_\_N は、図 14 のフリップフロップ 200\_\_1 ~ 200\_\_N に対応する。または、フリップフロップ 320\_\_1 ~ 320\_\_N は、図 19 (A)、図 20 (A)、又は図 20 (B) の半導体装置に対応する。図 21 では、一例として、図 20 (A) の半導体装置を用いる場合の一例を示す。

【0260】

フリップフロップ 320\_\_i において、配線 311 は、配線 321\_\_i と接続される。そして、配線 126 は、配線 321\_\_i - 1 と接続される。

10

【0261】

配線 321\_\_1 ~ 321\_\_N からは、各々、信号 GS7\_\_1 ~ GS7\_\_N が出力されるものとする。信号 GS7\_\_1 ~ GS7\_\_N は、信号 S7 に対応し、転送用の信号、出力信号、選択信号、走査信号、又はゲート信号として機能することが可能である。

【0262】

次に、図 21 のシフトレジスタの動作について、図 14 (B) のタイミングチャートを参照して説明する。

【0263】

フリップフロップ 320\_\_i の動作について説明する。まず、信号 GS7\_\_i - 1 が H レベルとなる。すると、フリップフロップ 320\_\_i が期間 T2 における動作を開始し、信号 GS1\_\_i、及び信号 GS7\_\_i は L レベルになる。その後、信号 GS2、及び信号 GS3 が反転する。すると、フリップフロップ 320\_\_i は、期間 T2 における動作を開始し、信号 GS1\_\_i、及び信号 GS7\_\_i は H レベルになる。信号 GS1\_\_i は、フリップフロップ 320\_\_i - 1 にリセット信号として入力され、信号 GS7\_\_i は、フリップフロップ 320\_\_i + 1 にスタート信号として入力される。よって、フリップフロップ 320\_\_i - 1 は、期間 T3 における動作を開始し、フリップフロップ 320\_\_i + 1 は、期間 T1 における動作を開始する。その後、信号 GS2、及び信号 GS3 が再び反転する。すると、フリップフロップ 320\_\_i + 1 が期間 T2 における動作を開始し、信号 GS1\_\_i + 1 が H レベルとなる。信号 GS1\_\_i + 1 は、フリップフロップ 320\_\_i にリセット信号として入力される。したがって、フリップフロップ 320\_\_i は期間 T3 における動作を開始ので、信号 GS1\_\_i、及び信号 GS7\_\_i は L レベルとなる。その後、再び信号 GS7\_\_i - 1 が H レベルになるまでは、フリップフロップ 320\_\_i は、信号 GS2、及び信号 GS3 が反転するたびに、期間 T4 における動作と期間 T5 における動作とを繰り返す。

20

30

【0264】

本実施の形態のシフトレジスタでは、信号 GS7\_\_1 ~ GS7\_\_N をスタート信号として用いるので、信号 S1\_\_1 ~ S1\_\_N の遅延時間を短くすることができる。なぜなら、信号 GS7\_\_1 ~ GS7\_\_N は、ゲート線、又は画素などに入力されないため、信号 S1\_\_1 ~ S1\_\_N と比較して遅延、又はなまりが小さいからである。

【0265】

または、本実施の形態のシフトレジスタでは、信号 GS1\_\_1 ~ GS1\_\_N をリセット信号として用いるので、期間 T3 における各フリップフロップの動作において、トランジスタ 101 がオンになる時間を長くすることができる。したがって、信号 S1\_\_1 ~ S1\_\_1、及び信号 GS7\_\_1 ~ GS7\_\_N の立ち下がり時間を短くすることができる。

40

【0266】

なお、信号 GS1\_\_1 ~ GS1\_\_N は、スタート信号として、次の段のフリップフロップに入力されることが可能である。例えば信号 GS1\_\_i は、スタート信号としてフリップフロップ 320\_\_i + 1 に入力されることが可能である。

【0267】

なお、信号 GS7\_\_1 ~ GS7\_\_N は、リセット信号として、前の段のフリップフロップ

50

に入力されることが可能である。例えば、信号  $GS7\_i$  は、リセット信号としてフリップフロップ  $320\_i - 1$  に入力されることが可能である。

【0268】

(実施の形態5)

本実施の形態では、表示装置の一例について説明する。

【0269】

まず、図22(A)を参照して、液晶表示装置のシステムブロックの一例について説明する。液晶表示装置は、回路5361、回路5362、回路5363\_\_1、回路5363\_\_2、画素部5364、回路5365、及び照明装置5366を有する。画素部5364には、複数の配線5371が回路5362から延伸して配置され、複数の配線5372が回路5363\_\_1、回路5363\_\_2から延伸して配置されている。そして、複数の配線5371と複数の配線5372との交差領域には、各々、液晶素子などの表示素子を有する画素5367がマトリクス状に配置されている。

10

【0270】

回路5361は、映像信号5360に応じて、回路5362、回路5363\_\_1、回路5363\_\_2、及び回路5365に、信号又は電圧などを出力する機能を有し、コントローラ、制御回路、タイミングジェネレータ、又はレギュレータなどとして機能することが可能である。

【0271】

回路5361は、一例として、信号線駆動回路用スタート信号(SSP)、信号線駆動回路用クロック信号(SCK)、信号線駆動回路用反転クロック信号(SCKB)、ビデオ信号用データ(DATA)、ラッチ信号(LAT)などの信号を回路5362に出力する。回路5362は、これらの信号に応じて、ビデオ信号を複数の配線5372に出力する機能を有し、信号線駆動回路として機能する。

20

【0272】

なお、複数の配線5371にビデオ信号が入力される場合、複数の配線5371は、信号線、ビデオ信号線、又はソース線などとして機能することが可能である。

【0273】

回路5361は、一例として、走査線駆動回路用スタート信号(GSP)、走査線駆動回路用クロック信号(GCK)、及び反転走査線駆動回路用クロック信号(GCKB)などの信号を回路5363\_\_1、及び回路5363\_\_2に出力する。回路5363\_\_1、及び回路5363\_\_2は、これらの信号に応じて、走査信号を複数の配線5371に出力する機能を有し、走査線駆動回路として機能する。

30

【0274】

なお、複数の配線5372に走査信号が入力される場合、複数の配線5372は、信号線、走査線、又はゲート線などとして機能することが可能である。

【0275】

なお、回路5363\_\_1、及び回路5363\_\_2には、同じ信号が回路5361から入力されるので、回路5363\_\_1が複数の配線5367に出力する走査信号と、回路5363\_\_2が複数の配線5367に出力する走査信号とは、おおむね等しいタイミングとなる場合が多い。したがって、回路5363\_\_1、及び回路5363\_\_2が駆動する負荷を小さくすることができる。よって、表示装置を大きくすることができる。または、表示装置を高精細にすることができる。または、回路5363\_\_1、及び回路5363\_\_2が有するトランジスタのチャネル幅を小さくすることができるので、狭額縁な表示装置を得ることができる。

40

【0276】

回路5361は、一例として、バックライト制御信号(BLC)を回路5365に出力する。回路5365は、バックライト制御信号(BLC)に応じて、照明装置5366に供給する電力の量、又は時間などを制御することによって、照明装置5366の輝度(又は平均輝度)を制御する機能を有し、電源回路として機能する。

50

## 【0277】

なお、回路5363\_\_1と回路5363\_\_2との一方を省略することが可能である。

## 【0278】

なお、画素部5364には、容量線、電源線、走査線などの配線を新たに配置することが可能である。そして、回路5361は、これらの配線に信号又は電圧などを出力することが可能である。または、回路5363\_\_1又は回路5363\_\_2と同様の回路を新たに追加し、この新たに追加する回路は、新たに追加する配線に走査信号などの信号を出力することが可能である。

## 【0279】

なお、画素5367が表示素子としてEL素子などの発光素子を有することが可能である。この場合、図22(B)に示すように、表示素子が発光するので、回路5365、及び照明装置5366は省略されることが可能である。そして、表示素子に電力を供給するために、電源線として機能することが可能な複数の配線5373を画素部5364に配置することが可能である。回路5361は、電圧(ANO)という電源電圧を配線5373に供給することが可能である。この配線5373は、画素の色要素別に接続されることが可能であるし、全ての画素に共通して接続されることが可能である。

10

## 【0280】

なお、図22(B)では、一例として、回路5361は、回路5363\_\_1と回路5363\_\_2とに別々の信号を供給する場合の一例を示す。回路5361は、走査線駆動回路用スタート信号(GSP1)、走査線駆動回路用クロック信号(GCK1)、及び反転走査線駆動回路用クロック信号(GCKB1)などの信号を回路5363\_\_1に出力する。そして、回路5361は、走査線駆動回路用スタート信号(GSP2)、走査線駆動回路用クロック信号(GCK2)、及び反転走査線駆動回路用クロック信号(GCKB2)などの信号を回路5363\_\_2に出力する。この場合、回路5363\_\_1は、複数の配線5372のうち奇数行目の配線のみを走査し、回路5363\_\_2は、複数の配線5372のうち偶数行目の配線のみを走査することが可能になる。よって、回路5363\_\_1、及び回路5363\_\_2の駆動周波数を小さくできるので、消費電力の低減を図ることができる。または、1段分のフリップフロップをレイアウトすることが可能な面積を大きくすることができる。よって、表示装置を高精細にすることができる。または、表示装置を大型にすることができる。

20

30

## 【0281】

なお、図22(B)と同様に、図22(A)においても、回路5361は、回路5363\_\_1と回路5363\_\_2とに別々の信号を供給することが可能である。

## 【0282】

次に、表示装置の構成の一例について、図23(A)、(B)、(C)、(D)、及び(E)を参照して説明する。

## 【0283】

図23(A)では、画素部5364に信号を出力する機能を有する回路(例えば、回路5362、回路5363\_\_1、及び回路5363\_\_2など)は、画素部5364と同じ基板5380に形成される。そして、回路5361は、画素部5364とは別の基板に形成される。こうして、外部部品の数が減るので、コストの低減を図ることができる。または、基板5380に入力される信号又は電圧の数が減るので、基板5380と、外部部品との接続数を減らすことができる。よって、信頼性の向上、又は歩留まりの向上を図ることができる。

40

## 【0284】

なお、回路が画素部5364とは別の基板に形成される場合、当該基板は、TAB(Tape Automated Bonding)方式によってFPC(Flexible Printed Circuit)に実装されることが可能である。または、当該基板は、COG(Chip on Glass)方式によって画素部5364と同じ基板5380に実装することが可能である。

50

## 【0285】

なお、回路が画素部5364とは別の基板に形成される場合、当該基板には、単結晶半導体を用いたトランジスタを形成することが可能である。したがって、当該基板に形成される回路は、駆動周波数の向上、駆動電圧の向上、出力信号のばらつきの低減などのメリットを得ることができる。

## 【0286】

なお、外部回路からは、入力端子5381を介して信号、電圧、又は電流などが入力される場合が多い。

## 【0287】

図23(B)では、駆動周波数が低い回路(例えば、回路5363\_\_1、回路5363\_\_2)は、画素部5364と同じ基板5380に形成される。そして、回路5361、及び回路5362は、画素部5364とは別の基板に形成される。こうして、移動度が小さいトランジスタによって、基板5380に形成される回路を構成することが可能になるので、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。したがって、表示装置の大型化、工程数の削減、コストの低減、又は歩留まりの向上などを図ることができる。

10

## 【0288】

なお、図23(C)に示すように、回路5362の一部(回路5362a)が画素部5364と同じ基板5380に形成され、残りの回路5362(回路5362b)が画素部5364とは別の基板に形成されることが可能である。回路5362aは、移動度が低いトランジスタによって構成することが可能な回路(例えば、シフトレジスタ、セクタ、スイッチなど)を有する場合が多い。そして、回路5362bは、移動度が高く、特性ばらつきが小さいトランジスタによって構成することが好ましい回路(例えば、シフトレジスタ、ラッチ回路、バッファ回路、DA変換回路、AD変換回路など)を有する場合が多い。こうすることによって、図23(B)と同様に、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能となり、さらに外部部品の削減を図ることができる。

20

## 【0289】

図23(D)では、画素部5364に信号を出力する機能を有する回路(例えば、回路5362、回路5363\_\_1、及び回路5363\_\_2など)、及びこれらの回路を制御する機能を有する回路(例えば、回路5361)は、画素部5364とは別の基板に形成される。こうして、画素部と、その周辺回路とを別々の基板に形成することが可能になるので、歩留まりの向上を図ることができる。

30

## 【0290】

図23(E)では、回路5361の一部(回路5361a)が画素部5364と同じ基板5380に形成され、残りの回路5361(回路5361b)が画素部5364とは別の基板に形成される。回路5361aは、移動度が小さいトランジスタによって構成することが可能な回路(例えば、スイッチ、セクタ、レベルシフト回路など)を有する場合が多い。そして、回路5361bは、移動度が高く、ばらつきが小さいトランジスタを用いて構成することが好ましい回路(例えば、シフトレジスタ、タイミングジェネレータ、オシレータ、レギュレータ、又はアナログバッファなど)を有する場合が多い。

40

## 【0291】

なお、回路5363\_\_1、及び回路5363\_\_2として、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを用いることが可能である。この場合、回路5363\_\_1、及び回路5363\_\_2が画素部と同じ基板に形成される場合、当該基板に形成される全てのトランジスタの極性をNチャネル型又はPチャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性をNチャネル型とすることによって、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることが可能になる。よって、表示装置の大型化、コストの低減、又は歩留まりの向上など

50

を図ることができる。

【0292】

なお、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを半導体層として用いるトランジスタは、閾値電圧の増加、又は移動度の低下などの特性劣化を生じる場合が多い。しかし、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタは、トランジスタの特性劣化を抑制することができるので、表示装置の寿命を長くすることができる。

【0293】

なお、回路5362の一部として、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを用いることが可能である。例えば、図23(C)に示す回路5362aは、実施の形態1～実施の形態4の半導体装置、又はシフトレジスタを有することが可能である。

【0294】

(実施の形態6)

本実施の形態では、シフトレジスタのレイアウト図(以下、上面図ともいう)について説明する。本実施の形態では、一例として、図15のシフトレジスタのレイアウト図について説明する。なお、本実施の形態において説明する内容は、図15のシフトレジスタの他にも、実施の形態1～実施の形態5の半導体装置、シフトレジスタ、又は表示装置に適用することが可能である。なお、本実施の形態のレイアウト図は一例であって、これに限定されるものではないことを付記する。

【0295】

本実施の形態のレイアウト図について、図30、及び図31を参照して説明する。図30には、シフトレジスタの一部のレイアウト図の一例を示し、図31には、一例として、フリップフロップ200\_iのレイアウト図を示す。

【0296】

図30、及び図31に示すトランジスタ、容量素子、又は配線などは、導電層401、半導体層402、導電層403、導電層404、及びコンタクトホール405によって構成される。ただし、これに限定されず、別の導電層、絶縁膜、又は別のコンタクトホールを新たに形成することが可能である。例えば、導電層401と導電層403とを接続するためのコンタクトホールを新たに追加することが可能である。

【0297】

導電層401は、ゲート電極、又は配線として機能する部分を含むことが可能である。半導体層402は、トランジスタの半導体層として機能する部分を含むことが可能である。導電層403は、配線、ソース、又はドレインとして機能する部分を含むことが可能である。導電層404は、透明電極、画素電極、又は配線として機能する部分を含むことが可能である。コンタクトホール405は、導電層401と導電層404とを接続するため、又は導電層403と導電層404とを接続するために用いることが可能である。

【0298】

図30の一例では、配線202は、開口部411を有し、配線203は、開口部412を有する。このように、配線202、及び配線203が開口部を有することによって、寄生容量を小さくすることができる。または、静電破壊によって生じるトランジスタの破壊を抑制することができる。ただし、これに限定されず、配線204と同様に、開口部411、又は開口部412を省略することが可能である。または、配線204に、配線202又は配線203と同様に、開口部を設けることが可能である。

【0299】

図30の一例では、配線202又は配線203と、別の配線との交差部の一部に、開口部を設けることによって、配線の交差容量を低減することができる。したがって、ノイズの低減、又は信号の遅延又はなまりの低減などを図ることができる。

【0300】

図30の一例では、配線204が有する導電層403の一部の上には、導電層404が形

成される。そして、当該導電層 404 は、コンタクトホール 405 を介して当該導電層 403 と接続される。こうして、配線抵抗を小さくすることができるので、電圧降下の減少、又は信号の遅延又はなまりの低減を図ることができる。ただし、これに限定されず、当該導電層 404、及び当該コンタクトホール 405 を省略することが可能である。または、配線 204 と同様に、配線 202、又は配線 203 においても、導電層 403 の一部の上に導電層 404 が形成され、当該導電層 404 が当該導電層 403 と接続されることが可能である。

#### 【0301】

ここで、図 30 の一例において、配線 202 の配線幅、配線 203 の配線幅、及び配線 204 の配線幅を、各々、配線幅 421、配線幅 422、幅 423 と示す。そして、開口部 411 の幅、開口部 411 の長さ、開口部 412 の幅、及び開口部 412 の長さを、各々、幅 424、長さ 425、幅 426、長さ 427 と示す。

10

#### 【0302】

配線 202、及び配線 203 に入力される信号は、お互いに反転した信号である場合が多い。よって、配線 202 の配線抵抗又は寄生容量は、配線 203 の配線抵抗又は寄生容量とおおむね等しくなるように設定されることが好ましい。したがって、配線 202 は、配線幅 422 とおおむね等しい部分を含むことが好ましい。または、開口部 411 は、開口部 412 の幅 426、又は開口部 412 の長さ 427 とおおむね等しい部分を含むことが好ましい。ただし、これに限定されず、配線幅 421、配線幅 422、開口部 411 の幅 424、開口部 411 の長さ 425、又は開口部 412 の長さ 427 は、様々な値に設定することが可能である。例えば、配線 202 と他の配線との交差容量が、配線 203 と他の配線との交差容量よりも大きいとする。この場合、配線 202 の配線抵抗を小さくすることによって、配線 202、及び配線 203 に入力される信号の遅延又はなまりをおおむね等しくなうように設定することが可能である。このために、配線 202 は、配線幅 422 よりも大きい部分を含むことが可能である。または、開口部 411 は、開口部 412 の幅 426 よりも小さい部分を含むことが可能である。または、開口部 411 は、開口部 412 の長さ 427 よりも短い部分を含むことが可能である。一方、配線 202 と他の配線との交差容量が、配線 203 と他の配線との交差容量よりも小さい場合は、配線 202 は、配線幅 422 よりも小さい部分を含むことが可能である。または、開口部 411 は、開口部 412 の幅 426 よりも大きい部分を含むことが可能である。または、開口部 411 は、開口部 412 の長さ 427 よりも長い部分を含むことが可能である。

20

30

#### 【0303】

配線 204 が開口部を有していない場合、配線 204 は、配線幅 421、又は配線幅 422 よりも小さい部分を含むことが好ましい。なぜなら、配線 204 は開口部を有していないので、配線 204 の配線抵抗が小さいからである。ただし、これに限定されず、配線 204 は、配線幅 421、又は配線幅 422 よりも大きい部分を含むことが可能である。

#### 【0304】

図 31 の一例では、容量素子 105、及び容量素子 106 において、一方の電極は導電層 401 によって形成され、他方の電極は導電層 403 によって形成される。こうすることによって、単位面積当たりの容量値を大きくすることができるので、レイアウト面積の縮小を図ることができる。ただし、これに限定されず、導電層 401 と導電層 403 との間に、半導体層 402 を配置することが可能である。こうすることによって、導電層 401 と導電層 403 とがショートしてしまうことを抑制することができる。または、容量素子 105、又は容量素子 106 を MOS 容量とすることができる。

40

#### 【0305】

図 31 の一例では、トランジスタ 101、トランジスタ 103、トランジスタ 104、トランジスタ 131、トランジスタ 132、トランジスタ 133、トランジスタ 134、及びトランジスタ 135 において、第 2 の端子の導電層 401 と導電層 403 とが重なる面積は、第 1 の端子の導電層 401 と導電層 403 とが重なる面積よりも小さいことが好ましい。こうすることによって、トランジスタ 101 のゲート、又は配線 201 \_\_ i のノイ

50

ズの低減を図ることができる。または、第2の端子への電界の集中を抑制することができるので、トランジスタの劣化、又はトランジスタの破壊を抑制することができる。

#### 【0306】

なお、導電層401と導電層403とが重なる部分には、半導体層402を形成することが可能である。こうすることによって、導電層401と導電層403との間の寄生容量を小さくすることができるので、ノイズの低減を図ることができる。同様の理由で、導電層401と導電層404とが重なる部分には、半導体層402又は導電層403を形成することが可能である。

#### 【0307】

なお、導電層401の一部の上に導電層404を形成し、当該導電層401は、コンタクトホール405を介して導電層404と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。または、導電層401の一部の上に導電層403、及び導電層404を形成し、当該導電層401は、コンタクトホール405を介して当該導電層404と接続され、当該導電層403は、別のコンタクトホール405を介して当該導電層404と接続されることが可能である。こうすることによって、配線抵抗をさらに下げることができる。

#### 【0308】

なお、導電層403の一部の上に導電層404を形成し、当該導電層403は、コンタクトホール405を介して導電層404と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。

#### 【0309】

なお、導電層404の一部の下に導電層401、又は導電層403を形成し、当該導電層404は、コンタクトホール405を介して、当該導電層401、又は当該導電層403と接続されることが可能である。こうすることによって、配線抵抗を下げることができる。

#### 【0310】

なお、容量素子105が省略される場合、実施の形態1で述べたように、トランジスタ101のゲートと第1の端子との間の寄生容量よりも、トランジスタ101のゲートと第2の端子との間の寄生容量を大きくすることが可能である。この場合のトランジスタ101のレイアウト図の一例を図18に示す。図18の一例において、トランジスタ101の第1の電極として機能することが可能な導電層403の幅を幅431と示し、トランジスタ101の第2の電極として機能することが可能な導電層403の幅を幅432と示す。そして、幅431は、幅432よりも大きいことが可能である。こうすることによって、実施の形態1で述べたように、トランジスタ101のゲートと第1の端子との間の寄生容量よりも、トランジスタ101のゲートと第2の端子との間の寄生容量を大きくすることが可能である。ただし、これに限定されない。

#### 【0311】

##### (実施の形態7)

本実施の形態では、信号線駆動回路の一例について説明する。なお、信号線駆動回路を半導体装置、又は信号生成回路と示すことが可能である。

#### 【0312】

信号線駆動回路の一例について、図26(A)を参照して説明する。信号線駆動回路は、回路502\_\_1～502\_\_N(Nは自然数)という複数の回路と、回路500と、回路501とを有する。そして、回路502\_\_1～502\_\_Nは、各々、トランジスタ503\_\_1～503\_\_k(kは自然数)という複数のトランジスタを有する。トランジスタ503\_\_1～503\_\_kは、Nチャネル型であるものとする。ただし、これに限定されず、トランジスタ503\_\_1～503\_\_kは、Pチャネル型とすることが可能であるし、CMOS型のスイッチとすることが可能である。

#### 【0313】

信号線駆動回路の接続関係について、回路502\_\_1を例にして説明する。トランジスタ

10

20

30

40

50

503\_\_1～503\_\_kの第1の端子は、配線505\_\_1と接続される。トランジスタ503\_\_1～503\_\_kの第2の端子は、各々、配線S1～Skと接続される。トランジスタ503\_\_1～503\_\_kのゲートは、各々、配線504\_\_1～504\_\_kと接続される。例えば、トランジスタ503\_\_1の第1の端子は、配線505\_\_1と接続され、トランジスタ503\_\_1の第2の端子は、配線S1と接続され、トランジスタ503\_\_1のゲートは、配線504\_\_1と接続される。

#### 【0314】

回路500は、配線504\_\_1～504\_\_kを介して、信号を回路502\_\_1～502\_\_Nに供給する機能を有し、シフトレジスタ、又はデコーダなどとして機能することが可能である。当該信号は、デジタル信号である場合が多く、選択信号として機能することが可能である。そして、配線504\_\_1～504\_\_kは、信号線として機能することが可能である。

10

#### 【0315】

回路501は、信号を回路502\_\_1～502\_\_Nに出力する機能を有し、ビデオ信号生成回路などとして機能することが可能である。例えば、回路501は、配線505\_\_1を介して信号を回路502\_\_1に供給する。同時に、配線505\_\_2を介して信号を回路502\_\_2に供給する。当該信号は、アナログ信号である場合が多く、ビデオ信号として機能することが可能である。そして、配線505\_\_1～505\_\_Nは、信号線として機能することが可能である。

#### 【0316】

20

回路502\_\_1～502\_\_kは、回路501の出力信号を、どの配線に出力するのかわを選択する機能を有し、セレクト回路として機能することが可能である。例えば、回路502\_\_1は、回路501が配線505\_\_1に出力する信号を、配線S1～Skのうちどの配線に出力するのかわを選択する機能を有する。

#### 【0317】

トランジスタ503\_\_1～503\_\_Nは、各々、回路500の出力信号に応じて、配線505\_\_1と、配線S1～Skとの導通状態を制御する機能を有し、スイッチとして機能する。

#### 【0318】

次に、図26(A)の信号線駆動回路の動作について、図26(B)のタイミングチャートを参照して説明する。図26(B)には、配線504\_\_1に入力される信号514\_\_1、配線504\_\_2に入力される信号514\_\_2、配線504\_\_kに入力される信号514\_\_k、配線505\_\_1に入力される信号515\_\_1、及び配線505\_\_2に入力される信号515\_\_2の一例を示す。

30

#### 【0319】

なお、信号線駆動回路の1動作期間は、表示装置における1ゲート選択期間に対応する。1ゲート選択期間とは、ある行に属する画素が選択され、当該画素にビデオ信号を書き込むことが可能な期間のことをいう。

#### 【0320】

なお、1ゲート選択期間は、期間T0、期間T1、乃至期間Tkに分割される。期間T0は、選択された行に属する画素にプリチャージ用の電圧を同時に印加するための期間であり、プリチャージ期間として機能することが可能である。期間T1～Tkは、各々、選択された行に属する画素にビデオ信号を書き込むための期間であり、書き込み期間として機能することが可能である。

40

#### 【0321】

なお、便宜上、回路502\_\_1の動作を例にして、信号線駆動回路の動作を説明する。

#### 【0322】

まず、期間T0において、回路500は、配線504\_\_1～504\_\_kにHレベルの信号を出力する。すると、トランジスタ503\_\_1～503\_\_kがオンになるので、配線505\_\_1と、配線S1～Skとが導通状態となる。このとき、回路501は、配線505\_\_

50

1 にプリチャージ電圧  $V_p$  を供給しているので、プリチャージ電圧  $V_p$  は、トランジスタ 503\_\_1 ~ 503\_\_k を介して、配線 S1 ~ Sk にそれぞれ出力される。そして、プリチャージ電圧  $V_p$  は、選択された行に属する画素に書き込まれるので、選択された行に属する画素がプリチャージされる。

#### 【0323】

次に、期間 T1 において、回路 500 は、H レベルの信号を配線 504\_\_1 に出力する。すると、トランジスタ 503\_\_1 がオンになるので、配線 505\_\_1 と配線 S1 とが導通状態となる。そして、配線 505\_\_1 と配線 S2 ~ Sk とが非導通状態となる。このとき、回路 501 は、信号 Data (S1) を配線 505\_\_1 に出力しているとする、信号 Data (S1) は、トランジスタ 503\_\_1 を介して、配線 S1 に出力される。こうして、信号 Data (S1) は、配線 S1 と接続される画素のうち、選択された行に属する画素に書き込まれる。

10

#### 【0324】

次に、期間 T2 において、回路 500 は、H レベルの信号を配線 504\_\_2 に出力する。すると、トランジスタ 503\_\_2 がオンになるので、配線 505\_\_2 と配線 S2 とが導通状態となる。そして、配線 505\_\_1 と配線 S1 とが非導通状態となり、配線 505\_\_1 と配線 S3 ~ Sk とが非導通状態のままとなる。このとき、回路 501 は、信号 Data (S2) を配線 505\_\_1 に出力しているとする、信号 Data (S2) は、トランジスタ 503\_\_2 を介して、配線 S2 に出力される。こうして、信号 Data (S2) は、配線 S2 と接続される画素のうち、選択された行に属する画素に書き込まれる。

20

#### 【0325】

その後、期間 Tk まで、回路 500 は、配線 504\_\_1 ~ 504\_\_k に H レベルの信号を順に出力するので、期間 T1 及び期間 T2 と同様に、期間 T3 から期間 Tk まで、回路 500 は、配線 504\_\_3 ~ 504\_\_k に H レベルの信号を順に出力する。よって、トランジスタ 503\_\_3 ~ 503\_\_k が順にオンになるので、トランジスタ 503\_\_1 ~ 503\_\_N が順にオンになる。したがって、回路 501 から出力される信号は、配線 S1 ~ Sk に順に出力される。こうして、選択された行に属する画素に、信号を順に書き込むことが可能になる。

#### 【0326】

本実施の形態の信号線駆動回路は、セレクトラとして機能する回路を有するので、信号の数、又は配線の数減らすことができる。または、画素にビデオ信号を書き込む前（期間 T0）に、プリチャージを行うための電圧を画素に書き込むので、ビデオ信号の書き込み時間を短くすることができる。したがって、表示装置の大型化、表示装置の高精細化を図ることができる。ただし、これに限定されず、期間 T0 を省略し、画素にプリチャージしないことが可能である。

30

#### 【0327】

なお、k が大きすぎると、画素への書き込み時間が短くなるので、ビデオ信号の画素への書き込みが時間内に終了しない場合がある。したがって、k = 6 であることが好ましい。より好ましくは k = 3 であることが好ましい。さらに好ましくは k = 2 であることが好ましい。

40

#### 【0328】

特に、画素の色要素が n（n は自然数）個に分割される場合、k = n とすることが可能である。例えば、画素の色要素が赤（R）と緑（G）と青（B）との三つに分割される場合、k = 3 であることが可能である。この場合、1 ゲート選択期間は、期間 T0、期間 T1、期間 T2、期間 T3 に分割される。そして、期間 T1、期間 T2、期間 T3 では、各々、赤（R）の画素、緑（G）の画素、青（B）の画素にビデオ信号を書き込むことが可能である。ただし、これに限定されず、期間 T1、期間 T2、期間 T3 の順番は任意に設定することが可能である。

#### 【0329】

特に、画素が n（n は自然数）個のサブ画素（以下サブピクセル、又は副画素ともいう）

50

に分割される場合、 $k = n$ とすることが可能である。例えば、画素が2個のサブ画素に分割される場合、 $k = 2$ であることが可能である。この場合、1ゲート選択期間は、期間T0、期間T1、期間T2に分割される。そして、期間T1では、2個のサブ画素の一方にビデオ信号を書き込み、期間T2では、2個のサブ画素の他方にビデオ信号を書き込むことが可能である。

#### 【0330】

なお、回路500、及び回路502\_\_1～502\_\_Nの駆動周波数が低い場合が多いので、回路500、及び回路502\_\_1～502\_\_Nは、画素部と同じ基板に形成することが可能である。こうして、画素部が形成される基板と、外部回路との接続数を減らすことができるので、歩留まりの向上、又は信頼性の向上などを図ることができる。さらに、図23(C)のように、走査線駆動回路も画素部と同じ基板に形成されることによって、さらに外部回路との接続数を減らすことができる。

10

#### 【0331】

なお、回路500として、実施の形態1～実施の形態4の半導体装置又はシフトレジスタを用いることが可能である。この場合、回路500が有する全てのトランジスタの極性をNチャネル型、又はPチャネル型とすることが可能である。したがって、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。

#### 【0332】

なお、回路500だけでなく、回路502\_\_1～502\_\_Nが有する全てのトランジスタの極性もNチャネル型、又はPチャネル型とすることが可能である。したがって、回路500、及び回路502\_\_1～502\_\_Nが、画素部と同じ基板に形成される場合、工程数の削減、歩留まりの向上、又はコストの削減を図ることができる。特に、全てのトランジスタの極性をNチャネル型とすることによって、トランジスタの半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いることができる。なぜなら、回路500、及び回路502\_\_1～502\_\_Nの駆動周波数は、低い場合が多いからである。

20

#### 【0333】

##### (実施の形態8)

本実施の形態においては、液晶表示装置に適用できる画素の構成及び画素の動作について説明する。

30

#### 【0334】

図27(A)は、液晶表示装置に適用できる画素構成の一例を示す図である。画素5080は、トランジスタ5081、液晶素子5082及び容量素子5083を有している。トランジスタ5081のゲートは配線5085と電氣的に接続される。トランジスタ5081の第1端子は配線5084と電氣的に接続される。トランジスタ5081の第2端子は液晶素子5082の第1端子と電氣的に接続される。液晶素子5082の第2端子は配線5087と電氣的に接続される。容量素子5083の第1端子は液晶素子5082の第1端子と電氣的に接続される。容量素子5083の第2端子は配線5086と電氣的に接続される。

#### 【0335】

40

配線5084は信号線として機能させることができる。信号線は、画素の外部から入力された信号電圧を画素5080に伝達するための配線である。配線5085は走査線として機能させることができる。走査線は、トランジスタ5081のオンオフを制御するための配線である。配線5086は容量線として機能させることができる。容量線は、容量素子5083の第2端子に所定の電圧を加えるための配線である。トランジスタ5081は、スイッチとして機能させることができる。容量素子5083は、保持容量として機能させることができる。保持容量は、スイッチがオフの状態においても、信号電圧が液晶素子5082に加わり続けるようにするための容量素子である。配線5087は、対向電極として機能させることができる。対向電極は、液晶素子5082の第2端子に所定の電圧を加えるための配線である。なお、それぞれの配線が持つことのできる機能はこれに限定され

50

ず、様々な機能を有することが出来る。例えば、容量線に加える電圧を変化させることで、液晶素子に加えられる電圧を調整することもできる。なお、トランジスタ5081はスイッチとして機能すればよいので、トランジスタ5081の極性はPチャネル型でもよいし、Nチャネル型でもよい。

#### 【0336】

図27(B)は、液晶表示装置に適用できる画素構成の一例を示す図である。図27(B)に示す画素構成例は、図27(A)に示す画素構成例と比較して、配線5087が省略され、かつ、液晶素子5082の第2端子と容量素子5083の第2端子とが電氣的に接続されている点が異なっている以外は、図27(A)に示す画素構成例と同様な構成であるとしている。図27(B)に示す画素構成例は、特に、液晶素子が横電界モード(IPSモード、FFSモードを含む)である場合に適用できる。なぜならば、液晶素子が横電界モードである場合、液晶素子5082の第2端子および容量素子5083の第2端子を同一な基板上に形成させることができるため、液晶素子5082の第2端子と容量素子5083の第2端子とを電氣的に接続させることが容易であるからである。図27(B)に示すような画素構成とすることで、配線5087を省略できるので、製造工程を簡略なものとすることができ、製造コストを低減できる。

#### 【0337】

図27(A)または図27(B)に示す画素構成は、マトリクス状に複数配置されることができる。こうすることで、液晶表示装置の表示部が形成され、様々な画像を表示することができる。図27(C)は、図27(A)に示す画素構成がマトリクス状に複数配置されている場合の回路構成を示す図である。図27(C)に示す回路構成は、表示部が有する複数の画素のうち、4つの画素を抜き出して示す図である。そして、 $i$ 列 $j$ 行( $i, j$ は自然数)に位置する画素を、画素5080\_\_ $i, j$ と表記し、画素5080\_\_ $i, j$ には、配線5084\_\_ $i$ 、配線5085\_\_ $j$ 、配線5086\_\_ $j$ が、それぞれ電氣的に接続される。同様に、画素5080\_\_ $i+1, j$ については、配線5084\_\_ $i+1$ 、配線5085\_\_ $j$ 、配線5086\_\_ $j$ と電氣的に接続される。同様に、画素5080\_\_ $i, j+1$ については、配線5084\_\_ $i$ 、配線5085\_\_ $j+1$ 、配線5086\_\_ $j+1$ と電氣的に接続される。同様に、画素5080\_\_ $i+1, j+1$ については、配線5084\_\_ $i+1$ 、配線5085\_\_ $j+1$ 、配線5086\_\_ $j+1$ と電氣的に接続される。なお、各配線は、同じ列または行に属する複数の画素によって共有されることができる。なお、図27(C)に示す画素構成において配線5087は対向電極であり、対向電極は全ての画素において共通であることから、配線5087については自然数 $i$ または $j$ による表記は行なわないこととする。なお、図27(B)に示す画素構成を用いることも可能であるため、配線5087が記載されている構成であっても配線5087は必須ではなく、他の配線と共有されること等によって省略されることができる。

#### 【0338】

図27(C)に示す画素構成は、様々な方法によって駆動されることができる。特に、交流駆動と呼ばれる方法によって駆動されることによって、液晶素子の劣化(焼き付き)を抑制することができる。図27(D)は、交流駆動の1つである、ドット反転駆動が行なわれる場合の、図27(C)に示す画素構成における各配線に加えられる電圧のタイミングチャートを表す図である。ドット反転駆動が行なわれることによって、交流駆動が行なわれる場合に視認されるフリッカ(ちらつき)を抑制することができる。なお、図27(D)には、配線5085\_\_ $j$ に輸入される信号5185\_\_ $j$ 、配線5085\_\_ $j+1$ に輸入される信号5185\_\_ $j+1$ 、配線5084\_\_ $i$ に輸入される信号5184\_\_ $i$ 、配線5084\_\_ $i+1$ に輸入される信号5184\_\_ $i+1$ 、配線5086に供給される電圧5186を示す。

#### 【0339】

図27(C)に示す画素構成において、配線5085\_\_ $j$ と電氣的に接続されている画素におけるスイッチは、1フレーム期間中の第 $j$ ゲート選択期間において選択状態(オン状態)となり、それ以外の期間では非選択状態(オフ状態)となる。そして、第 $j$ ゲート選

択期間の後に、第  $j + 1$  ゲート選択期間が設けられる。このように順次走査が行なわれることで、1 フレーム期間内に全ての画素が順番に選択状態となる。図 27 (D) に示すタイミングチャートでは、電圧が高い状態（ハイレベル）となることで、当該画素におけるスイッチが選択状態となり、電圧が低い状態（ローレベル）となることで非選択状態となる。なお、これは各画素におけるトランジスタが N チャネル型の場合であり、P チャネル型のトランジスタが用いられる場合、電圧と選択状態の関係は、N チャネル型の場合とは逆となる。

#### 【0340】

図 27 (D) に示すタイミングチャートでは、第  $k$  フレーム ( $k$  は自然数) における第  $j$  ゲート選択期間において、信号線として用いる配線 5084 \_\_  $i$  に正の信号電圧が加えられ、配線 5084 \_\_  $i + 1$  に負の信号電圧が加えられる。そして、第  $k$  フレームにおける第  $j + 1$  ゲート選択期間において、配線 5084 \_\_  $i$  に負の信号電圧が加えられ、配線 5084 \_\_  $i + 1$  に正の信号電圧が加えられる。その後も、それぞれの信号線は、ゲート選択期間ごとに極性が反転した信号が交互に加えられる。その結果、第  $k$  フレームにおいては、画素 5080 \_\_  $i, j$  には正の信号電圧、画素 5080 \_\_  $i + 1, j$  には負の信号電圧、画素 5080 \_\_  $i, j + 1$  には負の信号電圧、画素 5080 \_\_  $i + 1, j + 1$  には正の信号電圧が、それぞれ加えられることとなる。そして、第  $k + 1$  フレームにおいては、それぞれの画素において、第  $k$  フレームにおいて書き込まれた信号電圧とは逆の極性の信号電圧が書き込まれる。その結果、第  $k + 1$  フレームにおいては、画素 5080 \_\_  $i, j$  には負の信号電圧、画素 5080 \_\_  $i + 1, j$  には正の信号電圧、画素 5080 \_\_  $i, j + 1$  には正の信号電圧、画素 5080 \_\_  $i + 1, j + 1$  には負の信号電圧が、それぞれ加えられることとなる。このように、同じフレームにおいては隣接する画素同士で異なる極性の信号電圧が加えられ、さらに、それぞれの画素においては 1 フレームごとに信号電圧の極性が反転される駆動方法が、ドット反転駆動である。ドット反転駆動によって、液晶素子の劣化を抑制しつつ、表示される画像全体または一部が均一である場合に視認されるフリッカを低減することができる。なお、配線 5086 \_\_  $j$ 、配線 5086 \_\_  $j + 1$  を含む全ての配線 5086 に加えられる電圧は、一定の電圧とされることができる。なお、配線 5084 のタイミングチャートにおける信号電圧の表記は極性のみとなっているが、実際は、表示された極性において様々な信号電圧の値をとり得る。なお、ここでは 1 ドット (1 画素) 毎に極性を反転させる場合について述べたが、これに限定されず、複数の画素毎に極性を反転させることもできる。例えば、2 ゲート選択期間毎に書き込む信号電圧の極性を反転させることで、信号電圧の書き込みにかかる消費電力を低減させることができる。他にも、1 列毎に極性を反転させること (ソースライン反転) もできるし、1 行ごとに極性を反転させること (ゲートライン反転) もできる。

#### 【0341】

なお、画素 5080 における容量素子 5083 の第 2 端子には、1 フレーム期間において一定の電圧が加えられていれば良い。ここで、走査線として用いる配線 5085 に加えられる電圧は 1 フレーム期間の大半においてローレベルであり、ほぼ一定の電圧が加えられていることから、画素 5080 における容量素子 5083 の第 2 端子の接続先は、配線 5085 でも良い。図 27 (E) は、液晶表示装置に適用できる画素構成の一例を示す図である。図 27 (E) に示す画素構成は、図 27 (C) に示す画素構成と比較すると、配線 5086 が省略され、かつ、画素 5080 内の容量素子 5083 の第 2 端子と、一つ前の行における配線 5085 とが電氣的に接続されていることを特徴としている。具体的には、図 27 (E) に表記されている範囲においては、画素 5080 \_\_  $i, j + 1$  および画素 5080 \_\_  $i + 1, j + 1$  における容量素子 5083 の第 2 端子は、配線 5085 \_\_  $j$  と電氣的に接続される。このように、画素 5080 内の容量素子 5083 の第 2 端子と、一つ前の行における配線 5085 とを電氣的に接続させることで、配線 5086 を省略することができるので、画素の開口率を向上できる。なお、容量素子 5083 の第 2 端子の接続先は、一つ前の行における配線 5085 ではなく、他の行における配線 5085 でも良い。なお、図 27 (E) に示す画素構成の駆動方法は、図 27 (C) に示す画素構成の駆

10

20

30

40

50

動方法と同様のものを用いることができる。

#### 【0342】

なお、容量素子5083および容量素子5083の第2端子に電氣的に接続される配線を用いて、信号線として用いる配線5084に加える電圧を小さくすることができる。このときの画素構成および駆動方法について、図27(F)および図27(G)を用いて説明する。図27(F)に示す画素構成は、図27(A)に示す画素構成と比較して、配線5086を1画素列あたり2本とし、かつ、画素5080における容量素子5083の第2端子との電氣的な接続を、隣接する画素で交互に行なうことを特徴としている。なお、2本とする配線5086は、それぞれ配線5086-1および配線5086-2と呼ぶこととする。具体的には、図27(F)に表記されている範囲においては、画素5080\_\_i, jにおける容量素子5083の第2端子は、配線5086-1\_\_jと電氣的に接続され、画素5080\_\_i+1, jにおける容量素子5083の第2端子は、配線5086-2\_\_jと電氣的に接続され、画素5080\_\_i, j+1における容量素子5083の第2端子は、配線5086-2\_\_j+1と電氣的に接続され、画素5080\_\_i+1, j+1における容量素子5083の第2端子は、配線5086-1\_\_j+1と電氣的に接続される。なお、図27(G)には、配線5085\_\_jに入力される信号5185\_\_j、配線5085\_\_j+1に入力される信号5185\_\_j+1、配線5084\_\_iに入力される信号5184\_\_i、配線5084\_\_i+1に入力される信号5184\_\_i+1、配線5086-1\_\_jに入力される信号5186-1\_\_j、配線5086-2\_\_jに入力される信号5186-2\_\_j、配線5086-1\_\_j+1に入力される信号5186-1\_\_j+1、配線5086-2\_\_j+1に入力される信号5186-2\_\_j+1を示す。

10

20

#### 【0343】

そして、例えば、図27(G)に示すように、第kフレームにおいて画素5080\_\_i, jに正の極性の信号電圧が書き込まれる場合、配線5086-1\_\_jは、第jゲート選択期間においてはローレベルとさせ、第jゲート選択期間の終了後、ハイレベルに変化させる。そして、1フレーム期間中はそのままハイレベルを維持し、第k+1フレームにおける第jゲート選択期間に負の極性の信号電圧が書き込まれた後、ローレベルに変化させる。このように、正の極性の信号電圧が画素に書き込まれた後に、容量素子5083の第2端子に電氣的に接続される配線の電圧を正の方向に変化させることで、液晶素子に加えられる電圧を正の方向に所定の量だけ変化させることができる。すなわち、その分画素に書き込む信号電圧を小さくすることができるため、信号書き込みにかかる消費電力を低減させることができる。なお、第jゲート選択期間に負の極性の信号電圧が書き込まれる場合は、負の極性の信号電圧が画素に書き込まれた後に、容量素子5083の第2端子に電氣的に接続される配線の電圧を負の方向に変化させることで、液晶素子に加えられる電圧を負の方向に所定の量だけ変化させることができるので、正の極性の場合と同様に、画素に書き込む信号電圧を小さくすることができる。つまり、容量素子5083の第2端子に電氣的に接続される配線は、同じフレームの同じ行において、正の極性の信号電圧が加えられる画素と、負の極性の信号電圧が加えられる画素とで、それぞれ異なる配線であることが好ましい。図27(F)は、第kフレームにおいて正の極性の信号電圧が書き込まれる画素には配線5086-1が電氣的に接続され、第kフレームにおいて負の極性の信号電圧が書き込まれる画素には配線5086-2が電氣的に接続される例である。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が2画素毎に現れるような駆動方法の場合は、配線5086-1および配線5086-2の電氣的接続もそれに合わせて、2画素毎に交互に行なわれることが好ましい。さらに言えば、1行全ての画素で同じ極性の信号電圧が書き込まれる場合(ゲートライン反転)も考えられるが、その場合は、配線5086は1行あたり1本でよい。つまり、図27(C)に示す画素構成においても、図27(F)および図27(G)を用いて説明するような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。

30

40

#### 【0344】

50

次に、液晶素子が、MVAモードまたはPVAモード等に代表される、垂直配向(VA)モードである場合に特に好ましい画素構成およびその駆動方法について述べる。VAモードは、製造時にラビング工程が不要、黒表示時の光漏れが少ない、駆動電圧が低い等の優れた特徴を有するが、画面を斜めから見たときに画質が劣化してしまう(視野角が狭い)という問題点も有する。VAモードの視野角を広くするには、図28(A)および図28(B)に示すように、1画素に複数の副画素(サブピクセル)を有する画素構成とすることが有効である。図28(A)および図28(B)に示す画素構成は、画素5080が2つの副画素(副画素5080-1, 副画素5080-2)を含む場合の一例を表すものである。なお、1つの画素における副画素の数は2つに限定されず、様々な数の副画素を用いることができる。副画素の数が大きいほど、より視野角を広くすることができる。複数の副画素は互いに同一の回路構成とすることができ、ここでは、全ての副画素が図27(A)に示す回路構成と同様であるとして説明する。なお、第1の副画素5080-1は、トランジスタ5081-1、液晶素子5082-1、容量素子5083-1を有するものとし、それぞれの接続関係は図27(A)に示す回路構成に準じることとする。同様に、第2の副画素5080-2は、トランジスタ5081-2、液晶素子5082-2、容量素子5083-2を有するものとし、それぞれの接続関係は図27(A)に示す回路構成に準じることとする。

10

#### 【0345】

図28(A)に示す画素構成は、1画素を構成する2つの副画素に対し、走査線として用いる配線5085を2本(配線5085-1, 配線5085-2)有し、信号線として用いる配線5084を1本有し、容量線として用いる配線5086を1本有する構成を表すものである。このように、信号線および容量線を2つの副画素で共用することにより、開口率を向上させることができ、さらに、信号線駆動回路を簡単なものとしてできるので製造コストが低減でき、かつ、液晶パネルと駆動回路ICの接続点数を低減できるので、歩留まりを向上できる。図28(B)に示す画素構成は、1画素を構成する2つの副画素に対し、走査線として用いる配線5085を1本有し、信号線として用いる配線5084を2本(配線5084-1, 配線5084-2)有し、容量線として用いる配線5086を1本有する構成を表すものである。このように、走査線および容量線を2つの副画素で共用することにより、開口率を向上させることができ、さらに、全体の走査線本数を低減できるので、高精細な液晶パネルにおいても1つあたりのゲート線選択期間を十分に長くすることができ、それぞれの画素に適切な信号電圧を書き込むことができる。

20

30

#### 【0346】

図28(C)および図28(D)は、図28(B)に示す画素構成において、液晶素子を画素電極の形状に置き換えた上で、各素子の電氣的接続状態を模式的に表す例である。図28(C)および図28(D)において、電極5088-1は第1の画素電極を表し、電極5088-2は第2の画素電極を表すものとする。図28(C)において、第1画素電極5088-1は、図28(B)における液晶素子5082-1の第1端子に相当し、第2画素電極5088-2は、図28(B)における液晶素子5082-2の第1端子に相当する。すなわち、第1画素電極5088-1は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続される。一方、図28(D)においては、画素電極とトランジスタの接続関係を逆にする。すなわち、第1画素電極5088-1は、トランジスタ5081-2のソースまたはドレインの一方と電氣的に接続され、第2画素電極5088-2は、トランジスタ5081-1のソースまたはドレインの一方と電氣的に接続されるものとする。

40

#### 【0347】

図28(C)および図28(D)で示すような画素構成を、マトリクス状に交互に配置することで、特別な効果を得ることができる。このような画素構成およびその駆動方法の一例を、図28(E)および図28(F)に示す。図28(E)に示す画素構成は、画素5080\_\_i, jおよび画素5080\_\_i+1, j+1に相当する部分を図28(C)に示

50

す構成とし、画素 5080 $\_i + 1, j$  および画素 5080 $\_i, j + 1$  に相当する部分を図 28 (D) に示す構成とするものである。この構成において、図 28 (F) に示すタイミングチャートのように駆動すると、第 k フレームの第 j ゲート選択期間において、画素 5080 $\_i, j$  の第 1 画素電極および画素 5080 $\_i + 1, j$  の第 2 画素電極に正の極性の信号電圧が書き込まれ、画素 5080 $\_i, j$  の第 2 画素電極および画素 5080 $\_i + 1, j$  の第 1 画素電極に負の極性の信号電圧が書き込まれる。さらに、第 k フレームの第 j + 1 ゲート選択期間において、画素 5080 $\_i, j + 1$  の第 2 画素電極および画素 5080 $\_i + 1, j + 1$  の第 1 画素電極に正の極性の信号電圧が書き込まれ、画素 5080 $\_i, j + 1$  の第 1 画素電極および画素 5080 $\_i + 1, j + 1$  の第 2 画素電極に負の極性の信号電圧が書き込まれる。第 k + 1 フレームにおいては、各画素において信号電圧の極性が反転される。こうすることによって、副画素を含む画素構成においてドット反転駆動に相当する駆動を実現しつつ、信号線に加えられる電圧の極性を 1 フレーム期間内で同一なものとするので、画素の信号電圧書き込みにかかる消費電力を大幅に低減することができる。なお、配線 5086 $\_j$ 、配線 5086 $\_j + 1$  を含む全ての配線 5086 に加えられる電圧は、一定の電圧とされることができる。なお、図 27 (F) には、配線 5085 $\_j$  に入力される信号 5185 $\_j$ 、配線 5085 $\_j + 1$  に入力される信号 5185 $\_j + 1$ 、配線 5084 - 1 $\_i$  に入力される信号 5184 - 1 $\_i$ 、配線 5084 - 2 $\_i$  に入力される信号 5184 - 2 $\_i$ 、配線 5084 - 1 $\_i + 1$  に入力される信号 5184 - 1 $\_i + 1$ 、配線 5084 - 2 $\_i + 1$  に入力される信号 5184 - 2 $\_i + 1$ 、配線 5186 に供給される電圧 5186 を示す。

#### 【0348】

さらに、図 28 (G) および図 28 (H) に示す画素構成およびその駆動方法によって、画素に書き込まれる信号電圧の大きさを小さくすることができる。これは、それぞれの画素が有する複数の副画素に電氣的に接続される容量線を、副画素毎に異ならせるものである。すなわち、図 28 (E) および図 28 (F) に示す画素構成およびその駆動方法によって、同一のフレーム内で同一の極性が書き込まれる副画素については、同一行内で容量線を共通とし、同一のフレーム内で異なる極性が書き込まれる副画素については、同一行内で容量線を異ならせる。そして、各行の書き込みが終了した時点で、それぞれの容量線の電圧を、正の極性の信号電圧が書き込まれた副画素では正の方向、負の極性の信号電圧が書き込まれた副画素では負の方向に変化させることで、画素に書き込まれる信号電圧の大きさを小さくすることができる。具体的には、容量線として用いる配線 5086 を各行で 2 本 (配線 5086 - 1, 配線 5086 - 2) とし、画素 5080 $\_i, j$  の第 1 画素電極と、配線 5086 - 1 $\_j$  とが、容量素子を介して電氣的に接続され、画素 5080 $\_i, j$  の第 2 画素電極と、配線 5086 - 2 $\_j$  とが、容量素子を介して電氣的に接続され、画素 5080 $\_i + 1, j$  の第 1 画素電極と、配線 5086 - 2 $\_j$  とが、容量素子を介して電氣的に接続され、画素 5080 $\_i + 1, j$  の第 2 画素電極と、配線 5086 - 1 $\_j$  とが、容量素子を介して電氣的に接続され、画素 5080 $\_i, j + 1$  の第 1 画素電極と、配線 5086 - 2 $\_j + 1$  とが、容量素子を介して電氣的に接続され、画素 5080 $\_i, j + 1$  の第 2 画素電極と、配線 5086 - 1 $\_j + 1$  とが、容量素子を介して電氣的に接続され、画素 5080 $\_i + 1, j + 1$  の第 1 画素電極と、配線 5086 - 2 $\_j + 1$  とが、容量素子を介して電氣的に接続される。ただし、これは一例であり、例えば、正の極性の信号電圧が書き込まれる画素と負の極性の信号電圧が書き込まれる画素が 2 画素毎に現れるような駆動方法の場合は、配線 5086 - 1 および配線 5086 - 2 の電氣的接続もそれに合わせて、2 画素毎に交互に行なわれることが好ましい。さらに言えば、1 行全ての画素で同じ極性の信号電圧が書き込まれる場合 (ゲートライン反転) も考えられるが、その場合は、配線 5086 は 1 行あたり 1 本でよい。つまり、図 28 (E) に示す画素構成においても、図 28 (G) および図 28 (H) を用いて説明するような、画素に書き込む信号電圧を小さくする駆動方法を用いることができる。なお、図 27 (H) には、配線 5085 $\_j$  に入力される信号 518

5 \_\_ j、配線 5 0 8 5 \_\_ j + 1 に入力される信号 5 1 8 5 \_\_ j + 1、配線 5 0 8 4 - 1 \_\_ i に入力される信号 5 1 8 4 - 1 \_\_ i、配線 5 0 8 4 - 2 \_\_ i に入力される信号 5 1 8 4 - 2 \_\_ i、配線 5 0 8 4 - 1 \_\_ i + 1 に入力される信号 5 1 8 4 - 1 \_\_ i + 1、配線 5 0 8 4 - 2 \_\_ i + 1 に入力される信号 5 1 8 4 - 2 \_\_ i + 1、配線 5 0 8 6 - 1 \_\_ j に入力される信号 5 1 8 6 - 1 \_\_ j、配線 5 0 8 6 - 2 \_\_ j に入力される信号 5 1 8 6 - 2 \_\_ j、配線 5 0 8 6 - 1 \_\_ j + 1 に入力される信号 5 1 8 6 - 1 \_\_ j + 1、配線 5 0 8 6 - 2 \_\_ j + 1 に入力される信号 5 1 8 6 - 2 \_\_ j + 1 を示す。

#### 【 0 3 4 9 】

本実施の形態の画素と、実施の形態 1 ~ 実施の形態 7 の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、様々なメリットを得ることができる。例えば、サブピクセル構造の画素を用いる場合、表示装置を駆動するために必要な信号の数が増えるので、ゲート線の数、又はソース線の数が増えることがある。この結果、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。しかし、ゲート線の数が増えても、実施の形態 5 に示すように、走査線駆動回路を画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。または、ソース線の数が増えても、実施の形態 7 の信号線駆動回路を用いることによって、ソース線数を減らすことができる。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、サブピクセル構造の画素を用いることができる。

#### 【 0 3 5 0 】

または、容量線に信号を入力する場合、画素部が形成される基板と、外部回路との接続数が大幅に増えてしまう場合がある。そこで、容量線に、実施の形態 1 ~ 実施の形態 4 の半導体装置又はシフトレジスタを用いて信号を供給することが可能である。そして、実施の形態 1 ~ 実施の形態 4 の半導体装置又はシフトレジスタは、画素部と同じ基板に形成することが可能である。したがって、画素部が形成される基板と、外部回路との接続数を大幅に増やすことなく、容量線に信号を入力することができる。

#### 【 0 3 5 1 】

または、交流駆動を用いる場合、画素へのビデオ信号の書き込み時間が長くなってしまふ。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。同様に、サブピクセル構造の画素を用いる場合、画素へのビデオ信号の書き込み時間が短くなる。この結果、画素へのビデオ信号の書き込み時間が足りなくなってしまう場合がある。そこで、実施の形態 7 の信号線駆動回路を用いて、画素にビデオ信号を書き込むことが可能である。この場合、画素にビデオ信号を書き込む前に、画素にプリチャージ用の電圧を書き込むので、短い時間で画素にビデオ信号を書き込むことができる。または、図 2 4、図 2 5 ( A )、又は図 2 5 ( B ) に示すように、ある行が選択される期間と、別の行が選択される期間とを重ねることによって、別の行のビデオ信号をプリチャージ用の電圧として用いることが可能である。

#### 【 0 3 5 2 】

なお、本実施の形態の画素の駆動方法と、図 2 4、図 2 5 ( A )、及び図 2 5 ( B ) の駆動方法とを組み合わせることによって、画素へのビデオ信号の書き込み期間を短くすることができる。図 2 9 ( A ) のタイミングチャート、及び図 2 7 ( C ) の画素構成を参照して詳細に説明する。第 k フレームでは、配線 5 0 8 4 \_\_ i には正のビデオ信号が入力され、配線 5 0 8 4 \_\_ i + 1 には負のビデオ信号が入力されているものとする。そして、第 k + 1 フレームでは、配線 5 0 8 4 \_\_ i には負のビデオ信号が入力され、配線 5 0 8 4 \_\_ i + 1 には正のビデオ信号が入力されているものとする。いわゆる、ソースライン反転駆動である。そして、一例として、配線 5 0 8 5 \_\_ j に H 信号が入力される期間の後半と、配線 5 0 8 5 \_\_ j + 1 に H 信号が入力される期間の前半とが重なっているものとする。そして、第 k - 1 フレームにおいて、画素 5 0 8 0 \_\_ i、j + 1 には負のビデオ信号が書き込まれ、画素 5 0 8 0 \_\_ i、j + 1 は負のビデオ信号を保持しているものとする。画素 5 0 8 0 \_\_ i + 1、j + 1 には正のビデオ信号が書き込まれ、画素 5 0 8 0 \_\_ i + 1、j + 1

は正のビデオ信号を保持しているものとする。なお、図29(A)には、配線5085\_\_jに、配線5085\_\_j+1に、配線5084\_\_iに、配線5084\_\_i+1にを示す。

#### 【0353】

まず、第kフレームにおいて、配線5085\_\_jにH信号が10

#### 【0354】

なお、図29(A)の駆動方法と、図29(B)の画素構成とを組み合わせることによって、ドット反転駆動を実現することが可能である。図29(B)の画素構成では、画素5080\_\_i、jは、配線5084\_\_iと接続される。一方、画素5080\_\_i、j+1は、配線5084\_\_i+1と接続される。つまり、i列目に属する画素は、1行ずつ交互に、配線5084\_\_iと配線5084\_\_i+1と接続される。こうして、i列目に属する画素は、1行ずつ交互に、正のビデオ信号と負のビデオ信号とが書き込まれるので、ドット反転駆動を実現することができる。ただし、これに限定されず、i列目に属する画素は、複数行(例えば2行又は3行)ずつ交互に、配線5084\_\_iと配線5084\_\_i+1と接続されることが可能である。

20

#### 【0355】

(実施の形態9)

本実施の形態では、トランジスタの構成の一例について図32(A)、(B)、及び(C)を参照して説明する。

30

#### 【0356】

図32(A)は、トップゲート型のトランジスタの構成の一例である。図32(B)は、ボトムゲート型のトランジスタの構成の一例である。図32(C)は、半導体基板を用いて作製されるトランジスタの構造の一例である。

#### 【0357】

図32(A)には、基板5260と、基板5260の上に形成される絶縁層5261と、絶縁層5261の上に形成され、領域5262a、領域5262b、領域5262c、領域5262d、及び5262eを有する半導体層5262と、半導体層5262を覆うように形成される絶縁層5263と、半導体層5262及び絶縁層5263の上に形成される導電層5264と、絶縁層5263及び導電層5264の上に形成され、開口部を有する絶縁層5265と、絶縁層5265の上及び絶縁層5265の開口部に形成される導電層5266と、導電層5266の上及び絶縁層5265の上に形成され、開口部を有する絶縁層5267と、絶縁層5267の上及び絶縁層5267の開口部に形成される導電層5268と、絶縁層5267の上及び導電層5268の上に形成され、開口部を有する絶縁層5269と、絶縁層5269の上及び絶縁層5269の開口部に形成される発光層5270と、絶縁層5269の上及び発光層5270の上に形成される導電層5271とを示す。

40

50

## 【 0 3 5 8 】

図 3 2 ( B ) には、基板 5 3 0 0 と、基板 5 3 0 0 の上に形成される導電層 5 3 0 1 と、導電層 5 3 0 1 を覆うように形成される絶縁層 5 3 0 2 と、導電層 5 3 0 1 及び絶縁層 5 3 0 2 の上に形成される半導体層 5 3 0 3 a と、半導体層 5 3 0 3 a の上に形成される半導体層 5 3 0 3 b と、半導体層 5 3 0 3 b の上及び絶縁層 5 3 0 2 の上に形成される導電層 5 3 0 4 と、絶縁層 5 3 0 2 の上及び導電層 5 3 0 4 の上に形成さ、開口部を有する絶縁層 5 3 0 5 と、絶縁層 5 3 0 5 の上及び絶縁層 5 3 0 5 の開口部に形成される導電層 5 3 0 6 と、絶縁層 5 3 0 5 の上及び導電層 5 3 0 6 の上に配置される液晶層 5 3 0 7 と、液晶層 5 3 0 7 の上に形成される導電層 5 3 0 8 とを示す。

## 【 0 3 5 9 】

図 3 2 ( C ) には、領域 5 3 5 3 及び領域 5 3 5 5 を有する半導体基板 5 3 5 2 と、半導体基板 5 3 5 2 の上に形成される絶縁層 5 3 5 6 と、半導体基板 5 3 5 2 の上に形成される絶縁層 5 3 5 4 と、絶縁層 5 3 5 6 の上に形成される導電層 5 3 5 7 と、絶縁層 5 3 5 4、絶縁層 5 3 5 6、及び導電層 5 3 5 7 の上に形成され、開口部を有する絶縁層 5 3 5 8 と、絶縁層 5 3 5 8 の上及び絶縁層 5 3 5 8 の開口部に形成される導電層 5 3 5 9 とを示す。こうして、領域 5 3 5 0 と領域 5 3 5 1 とに、各々、トランジスタが作製される。

## 【 0 3 6 0 】

絶縁層 5 2 6 1 は、下地膜として機能することが可能である。絶縁層 5 3 5 4 は、素子間分離層（例えばフィールド酸化膜）として機能する。絶縁層 5 2 6 3、絶縁層 5 3 0 2、絶縁層 5 3 5 6 は、ゲート絶縁膜として機能することが可能である。導電層 5 2 6 4、導電層 5 3 0 1、導電層 5 3 5 7 は、ゲート電極として機能することが可能である。絶縁層 5 2 6 5、絶縁層 5 2 6 7、絶縁層 5 3 0 5、及び絶縁層 5 3 5 8 は、層間膜、又は平坦化膜として機能することが可能である。導電層 5 2 6 6、導電層 5 3 0 4、及び導電層 5 3 5 9 は、配線、トランジスタの電極、又は容量素子の電極などとして機能することが可能である。導電層 5 2 6 8、及び導電層 5 3 0 6 は、画素電極、又は反射電極などとして機能することが可能である。絶縁層 5 2 6 9 は、土手として機能することが可能である。導電層 5 2 7 1、及び導電層 5 3 0 8 は、対向電極、又は共通電極などとして機能することが可能である。

## 【 0 3 6 1 】

基板 5 2 6 0、及び基板 5 3 0 0 の一例としては、ガラス基板、石英基板、シリコン基板、金属基板、ステンレス基板、又は可撓性基板などがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。他にも、貼り合わせフィルム（ポリプロピレン、ポリエステル、ビニル、ポリフッ化ビニル、塩化ビニルなど）、繊維状な材料を含む紙、基材フィルム（ポリエステル、ポリアミド、無機蒸着フィルム、紙類等）などがある。

## 【 0 3 6 2 】

半導体基板 5 3 5 2 としては、一例として、n 型又は p 型の導電型を有する単結晶 Si 基板を用いることが可能である。ただし、これに限定されず、基板 5 2 6 0 と同様なものを用いることが可能である。領域 5 3 5 3 は、一例として、半導体基板 5 3 5 2 に不純物が添加された領域であり、ウェルとして機能する。例えば、半導体基板 5 3 5 2 が p 型の導電型を有する場合、領域 5 3 5 3 は、n 型の導電型を有し、n ウェルとして機能する。一方で、半導体基板 5 3 5 2 が n 型の導電型を有する場合、領域 5 3 5 3 は、p 型の導電型を有し、p ウェルとして機能する。領域 5 3 5 5 は、一例として、不純物が半導体基板 5 3 5 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。なお、半導体基板 5 3 5 2 に、LDD 領域を形成することが可能である。

## 【 0 3 6 3 】

絶縁層 5 2 6 1 の一例としては、酸化珪素（ $\text{SiO}_x$ ）、窒化珪素（ $\text{SiN}_x$ ）、酸化窒化珪素（ $\text{SiO}_x\text{N}_y$ ）（ $x > y$ ）、窒化酸化珪素（ $\text{SiN}_x\text{O}_y$ ）（ $x > y$ ）などの酸

10

20

30

40

50

素若しくは窒素を有する膜、又はこれらの積層構造などがある。絶縁層 5 2 6 1 が 2 層構造で設けられる場合の一例としては、1 層目の絶縁膜として窒化珪素膜を設け、2 層目の絶縁膜として酸化珪素膜を設けることが可能である。絶縁層 5 2 6 1 が 3 層構造で設けられる場合の一例としては、1 層目の絶縁膜として酸化珪素膜を設け、2 層目の絶縁膜として窒化珪素膜を設け、3 層目の絶縁膜として酸化珪素膜を設けることが可能である。

#### 【0364】

半導体層 5 2 6 2、半導体層 5 3 0 3 a、及び半導体層 5 3 0 3 b の一例としては、非晶質（アモルファス）半導体、微結晶（マイクロクリスタル）半導体、多結晶半導体、単結晶半導体、酸化物半導体（例えば、酸化亜鉛（ $ZnO$ ）、 $IGZO$ （ $InGaZnO$ ）など）、若しくは化合物半導体（例えば、砒化ガリウム（ $GaAs$ ）など）などの単層構造、又はこれらの積層構造などがある。

10

#### 【0365】

なお、例えば、領域 5 2 6 2 a は、不純物が半導体層 5 2 6 2 に添加されていない真性の状態であり、チャンネル領域として機能する。ただし、領域 5 2 6 2 a に微少な不純物を添加することが可能であり、領域 5 2 6 2 a に添加される不純物は、領域 5 2 6 2 b、領域 5 2 6 2 c、領域 5 2 6 2 d、又は領域 5 2 6 2 e に添加される不純物の濃度よりも低いことが好ましい。領域 5 2 6 2 b、及び領域 5 2 6 2 d は、低濃度に不純物が添加された領域であり、 $LDD$ （ $Lightly Doped Drain: LDD$ ）領域として機能する。ただし、領域 5 2 6 2 b、及び領域 5 2 6 2 d を省略することが可能である。領域 5 2 6 2 c、及び領域 5 2 6 2 e は、高濃度に不純物が半導体層 5 2 6 2 に添加された領域であり、ソース領域又はドレイン領域として機能する。

20

#### 【0366】

なお、半導体層 5 2 6 2 をトランジスタに用いる場合は、領域 5 2 6 2 c の導電型と、領域 5 2 6 2 e の導電型とは同じことが好ましい。

#### 【0367】

なお、半導体層 5 3 0 3 b は、不純物元素としてリンなどが添加された半導体層であり、 $n$  型の導電型を有する。

#### 【0368】

なお、半導体層 5 3 0 3 a として、酸化物半導体、又は化合物半導体が用いられる場合、半導体層 5 3 0 3 b を省略することが可能である。

30

#### 【0369】

絶縁層 5 2 6 3、絶縁層 5 2 7 3、及び絶縁層 5 3 5 6 の一例としては、酸化珪素（ $SiO_x$ ）、窒化珪素（ $SiN_x$ ）、酸化窒化珪素（ $SiO_xN_y$ ）（ $x > y$ ）、窒化酸化珪素（ $SiN_xO_y$ ）（ $x > y$ ）などの酸素若しくは窒素を有する膜、又はこれらの積層構造などがある。

#### 【0370】

導電層 5 2 6 4、導電層 5 2 6 6、導電層 5 2 6 8、導電層 5 2 7 1、導電層 5 3 0 1、導電層 5 3 0 4、導電層 5 3 0 6、導電層 5 3 0 8、導電層 5 3 5 7、及び導電層 5 3 5 9 の一例としては、単層構造の導電膜、又はこれらの積層構造などがある。当該導電膜の一例としては、アルミニウム（ $Al$ ）、タンタル（ $Ta$ ）、チタン（ $Ti$ ）、モリブデン（ $Mo$ ）、タングステン（ $W$ ）、ネオジウム（ $Nd$ ）、クロム（ $Cr$ ）、ニッケル（ $Ni$ ）、白金（ $Pt$ ）、金（ $Au$ ）、銀（ $Ag$ ）、銅（ $Cu$ ）、マンガン（ $Mn$ ）、コバルト（ $Co$ ）、ニオブ（ $Nb$ ）、シリコン（ $Si$ ）、鉄（ $Fe$ ）、パラジウム（ $Pd$ ）、炭素（ $C$ ）、スカンジウム（ $Sc$ ）、亜鉛（ $Zn$ ）、リン（ $P$ ）、ボロン（ $B$ ）、ヒ素（ $As$ ）、ガリウム（ $Ga$ ）、インジウム（ $In$ ）、錫（ $Sn$ ）、酸素（ $O$ ）によって構成される群から選ばれた一つの元素の単体膜、又は、前記群から選ばれた一つ又は複数の元素を含む化合物などがある。当該化合物の一例としては、前記群から選ばれた一つ若しくは複数の元素を含む合金（インジウム錫酸化物（ $ITO$ ）、インジウム亜鉛酸化物（ $IZO$ ）、酸化珪素を含むインジウム錫酸化物（ $ITSO$ ）、酸化亜鉛（ $ZnO$ ）、酸化錫（ $SnO$ ）、酸化錫カドミウム（ $CZO$ ）、アルミネオジウム（ $Al-Nd$ ）、マグネシウム銀（ $M$

40

50

g - A g )、モリブデンニオブ ( M o - N b )、モリブデンタングステン ( M o - W )、モリブデンタantal ( M o - T a ) などの合金材料)、前記群から選ばれた一つ若しくは複数の元素と窒素との化合物 ( 窒化チタン、窒化タantal、窒化モリブデンなどの窒化膜)、又は、前記群から選ばれた一つ若しくは複数の元素とシリコンとの化合物 ( タングステンシリサイド、チタンシリサイド、ニッケルシリサイド、アルミシリコン、モリブデンシリコンなどのシリサイド膜) などがある。他にも、カーボンナノチューブ、有機ナノチューブ、無機ナノチューブ、又は金属ナノチューブなどのナノチューブ材料がある。

【 0 3 7 1 】

なお、シリコン ( S i ) は、n 型不純物 ( リンなど)、又は p 型不純物ボロンなど) を含むことが可能である。

10

【 0 3 7 2 】

なお、銅が導電層として用いられる場合、密着性を向上させるために積層構造にすることが好ましい。

【 0 3 7 3 】

なお、酸化物半導体、又はシリコンと接触する導電層としては、モリブデン又はチタンを用いることが好ましい。

【 0 3 7 4 】

なお、導電層としてネオジムとアルミニウムとの合金材料を用いることによって、アルミニウムがヒロックを起こしにくくなる。

20

【 0 3 7 5 】

なお、導電層として、シリコンなどの半導体材料を用いる場合、シリコンなどの半導体材料をトランジスタが有する半導体層と同時に形成することが可能である。

【 0 3 7 6 】

なお、ITO、IZO、ITSO、ZnO、Si、SnO、CTO、又はカーボンナノチューブなどは、透光性を有しているので、これらの材料を画素電極、対向電極、又は共通電極などの光を透過させる部分に用いることが可能である。

【 0 3 7 7 】

なお、低抵抗材料 ( 例えばアルミニウムなど) を用いて積層構造とすることによって、配線の抵抗を小さくすることができる。

30

【 0 3 7 8 】

なお、低耐熱性の材料 ( 例えばアルミニウムなど) を、高耐熱性の材料 ( 例えばモリブデン、チタン、ネオジムなど) によって挟む積層構造にすることによって、低耐熱性の材料の持つメリットを生かしつつ、配線、電極などの耐熱性を高くすることができる。

【 0 3 7 9 】

なお、他の材料に反応して性質が変わってしまう材料を、当該他の材料に反応しにくい材料によって挟んだり、覆ったりすることが可能である。例えば、ITOとアルミニウムとを接続させる場合は、ITOとアルミニウムとの間に、ネオジム合金、チタン、モリブデンなどを挟むことが可能である。例えば、シリコンとアルミニウムとを接続させる場合は、シリコンとアルミニウムとの間に、ネオジム合金、チタン、モリブデンを挟むことが可能である。なお、これらの材料は、配線、電極、導電層、導電膜、端子、ビア、プラグなどにも用いることが可能である。

40

【 0 3 8 0 】

なお、上述する導電層が積層構造で設けられる場合、例えば、AlをMo又はTiなどで挟み込んだ構造とすることが好ましい。こうすることで、Alの熱や化学反応に対する耐性を向上することができる。

【 0 3 8 1 】

絶縁層 5 2 6 5、絶縁層 5 2 6 7、絶縁層 5 2 6 9、絶縁層 5 3 0 5、及び絶縁層 5 3 5 8 の一例としては、単層構造の絶縁膜、又はこれらの積層構造などがある。当該絶縁膜の一例としては、酸化珪素 ( S i O <sub>x</sub> )、窒化珪素 ( S i N <sub>x</sub> )、若しくは酸化窒化珪素 ( S i O <sub>x</sub> N <sub>y</sub> ) ( x > y )、窒化酸化珪素 ( S i N <sub>x</sub> O <sub>y</sub> ) ( x > y ) 等の酸素若しくは

50

窒素を含む膜、DLC（ダイヤモンドライクカーボン）等の炭素を含む膜、又は、シロキサン樹脂、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、若しくはアクリル等の有機材料などがある。

【0382】

発光層5270の一例としては、有機EL素子、又は無機EL素子などがある。有機EL素子の一例としては、正孔注入材料からなる正孔注入層、正孔輸送材料からなる正孔輸送層、発光材料からなる発光層、電子輸送材料からなる電子輸送層、電子注入材料からなる電子注入層など、若しくはこれらの材料のうち複数の材料を混合した層の単層構造、又はこれらの積層構造などがある。

【0383】

なお、絶縁層5305の上及び導電層5306の上には、配向膜として機能する絶縁層、突起部として機能する絶縁層などを形成することが可能である。

【0384】

なお、導電層5308の上には、カラーフィルタ、ブラックマトリクス、又は突起部として機能する絶縁層などを形成することが可能である。導電層5308の下には、配向膜として機能する絶縁層を形成することが可能である。

【0385】

なお、図32(A)の断面構造において、絶縁層5269、発光層5270、及び導電層5271を省略し、図32(B)に示す液晶層5307、導電層5308を絶縁層5267の上及び導電層5268に形成することが可能である。

【0386】

なお、図32(B)の断面構造において、液晶層5307、導電層5308を省略し、図32(A)に示す絶縁層5269、発光層5270、及び導電層5271を絶縁層5305の上及び導電層5306の上に形成することが可能である。

【0387】

なお、図32(C)の断面構造において、絶縁層5358及び導電層5359の上に、図32(A)に示す絶縁層5269、発光層5270、及び導電層5271を形成することが可能である。あるいは、図32(B)に示す液晶層5307、導電層5308を絶縁層5267の上及び導電層5268に形成することが可能である。

【0388】

本実施の形態のトランジスタは、実施の形態1～実施の形態8の半導体装置、シフトレジスタ、又は表示装置に用いることが可能である。特に、図32(B)のトランジスタにおいて、半導体層として、非単結晶半導体、微結晶半導体、有機半導体、又は酸化物半導体などを用いる場合、トランジスタが劣化してしまう場合がある。この場合でも、実施の形態1～実施の形態8の半導体装置、シフトレジスタ、又は表示装置では、トランジスタの劣化を抑制することができる。

【0389】

(実施の形態10)

本実施の形態においては、電子機器の例について説明する。

【0390】

図33(A)乃至図33(H)、図34(A)乃至図34(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005、接続端子5006、センサ5007（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線を測定する機能を含むもの）、マイクロフォン5008、等を有することができる。

【0391】

図33(A)はモバイルコンピュータであり、上述するものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図33(B)は記録媒体を備えた携帯型の画像再生装置（たとえば、DVD再生装置）であり、上述するものの他に、第2表示

10

20

30

40

50

部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 ( C ) はゴーグル型ディスプレイであり、上述するものの他に、第 2 表示部 5 0 0 2、支持部 5 0 1 2、イヤホン 5 0 1 3、等を有することができる。図 3 3 ( D ) は携帯型遊技機であり、上述するものの他に、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 ( E ) はプロジェクタであり、上述するものの他に、光源 5 0 3 3、投射レンズ 5 0 3 4、等を有することができる。図 3 3 ( F ) は携帯型遊技機であり、上述するものの他に、第 2 表示部 5 0 0 2、記録媒体読込部 5 0 1 1、等を有することができる。図 3 3 ( G ) はテレビ受像器であり、上述するものの他に、チューナ、画像処理部、等を有することができる。図 3 3 ( H ) は持ち運び型テレビ受像器であり、上述するものの他に、信号の送受信が可能な充電器 5 0 1 7、等を有することができる。図 3 4 ( A ) はディスプレイであり、上述するものの他に、支持台 5 0 1 8、等を有することができる。図 3 4 ( B ) はカメラであり、上述するものの他に、外部接続ポート 5 0 1 9、シャッターボタン 5 0 1 5、受像部 5 0 1 6、等を有することができる。図 3 4 ( C ) はコンピュータであり、上述するものの他に、ポインティングデバイス 5 0 2 0、外部接続ポート 5 0 1 9、リーダ/ライタ 5 0 2 1、等を有することができる。図 3 4 ( D ) は携帯電話機であり、上述するものの他に、アンテナ 5 0 1 4、携帯電話・移動端末向けの 1 セグメント部分受信サービス用チューナ、等を有することができる。

10

#### 【 0 3 9 2 】

図 3 3 ( A ) 乃至図 3 3 ( H )、図 3 4 ( A ) 乃至図 3 4 ( D ) に示す電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア（プログラム）によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体（外部又はカメラに内蔵）に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図 3 3 ( A ) 乃至図 3 3 ( H )、図 3 4 ( A ) 乃至図 3 4 ( D ) に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

20

30

#### 【 0 3 9 3 】

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。本実施の形態の電子機器と、実施の形態 1 ～実施の形態 9 の半導体装置、シフトレジスタ、又は表示装置とを組み合わせることによって、信頼性の向上、歩留まりの向上、コストの削減、表示部の大型化、表示部の高精細化などを図ることができる。

#### 【 0 3 9 4 】

次に、半導体装置の応用例を説明する。

#### 【 0 3 9 5 】

図 3 4 ( E ) に、半導体装置を、建造物と一体にして設けた例について示す。図 3 4 ( E ) は、筐体 5 0 2 2、表示部 5 0 2 3、操作部であるリモコン装置 5 0 2 4、スピーカ 5 0 2 5 等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

#### 【 0 3 9 6 】

図 3 4 ( F ) に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル 5 0 2 6 は、ユニットバス 5 0 2 7 と一体に取り付けられており、入浴者は表示パネル 5 0 2 6 の視聴が可能になる。

40

50

## 【 0 3 9 7 】

なお、本実施の形態において、建造物として壁、ユニットバスを例とするが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

## 【 0 3 9 8 】

次に、半導体装置を、移動体と一体にして設けた例について示す。

## 【 0 3 9 9 】

図 3 4 ( G ) は、半導体装置を、自動車に設けた例について示す図である。表示パネル 5 0 2 8 は、自動車の車体 5 0 2 9 に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

10

## 【 0 4 0 0 】

図 3 4 ( H ) は、半導体装置を、旅客用飛行機と一体にして設けた例について示す図である。図 3 4 ( H ) は、旅客用飛行機の座席上部の天井 5 0 3 0 に表示パネル 5 0 3 1 を設けたときの、使用時の形状について示す図である。表示パネル 5 0 3 1 は、天井 5 0 3 0 とヒンジ部 5 0 3 2 を介して一体に取り付けられており、ヒンジ部 5 0 3 2 の伸縮により乗客は表示パネル 5 0 3 1 の視聴が可能になる。表示パネル 5 0 3 1 は乗客が操作することで情報を表示する機能を有する。

## 【 0 4 0 1 】

なお、本実施の形態において、移動体としては自動車車体、飛行機車体について例示するがこれに限定されず、自動二輪車、自動四輪車（自動車、バス等を含む）、電車（モノレール、鉄道等を含む）、船舶等、様々なものに設置することができる。

20

## 【 符号の説明 】

## 【 0 4 0 2 】

1 0 0	回路
1 0 1	トランジスタ
1 0 2	トランジスタ
1 0 3	トランジスタ
1 0 4	トランジスタ
1 0 5	容量素子
1 0 6	容量素子
1 0 7	ダイオード
1 2 1	配線
1 2 2	配線
1 2 3	配線
1 2 4	配線
1 2 5	配線
1 2 6	配線
1 2 7	配線
1 2 8	配線
1 3 1	トランジスタ
1 3 2	トランジスタ
1 3 3	トランジスタ
1 3 4	トランジスタ
1 3 5	トランジスタ
1 3 7	トランジスタ
1 3 8	トランジスタ
2 0 0	フリップフロップ
2 0 1	配線
2 0 2	配線
2 0 3	配線

30

40

50

2 0 4	配線	
2 0 5	配線	
2 0 6	配線	
2 0 7	配線	
2 1 1	回路	
2 1 2	回路	
2 1 3	回路	
2 1 4	回路	
2 1 5	回路	
2 1 6	回路	10
2 2 0	シフトレジスタ	
2 2 1	回路	
2 2 2	回路	
2 2 3	回路	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	トランジスタ	
3 0 4	トランジスタ	
3 1 1	配線	
3 2 0	フリップフロップ	20
3 2 1	配線	
4 0 1	導電層	
4 0 2	半導体層	
4 0 3	導電層	
4 0 4	導電層	
4 0 5	コンタクトホール	
4 1 1	開口部	
4 1 2	開口部	
4 2 1	配線幅	
4 2 2	配線幅	30
4 2 3	幅	
4 2 4	幅	
4 2 6	幅	
4 3 1	幅	
4 3 2	幅	
5 0 0	回路	
5 0 1	回路	
5 0 2	回路	
5 0 3	トランジスタ	
5 0 4	配線	40
5 0 5	配線	
5 1 4	信号	
5 1 5	信号	
1 0 1 p	トランジスタ	
1 0 2 p	トランジスタ	
1 0 3 a	ダイオード	
1 0 3 p	トランジスタ	
1 0 4 a	ダイオード	
1 0 4 p	トランジスタ	
1 0 5 a	トランジスタ	50

1 0 6 a	トランジスタ	
1 0 7 a	トランジスタ	
1 2 2 A	配線	
1 2 2 B	配線	
1 2 2 C	配線	
1 2 2 D	配線	
1 2 2 E	配線	
1 2 2 F	配線	
1 2 2 G	配線	
1 2 2 H	配線	10
1 2 2 I	配線	
1 2 3 A	配線	
1 2 3 B	配線	
1 2 3 C	配線	
1 2 3 D	配線	
1 2 3 E	配線	
1 2 4 A	配線	
1 2 4 B	配線	
1 2 4 C	配線	
1 3 3 a	ダイオード	20
1 3 4 a	ダイオード	
1 3 5 a	ダイオード	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	
5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	30
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	
5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	40
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダ/ライタ	
5 0 2 2	筐体	
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	50

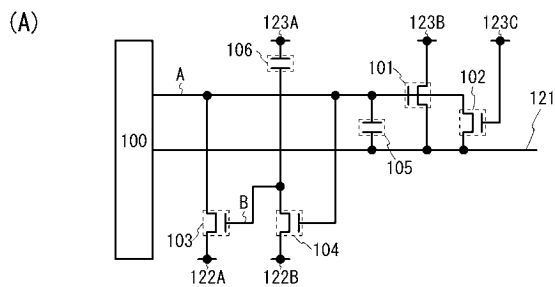
5 0 2 8	表示パネル	
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 0 8 0	画素	
5 0 8 1	トランジスタ	
5 0 8 2	液晶素子	10
5 0 8 3	容量素子	
5 0 8 4	配線	
5 0 8 5	配線	
5 0 8 6	配線	
5 0 8 7	配線	
5 0 8 8	電極	
5 1 8 4	信号	
5 1 8 5	信号	
5 1 8 6	信号	
5 2 6 0	基板	20
5 2 6 1	絶縁層	
5 2 6 2	半導体層	
5 2 6 3	絶縁層	
5 2 6 4	導電層	
5 2 6 5	絶縁層	
5 2 6 6	導電層	
5 2 6 7	絶縁層	
5 2 6 8	導電層	
5 2 6 9	絶縁層	
5 2 7 0	発光層	30
5 2 7 1	導電層	
5 2 7 3	絶縁層	
5 3 0 0	基板	
5 3 0 1	導電層	
5 3 0 2	絶縁層	
5 3 0 4	導電層	
5 3 0 5	絶縁層	
5 3 0 5	絶縁層	
5 3 0 6	導電層	
5 3 0 7	液晶層	40
5 3 0 8	導電層	
5 3 5 0	領域	
5 3 5 1	領域	
5 3 5 2	基板	
5 3 5 3	領域	
5 3 5 4	絶縁層	
5 3 5 5	領域	
5 3 5 6	絶縁層	
5 3 5 7	導電層	
5 3 5 8	絶縁層	50

5 3 5 9	導電層
5 3 6 0	映像信号
5 3 6 1	回路
5 3 6 2	回路
5 3 6 3	回路
5 3 6 4	画素部
5 3 6 5	回路
5 3 6 6	照明装置
5 3 6 7	画素
5 3 7 1	配線
5 3 7 2	配線
5 3 7 3	配線
5 3 8 0	基板
5 3 8 1	入力端子
5 2 6 2 a	領域
5 2 6 2 b	領域
5 2 6 2 c	領域
5 2 6 2 d	領域
5 2 6 2 e	領域
5 3 0 3 a	半導體
5 3 0 3 b	半導體
5 3 6 1 a	回路
5 3 6 1 b	回路
5 3 6 2 a	回路
5 3 6 2 b	回路

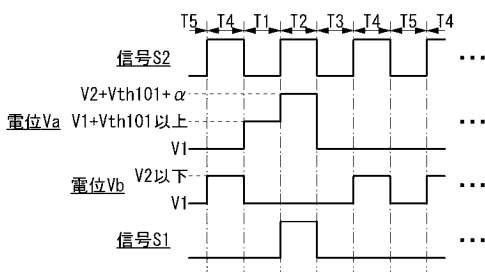
10

20

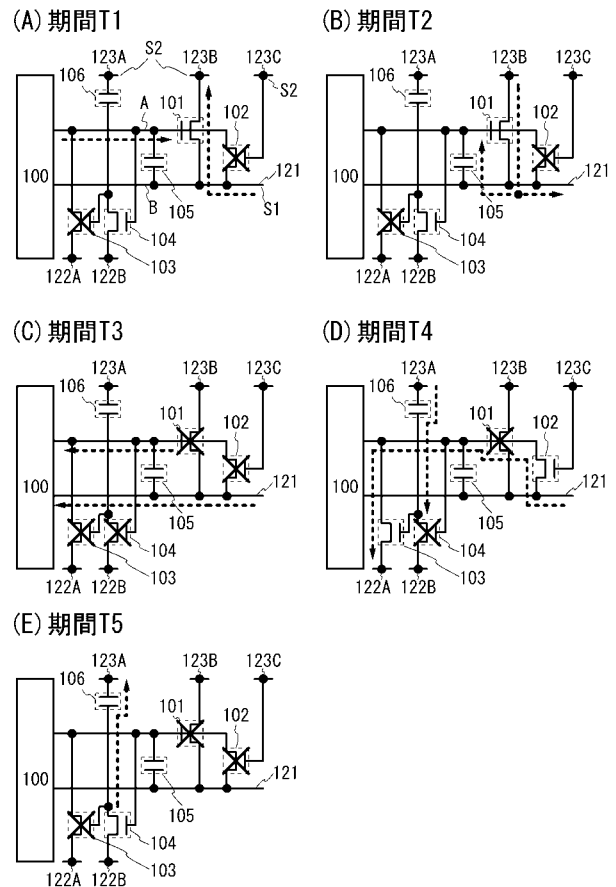
【 図 1 】



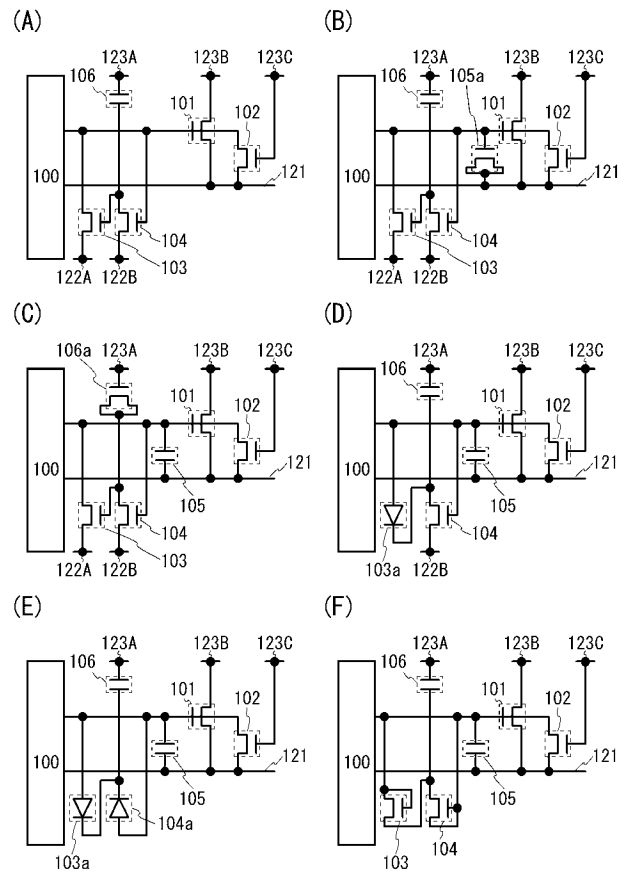
(B)



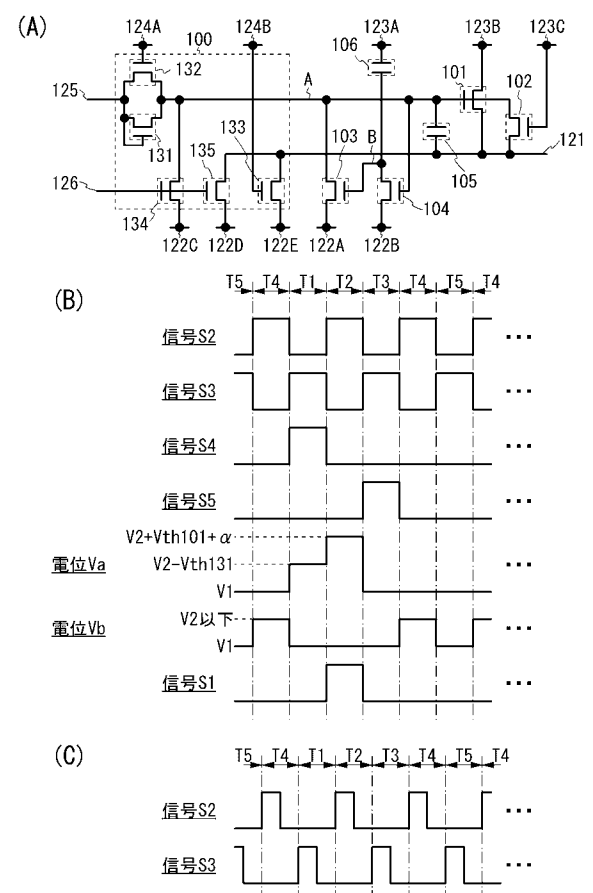
【 図 2 】



【 図 4 】

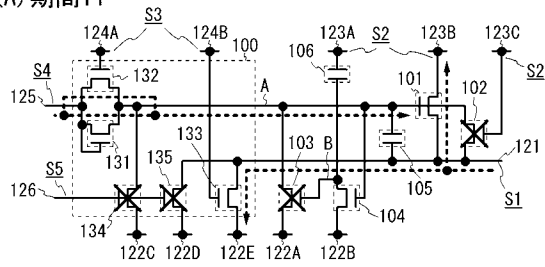


【 図 6 】

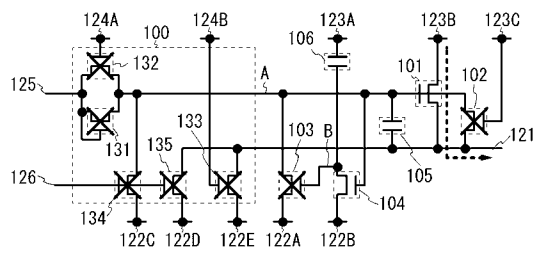


【図 7】

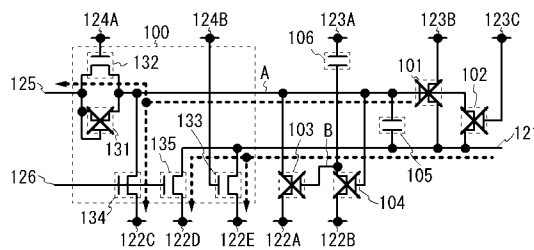
(A) 期間T1



(B) 期間T2

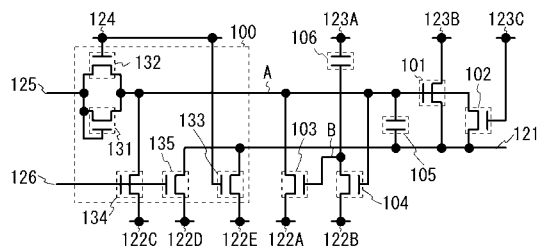


(C) 期間T3

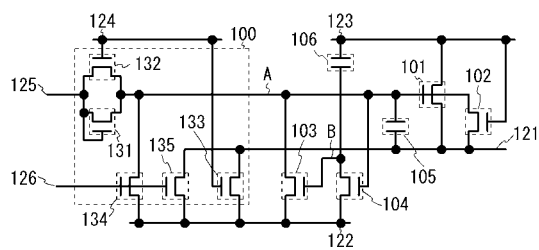


【図 9】

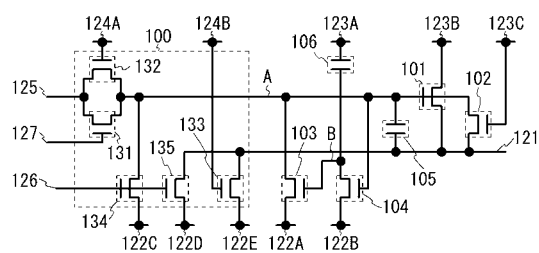
(A)



(B)

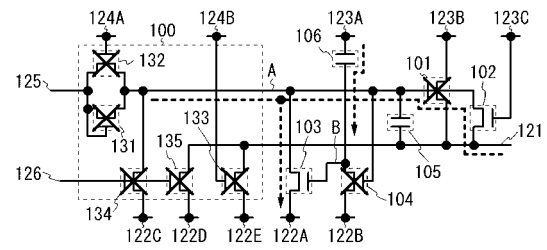


(C)

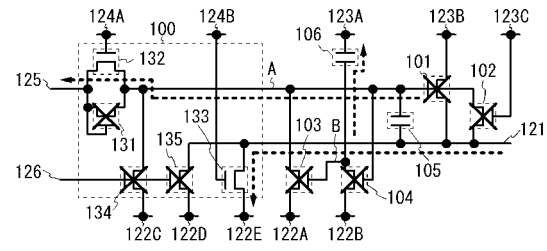


【図 8】

(A) 期間T4

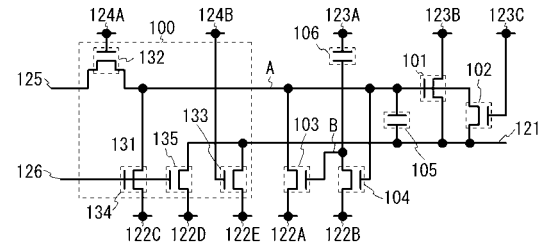


(B) 期間T5

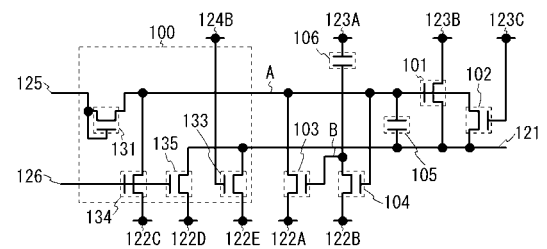


【図 10】

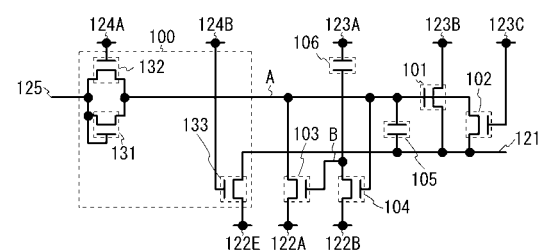
(A)



(B)

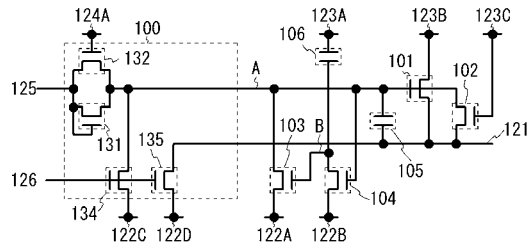


(C)

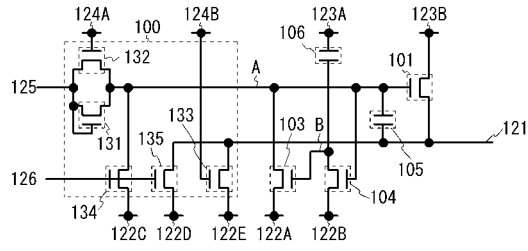


【図 1 1】

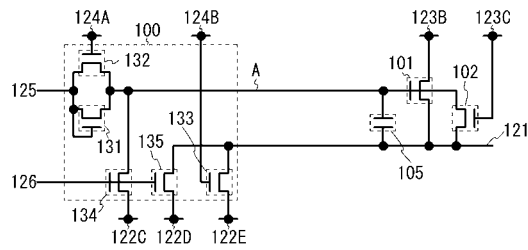
(A)



(B)

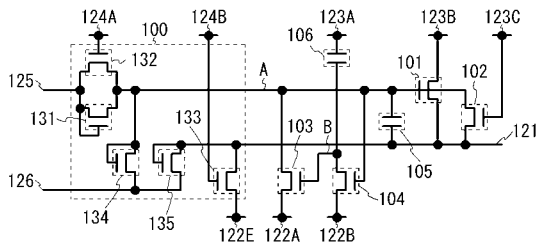


(C)

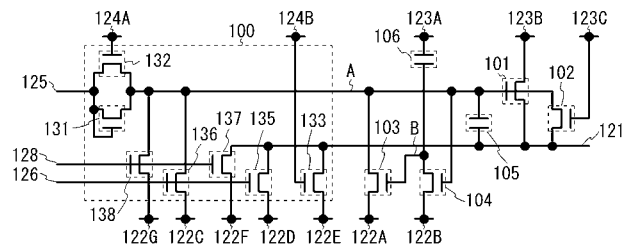


【図 1 3】

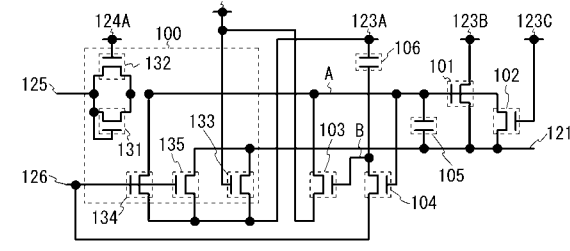
(A)



(B)

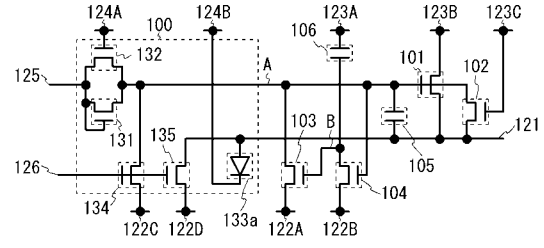


(C)

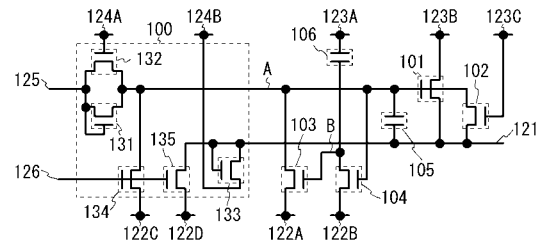


【図 1 2】

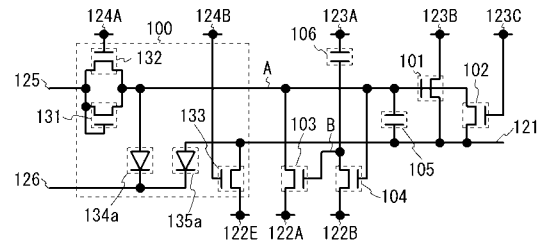
(A)



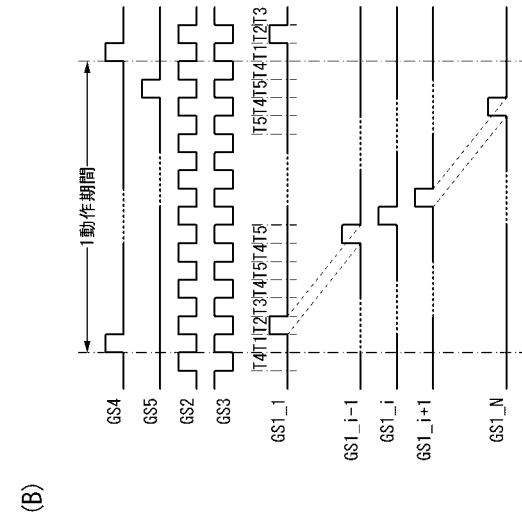
(B)



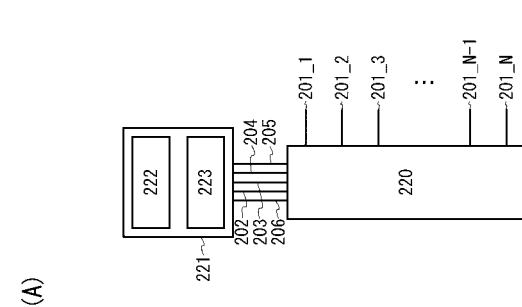
(C)



【図 1 4】

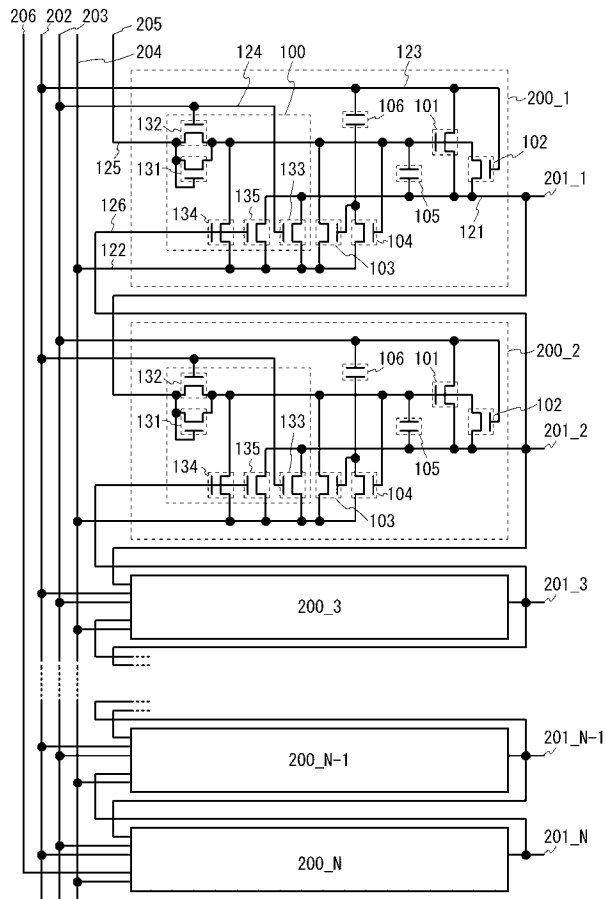


(B)

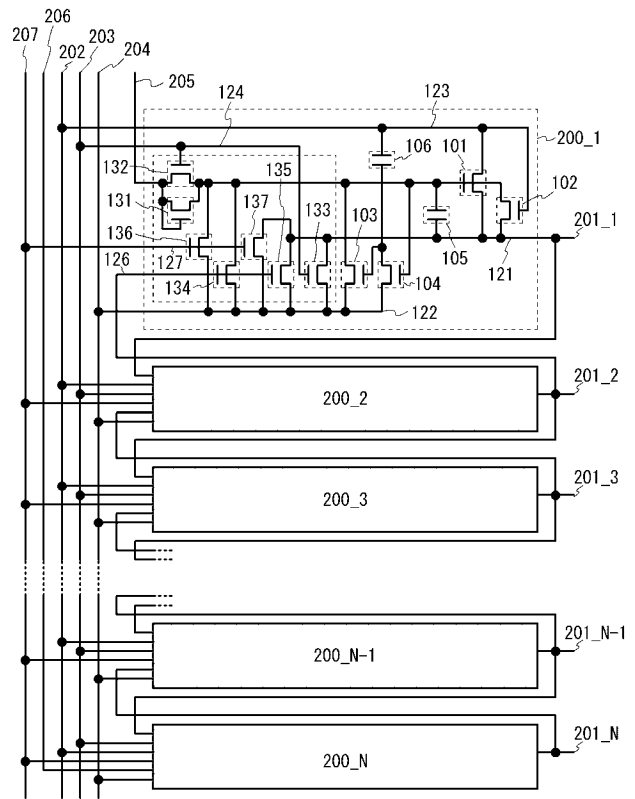


(A)

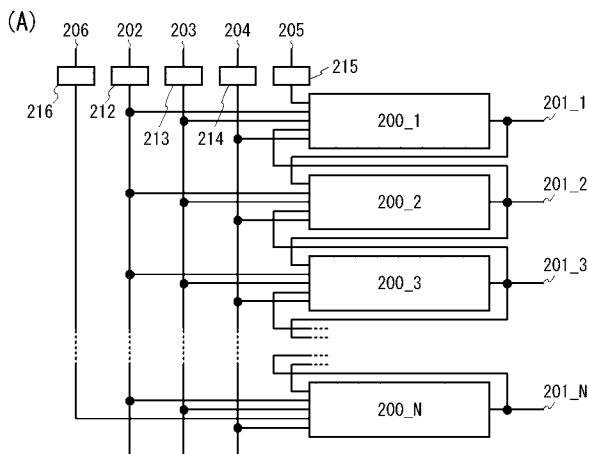
【図 15】



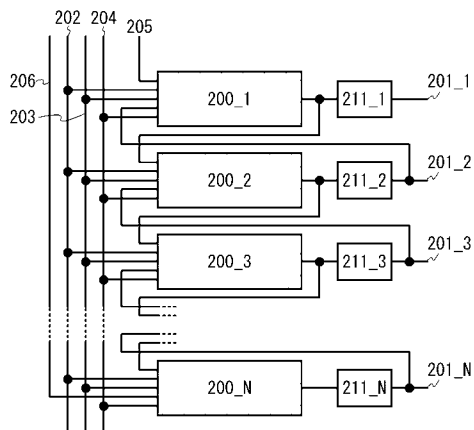
【図 16】



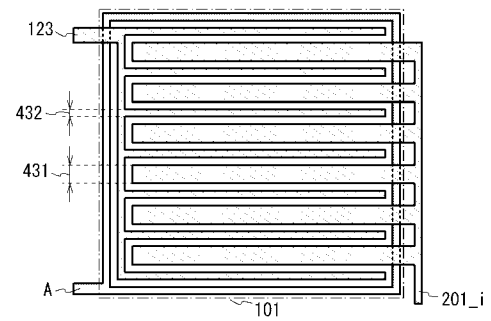
【図 17】



(B)

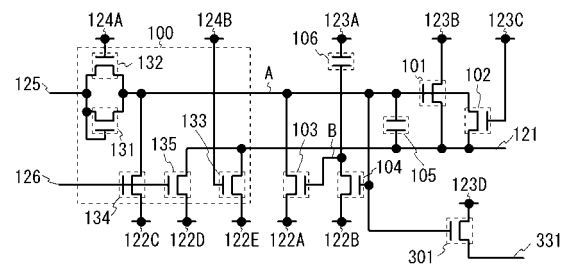


【図 18】

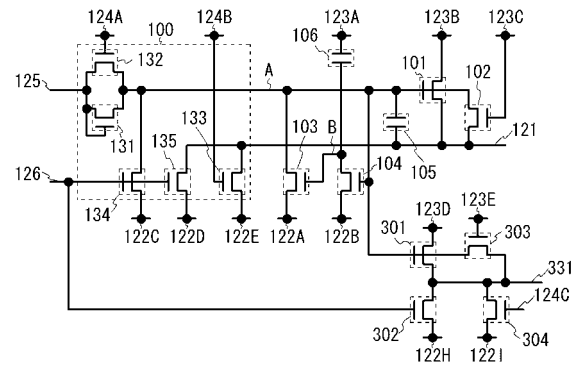


【 ㄨ 2 0 】

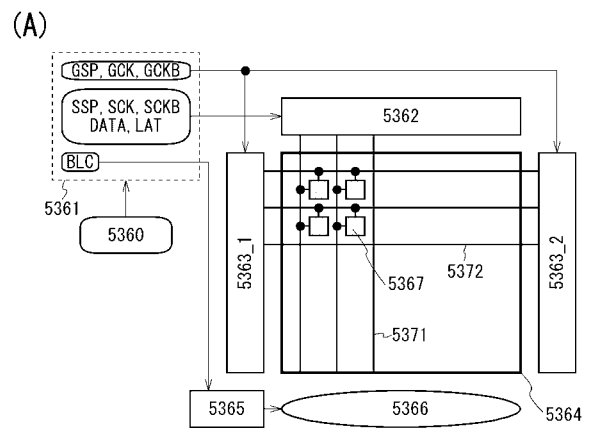
(A)



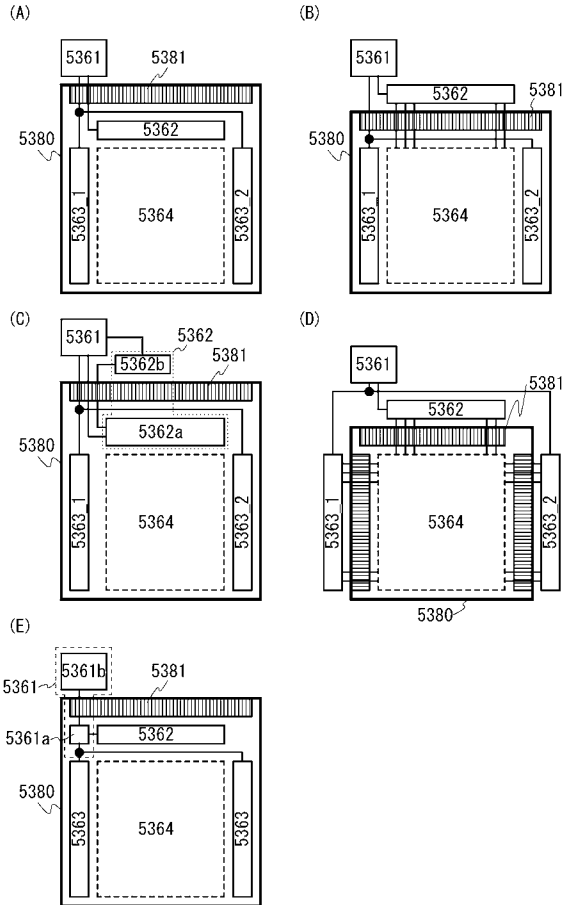
(B)



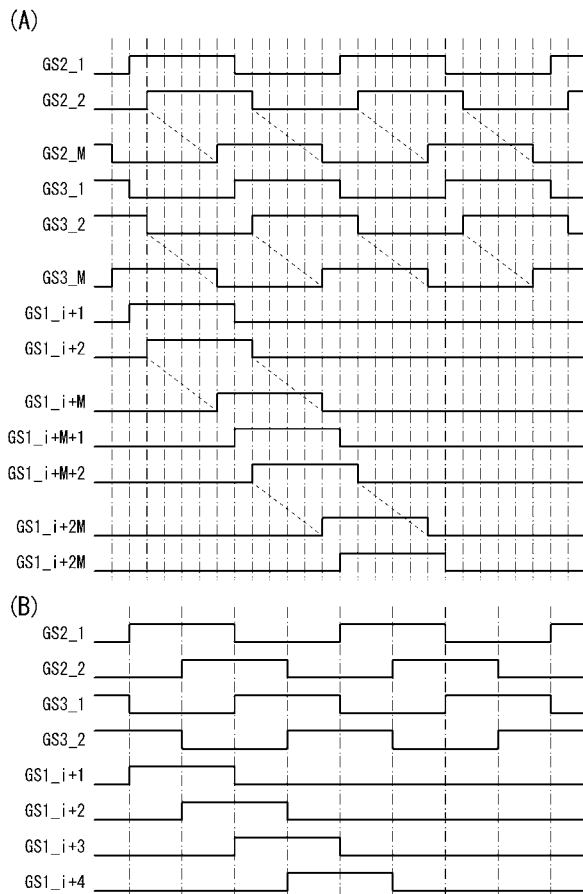
【 図 2 2 】



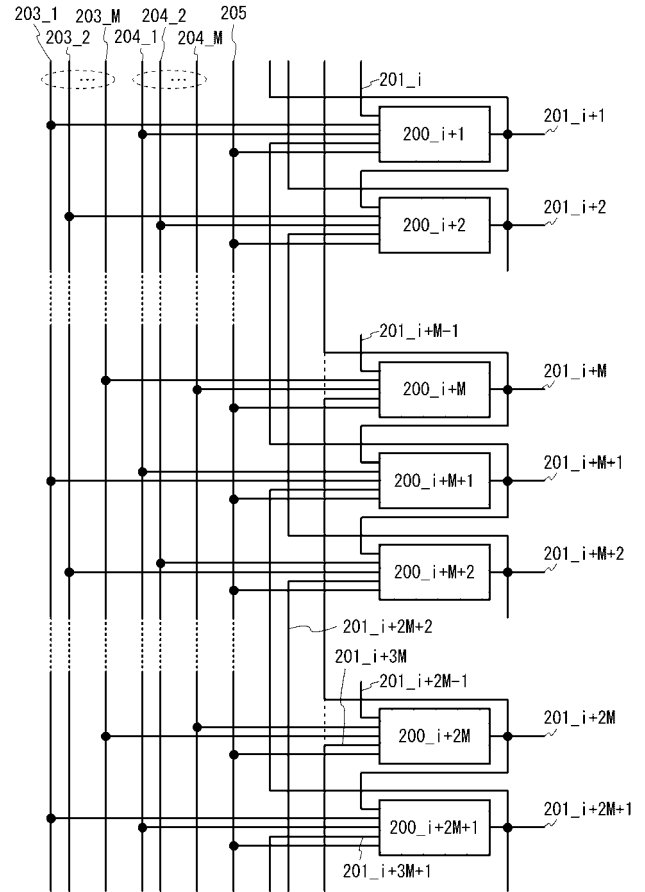
【図 2 3】



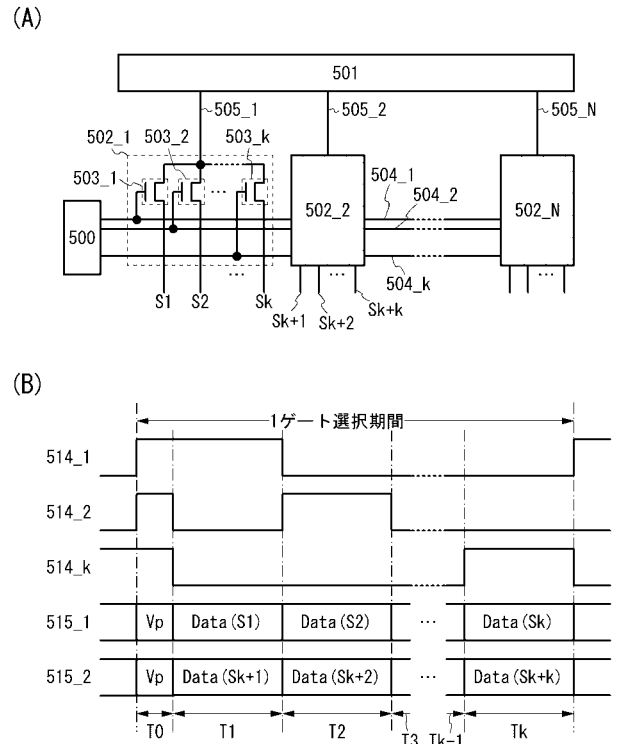
【図 2 5】



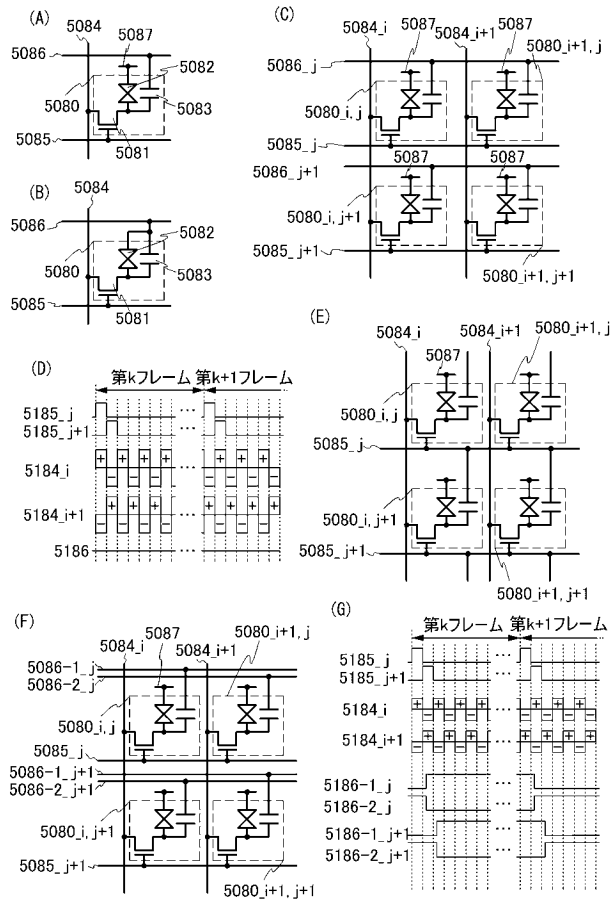
【図 2 4】



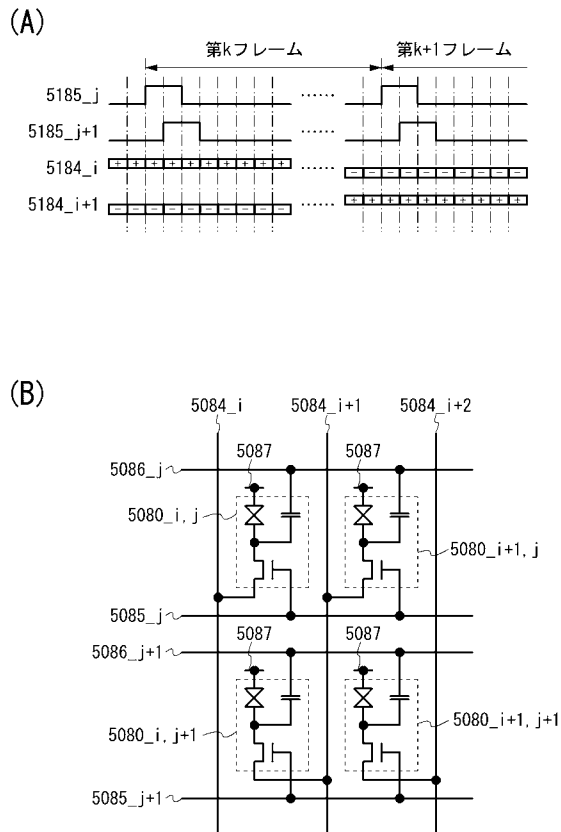
【図 2 6】



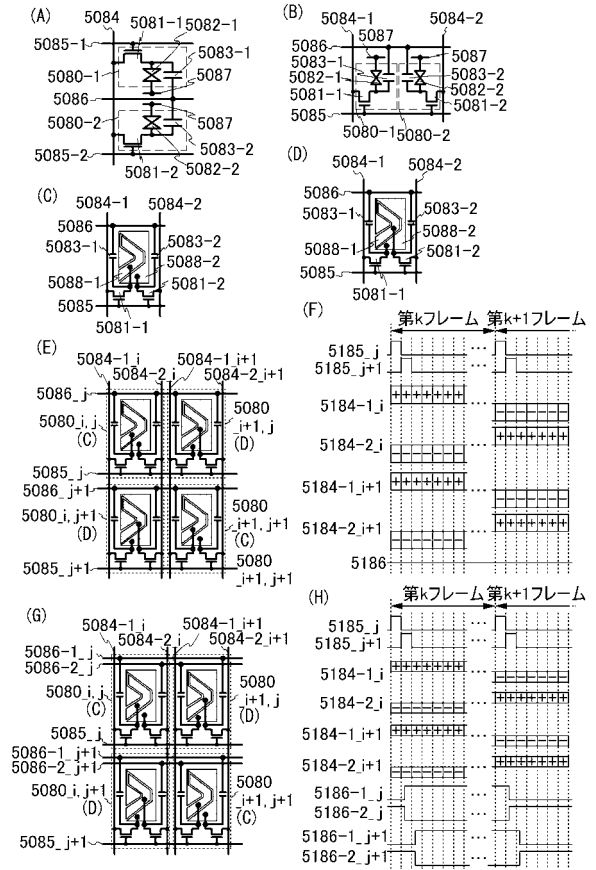
【図 27】



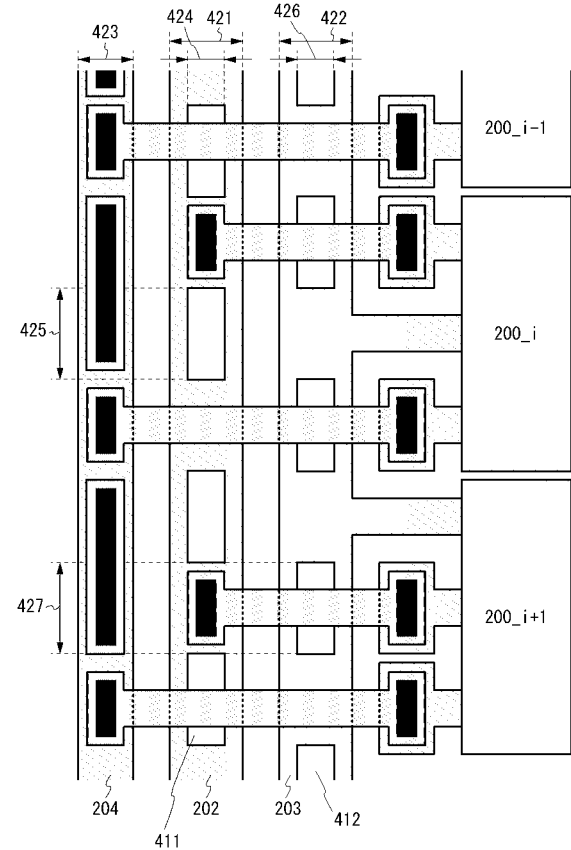
【図 29】



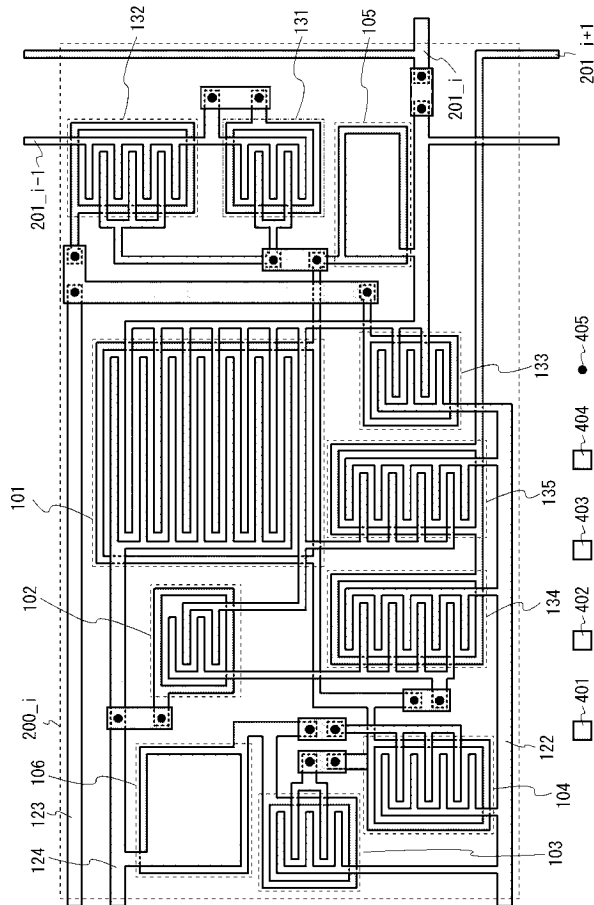
【図 28】



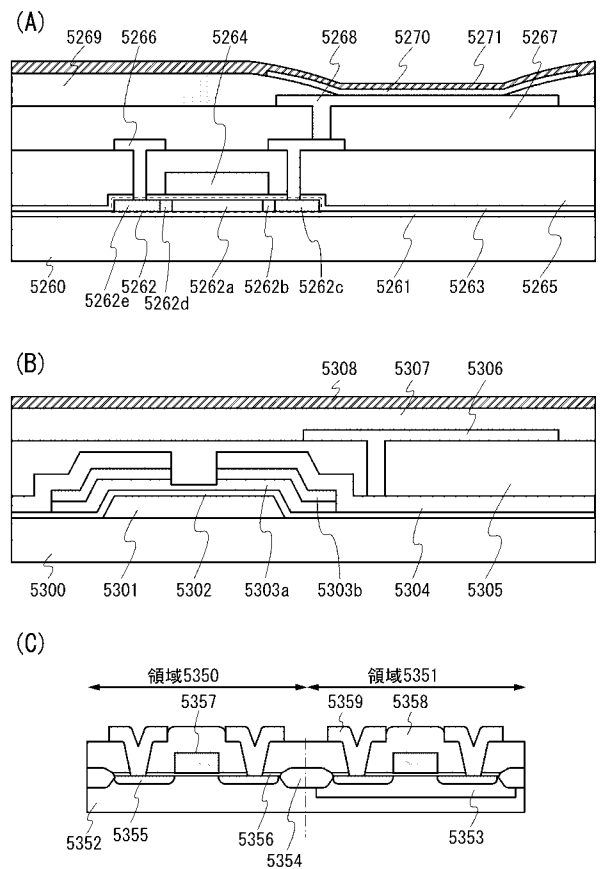
【図 30】



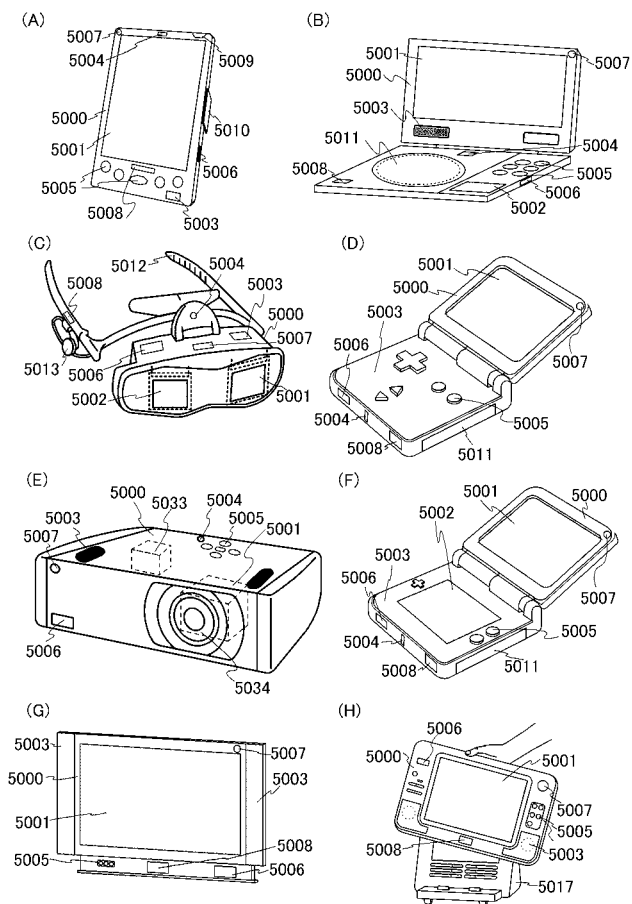
【図 3 1】



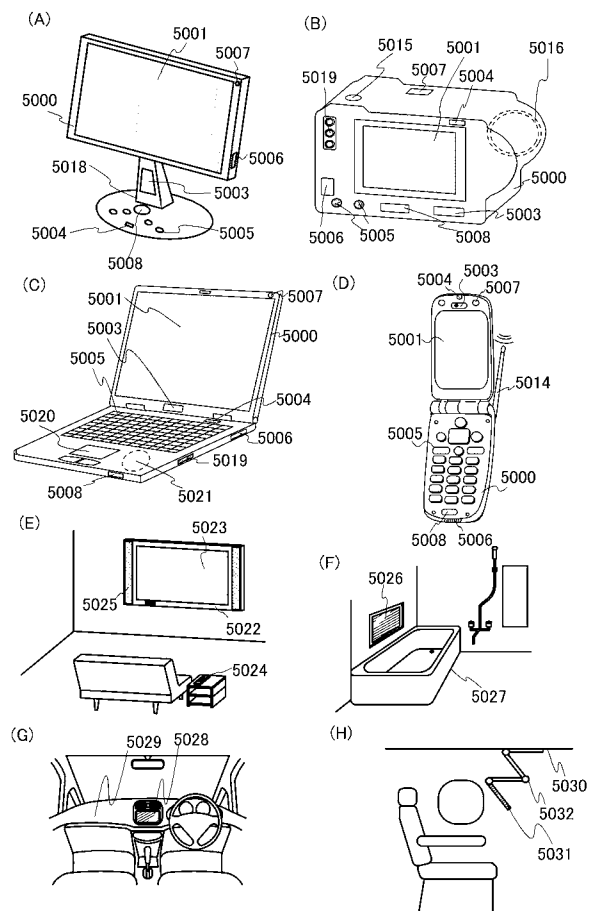
【図 3 2】



【図 3 3】



【図 3 4】



---

 フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 7 0 E  
 G 0 9 G 3/20 6 2 3 H  
 G 0 2 F 1/133 5 5 0  
 H 0 5 B 33/14 A

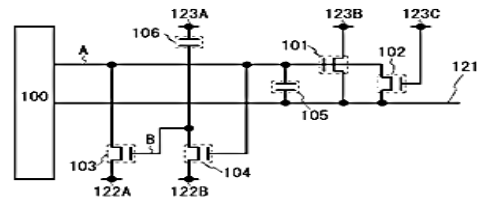
F ターム(参考) 5C006 AA16 AA22 AC25 AC27 AC28 AF42 AF50 AF72 AF81 AF82  
 BA19 BB16 BC02 BC03 BC06 BC13 BC20 BC22 BF03 BF04  
 BF06 BF24 BF25 BF26 BF27 BF34 BF36 BF37 BF42 BF46  
 EA01 EB04 EB05 EC02 EC09 EC11 FA12 FA16 FA20 FA22  
 FA26 FA31 FA33 FA37 FA42 FA43 FA45 FA46 FA47 FA51  
 5C080 AA06 AA07 AA10 AA13 AA16 BB05 CC03 DD05 DD08 DD09  
 DD12 DD22 DD23 DD24 DD25 DD26 DD27 DD28 DD29 EE29  
 FF11 GG10 GG11 HH09 JJ02 JJ03 JJ04 JJ06 KK02 KK07  
 KK20 KK21 KK23 KK38 KK43

专利名称(译)	液晶显示装置和配备有液晶显示装置的电子装置		
公开(公告)号	<a href="#">JP2010152347A</a>	公开(公告)日	2010-07-08
申请号	JP2009265806	申请日	2009-11-23
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	梅崎敦司		
发明人	梅崎 敦司		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H01L51/50		
CPC分类号	G09G3/3413 G09G2310/0235 G09G2310/061 G09G2320/0252 G02F1/13624 G02F1/136286 G09G3/3266 G09G3/3648 H01L27/0629 G09G2310/0286		
FI分类号	G09G3/36 G09G3/20.621.M G09G3/20.680.G G09G3/20.622.E G09G3/20.670.J G09G3/20.670.E G09G3/20.623.H G02F1/133.550 H05B33/14.A G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZA20 2H193/ZB02 2H193/ZB03 2H193/ZB14 2H193/ZC04 2H193/ZC07 2H193/ZC13 2H193/ZC14 2H193/ZC16 2H193/ZC25 2H193/ZF23 2H193/ZF44 2H193/ZQ11 2H193/ZQ16 3K107/AA01 3K107/BB01 3K107/CC14 3K107/CC21 3K107/CC29 3K107/CC31 3K107/CC43 3K107/CC45 3K107/EE03 3K107/EE59 3K107/HH04 5C006/AA16 5C006/AA22 5C006/AC25 5C006/AC27 5C006/AC28 5C006/AF42 5C006/AF50 5C006/AF72 5C006/AF81 5C006/AF82 5C006/BA19 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/BC13 5C006/BC20 5C006/BC22 5C006/BF03 5C006/BF04 5C006/BF06 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF36 5C006/BF37 5C006/BF42 5C006/BF46 5C006/EA01 5C006/EB04 5C006/EB05 5C006/EC02 5C006/EC09 5C006/EC11 5C006/FA12 5C006/FA16 5C006/FA20 5C006/FA22 5C006/FA26 5C006/FA31 5C006/FA33 5C006/FA37 5C006/FA42 5C006/FA43 5C006/FA45 5C006/FA46 5C006/FA47 5C006/FA51 5C080/AA06 5C080/AA07 5C080/AA10 5C080/AA13 5C080/AA16 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD09 5C080/DD12 5C080/DD22 5C080/DD23 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD27 5C080/DD28 5C080/DD29 5C080/EE29 5C080/FF11 5C080/GG10 5C080/GG11 5C080/HH09 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK02 5C080/KK07 5C080/KK20 5C080/KK21 5C080/KK23 5C080/KK38 5C080/KK43 2H193/ZF24 5B074/AA03 5B074/CA01		
优先权	2008304124 2008-11-28 JP		
其他公开文献	JP5728156B2 JP2010152347A5		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

要解决的问题：减少连接到电容器的晶体管数量。解决方案：液晶显示器具有电容器和一个晶体管，并且构造成使得电容器的一个电极连接到布线，并且电容器的另一个电极连接到晶体管的栅极。由于时钟信号输入到布线，时钟信号通过电容器输入到晶体管的栅极。然后，通过与时钟信号同步的信号控制晶体管的导通状态，并且重复晶体管导通的时段和晶体管截止的时段。因此，抑制了晶体管的劣化。Ž

(A)



(B)

