

(19) 日本国特許庁(JP)

再 公 表 特 許(A1)

(11) 国際公開番号

W02011/067963

発行日 平成25年4月18日(2013.4.18)

(43) 国際公開日 平成23年6月9日(2011.6.9)

(51) Int.Cl.	F I	テーマコード (参考)
GO2F 1/1343 (2006.01)	GO2F 1/1343	2H092
GO2F 1/1368 (2006.01)	GO2F 1/1368	

審査請求 有 予備審査請求 未請求 (全 30 頁)

出願番号	特願2011-544209 (P2011-544209)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2010/063475		シャープ株式会社
(22) 国際出願日	平成22年8月9日(2010.8.9)		大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号	特願2009-276235 (P2009-276235)	(74) 代理人	100104695
(32) 優先日	平成21年12月4日(2009.12.4)		弁理士 島田 明宏
(33) 優先権主張国	日本国(JP)	(74) 代理人	100121348
			弁理士 川原 健児
		(72) 発明者	吉田 昌弘
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
		(72) 発明者	小笠原 功
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

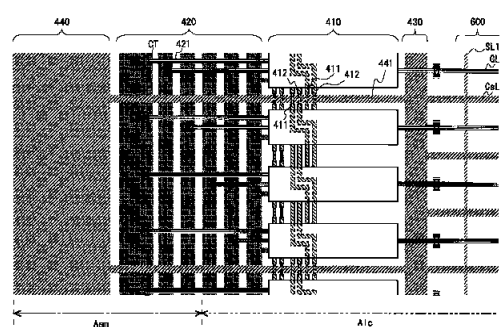
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

本液晶表示装置では、従来の第1の補助容量幹配線(430)の幅を細く形成し、さらに第2の補助容量幹配線(440)を新たに設け、これを基板の外縁部に最も近い位置に配置する。このことにより全体として額縁領域を増加させることなく、かつシフトレジスタを基板の外縁部から離すことができるのでシフトレジスタ上がシール材で覆われることがない。さらにシフトレジスタへ信号を与える配線領域のうちシール材で覆われる領域の面積も低減される。

【図4】



【特許請求の範囲】**【請求項 1】**

表示すべき画像を形成する複数の画素形成部がマトリクス状に配置された第 1 の基板と、当該第 1 の基板に対向する第 2 の基板と、所定のシール材によって第 1 および第 2 の基板の間にシールされた液晶層とを備えるアクティブマトリクス型の液晶表示装置であって、

前記第 1 の基板は、

前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の走査信号線と平行な方向に延びるよう配される複数の補助容量線と、

前記複数の補助容量線の配列方向に延びるよう配され、前記複数の補助容量線と電気的に接続する補助容量幹配線と、

前記複数の走査信号線を選択的に駆動する回路群からなる走査信号線駆動回路とを含み、

前記補助容量幹配線は、前記走査信号線駆動回路を挟んで前記表示領域と反対側の前記第 1 の基板の端部と、前記走査信号線駆動回路との間に配される幹配線を含むことを特徴とする、液晶表示装置。

【請求項 2】

前記補助容量幹配線は、

前記複数の画素形成部が配列される表示領域と、前記走査信号線駆動回路との間に配される第 1 の補助容量幹配線と、

前記走査信号線駆動回路を挟んで前記表示領域と反対側の前記第 1 の基板の端部と、前記走査信号線駆動回路との間に配される第 2 の補助容量幹配線とを含むことを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 3】

前記第 2 の補助容量幹配線と前記走査信号線駆動回路との間に、前記配列方向に延びるよう配され、前記走査信号線駆動回路を駆動するための駆動信号を伝達する駆動信号供給幹配線をさらに備え、

前記シール材は、前記第 1 の基板の端部近傍から前記駆動信号供給幹配線上の所定位置までの間に配されることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記駆動信号供給幹配線とコンタクトホールを介して接続され、前記駆動信号供給幹配線と前記回路群とを接続する複数の駆動信号供給枝配線をさらに備え、

前記シール材は、第 1 の基板の端部近傍から、前記コンタクトホールのうちの一部の上の前記所定位置までの間に配されることを特徴とする、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記コンタクトホールでは、前記複数の画素形成部に備えられる画素電極と同一の材料により、前記駆動信号供給幹配線と前記複数の駆動信号供給枝配線とが接続されることを特徴とする、請求項 4 に記載の液晶表示装置。

【請求項 6】

前記第 2 の補助容量幹配線は、前記第 1 の補助容量幹配線よりも、幅が大きいことを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 7】

前記第 1 の補助容量幹配線は、前記第 2 の補助容量幹配線と同一の材料で形成されることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 8】

前記第 1 および第 2 の補助容量幹配線の間に、前記第 1 の補助容量幹配線と前記第 2 の補助容量幹配線とを接続する複数の補助容量枝配線をさらに備え、

前記複数の補助容量枝配線は、前記回路群のうち前記配列方向に隣り合う 2 つの回路の間のいずれかをそれぞれ通り、前記配列方向に略等しい間隔で配されることを特徴とする

10

20

30

40

50

、請求項 2 に記載の液晶表示装置。

【請求項 9】

前記複数の補助容量枝配線は、前記回路群のうち前記配列方向に隣り合う 2 つの回路の間のすべてを通るよう配されることを特徴とする、請求項 8 に記載の液晶表示装置。

【請求項 10】

前記第 1 および第 2 の補助容量幹配線の間に、前記第 1 の補助容量幹配線と前記第 2 の補助容量幹配線とを接続する複数の補助容量枝配線と、

前記回路群のうち前記配列方向に配置された異なる 2 つの回路の間を接続する回路間配線と

をさらに備え、

前記回路間配線は、前記複数の補助容量枝配線との交差点近傍の幅が小さくなるよう形成されることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 11】

前記複数の補助容量枝配線は、前記回路間配線との交差点近傍の幅が小さくなるよう形成されることを特徴とする、請求項 10 に記載の液晶表示装置。

【請求項 12】

前記走査線駆動回路の周囲であって、前記第 1 の補助容量幹配線の一端と前記第 2 の補助容量幹配線の一端との間、および前記第 1 の補助容量幹配線の他端と前記第 2 の補助容量幹配線の他端との間のうち少なくとも一方に配され、前記第 1 および第 2 の補助容量幹配線と接続する端部補助容量配線をさらに備えることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 13】

前記走査信号線駆動回路は、

前記複数の走査信号線の一方の端から選択的に駆動する第 1 の回路群と、

前記複数の走査信号線の他方の端から選択的に駆動する第 2 の回路群と

を含み、

前記第 1 の補助容量幹配線は、前記複数の画素形成部が配列される表示領域と、前記第 1 および第 2 の回路群のいずれかとの間にそれぞれ配され、

前記第 2 の補助容量幹配線は、前記第 1 または第 2 の回路群のうちのいずれかを挟んで前記表示領域と反対側の前記第 1 の基板の端部と、当該第 1 または第 2 の回路群との間にそれぞれ配されることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 14】

前記一方または他方の端側に配される前記第 1 および第 2 の補助容量幹配線の間に、当該第 1 の補助容量幹配線と当該第 2 の補助容量幹配線とを接続する複数の補助容量枝配線をさらに備え、

前記複数の補助容量枝配線は、前記回路群のうち前記配列方向に隣り合う 2 つの回路の間のいずれかをそれぞれ通り、かつ前記一方の端側に配される配列方向の位置と、前記他方の端側に配される配列方向の位置とが互いに異なることを特徴とする、請求項 13 に記載の液晶表示装置。

【請求項 15】

前記一方の端側に配される前記第 2 の補助容量幹配線の一端と、前記他方の端側に配される前記第 2 の補助容量幹配線の一端との間、および前記一方の端側に配される前記第 2 の補助容量幹配線の他端と、前記他方の端側に配される前記第 2 の補助容量幹配線の他端との間のうち少なくとも一方に配され、前記一方および他方の端側に配される第 2 の補助容量幹配線と接続する端部補助容量配線をさらに備えることを特徴とする、請求項 13 に記載の液晶表示装置。

【請求項 16】

前記第 2 の補助容量幹配線は、複数の開口部を有していることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 17】

前記駆動信号供給幹配線は複数の配線を含み、

前記シール材が配される前記複数の配線のうち最も幅が大きい配線は、複数の開口部を有していることを特徴とする、請求項 3 に記載の液晶表示装置。

【請求項 18】

前記複数の補助容量線は、異なる電位になるよう駆動される複数種類の補助容量線からなり、

前記第 1 の補助容量幹配線は、前記種類に応じた複数種類の第 1 の補助容量幹配線からなり、

前記第 2 の補助容量幹配線は、前記種類に応じた複数種類の第 2 の補助容量幹配線からなることを特徴とする、請求項 2 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型の液晶表示装置に関し、詳しくは、液晶表示装置に備えられる走査信号線駆動回路を構成するシフトレジスタと各種配線とのレイアウトに関する。

【背景技術】

【0002】

従来より、複数本のゲートバスライン（走査信号線）と複数本のソースバスライン（映像信号線）とが格子状に配置され、それら複数本のゲートバスラインと複数本のソースバスラインとの交差点にそれぞれ対応して複数の画素形成部がマトリクス状に配置されたアクティブマトリクス型の表示装置が知られている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である TFT（薄膜トランジスタ：Thin Film Transistor）や、画素値を保持するための画素容量などを含んでいる。アクティブマトリクス型の表示装置には、また、上述の複数本のゲートバスラインを駆動するゲートドライバ（走査信号線駆動回路）と上述の複数本のソースバスラインを駆動するソースドライバ（映像信号線駆動回路）とが設けられている。

【0003】

画素値を示す映像信号はソースバスラインによって伝達されるが、各ソースバスラインは複数行分の画素値を示す映像信号を一時（同時）に伝達することができない。このため、上述のマトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは 1 行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。このシフトレジスタ回路は（上記 TFT が形成される）基板上に一体的に形成されており、このような構成はゲートドライバモノリシックと呼ばれる。

【0004】

このゲートドライバモノリシック型の表示パネルにおいて、シフトレジスタの動作に必要なクロック信号は、パネルの外縁部に配設された駆動回路用信号供給配線からシフトレジスタの各段へと与えられる。クロック信号は通常シフトレジスタを構成する複数の TFT に与えられなければならないので、駆動回路用信号供給配線が配設されている領域から画素形成部が配置されている領域に至るまで、シフトレジスタ用のレイアウト領域が必要となる。このことが、シフトレジスタのためのレイアウト面積が大きくなる要因の 1 つとなっており、特に多数のクロック信号に基づいて動作するシフトレジスタを備える構成の表示装置においては、シフトレジスタのためのレイアウト面積が大きくなる。

【0005】

また、一般的なアクティブマトリクス型の液晶表示装置では、画素電極に対して容量結合することにより補助容量を形成する補助容量線がゲートバスラインと平行な方向に延びるように設けられている。そしてこれらの補助容量線に対して共通的な電位を与えるための補助容量幹配線が額縁領域に設けられる。この補助容量幹配線に複数の補助容量線が共

10

20

30

40

50

通接続されるため、通常ゲートドライバと表示領域との間の額縁領域に設けられることが多い。

【 0 0 0 6 】

この点に関して、日本特開 2 0 0 7 - 1 0 9 0 0 号公報には、補助容量線は、補助容量幹配線に相当する共有配線を介して走査信号線駆動回路の電源信号線と接続される構成が開示されている。また、日本特開平 1 0 - 4 8 6 6 3 号公報には、第 1 の補助容量線は、走査信号線駆動回路の電源電圧配線に接続され、第 2 の補助容量線は、走査信号線駆動回路のグランド電圧配線に接続される構成が開示されている。このような構成により、補助容量の低抵抗化や駆動回路の安定動作が図られている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 7 】

【 特許文献 1 】 日本特開 2 0 0 7 - 1 0 9 0 0 号公報

【 特許文献 2 】 日本特開平 1 0 - 4 8 6 6 3 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

ところで、上記額縁領域は液晶パネルのシール材でカバーされる（覆われる）が、その全てが覆われることはなく、大きなレイアウト面積を有するシフトレジスタが設けられる場合には、シフトレジスタの一部が覆われ、その残りの部分は覆われないことが多い。この場合、シール材の幅がばらつくと、シール材で覆われる範囲は、シフトレジスタの各段を構成する（各走査信号線に繋がる）双安定回路毎に異なるので、シール材で覆われない（その内側の）範囲内にシールされる液晶によって覆われる範囲もばらつくことになる。その結果、各回路に影響を与えるべき容量値が異なることになり、各回路毎に出力信号がばらつくので、画素に輝度差を生じたりフリッカを生じることがある。

【 0 0 0 9 】

また、液晶パネルの端部からシフトレジスタまでの間の領域には、シフトレジスタの各回路にクロック信号等を与える幹配線および枝配線が設ける必要がある。ここで、幹配線と枝配線との接続に画素電極を構成するITO（酸化インジウムスズ）等を使用する場合、接続点であるコンタクトホール上にITOが露出する構造となる。このITOに対してシール材に混入したスペーサ材（例えば繊維状ガラス等）が接触することにより、部分的な断裂や切断などが発生し、その結果、接続点の高抵抗化や切断などを生じることがある。

【 0 0 1 0 】

したがって、シフトレジスタの各回路はシール材に全く覆われていないことが好ましく、また上記コンタクトホールはシール材に全く覆われていないか、覆われているコンタクトホールの数ができるだけ少ないことが好ましい。

【 0 0 1 1 】

この点、配線や回路が形成される領域以外にシール材のための（のりしろとなるべき）領域を設ける構成によれば、上記問題点を完全に解決することができる。しかし、このような構成では額縁領域が増加することになり、その結果、液晶パネルの狭額縁化を図ることができなくなる。

【 0 0 1 2 】

そこで本発明の目的は、額縁領域を増加させることなく、かつシフトレジスタ上をシール材で覆うことなく、さらにシフトレジスタへ信号を与える配線領域のうちシール材で覆われる領域の面積を削減することができる液晶表示装置を提供することである。

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明の第 1 の局面は、表示すべき画像を形成する複数の画素形成部がマトリクス状に配置された第 1 の基板と、当該第 1 の基板に対向する第 2 の基板と、所定のシール材によ

10

20

30

40

50

って第 1 および第 2 の基板の間にシールされた液晶層とを備えるアクティブマトリクス型の液晶表示装置であって、

前記第 1 の基板は、

前記表示すべき画像を表す信号を伝達するための複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の走査信号線と平行な方向に延びるよう配される複数の補助容量線と、

前記複数の補助容量線の配列方向に延びるよう配され、前記複数の補助容量線と電氣的に接続する補助容量幹配線と、

前記複数の走査信号線を選択的に駆動する回路群からなる走査信号線駆動回路とを含み、

10

前記補助容量幹配線は、前記走査信号線駆動回路を挟んで前記表示領域と反対側の前記第 1 の基板の端部と、前記走査信号線駆動回路との間に配される幹配線を含むことを特徴とする。

【 0 0 1 4 】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記補助容量幹配線は、

前記複数の画素形成部が配列される表示領域と、前記走査信号線駆動回路との間に配される第 1 の補助容量幹配線と、

前記走査信号線駆動回路を挟んで前記表示領域と反対側の前記第 1 の基板の端部と、前記走査信号線駆動回路との間に配される第 2 の補助容量幹配線とを含むことを特徴とする。

20

【 0 0 1 5 】

本発明の第 3 の局面は、本発明の第 2 の局面において、

前記第 2 の補助容量幹配線と前記走査信号線駆動回路との間に、前記配列方向に延びるよう配され、前記走査信号線駆動回路を駆動するための駆動信号を伝達する駆動信号供給幹配線をさらに備え、

前記シール材は、前記第 1 の基板の端部近傍から前記駆動信号供給幹配線上の所定位置までの間に配されることを特徴とする。

【 0 0 1 6 】

本発明の第 4 の局面は、本発明の第 3 の局面において、

30

前記駆動信号供給幹配線とコンタクトホールを介して接続され、前記駆動信号供給幹配線と前記回路群とを接続する複数の駆動信号供給枝配線をさらに備え、

前記シール材は、第 1 の基板の端部近傍から、前記コンタクトホールのうちの一部の上の前記所定位置までの間に配されることを特徴とする。

【 0 0 1 7 】

本発明の第 5 の局面は、本発明の第 4 の局面において、

前記コンタクトホールでは、前記複数の画素形成部に備えられる画素電極と同一の材料により、前記駆動信号供給幹配線と前記複数の駆動信号供給枝配線とが接続されることを特徴とする。

【 0 0 1 8 】

40

本発明の第 6 の局面は、本発明の第 2 から第 5 までのいずれかの局面において、

前記第 2 の補助容量幹配線は、前記第 1 の補助容量幹配線よりも、幅が大きいことを特徴とする。

【 0 0 1 9 】

本発明の第 7 の局面は、本発明の第 2 の局面において、

前記第 1 の補助容量幹配線は、前記第 2 の補助容量幹配線と同一の材料で形成されることを特徴とする。

【 0 0 2 0 】

本発明の第 8 の局面は、本発明の第 2 の局面において、

前記第 1 および第 2 の補助容量幹配線の間に、前記第 1 の補助容量幹配線と前記第 2 の

50

補助容量幹配線とを接続する複数の補助容量枝配線をさらに備え、

前記複数の補助容量枝配線は、前記回路群のうち前記配列方向に隣り合う２つの回路の間のいずれかをそれぞれ通り、前記配列方向に略等しい間隔で配されることを特徴とする。

【００２１】

本発明の第９の局面は、本発明の第８の局面において、

前記複数の補助容量枝配線は、前記回路群のうち前記配列方向に隣り合う２つの回路の間のすべてを通るよう配されることを特徴とする。

【００２２】

本発明の第１０の局面は、本発明の第２の局面において、

前記第１および第２の補助容量幹配線の間に、前記第１の補助容量幹配線と前記第２の補助容量幹配線とを接続する複数の補助容量枝配線と、

前記回路群のうち前記配列方向に配置された異なる２つの回路の間を接続する回路間配線と

をさらに備え、

前記回路間配線は、前記複数の補助容量枝配線との交差点近傍の幅が小さくなるよう形成されることを特徴とする。

【００２３】

本発明の第１１の局面は、本発明の第１０の局面において、

前記複数の補助容量枝配線は、前記回路間配線との交差点近傍の幅が小さくなるよう形成されることを特徴とする。

【００２４】

本発明の第１２の局面は、本発明の第２の局面において、

前記走査線駆動回路の周囲であって、前記第１の補助容量幹配線の一端と前記第２の補助容量幹配線の一端との間、および前記第１の補助容量幹配線の他端と前記第２の補助容量幹配線の他端との間のうち少なくとも一方に配され、前記第１および第２の補助容量幹配線と接続する端部補助容量配線をさらに備えることを特徴とする。

【００２５】

本発明の第１３の局面は、本発明の第２の局面において、

前記走査信号線駆動回路は、

前記複数の走査信号線の一方の端から選択的に駆動する第１の回路群と、

前記複数の走査信号線の他方の端から選択的に駆動する第２の回路群と

を含み、

前記第１の補助容量幹配線は、前記複数の画素形成部が配列される表示領域と、前記第１および第２の回路群のいずれかとの間にそれぞれ配され、

前記第２の補助容量幹配線は、前記第１または第２の回路群のうちのいずれかを挟んで前記表示領域と反対側の前記第１の基板の端部と、当該第１または第２の回路群との間にそれぞれ配されることを特徴とする。

【００２６】

本発明の第１４の局面は、本発明の第１３の局面において、

前記一方または他方の端側に配される前記第１および第２の補助容量幹配線の間に、当該第１の補助容量幹配線と当該第２の補助容量幹配線とを接続する複数の補助容量枝配線をさらに備え、

前記複数の補助容量枝配線は、前記回路群のうち前記配列方向に隣り合う２つの回路の間のいずれかをそれぞれ通り、かつ前記一方の端側に配される配列方向の位置と、前記他方の端側に配される配列方向の位置とが互いに異なることを特徴とする。

【００２７】

本発明の第１５の局面は、本発明の第１３の局面において、

前記一方の端側に配される前記第２の補助容量幹配線の一端と、前記他方の端側に配される前記第２の補助容量幹配線の一端との間、および前記一方の端側に配される前記第２

10

20

30

40

50

の補助容量幹配線他端と、前記他方の端側に配される前記第２の補助容量幹配線他端との間のうち少なくとも一方に配され、前記一方および他方の端側に配される第２の補助容量幹配線と接続する端部補助容量配線をさらに備えることを特徴とする。

【００２８】

本発明の第１６の局面は、本発明の第２の局面において、
前記第２の補助容量幹配線は、複数の開口部を有していることを特徴とする。

【００２９】

本発明の第１７の局面は、本発明の第３の局面において、
前記駆動信号供給幹配線は複数の配線を含み、
前記シール材が配される前記複数の配線のうち最も幅が大きい配線は、複数の開口部を有していることを特徴とする。 10

【００３０】

本発明の第１８の局面は、本発明の第２の局面において、
前記複数の補助容量線は、異なる電位になるよう駆動される複数種類の補助容量線からなり、
前記第１の補助容量幹配線は、前記種類に応じた複数種類の第１の補助容量幹配線からなり、
前記第２の補助容量幹配線は、前記種類に応じた複数種類の第２の補助容量幹配線からなることを特徴とする。 20

【発明の効果】

【００３１】

上記本発明の第１の局面によれば、補助容量幹配線を第１の基板の端部と走査信号線駆動回路との間に配置することにより、額縁領域を増加させることなく、かつ第１の基板の端部から距離を空けることができることから走査信号線駆動回路上をシール材で覆うことなく、さらに走査信号線駆動回路へ信号を与える配線のうちシール材で覆われる領域の面積を低減することができる。また、走査信号線駆動回路と基板の端部との間に（補助容量幹配線により形成される）大きな容量を配することができるので、基板外部から加わる静電気放電から回路を保護することができる。

【００３２】

上記本発明の第２の局面によれば、第１の補助容量幹配線とは別に第２の補助容量幹配線を設け、当該第２の補助容量幹配線を第１の基板の端部と走査信号線駆動回路との間に配置することにより、第１の補助容量幹配線を細く形成することができる。よって、補助容量幹配線の負荷を増加させたり、額縁領域を増加させることなく、かつ第１の基板の端部から距離を空けることができることから走査信号線駆動回路上をシール材で覆うことなく、さらに走査信号線駆動回路へ信号を与える配線のうちシール材で覆われる領域の面積を低減することができる。また、走査信号線駆動回路と基板の端部との間に（第２の補助容量幹配線により形成される）大きな容量を配することができるので、基板外部から加わる静電気放電から回路を保護することができる。 30

【００３３】

上記本発明の第３の局面によれば、補助容量幹配線と走査信号線駆動回路との間に駆動信号供給幹配線をさらに備え、シール材は、第１の基板の端部近傍から当該駆動信号供給幹配線上の所定位置までの間に配されるので、走査信号線駆動回路上をシール材で覆うことなく、さらに走査信号線駆動回路へ信号を与える配線のうちシール材で覆われる領域の面積を低減することができる。 40

【００３４】

上記本発明の第４の局面によれば、シール材がコンタクトホールのうちの一部の上の所定位置までの間に配されるので、それ以外のコンタクトホールにおいて部分的な断裂や切断、または電流リークなどが生じる可能性を低減させ、容量のばらつきにより走査信号線駆動回路からの（典型的には各段毎の）出力信号がばらつかないようにすることができる。また、第２の補助容量幹配線が基板の端部近傍に配されるので、基板の端部から大きな 50

距離を空けた位置にコンタクトホールを配置することができる。このことにより、湿度による配線の腐食を防止しまたは低減することができる。

【 0 0 3 5 】

上記本発明の第 5 の局面によれば、コンタクトホールで画素電極と同一の材料により配線が接続されるので、基板を製造する際に使用されるフォトリソの枚数が増加しないようにすることができる。

【 0 0 3 6 】

上記本発明の第 6 の局面によれば、第 2 の補助容量幹配線が第 1 の補助容量幹配線よりも幅が大きいので、第 1 の基板の端部から距離を空けることができ、結果的に走査信号線駆動回路上をシール材で覆うことなく、さらに走査信号線駆動回路へ信号を与える配線のうちシール材で覆われる領域の面積を低減することができる。

10

【 0 0 3 7 】

上記本発明の第 7 の局面によれば、第 1 の補助容量幹配線は、第 2 の補助容量幹配線と同一の材料で形成されるので、例えば第 1 の補助容量幹配線と第 2 の補助容量幹配線とを接続する際のコンタクトホールなどの接続点が必要となり、接続に関連する部分的な断裂や切断などを考慮することが不要となる。

【 0 0 3 8 】

上記本発明の第 8 の局面によれば、複数の補助容量枝配線が回路群のうち配列方向に隣り合う 2 つの回路の間のいずれかをそれぞれ通り、配列方向に略等しい間隔で配されるので、補助容量枝配線による（寄生容量を介した電位変動の）影響により生じる回路群の出力信号のばらつきを低減させることができる。

20

【 0 0 3 9 】

上記本発明の第 9 の局面によれば、複数の補助容量枝配線が回路群のうち配列方向に隣り合う 2 つの回路の間のすべてを通るよう配されるので、補助容量枝配線による影響から生じる回路群の出力信号のばらつきを解消または大きく低減させることができる。

【 0 0 4 0 】

上記本発明の第 10 の局面によれば、回路間配線における補助容量枝配線との交差点近傍の幅が小さくなるよう形成されるので、回路間配線における補助容量枝配線との結合容量を小さくすることができ、補助容量枝配線による影響から生じる回路群の出力信号のばらつきを低減させることができる。

30

【 0 0 4 1 】

上記本発明の第 11 の局面によれば、さらに複数の補助容量枝配線も回路間配線との交差点近傍の幅が小さくなるよう形成されるので、回路間配線における補助容量枝配線との結合容量をさらに小さくすることができ、補助容量枝配線による影響から生じる回路群の出力信号のばらつきをさらに低減させることができる。

【 0 0 4 2 】

上記本発明の第 12 の局面によれば、端部補助容量配線により走査信号線駆動回路と基板の端部との間に（端部補助容量配線を含む補助容量幹配線により形成される）非常に大きな容量を配することができるので、基板外部から加わる静電気放電から回路をより確実に保護することができる。

40

【 0 0 4 3 】

上記本発明の第 13 の局面によれば、第 1 および第 2 の回路群により、1 つの走査信号線に対して両端から駆動できるので、信号の波形なまりを解消または低減できる。さらに、各回路群を構成する複数の回路素子（典型的には T F T ）の大きさを小さくすることができるので、走査信号線駆動回路上をシール材で覆うことなく、さらに走査信号線駆動回路へ信号を与える配線のうちシール材で覆われる領域の面積を低減することができる。

また、一つの走査信号線に対して片側から駆動する場合であっても、第 1 の回路群により駆動される走査信号線のグループと、第 2 の回路群により駆動される走査信号線のグループとに分けることにより、双安定回路の、その配列方向の大きさを小さくできるので、走査信号線駆動回路上をシール材で覆うことなく、さらに走査信号線駆動回路へ信号を与

50

える配線のうちシール材で覆われる領域の面積を低減することができる。

【0044】

上記本発明の第14の局面によれば、複数の補助容量枝配線は、一方の端側に配される配列方向の位置と、他方の端側に配される配列方向の位置とが互いに異なるので、特定の操作信号線に繋がる回路が強く影響を受けることにより、当該走査信号線に繋がる回路からの出力信号と、影響を受けない回路からの出力信号がばらつくことを回避または低減することができる。

【0045】

上記本発明の第15の局面によれば、第2の補助容量幹配線の少なくとも一方の端同士を接続する端部補助容量配線により、走査信号線駆動回路と基板の端部との間に（端部補助容量配線を含む補助容量幹配線により形成される）非常に大きな容量を配することができるので、基板外部から加わる静電気放電から回路をより確実に保護することができる。

【0046】

上記本発明の第16の局面によれば、第2の補助容量幹配線が複数の開口部を有しているので、例えば光硬化タイプのシール材が使用される場合には開口部を通る光によって当該シール材を確実に硬化させることができ、不透明な配線上のシール材によるシール状態を開口部を通して容易に検査することができる。

【0047】

上記本発明の第17の局面によれば、シール材が配される駆動信号供給幹配線の最も幅が大きい配線が複数の開口部を有しているので、光硬化タイプのシール材を確実に硬化させることができ、配線上のシール材によるシール状態を容易に検査することができる。

【0048】

上記本発明の第18の局面によれば、複数の補助容量線、第1の補助容量幹配線、および第2の補助容量幹配線を、複数種類に分けて構成することにより、典型的には1つの画素形成部を構成する複数の副画素形成部により保持される電位を異なるように変化させることができるので、液晶パネルの視野角を大きくすることができる。

【図面の簡単な説明】

【0049】

【図1】本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置に含まれるゲートドライバのレイアウト図である。

【図2】上記第1の実施形態において、画素形成部の等価回路を示した図である。

【図3】上記実施形態におけるゲートドライバの構成を説明するためのブロック図である。

【図4】上記実施形態におけるシフトレジスタおよび各種配線のレイアウト構成を示す図である。

【図5】上記実施形態における補助容量枝配線および回路間配線の形状例を示す平面図である。

【図6】上記実施形態の変形例における補助容量枝配線および回路間配線の形状例を示す平面図である。

【図7】上記実施形態におけるコンタクトホール構造を示す断面図である。

【図8】上記実施形態において、第2の補助容量幹配線を新たに設けないと仮定した場合のシフトレジスタおよび各種配線のレイアウト構成を示す図である。

【図9】本発明の第2の実施形態におけるシフトレジスタおよび各種配線のレイアウト構成を示す図である。

【図10】本発明の第3の実施形態におけるシフトレジスタおよび各種配線のレイアウト構成を示す図である。

【図11】本発明の第4の実施形態において、ゲートドライバの構成を説明するためのブロック図である。

【図12】上記実施形態における2つのシフトレジスタおよび各種配線のレイアウト構成を示す図である。

10

20

30

40

50

【図 1 3】本発明の第 5 の実施形態におけるシフトレジスタおよび各種配線のレイアウト構成を示す図である。

【図 1 4】本発明の第 6 の実施形態における画素形成部の等価回路を示した図である。

【図 1 5】上記実施形態におけるシフトレジスタおよび各種配線のレイアウト構成を示す図である。

【発明を実施するための形態】

【0050】

以下、添付図面を参照しつつ、本発明の実施形態について説明する。

【0051】

< 1 . 第 1 の実施形態 >

10

< 1 . 1 全体構成および動作 >

図 1、本発明の第 1 の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図 1 に示すように、この液晶表示装置は、電源 100 と DC / DC コンバータ 110 と表示制御回路 200 とソースドライバ（映像信号線駆動回路）300 とゲートドライバ（走査信号線駆動回路）400 と共通電極駆動回路 500 と表示部 600 とを備えている。なお、典型的には、ゲートドライバ 400 と表示部 600 とは同一基板上に、すなわちモノリシックに形成される。

【0052】

表示部 600 には、複数本（ j 本）のソースバスライン（映像信号線） $SL1 \sim SLj$ と、複数本（ i 本）のゲートバスライン（走査信号線） $GL1 \sim GLi$ と、それらのソースバスライン $SL1 \sim SLj$ とゲートバスライン $GL1 \sim GLi$ との交差点にそれぞれ対応して設けられた複数個（ $i \times j$ 個）の画素形成部とが含まれている。

20

【0053】

図 2 は、本実施形態の表示部 600 における画素形成部 $P(n, m)$ の等価回路を示している。この図 2 に示すように、各画素形成部 $P(n, m)$ は、ゲートバスライン GLn にゲート端子が接続されるとともに当該交差点を通過するソースバスライン SLm にソース端子が接続されたスイッチング素子である TFT10 と、その TFT10 のドレイン端子に接続された画素電極 E_{pix} と、上記複数個の画素形成部 $P(i, j)$ に共通的に設けられた共通電極 E_{com} と、上記複数個の画素形成部 $P(i, j)$ に共通的に設けられており、画素電極 E_{pix} と共通電極 E_{com} との間に挟持された電気光学素子としての液晶層とによって構成される。

30

【0054】

この液晶層は、画素電極 E_{pix} が形成される基板（以下「TFT 基板」と呼ぶ）と、（カラーフィルタ等および）共通電極 E_{com} が形成される基板（以下「対向基板」と呼ぶ）との間にシール（密封）されている。具体的には、液晶層は、TFT 基板（および対向基板）の額縁領域に配されるシール材により、その内側（表示部 600 側）にシールされている。なお、共通電極 E_{com} は、必ずしも対向基板に形成される必要はなく、例えば、基板表面に対して水平方向の電界を利用した液晶表示装置では、TFT 基板側に設けられていてもよい。

【0055】

40

各画素形成部 $P(n, m)$ では、画素電極 E_{pix} と、それに液晶層を挟んで対向する共通電極 E_{com} とによって液晶容量（「画素容量」ともいう） C_{lc} が形成されている。各画素電極 E_{pix} には、それを挟むように 2 本のソースバスライン $SLm, SLm + 1$ が配設されており、ソースバスライン SLm が TFT10 を介して当該画素電極 E_{pix} に接続されている。また、各ゲートバスライン GLn と平行に補助容量線 $CSLn$ が配設されており、各画素形成部 $P(n, m)$ では、画素電極 E_{pix} と補助容量線 $CSLn$ との間に補助容量 C_{cs} が形成されている。なお、ここではゲートバスライン $GL1 \sim GLi$ と、補助容量線 $CSL1 \sim CSLi$ とは同一の材料で形成されており、補助容量線 $CSL1 \sim CSLi$ を表示領域の外側で共通接続している配線はソースバスライン $SL1 \sim SLi$ と同一の材料で形成されている。

50

【 0 0 5 6 】

電源 1 0 0 は、D C / D C コンバータ 1 1 0 と表示制御回路 2 0 0 と共通電極駆動回路 5 0 0 とに所定の電源電圧を供給する。D C / D C コンバータ 1 1 0 は、ソースドライバ 3 0 0 およびゲートドライバ 4 0 0 を動作させるための所定の直流電圧を電源電圧から生成し、それをソースドライバ 3 0 0 およびゲートドライバ 4 0 0 に供給する。共通電極駆動回路 5 0 0 は、共通電極 E c o m および補助容量線 C s L 1 ~ C s L i に所定の電位 V c o m を与える。なお、補助容量線 C s L 1 ~ C s L i に所定の電位 V c o m とは異なる電位を（例えば補助容量線駆動回路により）与える構成であってもよい。

【 0 0 5 7 】

表示制御回路 2 0 0 は、外部から送られる画像信号 D A T および水平同期信号や垂直同期信号などのタイミング信号群 T G を受け取り、デジタル映像信号 D V と、表示部 6 0 0 における画像表示を制御するためのソーススタートパルス信号 S S P、ソースクロック信号 S C K、ラッチストロープ信号 L S、ゲートスタートパルス信号 G S P、およびゲートクロック信号 G C K とを出力する。なお、本実施形態においては、ゲートクロック信号 G C K は 4 相のクロック信号 C K 1 ~ 4 によって構成されている。

10

【 0 0 5 8 】

ソースドライバ 3 0 0 は、表示制御回路 2 0 0 から出力されるデジタル映像信号 D V、ソーススタートパルス信号 S S P、ソースクロック信号 S C K、およびラッチストロープ信号 L S を受け取り、各ソースバスライン S L 1 ~ S L j に駆動用映像信号 S (1) ~ S (j) を印加する。

20

【 0 0 5 9 】

ゲートドライバ 4 0 0 は、表示制御回路 2 0 0 から出力されるゲートスタートパルス信号 G S P に基づいて、アクティブな走査信号 G o u t (1) ~ G o u t (i) の各ゲートバスライン G L 1 ~ G L i への印加を 1 垂直走査期間を周期として繰り返す。なお、このゲートドライバ 4 0 0 についての詳しい説明は後述する。

【 0 0 6 0 】

以上のようにして、各ソースバスライン S L 1 ~ S L j に駆動用映像信号 S (1) ~ S (j) が印加され、各ゲートバスライン G L 1 ~ G L i に走査信号 G o u t (1) ~ G o u t (i) が印加されることにより、外部から送られた画像信号 D A T に基づく画像が表示部 6 0 0 に表示される。

30

【 0 0 6 1 】

< 1 . 2 ゲートドライバおよび配線のレイアウト構成 >

次に、本実施形態におけるゲートドライバ 4 0 0 の構成について説明する。図 3 に示すように、ゲートドライバ 4 0 0 は複数段のシフトレジスタ 4 1 0 によって構成されている。表示部 6 0 0 には i 行 × j 列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と 1 対 1 で対応するようにシフトレジスタ 4 1 0 の各段が設けられている。また、シフトレジスタ 4 1 0 の各段は、各時点において 2 つの状態（第 1 の状態および第 2 の状態）のうちのいずれか一方の状態となっていて当該状態を示す信号（以下「状態信号」という。）を出力する双安定回路となっている。このように、このシフトレジスタ 4 1 0 は i 個の双安定回路で構成されている。なお、この双安定回路の回路構成は周知であるので詳しい説明を省略する。

40

【 0 0 6 2 】

図 4 は、ゲートドライバ 4 0 0 内のシフトレジスタ 4 1 0 および各種配線のレイアウト構成を示す図である。上述したように、このシフトレジスタ 4 1 0 は i 個の双安定回路で構成されている。各双安定回路には、4 相のゲートクロック信号 C K 1 ~ C K 4 のいずれかを受け取るための入力端子と、クリア信号を受け取るための入力端子と、低電位の直流電圧 V S S を受け取るための入力端子と、走査信号 G o u t (1) ~ G o u t (i) を出力するための出力端子とが設けられている。

【 0 0 6 3 】

また、各双安定回路には、当該段の前段から当該段の後段へ（1 段飛ばしとなるよう）

50

ゲートスタートパルス信号 G S P およびリセット信号を順に送るための出力端子および入力端子が設けられている。なお、これらの信号は 2 段以上が飛ばされるように送られてもよい。このように異なる段に設けられた双安定回路を接続するための入出力端子は回路間配線 4 1 1 , 4 1 2 により接続されている。さらに図 1 0 に示されるように、隣接する双安定回路を接続する回路間配線も設けられている。

【 0 0 6 4 】

図 4 において、 i 個の双安定回路からなるシフトレジスタ 4 1 0 が形成されている領域の右方には、各双安定回路の出力端子から走査信号 $G o u t (1) \sim G o u t (i)$ を受け取るゲートバスライン $G L 1 \sim G L i$ が形成され、またこれらと平行に各補助容量線 $C s L 1 \sim C s L i$ が形成され、さらに補助容量線 $C s L 1 \sim C s L i$ 全てを電氣的に接続するための第 1 の補助容量幹配線 4 3 0 が設けられている。なお、ゲートバスライン $G L 1 \sim G L i$ および補助容量線 $C s L 1 \sim C s L i$ は、図 1 および図 2 を参照して前述したように表示部 6 0 0 内に配設される。

10

【 0 0 6 5 】

ここで、第 1 の補助容量幹配線 4 3 0 は、補助容量線 $C s L 1 \sim C s L i$ を同電位にするため、抵抗値が低くなるよう大きい幅を有するのが好ましいが、本実施形態では第 1 の補助容量幹配線 4 3 0 のみでは、補助容量線 $C s L 1 \sim C s L i$ を同電位にするために、十分抵抗値が低くなるような大きい幅を有していないものとする。

【 0 0 6 6 】

次に、シフトレジスタ 4 1 0 が形成されている領域の左方には、それぞれ双安定回路の配列方向に（図の上下方向に）延びる、第 2 の補助容量幹配線 4 4 0 と、複数の幹配線からなる駆動信号供給幹配線群 4 2 0 とが設けられている。この駆動信号供給幹配線群 4 2 0 は、図の左から順に、低電位の直流電圧 $V S S$ 用の幹配線、4 相のゲートクロック信号 $C K 1 \sim C K 4$ 用の 4 つの幹配線、およびクリア信号用の 4 つの幹配線からなる。なおここでは、駆動信号供給幹配線群 4 2 0 は、ソースバスライン $S L 1 \sim S L i$ と同一の材料で形成されている。これらの幹配線は、シフトレジスタ 4 1 0 を基準にして表示部 6 0 0 とは反対側の領域に配設されている。

20

【 0 0 6 7 】

またここで、第 2 の補助容量幹配線 4 4 0 は、第 1 の補助容量幹配線 4 3 0 よりも大きい幅を有しており、第 1 の補助容量幹配線 4 3 0 と電氣的に接続されることにより、補助容量線 $C s L 1 \sim C s L i$ を同電位にすることができるよう、その抵抗値が十分に低くなる大きい幅を有している。なお、補助容量幹配線と共通電極とを接続するため、本実施形態においても図示されない周知の接続点（コモン転移電極と呼ばれる）が設けられており、補助容量線の電位は共通電極の電位と同一となっている。このコモン転移電極は、補助容量幹配線上に配されていてもよいし、基板のコナ部近傍に設けられて補助容量幹配線と電氣的に接続されてもよい。

30

【 0 0 6 8 】

さらに図 4 に示されるように、駆動信号供給幹配線群 4 2 0 からシフトレジスタ 4 1 0 の各双安定回路へ信号を与えるため、（図の左右方向へ延びる）複数の駆動信号供給枝配線 4 2 1 が設けられている。これらの駆動信号供給枝配線 4 2 1 は、直流電圧 $V S S$ 用およびクリア信号用の幹配線と全ての双安定回路の対応する入力端子とをそれぞれ接続し、また 4 相のゲートクロック信号 $C K 1 \sim C K 4$ 用の幹配線のいずれか 1 つと各双安定回路の対応する入力端子とを接続する。これらの枝配線と幹配線とは、コンタクトホール $C T$ を介して接続されている。

40

【 0 0 6 9 】

また、第 2 の補助容量幹配線 4 4 0 と第 1 の補助容量幹配線 4 3 0 との間には、これらを接続する補助容量枝配線 4 4 1 が設けられている。この補助容量枝配線 4 4 1 は、図 4 に示されるように各双安定回路の間に設けられているわけではなく、3 つの双安定回路を挟んで等間隔に設けられている。もっとも、補助容量枝配線 4 4 1 と各双安定回路およびこれらを接続する回路間配線 4 1 1 , 4 1 2 （およびその他の回路間配線）との間には寄

50

生容量が生じるので、この寄生容量の有無によって各双安定回路からの出力信号にばらつきが生じる可能性がある。そこで、この寄生容量を減少させるために図 5 または図 6 に示すような形状に配線を形成することが好適である。

【 0 0 7 0 】

図 5 は、本実施形態における補助容量枝配線および回路間配線の形状例を示す平面図であり、図 6 は、本実施形態の変形例における補助容量枝配線および回路間配線の形状例を示す平面図である。

【 0 0 7 1 】

図 5 に示されるように、補助容量枝配線 4 4 1 の下方（または上方）を通る回路間配線 4 1 1 , 4 1 2 の交差部分近傍は、その幅が狭く形成されている。このことにより、補助容量枝配線 4 4 1 との間に生じる寄生容量を小さくすることができる。

10

【 0 0 7 2 】

また、図 6 に示されるように、補助容量枝配線 4 4 1 の下方（または上方）を通る回路間配線 4 1 1 , 4 1 2 の交差部分近傍は、その幅が狭く形成され、かつ補助容量枝配線 4 4 1 における対応する交差部分近傍も、その幅が狭く形成されている。このことにより、図 5 に示す本実施形態の構成よりも、補助容量枝配線 4 4 1 との間に生じる寄生容量を小さくすることができる。もっとも、本実施形態の構成では、補助容量枝配線 4 4 1 の幅が狭く形成される部分がないので、補助容量枝配線 4 4 1 の抵抗値を下げることがない点で好適である。

【 0 0 7 3 】

20

なお、図 4 に示される回路間配線 4 1 1 , 4 1 2 以外の他の回路間配線は、補助容量枝配線 4 4 1 と交差していない場合であっても、交差部分に対応する位置の幅が狭く形成されている。これは当該他の回路間配線の抵抗値を隣接する双安定回路間で等しくするためであるが、補助容量枝配線 4 4 1 と交差していない上記他の回路間配線は、回路間配線 4 1 1 , 4 1 2 と同様に、幅を狭くする部分を設けない構成であってもよい。また、図 4 に示される、補助容量枝配線 4 4 1 と交差していない回路間配線 4 1 1 , 4 1 2 における交差部分に対応する位置の幅を狭く形成してもよい。

【 0 0 7 4 】

また、図 4 に示されるように、第 1 および第 2 の補助容量幹配線 4 3 0 , 4 4 0 と補助容量枝配線 4 4 1 補助容量線 C s L 1 ~ C s L i とは同一の配線として形成されており、これらの配線はゲートバスライン G L 1 ~ G L i と同じ材料で形成されている。したがって、上記幹配線と枝配線とはコンタクトホール C T を使用して接続する必要がない。なお、ゲートバスライン G L 1 ~ G L i は、ソースバスライン S L 1 ~ S L j と同じ材料で形成された各双安定回路の出力端子と、表示部の外側で接続されており、駆動信号供給幹配線群は、ソースバスライン S L 1 ~ S L j と同じ材料で形成されている。ここで、駆動信号供給幹配線群が、ゲートバスライン G L 1 ~ G L i と同じ材料で形成されている場合には、第 1 および第 2 の補助容量幹配線 4 3 0 , 4 4 0 と補助容量枝配線 4 4 1 をソースバスライン S L 1 ~ S L j と同じ材料で形成すると、上記幹配線と枝配線とはコンタクトホール C T を使用して接続する必要がない。以下、駆動信号供給幹配線群 4 2 0 と枝配線とを接続するためのコンタクトホール C T の構造について図 7 を参照して説明する。

30

40

【 0 0 7 5 】

図 7 は、コンタクトホールの構造を示す断面図である。図 7 には、駆動信号供給幹配線群 4 2 0 であるソース材 4 0 と、駆動信号供給枝配線 4 2 1 であるゲート材 4 1 と、層間絶縁膜 4 5 と、ソース材 4 0 およびゲート材 4 1 を電気的に接続するようコンタクトホール C T 上に設けられる画素電極材 4 6 とが示されている。

【 0 0 7 6 】

ここで、層間絶縁膜 4 5 は、有機膜、無機膜、またはそれらの積層膜からなり、周知の構成と同一であるので詳しい説明を省略する。また、画素電極材 4 6 は、前述した画素形成部における画素電極と同一の材料（ITO など）で、同一の製造工程において形成される。なお、このような配線形成工程およびコンタクトホールを使用した配線接続工程は周

50

知であるので詳しい説明は省略するが、端的には、ソース材 40、ゲート材 41、および層間絶縁膜 45 をガラス基板上に周知の製造工程で形成した後、ゲート材 41 が露出するようにコンタクトホールを開口する。この露出したゲート材 41 に接するように、コンタクトホール上に画素電極材 46 である ITO 膜を形成する。この ITO 膜によりソース材 40 とゲート材 41 とが接続される。

【0077】

なお、コンタクトホールを使用した配線接続工程では種々の周知の構成を採用することができ、例えば、ゲート材 41 が露出するように開口されたコンタクトホールと、ソース材 40 が露出するように開口されたコンタクトホールとを隣接させて形成し、これらを共通の画素電極材 46 で接続することにより、ソース材 40 とゲート材 41 とが接続される構成などであってもよい。

10

【0078】

ここで図 7 に示されるように（また上記周知の構成であっても）、コンタクトホール CT 上に画素電極材が露出していることから、この ITO からなる画素電極材に対してシール材がダメージを与えることがある。すなわち、前述したように、シール材にはセルギャップを狭持するためにスペーサ材（例えば繊維状ガラス等）などを混入することがあり、このスペーサ材が画素電極材に接触することにより、部分的な断裂や切断などが発生することがある。この結果、接続点の高抵抗化や切断などを生じることがある。なお、このような断裂や切断は、画素電極材に IZO（酸化インジウム亜鉛）など周知の材料を使用しても同様に発生する。

20

【0079】

また、対向基板に形成される共通電極 Ecom と TFT 基板の対応する配線（例えば第 2 の補助容量幹配線 440 など）とを電氣的に接続するために、シール材に（金や銀などを弾性体にコーティングした）周知の導電性粒子を混入する構成が知られている。この構成では、混入した導電性粒子を介してコンタクトホール上に露出した画素電極材から電流リークを生じることがある。

【0080】

したがって、図 4 に示す各コンタクトホールはできるだけシール材に覆われていない方が好ましい。図 4 では、シール材に覆われている領域を Asm とし、シール材に覆われていないことにより液晶がシールされる領域を Alc としてそれぞれ示されている。この図 4 を参照すればわかるように、駆動信号供給幹配線群 420 に設けられる多数のコンタクトホール CT のうち図の右側の 2 つの幹配線に形成されるコンタクトホール CT 上はシール材に覆われていない。したがって、これらのコンタクトホールは部分的な断裂や切断、または電流リークなどが生じることなく、全体として異常動作の発生を抑制することができる。

30

【0081】

また、シフトレジスタを構成する双安定回路上はシール材で覆われている部分が無い。よって、液晶によって覆われる範囲がばらついていないため、各回路毎に出力信号がばらつくことがない。

【0082】

本実施形態においてこのようにシール材による影響を排除または低減することができるのは、第 2 の補助容量幹配線 440 を新たに設け、これを基板の外縁部に最も近い位置に配置したからである。もし、第 2 の補助容量幹配線 440 を新たに設けないと仮定すれば、シール材により覆われる領域は、以下の図 8 に示される位置となる。

40

【0083】

図 8 は、第 2 の補助容量幹配線を新たに設けないと仮定した場合のゲートドライバ内のシフトレジスタおよび各種配線のレイアウト構成を示す図である。この図 8 に示されるように、シール材に覆われている領域 Asm は、シフトレジスタ 410 の各双安定回路の一部を覆っており、その覆っている面積は各双安定回路において一定とはならない。より詳しく説明すると、シール材は TFT 基板と対向基板との間に塗布された後、熱または紫外

50

線若しくはその双方で硬化されることにより形成される。この際に生じるシール材の伸びは均一になるわけではなく、各種条件等により、数十ないし数百マイクロメートルのずれを生じる。したがって、シール材に覆われている領域 A s m は、シフトレジスタ 4 1 0 の各双安定回路上で上記ずれを伴って不均一になる。

【 0 0 8 4 】

また、図 8 に示されるように、駆動信号供給幹配線群 4 2 0 に設けられる多数のコンタクトホール C T は全てがシール材に覆われている領域 A s m に存在するため、全てのコンタクトホール C T において前述した部分的な断裂や切断、または電流リークなどが生じる可能性が生じる。

【 0 0 8 5 】

これに対して図 4 に示される本実施形態の構成は、図 8 に示す仮定的な構成よりもシール材に覆われている領域 A s m に存在する（駆動信号供給幹配線群 4 2 0 に設けられる）コンタクトホール C T の数を減らすことができるので、前述した部分的な断裂や切断、または電流リークなどが生じる可能性を低減させることができる。

【 0 0 8 6 】

また、本実施形態の構成は、図 8 に示す仮定的な構成とは異なって、シフトレジスタ 4 1 0 を構成する双安定回路がシール材に覆われている領域 A s m に存在しないため、液晶によって均一に覆われる（すなわち覆われる範囲がばらついていない）ため、各回路毎に出力信号がばらつくことがない。

【 0 0 8 7 】

< 1 . 3 効果 >

以上のように本実施形態では、第 2 の補助容量幹配線 4 4 0 を新たに設け、これを基板の外縁部に最も近い位置に配置することにより、額縁領域を増加させることなく、かつシフトレジスタ上をシール材で覆うことなく、さらにシフトレジスタへ信号を与える配線領域のうちシール材で覆われる領域の面積を低減することができる。その結果、コンタクトホール C T において前述した部分的な断裂や切断、または電流リークなどが生じる可能性を低減させ、容量のばらつきによりシフトレジスタの各双安定回路からの出力信号がばらつかないようにすることができる。

【 0 0 8 8 】

また、第 2 の補助容量幹配線 4 4 0 を基板の外縁部（端部）に最も近い位置に配置することにより、基板の端部から大きな距離を空けた位置にコンタクトホール C T を配置することができる。このことにより、湿度による配線の腐食を防止しまたは低減することができる。すなわち、コンタクトホール C T 上に露出する画素電極材である I T O は湿度による腐食が生じやすく、またゲート材またはソース材にアルミニウムが使用される場合にも湿度による腐食が生じやすい。したがって、空気中の水分が進入しやすい基板端部からコンタクトホール C T を大きく離すことができる本実施形態の構成により、湿度による配線の腐食を防止しまたは低減することができる。

【 0 0 8 9 】

さらに、第 2 の補助容量幹配線 4 4 0 を基板の外縁部（端部）に最も近い位置に配置することにより、シフトレジスタの各双安定回路と基板の端部との間に（第 2 の補助容量幹配線 4 4 0 により形成される）大きな容量を配することができる。このことにより、基板外部から加わる静電気放電（E S D）から双安定回路を保護することができる。また、断線修正用の配線や検査用の配線などの他の配線が基板端部と第 2 の補助容量幹配線 4 4 0 との間に配されない構成である場合には、上記配線を静電気放電から保護することができる。なお、この第 2 の補助容量幹配線 4 4 0 の電位を共通電位とすることにより、さらに上記静電気放電からの保護効果を高めることができる。

【 0 0 9 0 】

< 2 . 第 2 の実施形態 >

< 2 . 1 全体構成および動作 >

次に、本実施形態における液晶表示装置の全体構成は、図 1 に示す第 1 の実施形態と同

10

20

30

40

50

様の構成であり、画素形成部 P およびゲートドライバ 400 の構成もそれぞれ図 2 および図 3 に示す第 1 の実施形態と同様の構成であるので、同一の構成要素には同一の符号を付してその説明を省略する。

【0091】

本実施形態では、図 4 に示す第 1 の実施形態における第 1 および第 2 の補助容量幹配線 430、440 を有するほかに、さらにこれらの幹配線の端部同士を接続する端部補助容量配線が設けられている。この特徴的な構成について、図 9 を参照して説明する。

【0092】

< 2.2 ゲートドライバおよび配線のレイアウト構成 >

図 9 は、本実施形態におけるゲートドライバ 400 内のシフトレジスタ 410 および各種配線のレイアウト構成を示す図である。図 9 では、前述した図 4 に示されるものと同様の、i 個の双安定回路からなるシフトレジスタ 410 と、補助容量線 $C_{SL1} \sim C_{SLi}$ 全てを電氣的に接続するための第 1 の補助容量幹配線 430 と、第 2 の補助容量幹配線 440 と、駆動信号供給幹配線群 420 と、補助容量枝配線等の各種配線とが設けられているほか、図 4 に示す構成とは異なって、さらに端部補助容量配線 450 が設けられている。

10

【0093】

この端部補助容量配線 450 は、図 9 に示されるように第 1 の補助容量幹配線 430 の（図の上側の）一方の端部と、第 2 の補助容量幹配線 440 の（図の上側の）一方の端部とを接続する位置に配されている。また、ここでは図示されていないが、同様の端部補助容量配線が、第 1 の補助容量幹配線 430 の（図の下側にあるべき）他方の端部と、第 2 の補助容量幹配線 440 の（図の下側にあるべき）他方の端部とを接続する位置に配されるものとする。

20

【0094】

以上のように、端部補助容量配線 450 と、図示されない端部補助容量配線と、第 1 および第 2 の補助容量幹配線 430、440 とによって、シフトレジスタ 410 の各双安定回路が囲まれる配置関係となっている。このことにより、基板外部から加わる静電気放電（ESD）から、より効果的に双安定回路を保護することができる。

【0095】

なお、端部補助容量配線 450 および図示されない端部補助容量配線のうちいずれか一方のみが配される構成であっても、当該端部補助容量配線が設けられる側の基板端部から加わる静電気放電から双安定回路を保護することができる点で、第 1 の実施形態における場合よりも静電気保護効果を大きくすることができる。

30

【0096】

< 2.3 効果 >

以上のように本実施形態では、第 1 の実施形態における前述の各効果に加えて、さらに第 2 の補助容量幹配線 440（および図示されない端部補助容量配線）を新たに設けることにより、当該端部補助容量配線が設けられる側の基板端部から加わる静電気放電から双安定回路を保護することができ、静電気保護効果を高めることができる。

【0097】

< 3. 第 3 の実施形態 >

< 3.1 全体構成および動作 >

次に、本実施形態における液晶表示装置の全体構成は、図 1 に示す第 1 の実施形態と同様の構成であり、画素形成部 P およびゲートドライバ 400 の構成もそれぞれ図 2 および図 3 に示す第 1 の実施形態と同様の構成であるので、同一の構成要素には同一の符号を付してその説明を省略する。

40

【0098】

本実施形態では、図 4 に示す第 1 の実施形態における場合と同様に、第 2 の補助容量幹配線 440 と第 1 の補助容量幹配線 430 との間に、これらを接続する補助容量枝配線 441 が設けられているが、この補助容量枝配線 441 は、図 4 に示される場合とは異なっ

50

て各双安定回路の間に設けられている。この特徴的な構成について、図 10 を参照して説明する。

【0099】

< 3.2 ゲートドライバおよび配線のレイアウト構成 >

図 10 は、本実施形態におけるゲートドライバ 400 内のシフトレジスタ 410 および各種配線のレイアウト構成を示す図である。図 10 では、前述した図 4 に示されるものと同様の、 i 個の双安定回路からなるシフトレジスタ 410 と、補助容量線 $CsL1 \sim CsLi$ 全てを電氣的に接続するための第 1 の補助容量幹配線 430 と、第 2 の補助容量幹配線 440 と、駆動信号供給幹配線群 420 と、補助容量枝配線等の各種配線とが設けられているが、図 4 に示す構成とは異なって、シフトレジスタ 410 の各双安定回路の間にそれぞれ補助容量枝配線 441 が設けられている。

10

【0100】

なお、補助容量枝配線 441 と各双安定回路およびこれらを接続する回路間配線 411, 412 (およびその他の回路間配線) との間には寄生容量が生じるので、この寄生容量を減少させるために前述した図 5 または図 6 に示すような形状に配線を形成することが好適である。

【0101】

< 3.3 効果 >

以上のように本実施形態では、第 1 の実施形態における前述の各効果に加えて、シフトレジスタ 410 の各双安定回路の間にそれぞれ補助容量枝配線 441 を設けることにより、補助容量枝配線 441 と各双安定回路 (およびその回路間配線) との間の寄生容量による影響を均一化することができる。よって、各回路からの出力信号のばらつきを抑制することができる。

20

【0102】

< 4. 第 4 の実施形態 >

< 4.1 全体構成および動作 >

次に、本実施形態における液晶表示装置の全体構成は、図 1 に示す第 1 の実施形態とほぼ同様の構成であり、画素形成部 P の構成も図 2 に示す第 1 の実施形態と同様の構成であるので、同一の構成要素には同一の符号を付してその説明を省略する。本実施形態では、第 1 の実施形態の場合とは異なり、ゲートドライバ 400 は、左側用のシフトレジスタ 410 と、右側用のシフトレジスタ 413 とにより構成されている。

30

【0103】

すなわち本実施形態におけるゲートドライバ 400 は、図 11 に示すように、表示部 600 の (図における) 左側に設けられる複数段のシフトレジスタ 410 と、表示部 600 の (図における) 右側に設けられる複数段のシフトレジスタ 413 とによって構成されている。これらのシフトレジスタは i 個の双安定回路からなる同一の構成であって、同一のクロック信号などを受け取り、同一のゲートバスラインに対して異なる側 (図の左側または右側) から同一の走査信号を出力する。このことにより、走査信号の波形を鈍らせることなくゲートバスラインを駆動することができる。

【0104】

このようにシフトレジスタ 410, 413 が左右に設けられるため、これらを駆動するための駆動信号供給幹配線群 420 や、第 1 および第 2 の補助容量幹配線 430, 440、その他の各種配線などが図 4 に示される場合とは異なって表示部 600 の左右にそれぞれ設けられる。この特徴的な構成について、図 12 を参照して説明する。

40

【0105】

< 4.2 ゲートドライバおよび配線のレイアウト構成 >

図 12 は、本実施形態におけるゲートドライバ 400 内のシフトレジスタ 410, 413 および各種配線のレイアウト構成を示す図である。図 12 では、前述した図 4 に示されるものと同様の、 i 個の双安定回路からなるシフトレジスタ 410 と、補助容量線 $CsL1 \sim CsLi$ 全てを電氣的に接続するための第 1 の補助容量幹配線 430 と、第 2 の補助

50

容量幹配線 4 4 0 と、駆動信号供給幹配線群 4 2 0 と、補助容量枝配線 4 4 1 等の各種配線とが表示部 6 0 0 の左側の額縁領域に形成されているが、さらに補助容量枝配線の位置のみが異なるほかは、全く同様のシフトレジスタ 4 1 3 および上記各種配線とが表示部 6 0 0 の右側の額縁領域に形成されている。

【 0 1 0 6 】

ここで図 1 2 に示されるように、表示部 6 0 0 の左側の額縁領域に形成されている補助容量枝配線 4 4 1 と、表示部 6 0 0 の右側の額縁領域に形成されている補助容量枝配線 4 4 2 とは、対応する行の位置がずれるように配置されている。すなわち、補助容量枝配線 4 4 1 はシフトレジスタ 4 1 0 の 1 段目の双安定回路と 2 段目の双安定回路との間に配設されているが、補助容量枝配線 4 4 2 はシフトレジスタ 4 1 3 の 2 段目の双安定回路と 3 段目の双安定回路との間に配設されている。

10

【 0 1 0 7 】

このように、表示部 6 0 0 の左側と右側とで、補助容量枝配線の配設位置が異なる行に対応する位置となるように互いにずらせて配設されている。このことにより、補助容量枝配線 4 4 1 により影響を受ける（2つの）双安定回路と、補助容量枝配線 4 4 2 により影響を受ける（2つの）双安定回路とが全く同じにならないようにすることができる。そうすれば、特定のゲートバスラインに繋がる双安定回路が強く影響を受けることにより、当該ゲートバスラインに繋がる双安定回路からの出力信号と、影響を受けない双安定回路からの出力信号がばらつくことを回避または低減することができる。

20

【 0 1 0 8 】

なお、図 1 2 に示す構成では、2 段目の双安定回路が共に補助容量枝配線による影響を受けるが、1 段目および 3 段目の双安定回路は補助容量枝配線 4 4 1、4 4 2 のいずれか一方の影響しか受けられないため、各双安定回路からの出力信号のばらつきを低減することができる。もっとも、さらにばらつきを低減したい場合には、各双安定回路が補助容量枝配線 4 4 1、4 4 2 の少なくともいずれか一方の影響しか受けられないように補助容量枝配線 4 4 1、4 4 2 を配置してもよい。

【 0 1 0 9 】

また、第 3 の実施形態に類似する構成として、シフトレジスタ 4 1 0 の各双安定回路の間のうち、1 つずつ間を空けて補助容量枝配線 4 4 1 を設け、シフトレジスタ 4 1 3 の各双安定回路の間のうち、1 つずつ間を空けて、かつ補助容量枝配線 4 4 1 と同一行に対応する位置にならないように補助容量枝配線 4 4 2 を設けてもよい。そうすれば、補助容量枝配線 4 4 1、4 4 2 と各双安定回路（およびその回路間配線）との間の寄生容量による影響を（左右で違いは生じるとしても）全体として均一化することができる。よって、各回路からの出力信号のばらつきをさらに抑制することができる。

30

【 0 1 1 0 】

さらに本実施形態では、図 9 に示す第 2 の実施形態における場合とほぼ同様の端部補助容量配線 4 5 1（および図示されない他方の端部補助容量配線）が設けられているが、この端部補助容量配線 4 5 1 は、第 2 の実施形態の場合とは異なって、左側の額縁領域に形成される第 1 の補助容量幹配線 4 3 0 の一端と、右側の額縁領域に形成される第 1 の補助容量幹配線 4 3 0 の一端とを結ぶように、言い換えれば表示部 6 0 0 を囲むように配設される。そうすれば、当該端部補助容量配線が設けられる側の基板端部から加わる静電気放電に対する保護効果をさらに高めることができる。なお、上記 2 つの端部補助容量配線のうち一方を省略してもよいことは第 2 の実施形態の場合と同様である。

40

【 0 1 1 1 】

特に、各ソースバスラインにおけるソースドライバ配置側と反対側の末端部が、端部補助容量配線 4 5 1 を乗り越えない構成とすれば、ソースバスライン及び表示部の T F T に対する静電気保護効果をさらに高めることができる。

【 0 1 1 2 】

< 4 . 3 効果 >

以上のように本実施形態では、第 1 の実施形態における前述の各効果に加えて、左側の

50

額縁領域に形成される補助容量枝配線 4 4 1 と、右側の額縁領域に形成される補助容量枝配線 4 4 2 とが、同一行に対応する位置にならないように配設することにより、特定のゲートバスラインに繋がる双安定回路が強く影響を受け、当該ゲートバスラインに繋がる双安定回路からの出力信号と、影響を受けない双安定回路からの出力信号がばらつくことを回避または低減することができる。

【 0 1 1 3 】

なお、本実施形態は、一つの走査信号線に対して両端から駆動する構成であるが、一つの走査信号線に対して片側（典型的には走査信号線の配列方向に交互に入れ替わるように定められる側）から駆動する場合であっても、左側用のシフトレジスタ 4 1 0 により駆動される走査信号線のグループと、右側用のシフトレジスタ 4 1 3 により駆動される走査信号線のグループに分けることにより、双安定回路の、その配列方向の大きさを小さくできるので、走査信号線駆動回路上をシール材で覆うことなく、さらに走査信号線駆動回路へ信号を与える配線のうちシール材で覆われる領域の面積を低減することができる。

10

【 0 1 1 4 】

< 5 . 第 5 の実施形態 >

< 5 . 1 全体構成および動作 >

次に、本実施形態における液晶表示装置の全体構成は、図 1 に示す第 1 の実施形態と同様の構成であり、画素形成部 P およびゲートドライバ 4 0 0 の構成もそれぞれ図 2 および図 3 に示す第 1 の実施形態と同様の構成であるので、同一の構成要素には同一の符号を付してその説明を省略する。

20

【 0 1 1 5 】

本実施形態では、図 4 に示す第 1 の実施形態における場合と同様に、各種配線が設けられるが、本実施形態では第 2 の補助容量幹配線 4 4 0 と、駆動信号供給幹配線群 4 2 0 のうち最も幅が大きい直流電圧 V S S 用の配線とに開口部が設けられている。この特徴的な構成について、図 1 3 を参照して説明する。

【 0 1 1 6 】

< 5 . 2 配線のレイアウト構成 >

図 1 3 は、本実施形態における各種配線のレイアウト構成を示す図である。図 1 3 に示されるように、第 2 の補助容量幹配線 4 4 0 と、駆動信号供給幹配線群 4 2 0 のうち最も幅が大きい直流電圧 V S S 用配線 4 2 0 a とにスリット状の開口部が設けられている。

30

【 0 1 1 7 】

この開口部は、当該開口部上に配されるシール材を確実に硬化する機能を有する。すなわち、紫外線等の光により（または熱が合わせられることにより）硬化するシール材が使用される場合、光を通さない配線上のシール材に十分に光があたらないことがある。このことは幅が大きい配線において顕著に生じる。そこで、光を通すための開口部を幅が大きい配線上に形成することにより、シール材を確実に硬化させることができる。

【 0 1 1 8 】

また、光により硬化するものではない（例えば熱のみによって硬化する）シール材が使用される場合、上記開口部はシール材を確実に硬化する機能を有しないが、シール材の幅やシール材が確実に硬化されたか否かなどのシール材のシール状態を上記開口部を介して確認することができる。すなわち、ガラス基板上に形成される配線部を通してシール材のシール状態を検査することは通常できないが、開口部が形成されていれば可能となる。また、額縁領域に対応する（貼り合わされる）対向基板の領域には通常ブラックマトリクスが形成されるため、対向基板側からシール材のシール状態を検査することはできない。そこで、上記開口部を設けることにより、通常は困難な（配線上の）シール材によるシール状態を容易に検査することが可能になる。

40

【 0 1 1 9 】

< 5 . 3 効果 >

以上のように本実施形態では、第 1 の実施形態における前述の各効果に加えて、シール材が配設される配線であって、幅が大きい配線、具体的には第 2 の補助容量幹配線 4 4 0

50

と、駆動信号供給幹配線群 4 2 0 のうちの少なくとも最も幅が大きい配線（例えば直流電圧 V S S 用配線 4 2 0 a ）に開口部を設けることにより、光硬化タイプのシール材を確実に硬化されることができ、また配線上のシール材によるシール状態を容易に検査することができる。

【 0 1 2 0 】

< 6 . 第 6 の実施形態 >

< 6 . 1 全体構成および動作 >

次に、本実施形態における液晶表示装置の全体構成は、図 1 に示す第 1 の実施形態とほぼ同様の構成であるが、本実施形態では画素形成部が 2 つの副画素形成部 P a , P b （以下、下側副画素 P a および上側副画素 P b と呼ぶ）からなり、これら副画素形成部 P a , P b に対してそれぞれ異なる電位を与える補助容量線が接続されている点が大きく異なる。なおこれらの点を除いて、ゲートドライバ 4 0 0 の構成等は第 1 の実施形態と同様の構成であるので、同一の構成要素には同一の符号を付してその説明を省略する。まず、副画素形成部 P a , P b の構成について、図 1 4 を参照して説明する。

10

【 0 1 2 1 】

図 1 4 は、本実施形態の表示部 6 0 0 における副画素形成部 P a (n , m) および P b (n , m) からなる画素形成部の等価回路を示している。この図 1 4 に示すように、副画素形成部 P a (n , m) , P b (n , m) は、ともにゲートバスライン G L n にゲート端子が接続されるとともに当該交差点を通過するソースバスライン S L m にソース端子が接続されたスイッチング素子である T F T 1 0 と、その T F T 1 0 のドレイン端子に接続された画素電極 E p i x と、各画素形成部に共通的に設けられた共通電極 E c o m と、上記各画素形成部に共通的に設けられており、画素電極 E p i x と共通電極 E c o m との間に挟持された電気光学素子としての液晶層とによって構成される。

20

【 0 1 2 2 】

また、各ゲートバスライン G L n と平行に補助容量線 C s L n が配設されており、上側副画素形成部 P b (n , m) では画素電極 E p i x と補助容量線 C s L n - 1 との間に、また下側副画素形成部 P a (n , m) では画素電極 E p i x と補助容量線 C s L n との間に、それぞれ補助容量 C c s が形成されている。そして、補助容量線 C s L n - 1 （および 1 本空けて隣接する各補助容量線）は、上側補助容量線駆動回路 7 0 0 b により所定の電位で駆動され、補助容量線 C s L n （および 1 本空けて隣接する各補助容量線）は、下側補助容量線駆動回路 7 0 0 a により、上側補助容量線駆動回路 7 0 0 b で与えられる電位とは異なる所定の電位で駆動される。このように 1 つの画素形成部を 2 つの副画素形成部に分け、上記のように補助容量線の電位を異なるように変動させることによりそれぞれの保持電位を変化させ、広い視野角を得る構成は、例えばテレビジョン装置に使用される液晶パネルなどにおいて周知の構成である。

30

【 0 1 2 3 】

このように上側補助容量線駆動回路 7 0 0 b と下側補助容量線駆動回路 7 0 0 a とによってそれぞれ異なる電位が与えられる 2 種類の補助容量線には、2 種類の補助容量幹配線および 2 種類の補助容量枝線が必要となる。この特徴的な構成について、図 1 5 を参照して説明する。

40

【 0 1 2 4 】

< 6 . 2 ゲートドライバおよび配線のレイアウト構成 >

図 1 5 は、本実施形態におけるゲートドライバ 4 0 0 内のシフトレジスタ 4 1 0 および各種配線のレイアウト構成を示す図である。図 1 5 では、前述した図 4 に示されるものと同様の、i 個の双安定回路からなるシフトレジスタ 4 1 0 と、第 2 の補助容量幹配線 4 4 0 と、回路間配線などが設けられるほか、第 1 の下側補助容量幹配線 4 3 0 a と、第 2 の下側補助容量幹配線 4 4 0 a と、これらを電気的に接続する下側補助容量枝配線 4 4 1 a と、第 1 の上側補助容量幹配線 4 3 0 b と、第 2 の上側補助容量幹配線 4 4 0 b と、これらを電気的に接続する上側補助容量枝配線 4 4 1 b とが設けられている。

【 0 1 2 5 】

50

ここで図 15 に示されるように、第 1 の下側補助容量幹配線 430a は、補助容量線 CsL1 ~ CsLi のうち下側画素形成部 Pa に所定の電位を与えるための（補助容量線 CsLn を含む）下側補助容量線を、第 1 の上側補助容量幹配線 430b 上を掛け渡されるように配される枝配線を介して電氣的に接続される。なおこの枝配線はソースバスライン SL1 ~ SLj と同一の材料により形成される。

【0126】

また、第 1 の下側補助容量幹配線 430a は、下側補助容量枝配線 441a と同一の材料（すなわちゲートバスライン GL1 ~ GLi と同一の材料）により形成され接続されるが、下側補助容量枝配線 441a と第 2 の下側補助容量幹配線 440a とは、第 2 の上側補助容量幹配線 430b 上を掛け渡されるように配される枝配線を介して電氣的に接続される。なおこの枝配線はソースバスライン SL1 ~ SLj と同一の材料により形成される。

10

【0127】

さらに、第 1 の上側補助容量幹配線 430b は、補助容量線 CsL1 ~ CsLi のうち上側画素形成部 Pb に所定の電位を与えるための（補助容量線 CsLn + 1 を含む）上側補助容量線と接続されている。

【0128】

また、第 2 の上側補助容量幹配線 440b は、上側補助容量枝配線 441a と同一の材料（すなわちゲートバスライン GL1 ~ GLi と同一の材料）により形成され接続されるが、上側補助容量枝配線 441b と第 1 の上側補助容量幹配線 430b とは、第 1 の下側補助容量幹配線 430a 上を掛け渡されるように配される枝配線を介して電氣的に接続される。なおこの枝配線はソースバスライン SL1 ~ SLj と同一の材料により形成される。

20

【0129】

このように、各補助容量線と、第 1 および第 2 の補助容量幹配線と、これらを接続する補助容量枝線とをそれぞれ 2 種類に分けて構成することにより、1 つの画素形成部を構成する 2 つの副画素形成部により保持される電位を異なるように変化させることができるので、例えばテレビジョン装置に使用される液晶パネルなどにおいて広い視野角を得ることができる。

【0130】

なお、本実施形態では各補助容量線と補助容量幹配線と補助容量枝線とをそれぞれ 2 種類に分けて構成したが、4 種類または 8 種類など、1 つの画素形成部に含まれる異なる電位を与えたい副画素形成部の個数に応じて、適宜の数の種類に分けて構成することもできる。

30

【0131】

< 6.3 効果 >

以上のように本実施形態では、第 1 の実施形態における前述の各効果に加えて、各補助容量線と、補助容量幹配線と、補助容量枝線とをそれぞれ複数種類に分けて構成することにより、1 つの画素形成部を構成する複数の副画素形成部により保持される電位を異なるように変化させ、液晶パネルの視野角を大きくすることができる。

40

【0132】

< 7. 各実施形態の変形例 >

上記各実施形態では、第 1 の補助容量幹配線が 1 つ以上備えられる構成であるが、これを省略して、第 2 の補助容量幹配線のみが備えられる構成であってもよい。この構成では、第 1 の補助容量幹配線が設けられていた配置領域の幅に相当する距離だけ表示部 600 側の方向（すなわち図の右方向）へシフトレジスタを構成する双安定回路の配置位置を液晶パネルの外縁側から離すことができるので、額縁領域を増加させることなく、かつシフトレジスタ上をシール材で覆うことなく、さらにシフトレジスタへ信号を与える配線領域のうちシール材で覆われる領域の面積をさらに低減することができ、またコンタクトホール CT における湿度による配線の腐食を防止しまたは低減することができる。

50

【 0 1 3 3 】

もっとも上記変形例の構成では、第 2 の補助容量幹配線のみで各補助容量線 C s L 1 ~ C s L i に所定の電位を与えなければならないため、補助容量枝配線 4 4 1 のうちの 1 つが（製造工程において）断線した場合、第 1 の補助容量幹配線によって各補助容量線 C s L 1 ~ C s L i に所定の電位を与えることができないことから、不良品となることがあり歩留まりが悪くなる。

【 0 1 3 4 】

また、上記変形例の構成では、第 2 の補助容量幹配線のみで各補助容量線 C s L 1 ~ C s L i に一様に所定の電位を与えることができない場合がある。それは以下の理由による。すなわち、補助容量枝配線 4 4 1 は、前述したように回路間配線との交差部等における寄生容量により電位変動の影響を受けやすく、一様に電位が与えられない場合がある。また第 2 の補助容量幹配線のうち電源側に近い側の端部近傍に接続される補助容量線に比べて、遠い側の端部近傍に接続される補助容量線に信号遅延が生じやすくなるので、一様に電位が与えられない場合がある。特に、補助容量線を交流駆動する場合には、上記信号遅延により、表示画像に影が生じる現象（シャドーイング現象と呼ばれる）などの表示品位の低下が生じることもある。したがって、各補助容量線 C s L 1 ~ C s L i に一様に所定の電位を与えることを重視する場合には、上記各実施形態の構成が好適である。

【 0 1 3 5 】

なお、上記の各実施形態は例示であって、これらの特徴的な構成要素のうち複数を適宜に組み合わせまたは周知の異なる構成要素と組み合わせるなど種々の変形例に対しても本発明を適用することができる。

【 産業上の利用可能性 】

【 0 1 3 6 】

本発明は、例えばアクティブマトリクス型の液晶表示装置などに適用されるものであって、走査信号線駆動回路を構成するシフトレジスタと各種配線とが額縁領域にレイアウトされた液晶表示装置に適している。

【 符号の説明 】

【 0 1 3 7 】

- 1 0 0 ... 電源
- 2 0 0 ... 表示制御回路
- 3 0 0 ... ソースドライバ（映像信号線駆動回路）
- 4 0 0 ... ゲートドライバ（走査信号線駆動回路）
- 4 1 0 , 4 1 3 ... シフトレジスタ
- 4 1 1 , 4 1 2 ... 回路間配線
- 4 2 0 ... 駆動信号供給幹配線群
- 4 2 1 ... 駆動信号供給枝配線群
- 4 3 0 ... 第 1 の補助容量幹配線
- 4 4 0 ... 第 2 の補助容量幹配線
- 4 4 1 ... 補助容量枝配線
- 4 5 1 ... 端部補助容量配線
- 5 0 0 ... 共通電極駆動回路
- 6 0 0 ... 表示部
- C T ... コンタクトホール
- V c o m ... 共通電位
- S L 1 ~ S L j ... ソースバスライン
- G L 1 ~ G L i ... ゲートバスライン
- C s L 1 ~ C s L i ... 補助容量線
- G S P ... ゲートスタートパルス信号
- G C K ... ゲートクロック信号
- C K 1 ~ C K 4 ... 第 1 から第 4 までのゲートクロック信号

10

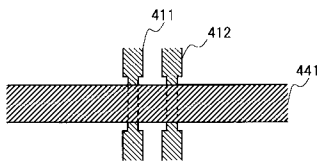
20

30

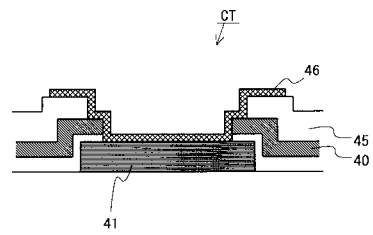
40

50

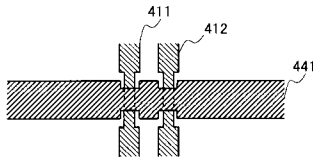
【図 5】



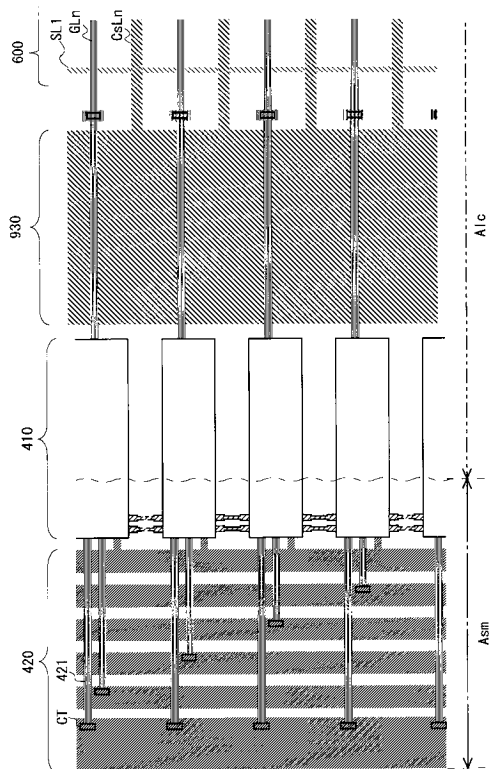
【図 7】



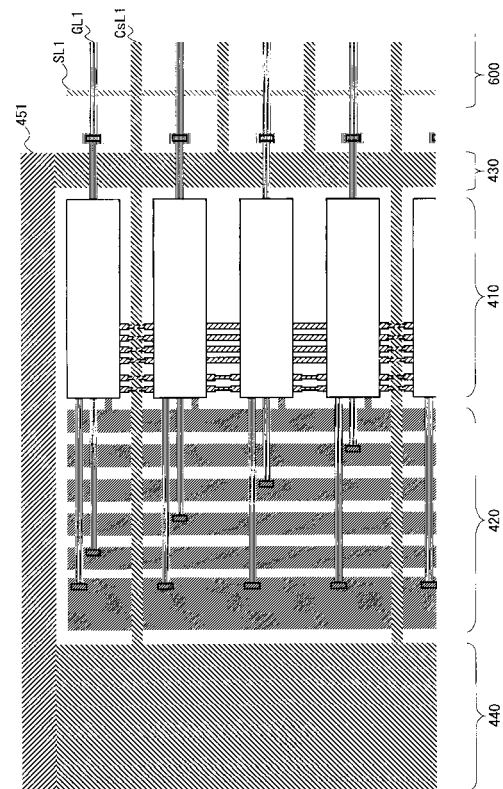
【図 6】



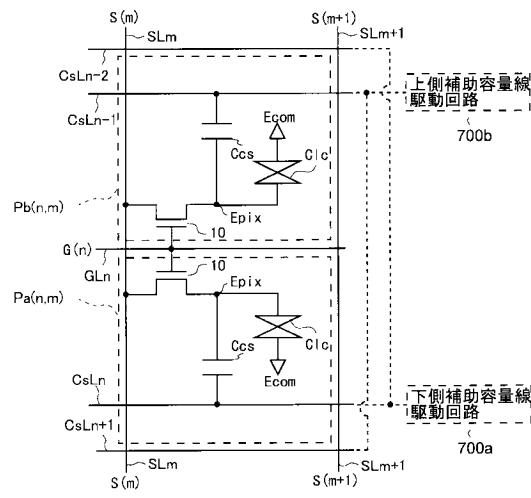
【図 8】



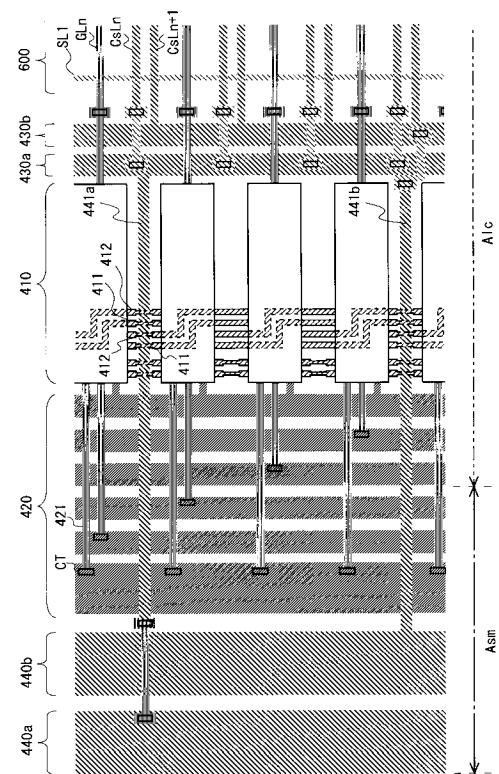
【図 9】



【図 14】



【図 15】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/063475

A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01)i, G02F1/1343(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, G02F1/1343

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/010334 A1 (Sharp Corp.), 24 January 2008 (24.01.2008), entire text; fig. 1 to 37 & EP 2042916 A1 & US 2009/0091671 A1 & CN 101421663 A	1-18
A	JP 11-202367 A (Seiko Epson Corp.), 30 July 1999 (30.07.1999), entire text; fig. 1 to 15 & EP 950917 A1 & US 6262702 B1 & DE 69820226 T & CN 1242842 A	1-18

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
21 October, 2010 (21.10.10)Date of mailing of the international search report
02 November, 2010 (02.11.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告		国際出願番号 PCT/J P 2 0 1 0 / 0 6 3 4 7 5	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G02F1/1368(2006, 01)i, G02F1/1343(2006, 01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G02F1/1368, G02F1/1343			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2010年 日本国実用新案登録公報 1996-2010年 日本国登録実用新案公報 1994-2010年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
A	WO 2008/010334 A1 (シャープ株式会社) 2008.01.24, 全文, 第 1-37 図 & EP 2042916 A1 & US 2009/0091671 A1 & CN 101421663 A	1-18	
A	JP 11-202367 A (セイコーエプソン株式会社) 1999.07.30, 全文, 第 1-15 図 & EP 950917 A1 & US 6262702 B1 & DE 69820226 T & CN 1242842 A	1-18	
☐ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 21.10.2010		国際調査報告の発送日 02.11.2010	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 鈴木 俊光	2 L 9 1 1 5 電話番号 03-3581-1101 内線 3255

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 堀内 智

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 山田 崇晴

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

Fターム(参考) 2H092 GA32 GA59 JA24 JB22 JB31 JB68 JB69 NA25 PA06

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	<无法获取翻译>		
公开(公告)号	JPWO2011067963A5	公开(公告)日	2013-08-01
申请号	JP2011544209	申请日	2010-08-09
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	吉田昌弘 小笠原功 堀内智 山田崇晴		
发明人	吉田 昌弘 小笠原 功 堀内 智 山田 崇晴		
IPC分类号	G02F1/1343 G02F1/1368		
CPC分类号	G02F1/13454 G02F1/1339 G02F1/1345 G02F1/136213 G02F1/136286		
FI分类号	G02F1/1343 G02F1/1368		
F-TERM分类号	2H092/GA32 2H092/GA59 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB68 2H092/JB69 2H092/NA25 2H092/PA06		
代理人(译)	岛田彰 川原贤治		
优先权	2009276235 2009-12-04 JP		
其他公开文献	JP5518898B2 JPWO2011067963A1		

摘要(译)

在该液晶显示装置中，传统的第一辅助电容干线（430）的宽度变窄，并且进一步新设置了第二辅助电容干线（440），其最接近基板的外边缘。放置在适当的位置。结果，移位寄存器可以与基板的外边缘部分分离，而不会增加整个框架的面积，因此移位寄存器不会被密封材料覆盖。此外，在布线区域中用于向移位寄存器发送信号的被密封材料覆盖的区域的面积也减小了。