

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5730997号
(P5730997)

(45) 発行日 平成27年6月10日 (2015. 6. 10)

(24) 登録日 平成27年4月17日 (2015. 4. 17)

(51) Int. Cl.

F I

G 0 9 G 3/36 (2006. 01)

G 0 9 G 3/36

G 0 9 G 3/20 (2006. 01)

G 0 9 G 3/20 6 2 2 E

G 0 2 F 1/133 (2006. 01)

G 0 9 G 3/20 6 1 2 G

G 1 1 C 19/00 (2006. 01)

G 0 9 G 3/20 6 2 2 G

G 1 1 C 19/28 (2006. 01)

G 0 9 G 3/20 6 2 1 L

請求項の数 16 (全 33 頁) 最終頁に続く

(21) 出願番号 特願2013-528000 (P2013-528000)
 (86) (22) 出願日 平成24年8月3日 (2012. 8. 3)
 (86) 国際出願番号 PCT/JP2012/069803
 (87) 国際公開番号 W02013/021930
 (87) 国際公開日 平成25年2月14日 (2013. 2. 14)
 審査請求日 平成26年2月19日 (2014. 2. 19)
 (31) 優先権主張番号 特願2011-175324 (P2011-175324)
 (32) 優先日 平成23年8月10日 (2011. 8. 10)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100114247
 弁理士 奥田 邦廣
 (74) 代理人 100148459
 弁理士 河本 悟
 (72) 発明者 森井 秀樹
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項 1】

表示パネルを構成する基板と、前記基板上に形成された複数のトランジスタとを有し、前記複数のトランジスタを構成する半導体層に酸化物半導体を用いられている液晶表示装置であって、

映像信号を伝達する複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と 1 対 1 で対応するように設けられ位相の異なる 2 つのクロック信号である第 1 クロック信号および第 2 クロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出部と、

前記第 1 クロック信号と、前記第 2 クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期化するためのクリア信号とを出力し、前記走査信号線駆動回路の動作を制御する駆動制御部とを備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

10

20

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第2クロック信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる出力ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極に前記第1クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用トランジスタと、

前記出力制御用トランジスタの第1電極に接続された第1ノードと、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用トランジスタと、

前記第1の第1ノード制御用トランジスタの第1電極に接続された第2ノードと、

前記第2クロック信号がハイレベルになったときに前記第1ノードの電位がローレベルであれば前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第1クロック信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第1の第2ノード制御用トランジスタと

を有し、

前記電源状態検出部は、前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与え、

前記駆動制御部は、前記電源オフ信号を受け取ると、前記画素形成部内の電荷を放電させる第1の放電処理が行われるよう前記走査信号線駆動回路の動作を制御した後、前記走査信号線上の電荷、前記第2ノードの電荷、および前記第1ノードの電荷を放電させる第2の放電処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする、液晶表示装置。

【請求項2】

前記第2の放電処理は、前記走査信号線上の電荷を放電させる走査信号線放電処理と、前記第1ノードの電荷を放電させる第1ノード放電処理と、前記第2ノードの電荷を放電させる第2ノード放電処理とからなり、

前記駆動制御部は、

前記走査信号線放電処理、前記第2ノード放電処理、前記第1ノード放電処理の順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電処理の際には、前記第1クロック信号と前記第2クロック信号とをグラウンド電位にするとともに前記クリア信号と前記基準電位とをハイレベルにし、

前記第2ノード放電処理の際には、前記クリア信号をローレベルにするとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とをグラウンド電位にし、

前記第1ノード放電処理の際には、前記クリア信号をハイレベルにするとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする、請求項1に記載の液晶表示装置。

【請求項 3】

前記駆動制御部は、前記走査信号線放電処理の際、前記第 1 クロック信号と前記第 2 クロック信号とを徐々にハイレベルからローレベルに変化させることを特徴とする、請求項 2 に記載の液晶表示装置。

【請求項 4】

各双安定回路は、

第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極－第 3 電極間の導通／非導通が制御されるトランジスタであって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 2 ノード制御用トランジスタと、

10

第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極－第 3 電極間の導通／非導通が制御されるトランジスタであって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の出力ノード制御用トランジスタとを更に有し、

前記駆動制御部は、前記第 2 の放電処理の際には、前記クリア信号をハイレベルにするとともに前記第 1 クロック信号と前記第 2 クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 5】

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極－第 3 電極間の導通／非導通が制御されるトランジスタであって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記第 2 ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の第 2 ノード制御用トランジスタを更に有し、

20

前記駆動制御部は、前記第 2 の放電処理の際には、前記走査信号線上の電荷を放電させる処理が行われた後に前記第 2 ノードの電荷および前記第 1 ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 6】

各双安定回路は、第 1 電極、第 2 電極、および第 3 電極を有し第 1 電極に印加される信号によって第 2 電極－第 3 電極間の導通／非導通が制御されるトランジスタであって、第 1 電極に前記クリア信号が与えられ、第 2 電極が前記出力ノードに接続され、第 3 電極に前記基準電位が与えられる第 2 の出力ノード制御用トランジスタを更に有し、

30

前記駆動制御部は、前記第 2 の放電処理の際には、前記第 2 ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第 1 ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 7】

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフト回路を含み、

前記レベルシフト回路は、1 つのクロック信号から少なくとも前記第 1 クロック信号および前記第 2 クロック信号を含む互いに位相の異なる複数のクロック信号を生成するための論理回路部を含むことを特徴とする、請求項 1 に記載の液晶表示装置。

40

【請求項 8】

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフト回路を含み、

前記レベルシフト回路は、タイミングコントローラと 2 本以上の信号線で接続され、

前記レベルシフト回路と前記タイミングコントローラとを接続する信号線のうちの 2 本の信号線で伝送される信号は、垂直同期をとることが可能な信号と水平同期をとることが可能な信号であることを特徴とする、請求項 1 に記載の液晶表示装置。

【請求項 9】

前記レベルシフト回路は、基本クロックを出力する発振回路部を更に含み、

前記論理回路部は、前記発振回路部から出力される基本クロックに基づいて、前記複数

50

のクロック信号を生成することを特徴とする、請求項7に記載の液晶表示装置。

【請求項10】

前記レベルシフト回路は、基本クロックを出力する発振回路部を更に含み、

前記論理回路部のタイミングを生成するための不揮発性メモリが、レベルシフト回路を含むパッケージICに内蔵されていることを特徴とする、請求項7に記載の液晶表示装置。

【請求項11】

表示パネルを構成する基板と、前記基板上に形成された複数のトランジスタと、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを有し、前記複数のトランジスタを構成する半導体層に酸化半導体が用いられている液晶表示装置の駆動方法であって、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出ステップと、

前記表示パネル内の電荷を放電させる電荷放電ステップとを含み、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

前記走査信号線駆動回路は、前記複数の走査信号線と1対1で対応するように設けられ位相の異なる2つのクロック信号である第1クロック信号および第2クロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記第1クロック信号と、前記第2クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期化するためのクリア信号とを出力し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第2クロック信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる出力ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極に前記第1クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用トランジスタと、

前記出力制御用トランジスタの第1電極に接続された第1ノードと、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用トランジスタと、

前記第1の第1ノード制御用トランジスタの第1電極に接続された第2ノードと、

前記第2クロック信号がハイレベルになったときに前記第1ノードの電位がローレベルであれば前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第

10

20

30

40

50

1クロック信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第1の第2ノード制御用トランジスタとを有し、

前記電荷放電ステップは、

前記画素形成部内の電荷を放電させる第1の放電ステップと、

前記走査信号線上の電荷、前記第2ノードの電荷、および前記第1ノードの電荷を放電させる第2の放電ステップと

からなり、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記電荷放電ステップが実行されることを特徴とする、液晶表示装置の駆動方法。

10

【請求項12】

前記第2の放電ステップは、前記走査信号線上の電荷を放電させる走査信号線放電ステップと、前記第1ノードの電荷を放電させる第1ノード放電ステップと、前記第2ノードの電荷を放電させる第2ノード放電ステップとからなり、

前記駆動制御部は、前記走査信号線放電ステップ、前記第2ノード放電ステップ、前記第1ノード放電ステップの順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電ステップでは、前記第1クロック信号と前記第2クロック信号とがグラウンド電位にされるとともに前記クリア信号と前記基準電位とがハイレベルにされ、

前記第2ノード放電ステップでは、前記クリア信号がローレベルにされるとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とがグラウンド電位にされ、

前記第1ノード放電ステップでは、前記クリア信号がハイレベルにされるとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

20

【請求項13】

前記走査信号線放電ステップでは、前記第1クロック信号と前記第2クロック信号とが徐々にハイレベルからローレベルに変化することを特徴とする、請求項12に記載の液晶表示装置の駆動方法。

【請求項14】

各双安定回路は、

30

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用トランジスタとを更に有し、

前記第2の放電ステップでは、前記クリア信号がハイレベルにされるとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

40

【請求項15】

各双安定回路は、第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用トランジスタを更に有し、

前記第2の放電ステップでは、前記走査信号線上の電荷を放電させる処理が行われた後に前記第2ノードの電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

50

【請求項 16】

各双安定回路は、第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用トランジスタを更に有し、

前記第2の放電ステップでは、前記第2ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする、請求項11に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体層に酸化物半導体（IGZO）を用いた薄膜トランジスタを有するモノリシック化されたゲートドライバを備える液晶表示装置およびその駆動方法に関する。

【背景技術】

【0002】

一般に、アクティブマトリクス型の液晶表示装置は、液晶層を挟持する2枚の基板からなる液晶パネルを備えており、当該2枚の基板のうち一方の基板には、複数本のゲートバスライン（走査信号線）と複数本のソースバスライン（映像信号線）とが格子状に配置され、それら複数本のゲートバスラインと複数本のソースバスラインとの交差点にそれぞれ対応してマトリクス状に配置された複数の画素形成部が設けられている。各画素形成部は、対応する交差点を通過するゲートバスラインにゲート端子が接続されるとともに当該交差点を通過するソースバスラインにソース端子が接続されたスイッチング素子である薄膜トランジスタ（TFT）や、画素値を保持するための画素容量などを含んでいる。また、上記2枚の基板のうち他方の基板には、上記複数の画素形成部に共通的に設けられた対向電極である共通電極が設けられる場合もある。アクティブマトリクス型の液晶表示装置には、さらに、上記複数本のゲートバスラインを駆動するゲートドライバ（走査信号線駆動回路）と上記複数本のソースバスラインを駆動するソースドライバ（映像信号線駆動回路）とが設けられている。

20

【0003】

画素値を示す映像信号はソースバスラインによって伝達されるが、各ソースバスラインは複数行分の画素値を示す映像信号を一時（同時）に伝達することができない。このため、上述のマトリクス状に配置された画素形成部内の画素容量への映像信号の書き込みは1行ずつ順次に行われる。そこで、複数本のゲートバスラインが所定期間ずつ順次に選択されるように、ゲートドライバは複数段からなるシフトレジスタによって構成されている。

30

【0004】

このような液晶表示装置において、利用者によって電源がオフされたにもかかわらず、直ちに表示がクリアされず、残像のような画像が残ることがある。この理由は、装置の電源がオフされると画素容量に保持された電荷の放電経路が遮断され、画素形成部内に残留電荷が蓄積されるからである。また、画素形成部内に残留電荷が蓄積された状態で装置の電源がオンされると、その残留電荷に基づく不純物の偏りに起因するフリッカの発生など表示品位の低下が生じる。そこで、電源オフの際に、例えば、全てのゲートバスラインを選択状態（オン状態）にしてソースバスラインに黒電圧を印加することによって、パネル上の電荷を放電することがなされている。

40

【0005】

また、液晶表示装置に関し、近年、ゲートドライバのモノリシック化が進んでいる。従来、ゲートドライバは液晶パネルを構成する基板の周辺部にIC（Integrated Circuit）チップとして搭載されることが多かったが、近年、基板上に直接的にゲートドライバを形成することが徐々に多くなされている。このようなゲートドライバは「モノリシックゲートドライバ」などと呼ばれている。また、モノリシックゲートドライバを備えたパネルは「ゲートドライバモノリシックパネル」などと呼ばれている。

50

【0006】

ゲートドライバモノリシックパネルにおいては、パネル上の電荷の放電に関し、上述した手法を採用することができない。そこで、国際公開2011/055584号パンフレットには、次のような液晶表示装置の発明が開示されている。ゲートドライバ内のシフトレジスタを構成する双安定回路に、ゲートバスラインに接続されたドレイン端子、基準電位を伝達する基準電位配線に接続されたソース端子、およびシフトレジスタを動作させるクロック信号が与えられるゲート端子を有する薄膜トランジスタが設けられる。このような構成において、外部からの電源電圧の供給が遮断されると、クロック信号をハイレベルにして上記薄膜トランジスタをオン状態にするとともに、基準電位のレベルがゲートオフ電位からゲートオン電位にまで高められる。これにより、各ゲートバスラインの電位がゲートオン電位にまで高められ、全ての画素形成部内の残留電荷が放電される。

10

【先行技術文献】

【特許文献】

【0007】

【特許文献1】国際公開2011/055584号パンフレット

【発明の概要】

【発明が解決しようとする課題】

【0008】

ところで、近年、IGZO-TFT液晶パネル（薄膜トランジスタの半導体層に酸化物質半導体の一種であるIGZOを用いた液晶パネル）の開発が進んでいる。IGZO-TFT液晶パネルにおいても、モノリシック化されたゲートドライバの開発が進められている。なお、以下においては、IGZO-TFT液晶パネルに設けられているモノリシックゲートドライバのことを「IGZO-GDM」という。a-SiTFTはオフ特性が良好ではないため、a-SiTFT液晶パネルでは、画素形成部以外の部分の浮遊電荷については数秒で放電される。従って、a-SiTFT液晶パネルにおいては、画素形成部以外の部分の浮遊電荷については特に問題とはならない。ところが、IGZO-TFTは、オン特性のみならずオフ特性も優れている。特にゲートへのバイアス電圧が0V（すなわちバイアス無し）のときのオフ特性がa-SiTFTと比較して顕著に優れているため、TFTと接続されているノードの浮遊電荷がゲートオフ時に当該TFTを介して放電することがない。その結果、回路内に電荷が長時間残ることとなる。或る試算によると、後述する図8に示す構成を採用するIGZO-GDMにおいて、net A上の浮遊電荷の放電に要する時間は数時間（数千秒～数万秒）となっている。また、IGZO-GDMのBT（Bias Temperature）ストレス試験によれば、IGZO-TFTの閾値シフトの大きさは1時間で数Vとなっている。このことから、IGZO-GDMにおいては残留電荷の存在がIGZO-TFTの閾値シフトの大きな要因となることが把握される。以上より、IGZO-GDMのシフトレジスタにおいてシフト動作が途中で停止すると、或る1つの段においてのみTFTの閾値シフトが生じるおそれがある。その結果、シフトレジスタが正常に動作しなくなり、画面への画像表示が行われなくなる。

20

30

【0009】

また、ゲートドライバがICチップである場合には、パネル内のTFTは画素形成部内のTFTだけである。従って、電源オフの際には画素形成部内の電荷およびゲートバスライン上の電荷を放電すれば足りる。しかしながら、モノリシックゲートドライバの場合には、パネル内のTFTとしてゲートドライバ内にもTFTが存在している。そして、例えば図8に示す構成においては、符号net Aおよび符号net Bで示す2つの浮遊ノードが存在する。従って、IGZO-GDMにおいては、電源オフの際、画素形成部内の電荷、ゲートバスライン上の電荷、net A上の電荷、およびnet B上の電荷を放電する必要がある。

40

【0010】

そこで、本発明は、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置およびその駆動方法を提供すること

50

を目的とする。

【課題を解決するための手段】

【0011】

本発明の第1の局面は、表示パネルを構成する基板と、前記基板上に形成された複数のトランジスタとを有し、前記複数のトランジスタを構成する半導体層に酸化物半導体を用いられている液晶表示装置であって、

映像信号を伝達する複数の映像信号線と、

前記複数の映像信号線と交差する複数の走査信号線と、

前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、

前記複数の走査信号線と1対1に対応するように設けられ位相の異なる2つのクロック信号である第1クロック信号および第2クロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、該シフトレジスタから出力されるパルスに基づいて前記複数の走査信号線を選択的に駆動する走査信号線駆動回路と、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出部と、

前記第1クロック信号と、前記第2クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期化するためのクリア信号とを出力し、前記走査信号線駆動回路の動作を制御する駆動制御部とを備え、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第2クロック信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる出力ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極に前記第1クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用トランジスタと、

前記出力制御用トランジスタの第1電極に接続された第1ノードと、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用トランジスタと、

前記第1の第1ノード制御用トランジスタの第1電極に接続された第2ノードと、

前記第2クロック信号がハイレベルになったときに前記第1ノードの電位がローレベルであれば前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第1クロック信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第1の第2ノード制御用トランジスタとを有し、

10

20

30

40

50

前記電源状態検出部は、前記電源のオフ状態を検出すると、所定の電源オフ信号を前記駆動制御部に与え、

前記駆動制御部は、前記電源オフ信号を受け取ると、前記画素形成部内の電荷を放電させる第1の放電処理が行われるよう前記走査信号線駆動回路の動作を制御した後、前記走査信号線上の電荷、前記第2ノードの電荷、および前記第1ノードの電荷を放電させる第2の放電処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする。

【0012】

本発明の第2の局面は、本発明の第1の局面において、

前記第2の放電処理は、前記走査信号線上の電荷を放電させる走査信号線放電処理と、前記第1ノードの電荷を放電させる第1ノード放電処理と、前記第2ノードの電荷を放電させる第2ノード放電処理とからなり、

前記駆動制御部は、

前記走査信号線放電処理、前記第2ノード放電処理、前記第1ノード放電処理の順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電処理の際には、前記第1クロック信号と前記第2クロック信号とをグラウンド電位にするとともに前記クリア信号と前記基準電位とをハイレベルにし、

前記第2ノード放電処理の際には、前記クリア信号をローレベルにするとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とをグラウンド電位にし、

前記第1ノード放電処理の際には、前記クリア信号をハイレベルにするとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする。

【0013】

本発明の第3の局面は、本発明の第2の局面において、

前記駆動制御部は、前記走査信号線放電処理の際、前記第1クロック信号と前記第2クロック信号とを徐々にハイレベルからローレベルに変化させることを特徴とする。

【0014】

本発明の第4の局面は、本発明の第1の局面において、

各双安定回路は、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用トランジスタとを更に有し、

前記駆動制御部は、前記第2の放電処理の際には、前記クリア信号をハイレベルにするとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とをグラウンド電位にすることを特徴とする。

【0015】

本発明の第5の局面は、本発明の第1の局面において、

各双安定回路は、第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用トランジスタを更に有し、

前記駆動制御部は、前記第2の放電処理の際には、前記走査信号線上の電荷を放電させる処理が行われた後に前記第2ノードの電荷および前記第1ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする。

【0016】

本発明の第6の局面は、本発明の第1の局面において、

各双安定回路は、第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用トランジスタを更に有し、

前記駆動制御部は、前記第2の放電処理の際には、前記第2ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第1ノードの電荷を放電させる処理が行われるよう前記走査信号線駆動回路の動作を制御することを特徴とする。

【0017】

本発明の第7の局面は、本発明の第1の局面において、

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフト回路を含み、

前記レベルシフト回路は、1つのクロック信号から少なくとも前記第1クロック信号および前記第2クロック信号を含む互いに位相の異なる複数のクロック信号を生成するための論理回路部を含むことを特徴とする。

【0018】

本発明の第8の局面は、本発明の第1の局面において、

前記駆動制御部は、低電圧の信号を高電圧の信号に変換するレベルシフト回路を含み、

前記レベルシフト回路は、タイミングコントローラと2本以上の信号線で接続され、

前記レベルシフト回路と前記タイミングコントローラとを接続する信号線のうちの2本の信号線で伝送される信号は、垂直同期をとることが可能な信号と水平同期をとることが可能な信号であることを特徴とする。

【0019】

本発明の第9の局面は、本発明の第7の局面において、

前記レベルシフト回路は、基本クロックを出力する発振回路部を更に含み、

前記論理回路部は、前記発振回路部から出力される基本クロックに基づいて、前記複数のクロック信号を生成することを特徴とする。

【0020】

本発明の第10の局面は、本発明の第7の局面において、

前記レベルシフト回路は、基本クロックを出力する発振回路部を更に含み、

前記論理回路部のタイミングを生成するための不揮発性メモリが、レベルシフト回路を含むパッケージICに内蔵されていることを特徴とする。

【0021】

本発明の第11の局面は、表示パネルを構成する基板と、前記基板上に形成された複数のトランジスタと、映像信号を伝達する複数の映像信号線と、前記複数の映像信号線と交差する複数の走査信号線と、前記複数の映像信号線と前記複数の走査信号線に対応してマトリクス状に配置された複数の画素形成部と、前記複数の走査信号線を駆動する走査信号線駆動回路と、前記走査信号線駆動回路の動作を制御する駆動制御部とを有し、前記複数のトランジスタを構成する半導体層に酸化物半導体を用いられている液晶表示装置の駆動方法であって、

外部から与えられる電源のオン／オフ状態を検出する電源状態検出ステップと、

前記表示パネル内の電荷を放電させる電荷放電ステップとを含み、

前記複数の映像信号線と前記複数の走査信号線と前記複数の画素形成部と前記走査信号線駆動回路とは、前記基板上に形成され、

前記走査信号線駆動回路は、前記複数の走査信号線と1対1で対応するように設けられ位相の異なる2つのクロック信号である第1クロック信号および第2クロック信号に基づいて順次にパルスを出力する複数の双安定回路からなるシフトレジスタを含み、

前記駆動制御部は、前記第1クロック信号と、前記第2クロック信号と、前記複数の双安定回路の動作の基準となる電位である基準電位と、前記複数の双安定回路の状態を初期

10

20

30

40

50

化するためのクリア信号とを出力し、

各双安定回路は、

前記走査信号線に接続された出力ノードと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第2クロック信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる出力ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極に前記第1クロック信号が与えられ、第3電極が前記出力ノードに接続された出力制御用トランジスタと、

10

前記出力制御用トランジスタの第1電極に接続された第1ノードと、

前記複数の双安定回路のうちの先行する双安定回路から出力されるパルスに基づいて前記第1ノードの電位をハイレベルに向けて変化させる第1ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第1の第1ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第1ノードに接続され、第3電極に前記基準電位が与えられる第2の第1ノード制御用トランジスタと、

20

前記第1の第1ノード制御用トランジスタの第1電極に接続された第2ノードと、

前記第2クロック信号がハイレベルになったときに前記第1ノードの電位がローレベルであれば前記第2ノードの電位をハイレベルに向けて変化させる第2ノード制御部と、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記第1クロック信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第1の第2ノード制御用トランジスタと

を有し、

30

前記電荷放電ステップは、

前記画素形成部内の電荷を放電させる第1の放電ステップと、

前記走査信号線上の電荷、前記第2ノードの電荷、および前記第1ノードの電荷を放電させる第2の放電ステップと

からなり、

前記電源状態検出ステップで前記電源のオフ状態が検出されると、前記電荷放電ステップが実行されることを特徴とする。

【0022】

本発明の第12の局面は、本発明の第11の局面において、

前記第2の放電ステップは、前記走査信号線上の電荷を放電させる走査信号線放電ステップと、前記第1ノードの電荷を放電させる第1ノード放電ステップと、前記第2ノードの電荷を放電させる第2ノード放電ステップとからなり、

40

前記駆動制御部は、前記走査信号線放電ステップ、前記第2ノード放電ステップ、前記第1ノード放電ステップの順序で処理が行われるよう前記走査信号線駆動回路の動作を制御し、

前記走査信号線放電ステップでは、前記第1クロック信号と前記第2クロック信号とがグラウンド電位にされるとともに前記クリア信号と前記基準電位とがハイレベルにされ、

前記第2ノード放電ステップでは、前記クリア信号がローレベルにされるとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とがグラウンド電位にされ、

前記第1ノード放電ステップでは、前記クリア信号がハイレベルにされるとともに前記

50

第1クロック信号と前記第2クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする。

【0023】

本発明の第13の局面は、本発明の第12の局面において、

前記走査信号線放電ステップでは、前記第1クロック信号と前記第2クロック信号とが徐々にハイレベルからローレベルに変化することを特徴とする。

【0024】

本発明の第14の局面は、本発明の第11の局面において、

各双安定回路は、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用トランジスタと、

第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用トランジスタと

を更に有し、

前記第2の放電ステップでは、前記クリア信号がハイレベルにされるとともに前記第1クロック信号と前記第2クロック信号と前記基準電位とがグラウンド電位にされることを特徴とする。

【0025】

本発明の第15の局面は、本発明の第11の局面において、

各双安定回路は、第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記第2ノードに接続され、第3電極に前記基準電位が与えられる第2の第2ノード制御用トランジスタを更に有し、

前記第2の放電ステップでは、前記走査信号線上の電荷を放電させる処理が行われた後に前記第2ノードの電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする。

【0026】

本発明の第16の局面は、本発明の第11の局面において、

各双安定回路は、第1電極、第2電極、および第3電極を有し第1電極に印加される信号によって第2電極－第3電極間の導通／非導通が制御されるトランジスタであって、第1電極に前記クリア信号が与えられ、第2電極が前記出力ノードに接続され、第3電極に前記基準電位が与えられる第2の出力ノード制御用トランジスタを更に有し、

前記第2の放電ステップでは、前記第2ノードの電荷を放電させる処理が行われた後に前記走査信号線上の電荷および前記第1ノードの電荷を放電させる処理が行われることを特徴とする。

【発明の効果】

【0027】

本発明の第1の局面によれば、IGZO-GDMを備えた液晶表示装置において、電源電圧PWの供給が遮断された際、まず画素形成部内の電荷が放電され、その後、走査信号線上の電荷、シフトレジスタを構成する双安定回路内の第1ノード・第2ノード上の電荷が放電される。これにより、電源がオフされたときにパネル内の残留電荷が速やかに除去され、パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。

【0028】

本発明の第2の局面によれば、走査信号線放電処理の際には、クロック信号がグラウンド電位になっている状態で出力制御用トランジスタがオン状態となる。出力制御用トランジスタについては、第2電極にはクロック信号が与えられ、第3電極は出力ノードに接続

10

20

30

40

50

されているので、走査信号線上の電荷が放電される。また、第2ノード放電処理の際には、基準電位がグラウンド電位になっている状態で第1の第2ノード制御用トランジスタがオン状態となる。第1の第2ノード制御用トランジスタについては、第2電極は第2ノードに接続され、第3電極には基準電位が与えられているので、第2ノードの電荷が放電される。さらに、第1ノード放電処理の際には、基準電位がグラウンド電位になっている状態で第2の第1ノード制御用トランジスタがオン状態となる。第2の第1ノード制御用トランジスタについては、第2電極は第1ノードに接続され、第3電極には基準電位が与えられているので、第1ノードの電荷が放電される。以上のようにして、電源がオフされた際に、パネル内の各ノード等の電荷が順次に速やかに除去される。

【0029】

10

本発明の第3の局面によれば、走査信号線放電処理の際、走査信号線の電位は緩やかに低下する。このため、各画素形成部において引込電圧の影響により画素電極電位が低下することが抑制される。

【0030】

本発明の第4の局面によれば、第2の放電処理の際にクリア信号がハイレベルになることによって、第2の第1ノード制御用トランジスタと第2の第2ノード制御用トランジスタと第2の出力ノード制御用トランジスタとがオン状態となる。第2の第1ノード制御用トランジスタについては、第2電極は第1ノードに接続され、第3電極には基準電位が与えられている。第2の第2ノード制御用トランジスタについては、第2電極は第2ノードに接続され、第3電極には基準電位が与えられている。第2の出力ノード制御用トランジスタについては、第2電極は出力ノードに接続され、第3電極には基準電位が与えられている。また、第2の放電処理の際には、基準電位がグラウンド電位にされる。以上より、第2の放電処理の際、第1ノードの電荷、第2ノードの電荷、および走査信号線上の電荷が1ステップで放電される。

20

【0031】

本発明の第5の局面によれば、第2の放電処理の際、本発明の第1の局面と比較して少ないステップで、第1ノードの電荷、第2ノードの電荷、および走査信号線上の電荷が放電される。

【0032】

30

本発明の第6の局面によれば、第2の放電処理の際、本発明の第1の局面と比較して少ないステップで、第1ノードの電荷、第2ノードの電荷、および走査信号線上の電荷が放電される。

【0033】

本発明の第7の局面によれば、レベルシフト回路に与える必要のある入力信号の数が従来よりも少なくなる。これにより、コスト低減や小パッケージ化が可能となる。

【0034】

本発明の第8の局面によれば、本発明の第7の局面と同様、レベルシフト回路に与える必要のある入力信号の数が従来よりも少なくなる。これにより、コスト低減や小パッケージ化が可能となる。

40

【0035】

本発明の第9の局面によれば、複雑な電源オフシーケンスを比較的容易に実現することが可能となる。

【0036】

本発明の第10の局面によれば、本発明の第9の局面と同様、複雑な電源オフシーケンスを比較的容易に実現することが可能となる。

【0037】

本発明の第11の局面によれば、本発明の第1の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0038】

50

本発明の第12の局面によれば、本発明の第2の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0039】

本発明の第13の局面によれば、本発明の第3の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0040】

本発明の第14の局面によれば、本発明の第4の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【0041】

本発明の第15の局面によれば、本発明の第5の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

10

【0042】

本発明の第16の局面によれば、本発明の第6の局面と同様の効果を液晶表示装置の駆動方法の発明において奏することができる。

【図面の簡単な説明】

【0043】

【図1】本発明の第1の実施形態に係るアクティブマトリクス型の液晶表示装置における電源遮断時の動作について説明するための信号波形図である。

【図2】上記第1の実施形態において、液晶表示装置の全体構成を示すブロック図である。

20

【図3】上記第1の実施形態において、画素形成部の構成を示す回路図である。

【図4】上記第1の実施形態において、レベルシフト回路の構成を示すブロック図である。

【図5】上記第1の実施形態において、ゲートドライバの構成を説明するためのブロック図である。

【図6】上記第1の実施形態において、ゲートドライバ内のシフトレジスタの構成を示すブロック図である。

【図7】上記第1の実施形態において、ゲートドライバの動作について説明するための信号波形図である。

【図8】上記第1の実施形態において、シフトレジスタに含まれている双安定回路の構成を示す回路図である。

30

【図9】上記第1の実施形態において、双安定回路の動作を説明するための信号波形図である。

【図10】Display Offシーケンスに関する上記第1の実施形態の変形例について説明するための信号波形図である。

【図11】Display Offシーケンスに関する上記第1の実施形態の別の変形例について説明するための信号波形図である。

【図12】上記第1の実施形態の変形例において、引込電圧の影響を抑制する方法について説明するための信号波形図である。

【図13】上記第1の実施形態におけるレベルシフト回路近傍の構成を模式的に示すブロック図である。

40

【図14】上記第1の実施形態の変形例におけるレベルシフト回路近傍の構成を模式的に示すブロック図である。

【図15】本発明の第2の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。

【図16】上記第2の実施形態において、シフトレジスタに含まれている双安定回路の構成を示す回路図である。

【図17】上記第2の実施形態における電源遮断時の動作について説明するための信号波形図である。

【図18】上記第2の実施形態において、タイミングの生成について説明するための信号

50

波形図である。

【図 19】上記第 2 の実施形態の変形例における電源遮断時の動作について説明するための信号波形図である。

【図 20】従来構成のレベルシフト回路における入出力信号について説明するための図である。

【図 21】タイミング生成ロジック部を備えたレベルシフト回路における入出力信号について説明するための図である。

【発明を実施するための形態】

【0044】

以下、添付図面を参照しつつ、本発明の実施形態について説明する。なお、以下の説明においては、薄膜トランジスタのゲート端子（ゲート電極）は第 1 電極に相当し、ドレイン端子（ドレイン電極）は第 2 電極に相当し、ソース端子（ソース電極）は第 3 電極に相当する。また、双安定回路内に設けられている薄膜トランジスタはすべて n チャンネル型であるものとして説明する。

【0045】

< 1. 第 1 の実施形態 >

< 1. 1 全体構成および動作 >

図 2 は、本発明の第 1 の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。図 2 に示すように、この液晶表示装置は、液晶パネル（表示パネル）20、PCB（プリント回路基板）10、および液晶パネル 20 と PCB 10 とに接続された TAB（Tape Automated Bonding）30 によって構成されている。なお、液晶パネル 20 は、IGZO-TFT 液晶パネルである。また、TAB 30 は主に中型用から大型用の液晶パネルで採用される実装形態であり、小型用から中型用の液晶パネルではソースドライバの実装形態として COG 実装が採用される場合もある。さらにまた、昨今では、ソースドライバ 32、タイミングコントローラ 11、電源回路 15、電源 OFF 検出部 17、およびレベルシフト回路 13 が 1 チップ化されたシステムドライバ構成も徐々に用いられてきている。

【0046】

液晶パネル 20 は対向する 2 枚の基板（典型的にはガラス基板であるが、ガラス基板には限定されない）からなり、基板上の所定の領域に、画像を表示するための表示部 22 が形成されている。表示部 22 には、複数本（j 本）のソースバスライン（映像信号線）SL1～SLj と、複数本（i 本）のゲートバスライン（走査信号線）GL1～GLi と、それらソースバスライン SL1～SLj とゲートバスライン GL1～GLi との交差点にそれぞれ対応して設けられた複数個（i × j 個）の画素形成部とが含まれている。図 3 は、画素形成部の構成を示す回路図である。図 3 に示すように、各画素形成部には、対応する交差点を通過するゲートバスライン GL にゲート端子が接続されるとともに当該交差点を通過するソースバスライン SL にソース端子が接続された薄膜トランジスタ（TFT）220 と、その薄膜トランジスタ 220 のドレイン端子に接続された画素電極 221 と、上記複数個の画素形成部に共通的に設けられた共通電極 222 および補助容量電極 223 と、画素電極 221 と共通電極 222 とによって形成される液晶容量 224 と、画素電極 221 と補助容量電極 223 とによって形成される補助容量 225 とが含まれている。また、液晶容量 224 と補助容量 225 とによって画素容量 CP が形成されている。そして、各薄膜トランジスタ 220 のゲート端子がゲートバスライン GL からアクティブな走査信号を受けたときに当該薄膜トランジスタ 220 のソース端子がソースバスライン SL から受ける映像信号に基づいて、画素容量 CP に画素値を示す電圧が保持される。

【0047】

液晶パネル 20 には、また、図 2 に示すように、ゲートバスライン GL1～GLi を駆動するためのゲートドライバ 24 が形成されている。このゲートドライバ 24 は、上述した IGZO-GDM であり、液晶パネル 20 を構成する基板上にモノリシックに形成されている。TAB 30 には、ソースバスライン SL1～SLj を駆動するためのソースドラ

イバ32がICチップの状態を搭載されている。PCB10には、タイミングコントローラ11、レベルシフト回路13、電源回路15、および電源OFF検出部17が設けられている。なお、図2ではゲートドライバ24は表示部22の片側のみに配置されているが、左右均等額縁パネルを要望するユーザも多く、この要望に応えるためゲートドライバ24を表示部22の左右両側に配置する構造もよく用いられる。

【0048】

この液晶表示装置には、水平同期信号HS、垂直同期信号VS、データイーネブル信号DEなどのタイミング信号と画像信号DATと電源電圧PWとが外部から与えられる。電源電圧PWは、タイミングコントローラ11と電源回路15と電源OFF検出部17とに与えられる。なお、本実施形態においては、電源電圧PWは3.3Vとなっているが、この電源電圧PWは3.3Vに限定されるものではない。また、入力信号についても上記構成には限定されず、タイミング信号や映像データはLVDSやmipi、DP信号、eDPなどの差動インターフェースを利用して転送される場合も多い。

【0049】

電源回路15は、電源電圧PWに基づいて、ゲートバスラインを選択状態にするためのゲートオン電位VGHと、ゲートバスラインを非選択状態にするためのゲートオフ電位VGLとを生成する。本説明では、ソースドライバ正電源構成としてゲートオン電位VGHは+20Vであってゲートオフ電位VGLは-10Vであると仮定するが、昨今では、ソースドライバの出力電圧がグラウンド電位GNDを基準にプラス側とマイナス側に等しい大きさで出力される場合もある。この場合、例えば「ゲートオン電位VGHは+15V、ゲートオフ電位VGLは-15V」というように正電源構成から少しマイナスバイアスされた電位構成となる。ゲートオン電位VGHおよびゲートオフ電位VGLは、レベルシフト回路13に与えられる。電源OFF検出部17は、電源電圧PWの供給状態（電源のオン／オフ状態）を示す電源状態信号SHUTを出力する。電源状態信号SHUTは、レベルシフト回路13に与えられる。

【0050】

タイミングコントローラ11は、水平同期信号HS、垂直同期信号VS、データイーネブル信号DEなどのタイミング信号と画像信号DATと電源電圧PWとを受け取り、デジタル映像信号DV、ソーススタートパルス信号SSP、ソースクロック信号CLK、ゲートスタートパルス信号L_GSP、およびゲートクロック信号L_GCKを生成する。デジタル映像信号DV、ソーススタートパルス信号SSP、およびソースクロック信号CLKについてはソースドライバ32に与えられ、ゲートスタートパルス信号L_GSPおよびゲートクロック信号L_GCKについてはレベルシフト回路13に与えられる。なお、ゲートスタートパルス信号L_GSPおよびゲートクロック信号L_GCKに関し、ハイレベル側の電位は電源電圧（3.3V）PWとされ、ローレベル側の電位はグラウンド電位（0V）GNDとされる。

【0051】

レベルシフト回路13は、グラウンド電位GNDと電源回路15から与えられるゲートオン電位VGHおよびゲートオフ電位VGLとを用いて、タイミングコントローラ11から出力されたゲートスタートパルス信号L_GSPをIGZO-GDM駆動に最適化されたタイミング信号に変換した信号のレベル変換後の信号H_GSPの生成と、タイミングコントローラ11から出力されたゲートクロック信号L_GCKに基づく第1のゲートクロック信号H_GCK1および第2のゲートクロック信号H_GCK2の生成と、内部信号に基づく基準電位H_VSSおよびクリア信号H_CLRの生成とを行う。そして、レベルシフト回路13からゲートドライバ24に対して、ゲートスタートパルス信号H_GSP、第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2、クリア信号H_CLR、および基準電位H_VSSが出力される。なお、通常動作時には、ゲートスタートパルス信号H_GSP、第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2、およびクリア信号H_CLRはゲートオン電位VGH（+20V）またはゲートオフ電位VGL（-10V）に等しくされ、基準電位H_

VSSはゲートオフ電位VGL(−10V)に等しくされる。ところで、本実施形態においては、図4に示すように、レベルシフト回路13にはタイミング生成ロジック部131とオシレータ132とが含まれていて、電源OFF検出部17から出力される電源状態信号SHUTがレベルシフト回路13に与えられるように構成されている。このような構成により、レベルシフト回路13は所定のタイミングに従って上記各種信号の電位を変化させることが可能となっている。所定のタイミングについては、レベルシフト回路13を構成するIC内部の不揮発性メモリ及び不揮発性メモリからデータをロードしたレジスタ値に基づいて生成される。なお、このレベルシフト回路13についての更に詳しい説明は後述する。

【0052】

ソースドライバ32は、タイミングコントローラ11から出力されるデジタル映像信号DV、ソーススタートパルス信号SSP、およびソースクロック信号CLKを受け取り、各ソースバスラインSL1〜SLjに駆動用の映像信号を印加する。

【0053】

ゲートドライバ24は、レベルシフト回路13から出力されるゲートスタートパルス信号H_GSP、第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2、クリア信号H_CLR、および基準電位H_VSSに基づいて、アクティブな走査信号の各ゲートバスラインGL1〜GLiへの印加を1垂直走査期間を周期として繰り返す。なお、このゲートドライバ24についての詳しい説明は後述する。

【0054】

以上のようにして、各ソースバスラインSL1〜SLjに駆動用の映像信号が印加され、各ゲートバスラインGL1〜GLiに走査信号が印加されることにより、外部から送られた画像信号DATに基づく画像が表示部22に表示される。

【0055】

なお、本実施形態においては、電源OFF検出部17によって電源状態検出部が実現され、タイミングコントローラ11とレベルシフト回路13とによって駆動制御部が実現されている。また、タイミング生成ロジック部131によって論理回路部が実現され、オシレータ132によって発振回路部が実現されている。

【0056】

<1.2 ゲートドライバの構成および動作>

次に、本実施形態におけるゲートドライバ24の構成および動作について説明する。図5に示すように、ゲートドライバ24は複数段からなるシフトレジスタ240によって構成されている。表示部22にはi行×j列の画素マトリクスが形成されているところ、それら画素マトリクスの各行と1対1で対応するようにシフトレジスタ240の各段が設けられている。また、シフトレジスタ240の各段は、各時点において2つの状態のうちのいずれか一方の状態となっていて当該状態を示す信号(以下「状態信号」という。)を出力する双安定回路となっている。なお、シフトレジスタ240の各段から出力される状態信号は、対応するゲートバスラインに走査信号として与えられる。

【0057】

図6は、ゲートドライバ24内のシフトレジスタ240の構成を示すブロック図である。なお、図6には、シフトレジスタ240の(n−1)段目、n段目、および(n+1)段目の双安定回路SRn−1、SRn、およびSRn+1の構成を示している。各双安定回路には、基準電位VSS、第1クロックCKA、第2クロックCKB、セット信号S、リセット信号R、およびクリア信号CLRを受け取るための入力端子と、状態信号Qを出力するための出力端子とが設けられている。本実施形態においては、レベルシフト回路13から出力された基準電位H_VSSが基準電位VSSとして与えられ、レベルシフト回路13から出力されたクリア信号H_CLRがクリア信号CLRとして与えられる。また、レベルシフト回路13から出力された第1のゲートクロック信号H_GCK1および第2のゲートクロック信号H_GCK2の一方が第1クロックCKAとして与えられ、他方が第2クロックCKBとして与えられる。さらに、前段から出力された状態信号Qがセッ

10

20

30

40

50

ト信号Sとして与えられ、次段から出力された状態信号Qがリセット信号Rとして与えられる。すなわち、n段目に着目すると、(n-1)行目のゲートバスラインに与えられる走査信号GOUT_{n-1}がセット信号Sとして与えられ、(n+1)行目のゲートバスラインに与えられる走査信号GOUT_{n+1}がリセット信号Rとして与えられる。なお、レベルシフト回路13から出力されたゲートスタートパルス信号H_GSPは、シフトレジスタ240の1段目の双安定回路SR1にセット信号Sとして与えられる。

【0058】

以上のような構成において、シフトレジスタ240の1段目にセット信号Sとしてのゲートスタートパルス信号H_GSPのパルスが与えられると、オンデューティが50パーセント前後の値にされた第1のゲートクロック信号H_GCK1および第2のゲートクロック信号H_GCK2（図7参照）に基づいて、ゲートスタートパルス信号H_GSPに含まれるパルス（このパルスは各段から出力される状態信号Qに含まれる）が1段目からi段目へと順次に転送される。そして、このパルスの転送に応じて、各段から出力される状態信号Qが順次にハイレベルとなる。そして、それら各段から出力される状態信号Qは、走査信号GOUT₁~GOUT_iとして各ゲートバスラインGL₁~GL_iに与えられる。これにより、図7に示すように、所定期間ずつ順次にハイレベルとなる走査信号GOUT₁~GOUT_iが表示部22内のゲートバスラインGL₁~GL_iに与えられる。

【0059】

<1. 3 双安定回路の構成および動作>

図8は、シフトレジスタ240に含まれている双安定回路の構成（シフトレジスタ240のn段目の構成）を示す回路図である。図8に示すように、この双安定回路SR_nは、9個の薄膜トランジスタTA、TB、TC、TD、TF、TI、TJ、TK、およびTLと、1個のキャパシタCAP1とを備えている。なお、図8では、第1クロックCKAを受け取るための入力端子には符号41を付し、第2クロックCKBを受け取るための入力端子には符号42を付し、セット信号Sを受け取るための入力端子には符号43を付し、リセット信号Rを受け取るための入力端子には符号44を付し、クリア信号CLRを受け取るための入力端子には符号45を付し、状態信号Qを出力するための出力端子には符号49を付している。

【0060】

薄膜トランジスタTAのドレイン端子と薄膜トランジスタTBのソース端子と薄膜トランジスタTCのドレイン端子と薄膜トランジスタTIのゲート端子と薄膜トランジスタTJのゲート端子と薄膜トランジスタTLのドレイン端子とキャパシタCAP1の一端とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「net A」という。薄膜トランジスタTCのゲート端子と薄膜トランジスタTFのソース端子と薄膜トランジスタTJのドレイン端子と薄膜トランジスタTKのドレイン端子とは互いに接続されている。なお、これらが互いに接続されている領域（配線）のことを便宜上「net B」という。

【0061】

薄膜トランジスタTAについては、ゲート端子は入力端子45に接続され、ドレイン端子はnet Aに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTBについては、ゲート端子およびドレイン端子は入力端子43に接続され（すなわち、ダイオード接続となっている）、ソース端子はnet Aに接続されている。薄膜トランジスタTCについては、ゲート端子はnet Bに接続され、ドレイン端子はnet Aに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTDについては、ゲート端子は入力端子42に接続され、ドレイン端子は出力端子49に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTFについては、ゲート端子およびドレイン端子は入力端子42に接続され（すなわち、ダイオード接続となっている）、ソース端子はnet Bに接続されている。薄膜トランジスタTIについては、ゲート端子はnet Aに接続され、ドレイン端子は入力端子41に接続され、ソース端子は出力端子49に接続されている。薄膜トランジスタTJについては、ゲート端子はnet Aに

接続され、ドレイン端子は `net B` に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタ `TK` については、ゲート端子は入力端子 41 に接続され、ドレイン端子は `net B` に接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタ `TL` については、ゲート端子は入力端子 44 に接続され、ドレイン端子は `net A` に接続され、ソース端子は基準電位配線に接続されている。キャパシタ `CAP1` については、一端は `net A` に接続され、他端は出力端子 49 に接続されている。以上のような構成において、図 8 で符号 241 で示す部分の回路によって、`net A` の電位を示す信号の論理反転信号と第 2 クロック `CKB` とを入力信号とする `AND` 回路が構成されている。

【0062】

なお、本実施形態においては、`net A` によって第 1 ノードが実現され、`net B` によって第 2 ノードが実現され、出力端子 49 によって出力ノードが実現されている。また、薄膜トランジスタ `TI` によって出力制御用スイッチング素子が実現され、薄膜トランジスタ `TD` によって出力ノード制御用スイッチング素子が実現され、薄膜トランジスタ `TC` によって第 1 の第 1 ノード制御用スイッチング素子が実現され、薄膜トランジスタ `TA` によって第 2 の第 1 ノード制御用スイッチング素子が実現され、薄膜トランジスタ `TK` によって第 1 の第 2 ノード制御用スイッチング素子が実現されている。

【0063】

次に、電源電圧 `PW` が外部から正常に供給されているときの双安定回路 `SRn` の動作について、図 8 および図 9 を参照しつつ説明する。この液晶表示装置が動作している期間中、双安定回路 `SRn` には、オンデューティが 50 パーセント前後の値にされた第 1 クロック `CKA` および第 2 クロック `CKB` が与えられる。なお、第 1 クロック `CKA` および第 2 クロック `CKB` に関し、ハイレベル側の電位はゲートオン電位 `VGH` となっており、ローレベル側の電位はゲートオフ電位 `VGL` となっている。

【0064】

時点 `t1` になり第 2 クロック `CKB` がローレベルからハイレベルに変化すると、薄膜トランジスタ `TF` は、図 8 に示すようにダイオード接続となっているので、オン状態となる。この時、`net A` の電位はローレベルとなっているので、薄膜トランジスタ `TJ` はオフ状態となっている。これにより、時点 `t1` には `net B` の電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタ `TC` がオン状態となり、`net A` の電位は基準電位 `VSS` へと引き込まれる。また、時点 `t1` には、薄膜トランジスタ `TD` もオン状態となる。これにより、出力端子 49 の電位（状態信号 `Q` の電位）が基準電位 `VSS` へと引き込まれる。

【0065】

時点 `t2` に第 2 クロック `CKB` がハイレベルからローレベルに変化した後、時点 `t3` になると、第 1 クロック `CKA` がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ `TK` がオン状態となる。その結果、`net B` の電位がハイレベルからローレベルへと変化する。なお、時点 `t3` には、`net A` の電位がローレベルになっていることから、薄膜トランジスタ `TI` はオフ状態となっている。従って、出力端子 49 の電位はローレベルのまま維持される。

【0066】

時点 `t4` に第 1 クロック `CKA` がハイレベルからローレベルに変化した後、時点 `t5` になると、セット信号 `S` がローレベルからハイレベルに変化する。薄膜トランジスタ `TB` は図 8 に示すようにダイオード接続となっているので、セット信号 `S` がハイレベルになることによって薄膜トランジスタ `TB` はオン状態となる。これにより、キャパシタ `CAP1` は充電され、`net A` の電位がローレベルからハイレベルに変化する。その結果、薄膜トランジスタ `TI` はオン状態となる。ここで、時点 `t5` ～時点 `t7` の期間中、第 1 クロック `CKA` はローレベルとなっている。このため、この期間中、出力端子 49 はローレベルで維持される。また、この期間中、リセット信号 `R` はローレベルとなっているので薄膜トランジスタ `TL` はオフ状態で維持され、かつ、`net B` の電位はローレベルとなっているので薄膜トランジスタ `TC` はオフ状態で維持される。このため、この期間中に `net A` の電位

が低下することはない。

【0067】

時点 t_6 にセット信号 S がハイレベルからローレベルに変化した後、時点 t_7 になると、第1クロック CKA がローレベルからハイレベルに変化する。このとき、薄膜トランジスタ TI はオン状態となっているので、入力端子41の電位の上昇とともに出力端子49の電位は上昇する。ここで、図8に示すように $net A$ - 出力端子49間にはキャパシタ $CAP1$ が設けられているので、出力端子49の電位の上昇とともに $net A$ の電位も上昇する ($net A$ がブートストラップされる)。 $net A$ の電位は、理想的にはゲートオン電位 VGH の2倍の電位にまで上昇する。その結果、薄膜トランジスタ TI のゲート端子には大きな電圧が印加され、出力端子49の電位は、第1クロック CKA のハイレベルの電位すなわちゲートオン電位 VGH にまで上昇する。これにより、この双安定回路 SR_n の出力端子49に接続されているゲートバスラインが選択状態となる。なお、時点 t_7 ~ 時点 t_8 の期間中、第2クロック CKB はローレベルとなっているので薄膜トランジスタ TD はオフ状態で維持される。従って、この期間中に出力端子49の電位が低下することはない。また、時点 t_7 ~ 時点 t_8 の期間中、リセット信号 R はローレベルとなっているので薄膜トランジスタ TL はオフ状態で維持され、かつ、 $net B$ の電位はローレベルとなっているので薄膜トランジスタ TC はオフ状態で維持される。このため、この期間中に $net A$ の電位が低下することはない。

10

【0068】

時点 t_8 になると、第1クロック CKA はハイレベルからローレベルに変化する。これにより、入力端子41の電位の低下とともに出力端子49の電位すなわち状態信号 Q の電位は低下する。このため、キャパシタ $CAP1$ を介して $net A$ の電位も低下する。時点 t_9 になると、リセット信号 R がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ TL はオン状態となる。その結果、 $net A$ の電位はローレベルとなる。また、時点 t_9 には、第2クロック CKB がローレベルからハイレベルに変化する。これにより、薄膜トランジスタ TD はオン状態となる。その結果、状態信号 Q の電位はローレベルとなる。

20

【0069】

以上のような動作がシフトレジスタ240内の各双安定回路で行われることにより、所定期間ずつ順次にハイレベルとなる走査信号 $GOUT_1 \sim GOUT_i$ が表示部22内のゲートバスライン $GL_1 \sim GL_i$ に与えられる。

30

【0070】

<1. 4 電源遮断時の動作>

次に、図1、図2、および図8を参照しつつ、外部からの電源電圧 PW の供給が遮断されたときの液晶表示装置の動作について説明する。なお、この一連の処理のことを以下「電源オフシーケンス」という。図1には、電源状態信号 $SHUT$ 、映像信号電位 (ソースバスライン SL の電位) VS 、共通電極電位 $VCOMDC$ 、ゲートスタートパルス信号 H_GSP 、ゲートクロック信号 (第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2)、クリア信号 H_CLR 、および基準電位 H_VSS の波形が示されている。上述したように、ゲートスタートパルス信号 H_GSP はシフトレジスタ240の1段目の双安定回路にセット信号 S として与えられ、ゲートクロック信号 (第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2) は各双安定回路に第1クロック CKA 、第2クロック CKB として与えられ、クリア信号 H_CLR は各双安定回路にクリア信号 CLR として与えられ、基準電位 H_VSS は各双安定回路に基準電位 VSS として与えられる。

40

【0071】

図1において、「Display Off シーケンス」と記載している期間は画素形成部内で電荷を放電させるための期間であり、「Gate Off シーケンス」と記載している期間はゲートドライバ24内で電荷を放電させるための期間である。電源オフシーケンスには、これら Display Off シーケンスと Gate Off シーケンスとが含まれて

50

いる。なお、本説明においては、時点 t_{10} 以前には電源電圧 PW が正常に供給されていて、時点 t_{10} に電源電圧 PW の供給が遮断されたものと仮定する。

【0072】

電源電圧 PW が正常に供給されている期間（時点 t_{10} 以前の期間）には、電源状態信号 $SHUT$ はローレベルで維持される。この期間中、ゲートスタートパルス信号 H_GSP 、ゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）、およびクリア信号 H_CLR についてはゲートオン電位 VGH またはゲートオフ電位 VGL とされ、基準電位 H_VSS についてはゲートオフ電位 VGL とされる。

【0073】

時点 t_{10} に電源電圧 PW の供給が遮断されると、電源OFF検出部17は電源状態信号 $SHUT$ をローレベルからハイレベルに変化させる。電源状態信号 $SHUT$ がローレベルからハイレベルに変化した時点から所定期間経過後の時点 t_{11} になると、 $DisplayOff$ シーケンスの期間となる。本実施形態においては、この期間中、ゲートスタートパルス信号 H_GSP 、ゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）、およびクリア信号 H_CLR を通常動作時と同様の波形にした状態で、映像信号電位 VS および共通電極電位 $VCOMDC$ がグラウンド電位 GND ($0V$) に等しくされる。これにより、1垂直走査期間をかけて、表示部22内の画素形成部における電荷の放電が行われる。以下、 $DisplayOff$ シーケンスで行われる処理ステップのことを「画素放電ステップ」という。

【0074】

時点 t_{13} になると、 $GateOff$ シーケンスの期間となる。時点 t_{13} ～時点 t_{14} の期間には、ゲートスタートパルス信号 H_GSP 、ゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）、およびクリア信号 H_CLR についてはゲートオン電位 VGH とされ、基準電位 H_VSS についてはゲートオフ電位 VGL とされる。これにより、第1クロック CKA がハイレベルとなって薄膜トランジスタ TK がオン状態となるので、 $netB$ の電位がローレベルとなる。以下、 $GateOff$ シーケンス中の時点 t_{13} ～時点 t_{14} の期間に行われる処理ステップのことを「 $netB$ 電位低下ステップ」という。

【0075】

時点 t_{14} ～時点 t_{15} の期間には、ゲートスタートパルス信号 H_GSP およびゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）についてはグラウンド電位 GND とされ、クリア信号 H_CLR および基準電位 H_VSS についてはゲートオン電位 VGH とされる。これにより、クリア信号 CLR がハイレベルとなるので、薄膜トランジスタ TA はオン状態となる。この状態で基準電位 VSS がゲートオン電位 VGH に等しくされるので、 $netA$ の電位はゲートオン電位 VGH から閾値電圧 V_{th} だけ低い電位となる。これにより、薄膜トランジスタ TI はオン状態となる。また、この期間中、第1クロック CKA の電位はグラウンド電位 GND となる。その結果、表示部22内の各ゲートバスラインで電荷が放電される。以上のように、時点 t_{14} ～時点 t_{15} の期間は、ゲートバスライン上の電荷を放電させるための期間となる。以下、 $GateOff$ シーケンス中の時点 t_{14} ～時点 t_{15} の期間に行われる処理ステップのことを「ゲートバスライン放電ステップ」という。

【0076】

時点 t_{15} ～時点 t_{16} の期間には、クリア信号 H_CLR についてはゲートオフ電位 VGL とされ、ゲートスタートパルス信号 H_GSP 、ゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）、および基準電位 H_VSS についてはグラウンド電位 GND とされる。これにより、基準電位 VSS は $0V$ となるが、クリア信号 CLR がローレベルとなるので薄膜トランジスタ TA はオフ状態となる。従って、 $netA$ の電位はハイレベルで維持される。このため、薄膜トランジスタ TJ がオン状態となる。これにより、 $netB$ の電位はグラウンド電位 GND となる

。以上のように、時点 t_{15} ～時点 t_{16} の期間は、 $net B$ 上の電荷を放電させるための期間となる。以下、 $GateOff$ シーケンス中の時点 t_{15} ～時点 t_{16} の期間に行われる処理ステップのことを「 $net B$ 放電ステップ」という。

【0077】

時点 t_{16} ～時点 t_{17} の期間には、クリア信号 H_CLR についてはゲートオン電位 VGH とされ、ゲートスタートパルス信号 H_GSP 、ゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）、および基準電位 H_VSS についてはグラウンド電位 GND とされる。これにより、基準電位 VSS がグラウンド電位 GND にされた状態で薄膜トランジスタ TA がオン状態となる。その結果、 $net A$ の電位はグラウンド電位 GND となる。以上のように、時点 t_{16} ～時点 t_{17} の期間は、 $net A$ 上の電荷を放電させるための期間となる。以下、 $GateOff$ シーケンス中の時点 t_{16} ～時点 t_{17} の期間に行われる処理ステップのことを「 $net A$ 放電ステップ」という。

10

【0078】

時点 t_{17} ～時点 t_{18} の期間には、ゲートスタートパルス信号 H_GSP 、ゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）、クリア信号 H_CLR 、および基準電位 H_VSS は、グラウンド電位 GND とされる。これにより、 $GateOff$ シーケンスは終了する。

【0079】

なお、本実施形態においては、 $DisplayOff$ シーケンスおよび $GateOff$ シーケンスの期間に行われるステップによって電荷放電ステップが実現され、画素放電ステップによって第1の放電ステップが実現され、 $GateOff$ シーケンスの期間に行われるステップによって第2の放電ステップが実現されている。また、ゲートバスライン放電ステップによって走査信号線放電ステップが実現され、 $net A$ 放電ステップによって第1ノード放電ステップが実現され、 $net B$ 放電ステップによって第2ノード放電ステップが実現されている。さらに、ハイレベルにされた電源状態信号 $SHUT$ によって電源オフ信号が実現されている。

20

【0080】

ところで、 $GateOff$ シーケンスにおいて各種信号の電位を図1に示すように複数のステップで変化させることができるように、レベルシフタ回路13には図4に示すようにタイミング生成ロジック部131とオシレータ132とが含まれている。このような構成において、電源OFF検出部17からレベルシフタ回路13に与えられる電源状態信号 $SHUT$ がローレベルからハイレベルに変化すると、タイミング生成ロジック部131は、オシレータ132によって生成される基本クロックをカウンタでカウントすることによって、各ステップの開始タイミングを取得する。そして、タイミング生成ロジック部131は、そのタイミングに従って、各種信号の電位を予め定められた電位に変化させる。このようにして、図1に示すような波形のゲートスタートパルス信号 H_GSP 、ゲートクロック信号（第1のゲートクロック信号 H_GCK1 、第2のゲートクロック信号 H_GCK2 ）、クリア信号 H_CLR 、および基準電位 H_VSS が生成される。なお、レベルシフタ回路13と電源OFF検出部17とが図4で符号60で示すように1つのLSI内に格納されていても良い。

30

40

【0081】

<1.5 効果>

本実施形態によれば、 $IGZO-GDM$ を備えた液晶表示装置において、ゲートドライバ24に各種信号を与えるレベルシフタ回路13には、タイミング生成ロジック部131とオシレータ132とが含まれている。電源電圧 PW の供給が遮断されると、タイミング生成ロジック部131は電源オフシーケンスのための各ステップの開始タイミングを取得する。レベルシフタ回路13は、タイミング生成ロジック部131が取得したタイミングに従って、各種信号の電位を変化させる。このため、電源オフシーケンスの際に複数の処理を行うことが可能となる。そして、上述のように（図1参照）レベルシフタ回路

50

13が各種信号の電位を変化させることにより、画素放電ステップ、net B電位低下ステップ、ゲートバスライン放電ステップ、net B放電ステップ、およびnet A放電ステップを含む電源オフシーケンスが行われる。これにより、IGZO-GDMを備えた液晶表示装置において、電源電圧PWの供給が遮断された際、画素形成部内の電荷、ゲートバスライン上の電荷、net B上の電荷、およびnet A上の電荷が順次に放電される。以上のように、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置が実現される。その結果、IGZO-GDMを備えた液晶表示装置において、パネル内の残留電荷の存在に起因する表示不良・動作不良の発生が抑制される。

【0082】

10

<1.6 変形例>

<1.6.1 DisplayOffシーケンスについて>

DisplayOffシーケンスに関し、上記第1の実施形態においては、ゲートスタートパルス信号H_GSP、ゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）、およびクリア信号H_CLRを通常動作時と同様の波形にした状態で、映像信号電位VSおよび共通電極電位VCOMDCがグラウンド電位GND（0V）に等しくされている。しかしながら、本発明はこれに限定されない。例えば、図10に示すように、時点t12～時点t13の期間に、ゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）および基準電位H_VSSをゲートオン電位VGHとし、かつ、ゲートスタートパルス信号H_GSPおよびクリア信号H_CLRをゲートオフ電位VGLとした状態で、映像信号電位VSおよび共通電極電位VCOMDCをグラウンド電位GNDにしても良い。この場合、薄膜トランジスタTDがオンになった状態で基準電位VSSがゲートオン電位VGHにまで高められるので、各ゲートバスラインの電位がゲートオン電位VGHとなって、各画素形成部において電荷の放電が行われる。また、例えば、図11に示すように、時点t12～時点t13の期間に、ゲートスタートパルス信号H_GSP、ゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）、クリア信号H_CLR、および基準電位H_VSSをゲートオン電位VGHとした状態で、映像信号電位VSおよび共通電極電位VCOMDCをグラウンド電位GNDにしても良い。この場合、薄膜トランジスタTDがオンになった状態で基準電位VSSがゲートオン電位VGHにまで高められ、更に、net Aがハイレベルとなることにより薄膜トランジスタTIがオンになった状態で第1クロックCKAの電位がゲートオン電位VGHにまで高められるので、各ゲートバスラインの電位がゲートオン電位VGHとなって、各画素形成部において電荷の放電が行われる。

20

30

【0083】

<1.6.2 引込電圧への対応>

上記第1の実施形態においては、GateOffシーケンスのゲートバスライン放電ステップ（図1のt14）にゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）がゲートオン電位VGHからグラウンド電位GNDへと変化している。これにより、各双安定回路において第1クロックCKAの電位が速やかに低下するので、ゲートバスラインの電位も速やかに低下する。このため、各画素形成部において、いわゆる引込電圧の影響により画素電極電位が低下することが懸念される。画素電極電位が低下すると、DisplayOffシーケンスにて画素形成部内の電荷の放電が行われているにもかかわらず、結局は画素形成部に残留電荷が蓄積されることとなる。そこで、ゲートバスライン放電ステップではゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）の電位が図12に示すように緩やかに変化（低下）するようにしても良い。これにより、DisplayOffシーケンス後のゲートバスラインの電位低下に起因する引込電圧の影響が抑制される。

40

【0084】

50

< 1. 6. 3 レベルシフト回路近傍の構成 >

レベルシフト回路近傍の構成に関し（図2参照）、上記第1の実施形態においては模式的には図13に示すような構成となっていた。すなわち、ゲートスタートパルス信号やゲートクロック信号は外部から送られる同期信号に基づいてタイミングコントローラ11で生成される構成となっていた。しかしながら、本発明はこれに限定されない。例えば、図14に示すような構成にして、レベルシフト回路13において外部から送られる同期信号に基づいてゲートスタートパルス信号やゲートクロック信号が生成されるようにしても良い。

【0085】

< 1. 6. 4 GateOffシーケンスについて >

10

上記第1の実施形態においては、GateOffシーケンスの最初のステップとしてnetBの電位をローレベル（-10V）にするためのnetB電位低下ステップが設けられているが、このステップについては必ずしも設けられていなくても良い。

【0086】

< 2. 第2の実施形態 >

本発明の第2の実施形態について説明する。なお、上記第1の実施形態と異なる点についてのみ詳しく説明し、上記第1の実施形態と同様の点については簡単に説明する。

【0087】

< 2. 1 構成 >

図15は、本発明の第2の実施形態に係るアクティブマトリクス型の液晶表示装置の全体構成を示すブロック図である。液晶パネル20およびTAB30については、上記第1の実施形態と同様の構成である。PCB10については、上記第1の実施形態では電源OFF検出部17が1つだけ設けられていたが、本実施形態では2つの電源OFF検出部（第1の電源OFF検出部17aおよび第2の電源OFF検出部17b）が設けられている。第1の電源OFF検出部17aは、電源電圧PWから供給される電圧が2.4V以下になれば、電源状態信号SHUT1をハイレベルにする。第2の電源OFF検出部17bは、電源電圧PWから供給される電圧が2.0V以下になれば、電源状態信号SHUT2をハイレベルにする。また、上記第1の実施形態ではゲートクロック信号としてタイミングコントローラ11からレベルシフト回路13には1つの信号L_GCKが送られていたが、本実施形態では2つの信号（第1のゲートクロック信号L_GCK1、第2のゲートクロック信号L_GCK2）が送られる。すなわち、本実施形態においては、ゲートクロック信号のためのタイミングをレベルシフト回路13で新たに生成する必要はない。また、本実施形態においては、クリア信号L_CLRおよび基準電位L_VSSがタイミングコントローラ11からレベルシフト回路13に送られている。すなわち、本実施形態においては、クリア信号および基準電位のためのタイミングをレベルシフト回路13で新たに生成する必要はない。

20

30

【0088】

図16は、本実施形態における双安定回路の構成を示す回路図である。図8に示した上記第1の実施形態における構成要素に加えて、2個の薄膜トランジスタTX、TYが設けられている。薄膜トランジスタTXについては、ゲート端子は入力端子45に接続され、ドレイン端子はnetBに接続され、ソース端子は基準電位配線に接続されている。薄膜トランジスタTYについては、ゲート端子は入力端子45に接続され、ドレイン端子は出力端子49に接続され、ソース端子は基準電位配線に接続されている。なお、本実施形態においては、薄膜トランジスタTXによって第2の第2ノード制御用スイッチング素子が実現され、薄膜トランジスタTYによって第2の出力ノード制御用スイッチング素子が実現されている。

40

【0089】

< 2. 2 電源遮断時の動作 >

次に、図15～図17を参照しつつ、外部からの電源電圧PWの供給が遮断されたときの液晶表示装置の動作について説明する。なお、本説明においては、時点t20以前には

50

電源電圧PWが正常に供給されていて、時点t20に電源電圧PWの供給が遮断されたものと仮定する。電源電圧PWが正常に供給されている期間（時点t20以前の期間）における動作は、上記第1の実施形態と同様である。

【0090】

時点t20に電源電圧PWの供給が遮断され、その後電源電圧PWから供給される電圧が2.4V以下になると（ここでは時点t21とする）、第1の電源OFF検出部17aは電源状態信号SHUT1をローレベルからハイレベルに変化させる。これにより、DisplayOffシーケンスの期間となる。この期間中には、上記第1の実施形態と同様、ゲートスタートパルス信号H_GSP、ゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）、およびクリア信号H_CLRを通常動作時と同様の波形にした状態で、映像信号電位VSおよび共通電極電位VCOMDCがグラウンド電位GND（0V）に等しくされる。これにより、1垂直走査期間をかけて、表示部22内の画素形成部における電荷の放電が行われる。

10

【0091】

その後、電源電圧PWから供給される電圧が2.0V以下になると（ここでは時点t23とする）、第2の電源OFF検出部17bは電源状態信号SHUT2をローレベルからハイレベルに変化させる。これにより、GateOffシーケンスの期間となる。そして、クリア信号H_CLRについてはゲートオン電位VGHとされ、ゲートスタートパルス信号H_GSP、ゲートクロック信号（第1のゲートクロック信号H_GCK1、第2のゲートクロック信号H_GCK2）、および基準電位H_VSSについてはグラウンド電位GNDとされる。これにより、基準電位VSSがグラウンド電位GNDにされた状態で薄膜トランジスタTA、TX、およびTYがオン状態となる。従って、netAの電位、netBの電位、および出力端子49の電位はグラウンド電位GNDとなる。その結果、netA上の電荷、netB上の電荷、およびゲートバスライン上の電荷が放電される。なお、クリア信号H_CLRについては、電源電圧PWの供給が遮断されていることから、ゲートオン電位VGHからグラウンド電位GNDへと徐々に電位が低下する。

20

【0092】

ところで、本実施形態においては、2つの電源OFF検出部が設けられ、それぞれが互いに異なる電圧の閾値で電源状態信号のレベルをローレベルからハイレベルに変化させるように構成されている。このため、例えば図18に示すように期間Tの間隔がある2つのタイミングの生成が可能となっている。このようにして、電源オフシーケンスにおいて2つの異なる処理（DisplayOffシーケンスの処理およびGateOffシーケンスの処理）が行われる。

30

【0093】

<2.3 効果>

本実施形態によれば、双安定回路には、ゲート端子がクリア信号CLR用の入力端子45に接続され、ソース端子が基準電位配線に接続され、ドレイン端子がnetAに接続された薄膜トランジスタTAと、ゲート端子がクリア信号CLR用の入力端子45に接続され、ソース端子が基準電位配線に接続され、ドレイン端子がnetBに接続された薄膜トランジスタTXと、ゲート端子がクリア信号CLR用の入力端子45に接続され、ソース端子が基準電位配線に接続され、ドレイン端子が出力端子49に接続された薄膜トランジスタTYとが設けられている。このような構成により、基準電位配線にグラウンド電位GNDを与えた状態でクリア信号CLRをハイレベルにすると、薄膜トランジスタTA、TX、およびTYがオン状態となって、netAの電位、netBの電位、および出力端子49の電位はグラウンド電位GNDとなる。このため、画素形成部内の電荷の放電後、netA上の電荷、netB上の電荷、およびゲートバスライン上の電荷を1ステップで速やかに放電することが可能となっている。以上より、電源がオフされたときにパネル内の残留電荷を速やかに除去することのできる、IGZO-GDMを備えた液晶表示装置が実現される。

40

【0094】

50

< 2. 4 変形例 >

上記第2の実施形態においては、双安定回路には上記第1の実施形態における構成要素に加えて2個の薄膜トランジスタTX, TYが設けられていたが、それら薄膜トランジスタTX, TYのうちの一方のみが設けられた構成であっても良い。例えば上記第1の実施形態における構成要素に加えて薄膜トランジスタTXが設けられた構成の場合には、Gate Offシーケンスにおいて、図19に示すように、まず、ゲートバスライン上の電荷を放電させる処理（図19の時点t33～t34を参照）が行われ、その後、net B上の電荷およびnet A上の電荷を放電させる処理（図19の時点t34～t35を参照）が行われる。このように、まず、（非同期なリセット信号である）クリア信号CLRに基づいて電荷を放電するための薄膜トランジスタが設けられていない領域について電荷の放電を行い、その後、クリア信号CLRに基づいて電荷を放電するための薄膜トランジスタが設けられている領域について電荷の放電を行う必要がある。クリア信号CLRに基づいて電荷を放電するための薄膜トランジスタが設けられている領域については、1領域ずつ順次に放電が行われるようにしても良いし、上記第2の実施形態のように全領域において同じタイミングで放電が行われるようにしても良い。

10

【0095】

なお、本変形例によれば、上記第2の実施形態と比較してシーケンスが増える。このため、電源OFF検出部の数を増やすかレベルシフト回路を図4に示すような構成にして各処理の開始タイミングを取得する必要がある。

【0096】

20

< 3. その他 >

IGZO-GDMにおいては、上記各実施形態の説明から把握されるように、レベルシフト回路13からはゲートオン電位VGH（+20V）、ゲートオフ電位VGL（-10V）、およびグラウンド電位GND（0V）の3値出力が必要となっており、また、電源オフシーケンスが複雑化して複数のステップで構成されている。また、近年、低消費電力化を図るため、映像信号電位の極性が反転する際に一旦ソースドライバ出力を電源変換効率のよい電位レベルの電位にする「電位ショート」と呼ばれる手法が採用されることがあり、レベルシフト出力についてもゲートオフ電位VGLから一旦グラウンド電位GNDを経由してゲートオン電位VGHに到達させたり、ゲートオン電位VGHから一旦グラウンド電位GND（または入力電源電位）を経由してゲートオフ電位VGLに到達させるなど3値出力（または4値出力）が必要である。さらに、シフトレジスタの多相クロック化も図られている。クロック信号の駆動に伴う消費電力Pは、クロック信号の周波数をf、クロック配線の配線容量をc、クロック信号の振幅をvとすると、 $P = fcv$ で表される。ここで、例えばクロック信号の数を2倍に増加させると、クロック信号増加前と比較して、クロック配線の本数は2倍になるが、周波数fおよび配線容量cは2分の1となる。その結果、クロック信号増加前と比較して、消費電力は2分の1となる。このように、クロック信号を多相化することによって消費電力が低減される。以上のようなことから、レベルシフト回路13からゲートドライバ24に送信されるべきクロック信号の数が従来よりも増加している。このことに関し、上記第1の実施形態のように、レベルシフト回路13内にタイミング生成ロジック部131を備え、より少ない入力信号からより多くの出力信号を生成することができるようレベルシフト回路13を構成することが好ましい。従来構成のレベルシフト回路139によれば、例えば図20に示すように17個の出力信号を出力するためには17個の入力信号が必要であったが、レベルシフト回路13内にタイミング生成ロジック部131を備えることにより、図21に示すように3個の入力信号（符号CLKはドットクロックである）に基づいて17個の出力信号を出力することが可能となる。このようなレベルシフト回路13によれば、入力信号の数を削減することができるので、コスト低減や小パッケージ化が可能となる。また、複雑な電源オフシーケンスを比較的容易に実現することが可能となる。さらに、従来と比較して入力信号の数を増加させることなく、3値出力が可能となる。さらにまた、GDMに対応していないタイミングコントローラを用いることが可能となる。

30

40

50

【0097】

その他の変形例として、図21のDCLKがTcon（タイミングコントローラ）から出力されていない場合、レベルシフト回路13内部のOSC（オシレータ）を用いて基準のDCLKを生成しTconから送られる2つの信号L_GCK, L_GSPに基づいて出力信号を生成する方法や、Tcon出力の差動クロック信号をレベルシフト回路13が受け取ってDCLKを生成する方法などが考えられる。

【0098】

更にその他の変形例として、携帯電話やスマートフォン用液晶モジュールのように、電源オフを示す信号がユーザセット側から入力される場合、上記各実施形態の構成から電源OFF検出部17（あるいは、第1の電源OFF検出部17a, 第2の電源OFF検出部17b）を削除した構成などが考えられる。

10

【0099】

なお、上記各実施形態においては、DisplayOffシーケンスやGateOffシーケンスを外部からの電源電圧PWの供給が遮断されたときのシーケンスとして説明しているが、例えば、表示装置のモードが移行する時（表示モードスリープモード間の移行時）の放電のシーケンスとして、あるいは、コマンド入力による放電のシーケンスとして、DisplayOffシーケンスやGateOffシーケンスが適宜実施されるようにすることも可能である。

【符号の説明】

【0100】

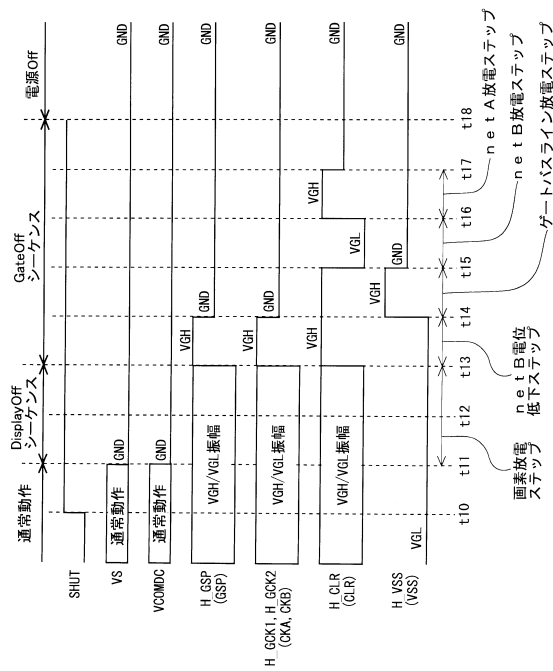
20

11…タイミングコントローラ
 13…レベルシフト回路
 15…電源回路
 17…電源OFF検出部
 20…液晶パネル
 22…表示部
 24…ゲートドライバ（走査信号線駆動回路）
 32…ソースドライバ（映像信号線駆動回路）
 131…タイミング生成ロジック部
 132…オシレータ
 220…（画素形成部内の）薄膜トランジスタ
 240…シフトレジスタ
 PW…電源電圧
 SHUT…電源状態信号
 VGH…ゲートオン電位
 VGL…ゲートオフ電位
 L_GCK…ゲートクロック信号
 H_GCK1…第1のゲートクロック信号
 H_GCK2…第2のゲートクロック信号
 L_GSP, H_GSP…ゲートスタートパルス信号
 L_CLR, H_CLR, CLR…クリア電位
 L_VSS, H_VSS, VSS…基準電位
 TA, TB, TC, TD, TF, TI, TJ, TK, TL, TX, TY…（双安定回路内の）薄膜トランジスタ
 CKA…第1クロック
 CKB…第2クロック
 S…セット信号
 R…リセット信号
 Q…状態信号

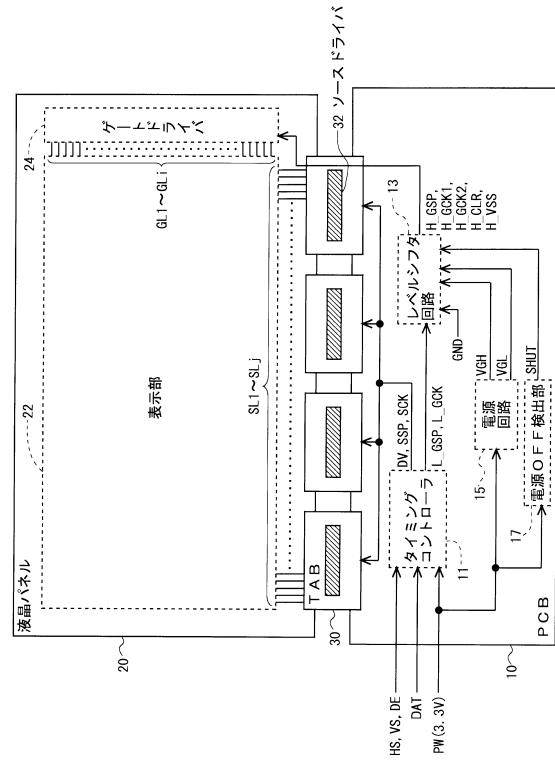
30

40

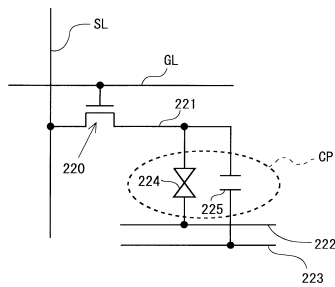
【図 1】



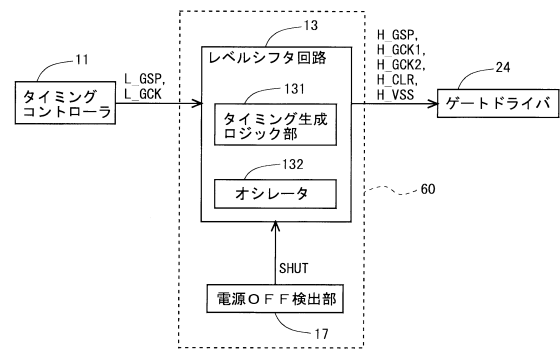
【図 2】



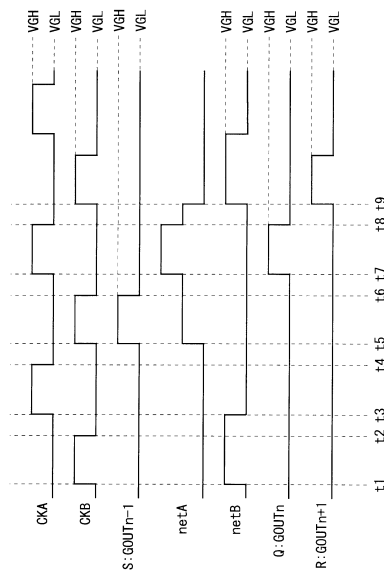
【図 3】



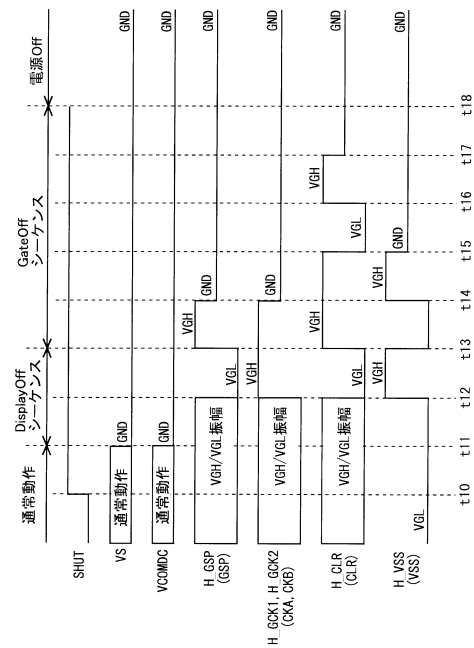
【図 4】



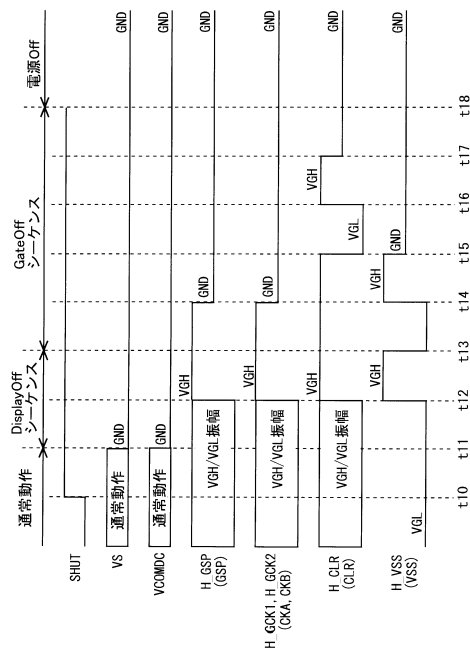
【図 9】



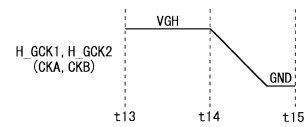
【図 10】



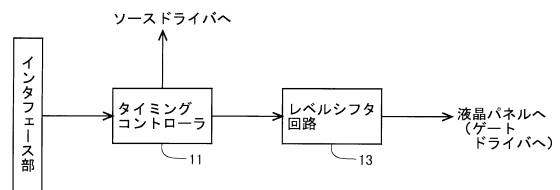
【図 11】



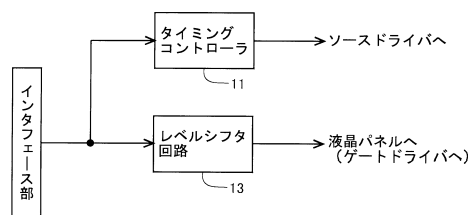
【図 12】



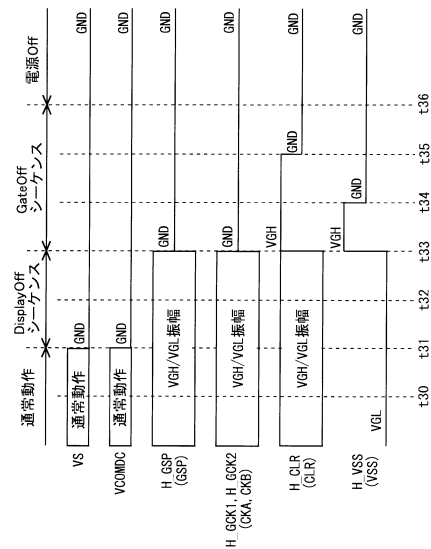
【図 13】



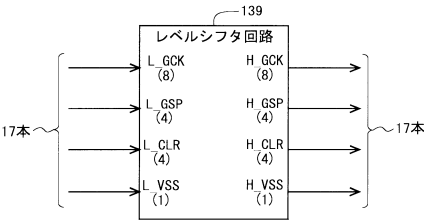
【図 14】



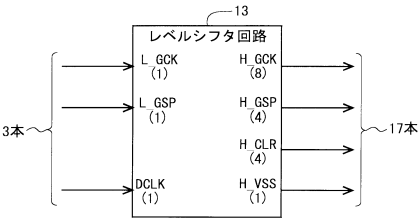
【図 19】



【図 20】



【図 21】



フロントページの続き

(51)Int.Cl.		F I		
H03K	3/356	(2006.01)	G 0 9 G	3/20 6 1 2 K
			G 0 9 G	3/20 6 7 0 D
			G 0 9 G	3/20 6 1 1 E
			G 0 2 F	1/133 5 5 0
			G 0 2 F	1/133 5 2 0
			G 1 1 C	19/00 J
			G 1 1 C	19/28 D
			H 0 3 K	3/356 Z

(72)発明者 岩本 明久
大阪府大阪市阿倍野区長池町2番22号 シャープ株式会社内

(72)発明者 堀内 智
大阪府大阪市阿倍野区長池町2番22号 シャープ株式会社内

(72)発明者 水永 隆行
大阪府大阪市阿倍野区長池町2番22号 シャープ株式会社内

(72)発明者 中南 和也
大阪府大阪市阿倍野区長池町2番22号 シャープ株式会社内

審査官 橋本 直明

(56)参考文献 特開2011-085680 (JP, A)
国際公開第2010/050262 (WO, A1)
国際公開第2011/055569 (WO, A1)
国際公開第2011/055584 (WO, A1)
国際公開第2009/104307 (WO, A1)
国際公開第2009/084267 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G	3/36
G 0 2 F	1/133
G 0 9 G	3/20
G 1 1 C	19/00
G 1 1 C	19/28
H 0 3 K	3/356

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JP5730997B2	公开(公告)日	2015-06-10
申请号	JP2013528000	申请日	2012-08-03
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	森井秀樹 岩本明久 堀内智 水永隆行 中南和也		
发明人	森井 秀樹 岩本 明久 堀内 智 水永 隆行 中南 和也		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G11C19/00 G11C19/28 H03K3/356		
CPC分类号	G09G3/3611 G09G3/3677 G09G2330/027		
FI分类号	G09G3/36 G09G3/20.622.E G09G3/20.612.G G09G3/20.622.G G09G3/20.621.L G09G3/20.612.K G09G3/20.670.D G09G3/20.611.E G02F1/133.550 G02F1/133.520 G11C19/00.J G11C19/28.D H03K3/356.Z		
代理人(译)	岛田彰 川原贤治 川本悟		
审查员(译)	Naoaki桥本		
优先权	2011175324 2011-08-10 JP		
其他公开文献	JPWO2013021930A1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示装置及其驱动方法，该液晶显示装置具有IGZO-GDM，能够在电源关闭时快速地去除面板中的残留电荷。构成移位寄存器，一个薄膜晶体管TI各双稳定电路，以提高基于所述输出端子连接到第一时钟的电势，区域NETA连接到薄膜晶体管的TI的栅极端子，降低区域netA的电位并且区域netB连接到薄膜晶体管TC的栅极端子。在这样的结构中，电源断开序列由在GateOff序列，NETB放电步骤（T15至T16），NETA排出步骤（T16至T17一个DisplayOFF序列和GateOff序列，栅极总线放电步骤（T14至T15）的）包括在内。

