

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5376723号  
(P5376723)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年10月4日(2013.10.4)

(51) Int.Cl.		F I			
<b>G09G</b>	<b>3/20</b>	<b>(2006.01)</b>	G09G	3/20	680G
<b>G09G</b>	<b>3/36</b>	<b>(2006.01)</b>	G09G	3/20	680H
<b>G02F</b>	<b>1/133</b>	<b>(2006.01)</b>	G09G	3/20	623F
			G09G	3/20	621B
			G09G	3/20	641P

請求項の数 6 (全 58 頁) 最終頁に続く

(21) 出願番号	特願2009-132731 (P2009-132731)	(73) 特許権者	000153878
(22) 出願日	平成21年6月2日(2009.6.2)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2010-20292 (P2010-20292A)		神奈川県厚木市長谷398番地
(43) 公開日	平成22年1月28日(2010.1.28)	(72) 発明者	木村 肇
審査請求日	平成24年3月27日(2012.3.27)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2008-150608 (P2008-150608)		半導体エネルギー研究所内
(32) 優先日	平成20年6月9日(2008.6.9)	(72) 発明者	梅崎 敦司
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
前置審査			半導体エネルギー研究所内
		審査官	田邊 英治

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の画素と、第2の画素と、回路と、を有し、  
 前記第1の画素は、第1のトランジスタと、第1の液晶素子と、を有し、  
 前記第2の画素は、第2のトランジスタと、第2の液晶素子と、を有し、  
 前記回路は、複数の第1の配線、複数の第2の配線、第3の配線、複数の第4の配線、及び第5の配線と電気的に接続され、  
 前記第1のトランジスタのソース又はドレインの一方は、前記第3の配線と電気的に接続され、  
 前記第1のトランジスタのソース又はドレインの他方は、前記第1の液晶素子と電気的に接続され、  
 前記第2のトランジスタのソース又はドレインの一方は、前記第5の配線と電気的に接続され、  
 前記第2のトランジスタのソース又はドレインの他方は、前記第2の液晶素子と電気的に接続され、  
 前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートと電気的に接続され、  
 前記複数の第1の配線は、複数のデジタル信号を供給することができる機能を有し、  
 前記複数の第2の配線は、複数の第1の電圧を供給することができる機能を有し、  
 前記複数の第4の配線は、複数の第2の電圧を供給することができる機能を有し、

10

20

前記回路は、前記複数のデジタル信号にしたがって、前記複数の第 2 の配線のいずれか一の配線と前記第 3 の配線とを導通状態にすることができる機能と、前記複数のデジタル信号にしたがって、前記複数の第 4 の配線のいずれか一の配線と前記第 5 の配線とを導通状態にすることができる機能と、を有することを特徴とする液晶表示装置。

【請求項 2】

第 1 の画素と、第 2 の画素と、第 1 の回路と、第 2 の回路と、を有し、  
前記第 1 の画素は、第 1 のトランジスタと、第 1 の液晶素子と、を有し、  
前記第 2 の画素は、第 2 のトランジスタと、第 2 の液晶素子と、を有し、  
前記第 1 の回路は、複数の第 1 の配線、複数の第 2 の配線、及び第 3 の配線と電氣的に接続され、

10

前記第 2 の回路は、前記複数の第 1 の配線、複数の第 4 の配線、及び第 5 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 の液晶素子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 5 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の液晶素子と電氣的に接続され、

20

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記複数の第 1 の配線は、複数のデジタル信号を供給することができる機能を有し、

前記複数の第 2 の配線は、複数の第 1 の電圧を供給することができる機能を有し、

前記複数の第 4 の配線は、複数の第 2 の電圧を供給することができる機能を有し、

前記第 1 の回路は、前記複数のデジタル信号にしたがって、前記複数の第 2 の配線のいずれか一の配線と前記第 3 の配線とを導通状態にすることができる機能を有し、

前記第 2 の回路は、前記複数のデジタル信号にしたがって、前記複数の第 4 の配線のいずれか一の配線と前記第 5 の配線とを導通状態にすることができる機能を有することを特徴とする液晶表示装置。

30

【請求項 3】

第 1 の画素と、第 2 の画素と、第 1 の回路と、第 2 の回路と、第 3 の回路と、を有し、

前記第 1 の画素は、第 1 のトランジスタと、第 1 の液晶素子と、を有し、

前記第 2 の画素は、第 2 のトランジスタと、第 2 の液晶素子と、を有し、

前記第 1 の回路は、複数の第 1 の配線と電氣的に接続され、

前記第 2 の回路は、複数の第 2 の配線、及び第 3 の配線と電氣的に接続され、

前記第 3 の回路は、複数の第 4 の配線、及び第 5 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 の液晶素子と電氣的に接続され、

40

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 5 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の液晶素子と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記複数の第 1 の配線は、複数の第 1 のデジタル信号を供給することができる機能を有し、

前記複数の第 2 の配線は、複数の第 1 の電圧を供給することができる機能を有し、

50

前記複数の第 4 の配線は、複数の第 2 の電圧を供給することができる機能を有し、  
 前記第 1 の回路は、前記複数の第 1 のデジタル信号を複数の第 2 のデジタル信号に変換することができる機能を有し、  
 前記第 2 の回路は、前記複数の第 2 のデジタル信号にしたがって、前記複数の第 2 の配線のいずれか一の配線と前記第 3 の配線とを導通状態にすることができる機能を有し、  
 前記第 3 の回路は、前記複数の第 2 のデジタル信号にしたがって、前記複数の第 4 の配線のいずれか一の配線と前記第 5 の配線とを導通状態にすることができる機能を有することを特徴とする液晶表示装置。

【請求項 4】

第 1 の画素と、第 2 の画素と、複数の第 1 のスイッチと、複数の第 2 のスイッチと、回路と、を有し、 10

前記第 1 の画素は、第 1 のトランジスタと、第 1 の液晶素子と、を有し、

前記第 2 の画素は、第 2 のトランジスタと、第 2 の液晶素子と、を有し、

前記回路は、複数の第 1 の配線と電氣的に接続され、

前記複数の第 1 のスイッチの一方の端子は、各々、複数の第 2 の配線のうち対応する 1 本の配線と電氣的に接続され、

前記複数の第 1 のスイッチの他方の端子は、第 3 の配線と電氣的に接続され、

前記複数の第 2 のスイッチの一方の端子は、各々、複数の第 4 の配線のうち対応する 1 本の配線と電氣的に接続され、

前記複数の第 2 のスイッチの他方の端子は、第 5 の配線と電氣的に接続され、 20

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 の液晶素子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 5 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の液晶素子と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、 30

前記複数の第 1 の配線は、複数の第 1 のデジタル信号を供給することができる機能を有し、

前記複数の第 2 の配線は、複数の第 1 の電圧を供給することができる機能を有し、

前記複数の第 4 の配線は、複数の第 2 の電圧を供給することができる機能を有し、

前記回路は、前記複数の第 1 のデジタル信号を複数の第 2 のデジタル信号に変換することができる機能を有し、

前記複数の第 2 のデジタル信号にしたがって、前記複数の第 1 のスイッチのいずれかがオンになり、

前記複数の第 2 のデジタル信号にしたがって、前記複数の第 2 のスイッチのいずれかがオンになることを特徴とする液晶表示装置。 40

【請求項 5】

第 1 の画素と、第 2 の画素と、第 1 の回路と、第 2 の回路と、第 3 の回路と、第 4 の回路と、第 5 の回路と、第 6 の回路と、を有し、

前記第 1 の画素は、第 1 のトランジスタと、第 1 の液晶素子と、を有し、

前記第 2 の画素は、第 2 のトランジスタと、第 2 の液晶素子と、を有し、

前記第 1 の回路は、複数の第 1 の配線と電氣的に接続され、

前記第 2 の回路は、複数の第 2 の配線、及び第 3 の配線と電氣的に接続され、

前記第 3 の回路は、複数の第 4 の配線、及び第 5 の配線と電氣的に接続され、

前記第 4 の回路は、前記複数の第 1 の配線と電氣的に接続され、

前記第 5 の回路は、複数の第 6 の配線、及び前記第 3 の配線と電氣的に接続され、 50

前記第 6 の回路は、複数の第 7 の配線、及び前記第 5 の配線と電氣的に接続され、  
前記第 1 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの他方は、前記第 1 の液晶素子と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの一方は、前記第 5 の配線と電氣的に接続され、

前記第 2 のトランジスタのソース又はドレインの他方は、前記第 2 の液晶素子と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのゲートと電氣的に接続され、

前記複数の第 1 の配線は、複数の第 1 のデジタル信号を供給することができる機能を有し、

前記複数の第 2 の配線は、複数の第 1 の電圧を供給することができる機能を有し、

前記複数の第 4 の配線は、複数の第 2 の電圧を供給することができる機能を有し、

前記複数の第 6 の配線は、複数の第 3 の電圧を供給することができる機能を有し、

前記複数の第 7 の配線は、複数の第 4 の電圧を供給することができる機能を有し、

前記第 1 の回路は、前記複数の第 1 のデジタル信号を複数の第 2 のデジタル信号に変換することができる機能を有し、

前記第 2 の回路は、前記複数の第 2 のデジタル信号にしたがって、前記複数の第 2 の配線のいずれか一の配線と前記第 3 の配線とを導通状態にすることができる機能を有し、

前記第 3 の回路は、前記複数の第 2 のデジタル信号にしたがって、前記複数の第 4 の配線のいずれか一の配線と前記第 5 の配線とを導通状態にすることができる機能を有し、

前記第 4 の回路は、前記複数の第 1 のデジタル信号を複数の第 3 のデジタル信号に変換することができる機能を有し、

前記第 5 の回路は、前記複数の第 3 のデジタル信号にしたがって、前記複数の第 6 の配線のいずれか一の配線と前記第 3 の配線とを導通状態にすることができる機能を有し、

前記第 6 の回路は、前記複数の第 3 のデジタル信号にしたがって、前記複数の第 7 の配線のいずれか一の配線と前記第 5 の配線とを導通状態にすることができる機能を有することを特徴とする液晶表示装置。

#### 【請求項 6】

第 1 の画素と、第 2 の画素と、第 1 の回路と、第 2 の回路と、第 3 の回路と、第 4 の回路と、第 5 の回路と、第 1 のスイッチと、第 2 のスイッチと、第 3 のスイッチと、第 4 のスイッチと、を有し、

前記第 1 の画素は、第 1 のトランジスタと、第 1 の液晶素子と、を有し、

前記第 2 の画素は、第 2 のトランジスタと、第 2 の液晶素子と、を有し、

前記第 1 の回路は、複数の第 1 の配線と電氣的に接続され、

前記第 2 の回路は、複数の第 2 の配線、及び前記第 1 のスイッチの第 1 の端子と電氣的に接続され、

前記第 1 のスイッチの第 2 の端子は、第 3 の配線と電氣的に接続され、

前記第 3 の回路は、複数の第 4 の配線、及び前記第 2 のスイッチの第 1 の端子と電氣的に接続され、

前記第 2 のスイッチの第 2 の端子は、第 5 の配線と電氣的に接続され、

前記第 4 の回路は、複数の第 6 の配線、及び前記第 3 のスイッチの第 1 の端子と電氣的に接続され、

前記第 3 のスイッチの第 2 の端子は、前記第 3 の配線と電氣的に接続され、

前記第 5 の回路は、複数の第 7 の配線、及び前記第 4 のスイッチの第 1 の端子と電氣的に接続され、

前記第 4 のスイッチの第 2 の端子は、前記第 5 の配線と電氣的に接続され、

前記第 1 のトランジスタのソース又はドレインの一方は、前記第 3 の配線と電氣的に接

10

20

30

40

50

続され、

前記第1のトランジスタのソース又はドレインの他方は、前記第1の液晶素子と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの一方は、前記第5の配線と電氣的に接続され、

前記第2のトランジスタのソース又はドレインの他方は、前記第2の液晶素子と電氣的に接続され、

前記第2のトランジスタのゲートは、前記第1のトランジスタのゲートと電氣的に接続され、

前記複数の第1の配線は、複数の第1のデジタル信号を供給することができる機能を有し、

前記複数の第2の配線は、複数の第1の電圧を供給することができる機能を有し、

前記複数の第4の配線は、複数の第2の電圧を供給することができる機能を有し、

前記複数の第6の配線は、複数の第3の電圧を供給することができる機能を有し、

前記複数の第7の配線は、複数の第4の電圧を供給することができる機能を有し、

前記第1の回路は、前記複数の第1のデジタル信号を複数の第2のデジタル信号に変換することができる機能を有し、

前記第2の回路は、前記複数の第2のデジタル信号にしたがって、前記複数の第2の配線のいずれか一の配線と前記第1のスイッチの第2の端子とを導通状態にすることができる機能を有し、

前記第3の回路は、前記複数の第2のデジタル信号にしたがって、前記複数の第4の配線のいずれか一の配線と前記第2のスイッチの第2の端子とを導通状態にすることができる機能を有し、

前記第4の回路は、前記複数の第2のデジタル信号にしたがって、前記複数の第6の配線のいずれか一の配線と前記第3のスイッチの第2の端子とを導通状態にすることができる機能を有し、

前記第5の回路は、前記複数の第2のデジタル信号にしたがって、前記複数の第7の配線のいずれか一の配線と前記第4のスイッチの第2の端子とを導通状態にすることができる機能を有することを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一様態は、表示装置、または表示装置の駆動方法に関する。特に、画素が複数のサブ画素に分割された液晶表示装置、および当該液晶表示装置の駆動方法に関する。さらに、液晶表示装置、または液晶表示装置を表示部に有する電子機器に関する。

【背景技術】

【0002】

液晶表示装置は、携帯電話機、テレビ受像器等の多くの電気製品に用いられており、さらなる高品質化に向けて多くの研究がなされている。

【0003】

液晶表示装置は、CRT（ブラウン管）に比べ小型かつ軽量であり、消費電力が小さいといった利点を有する一方で、視野角が狭いといった問題を有する。近年では、視野角特性を改善するためにマルチドメイン方式、即ち配向分割法の研究が多くなされている。例えば、VA方式（Vertical Alignment；垂直配向方式）にマルチドメイン方式を組み合わせたMVA方式（Multi-domain Vertical Alignment；マルチドメイン型垂直配向方式）やPVA方式（Patterned Vertical Alignment；パターン型垂直配向方式）等がある。

【0004】

一つの画素を複数のサブ画素に分割し、各サブ画素における液晶の配向状態を異ならせることで視野角の向上を図るといった研究も行われている。しかしながら、画素は、複数の

10

20

30

40

50

サブ画素に分割されるため、一つの画素に複数の信号を入力する必要がある。そのため、表示装置を駆動するために必要な信号数が、増加していた。そこで、一画素分の信号を各サブ画素用の信号に変換する研究が行われている。(特許文献1を参照)。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2007-226196号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、特許文献1の表示装置は、各サブ画素に応じた信号を、パネルの外部において生成する。したがって、画素を複数のサブ画素に分割すると、パネルと外部部品との接続数が、大幅に増加してしまう。その結果、パネルと外部部品との接続部分に接続不良が生じることとなり、信頼性が低下してしまうといった課題がある。または、表示装置を生産する際の歩留まりが低下し、コストが高くなってしまったといった課題がある。または、パネルと外部部品との接続数の増加により、表示装置を高精細にすることが困難になってしまうといった課題がある。

【0007】

または、各サブ画素に応じた信号を生成するために、ルックアップテーブルが用いられる場合がある。したがって、各サブ画素に応じた信号を生成する部分と、画素とを同じ基板に形成することが困難であるといった課題がある。

【0008】

または、ルックアップテーブルが記憶されたメモリ素子から各サブ画素に応じた信号を読み出すために、メモリ素子を高速で駆動する必要がある。そのため、メモリ素子からのルックアップテーブルの読み出しに伴い、発熱が発生し、消費電力が大きくなったりしてしまう。または、ルックアップテーブルを記憶するメモリ素子を設けることが必要になるため、コストが高くなってしまった。または、各サブ画素に応じたビデオ信号を生成してから各サブ画素に書き込まれるまでの経路が長く、その経路の途中にパネルと外部部品との接続箇所が存在している。そのため、ビデオ信号がノイズの影響を受けやすくなり、表示品位が低下してしまうといった課題がある。

【0009】

上記問題を鑑み、ルックアップテーブルを用いずに、一つのデジタル信号を複数のアナログ信号に変換することを課題の一とする。または、パネルと外部部品との接続数を少なくすることを課題の一とする。または、信頼性を高くすることを課題の一とする。または、歩留まり高くすることを課題の一とする。または、コストを削減することを課題の一とする。または、表示部を高精細にすることを課題の一とする。または、低価格化を図ることを課題の一とする。または、発熱しにくくすることを課題の一とする。または、消費電力を小さくすることを課題の一とする。または、ノイズに強くして表示品位を高くすることを課題の一とする。他にも様々な手段を用いて、よりよい表示装置または半導体装置を提供することを課題とする。

【課題を解決するための手段】

【0010】

本発明の一様態は、画素が複数のサブ画素に分割され、一画素分の信号を各サブ画素用の信号に変換する変換回路、例えばデジタルアナログ変換回路を有する表示装置に関する。そして本発明におけるデジタルアナログ変換回路の構成は、一画素分の信号を供給する配線と、各々複数の電圧が供給される配線を有する配線群とが電氣的に接続されることを要旨とする。例えば、一つの配線群は、一つのサブ画素の階調に応じた複数の電圧を有している。なお、画素が $n$ 個のサブ画素を有している場合、配線群の数は、 $n$ 個とする。例えば、デジタルアナログ変換回路は、 $i$  ( $i: 1 \sim n$ のいずれか) 個目の配線群が有する複数の電圧のいずれか一を選択し、その複数の電圧値のいずれか一を $i$ 個目のサブ画素に

10

20

30

40

50

書き込む。

【0011】

なお、複数の配線群に入力される複数の電圧（以下、階調電圧群ともいう）は、各々、リファレンスドライバ（以下、階調電圧生成回路ともいう）によって生成される。当該リファレンスドライバは、デジタルアナログ変換回路に含まれる場合と、含まれない場合とがある。

【0012】

なお、一つのリファレンスドライバが、複数の階調電圧群を生成する場合と、複数のリファレンスドライバが、各々、一つの階調電圧群を生成する場合とがある。

【0013】

なお、画素は、複数のサブ画素に分割されることに限定されない。画素を複数のサブ画素に分割しないことも可能である。

【0014】

なお、群とは、集合体のことを言う場合が多い。例えば、電圧群とは、複数の電圧のことを言う。別の例として、配線群とは、複数の配線のことを言う。別の例として、電流群とは、複数の電流のことを言う。別の例として、信号群とは、複数の信号のことを言う。

【0015】

なお、例えば、電圧群のいずれか一とは、一つの電圧群が有する複数の電圧のいずれか一の電圧のことをいう。同様に、例えば、配線群のいずれか一とは、一つの配線群が有する複数の電圧のいずれか一の電圧が供給された配線のことをいう。

【0016】

なお、例えば、複数の電圧群とは、複数の集合体（群）があって、その複数の集合体が、各々、複数の電圧を有していることを言う。同様に、例えば、複数の配線群とは、複数の集合体（群）があって、その複数の集合体が、各々、複数の配線を有していることを言う。

【0017】

本発明の一様態は、液晶素子を駆動するための電極が各々設けられた第1乃至第 $n$ （ $n$ は2以上の自然数）のサブ画素と、 $N$ （ $N$ は2以上の自然数）ビットのデジタル信号を、第1乃至第 $n$ の配線群によって供給された $M$ （ $M$ は2以上の自然数）個の異なる電圧を用いて、 $n$ 個のアナログ信号に変換し、前記 $n$ 個のアナログ信号をそれぞれ、前記第1乃至第 $n$ のサブ画素に入力する機能を有する回路と、を有する液晶表示装置である。

【0018】

また本発明の一様態は、液晶素子を駆動するための電極が各々設けられた第1乃至第 $n$ （ $n$ は2以上の自然数）のサブ画素と、 $N$ （ $N$ は2以上の自然数）ビットのデジタル信号を、配線群によって供給された $M$ （ $M$ は2以上の自然数）個の異なる電圧を用いて、アナログ信号に変換し、前記アナログ信号を前記第1乃至第 $n$ のサブ画素のいずれか一に入力する機能を有する第1乃至第 $n$ の回路と、を有する液晶表示装置である。

【0019】

また本発明の一様態は、液晶素子を駆動するための電極が各々設けられた第1のサブ画素及び第2のサブ画素と、 $N$ （ $N$ は2以上の自然数）ビットのデジタル信号を、第1の配線群及び第2の配線群によって供給された $M$ （ $M$ は2以上の自然数）個の異なる電圧を用いて、第1のアナログ信号及び第2のアナログ信号に変換し、前記第1のアナログ信号または前記第2のアナログ信号をそれぞれ、前記第1のサブ画素及び前記第2のサブ画素に入力する機能を有する回路と、を有する液晶表示装置である。

【0020】

また本発明の一様態は、液晶素子を駆動するための電極が各々設けられた第1乃至第 $n$ （ $n$ は2以上の自然数）のサブ画素と、 $N$ （ $N$ は2以上の自然数）ビットの第1のデジタル信号をデコードして第2のデジタル信号に変換する第1の回路と、前記第2のデジタル信号を、配線群によって供給された $M$ （ $M$ は2以上の自然数）個の異なる電圧を用いて、アナログ信号に変換し、前記アナログ信号を前記第1乃至第 $n$ のサブ画素のいずれか一に入

10

20

30

40

50

力する機能を有する  $n$  個の第 2 の回路と、を有する液晶表示装置である。

【 0 0 2 1 】

また本発明の一様態は、液晶素子を駆動するための電極が各々設けられた第 1 のサブ画素及び第 2 のサブ画素と、 $N$  ( $N$  は 2 以上の自然数) ビットの第 1 のデジタル信号をデコードして第 2 のデジタル信号に変換する第 1 の回路と、前記第 2 のデジタル信号を、配線群によって供給された  $M$  ( $M$  は 2 以上の自然数) 個の異なる電圧を用いて、アナログ信号に変換し、前記アナログ信号を前記第 1 のサブ画素または前記第 2 のサブ画素に入力する機能を有する 2 個の第 2 の回路と、を有する液晶表示装置である。

【 0 0 2 2 】

また本発明の一様態は、第 1 のモードと、第 2 のモードとを有し、第 1 のサブ画素及び第 2 のサブ画素を有する画素と、回路とを有し、回路には、 $N$  ( $N$  は 2 以上の自然数) ビットのデジタル信号を供給するための  $N$  本の配線と、 $M$  ( $M$  は 2 以上の自然数) 個の異なる電圧を供給するための  $M$  本の配線を有する第 1 の配線群及び第 2 の配線群と、 $M$  個の異なる電圧を供給するための  $M$  本の配線を有する第 3 の配線群及び第 4 の配線群と、が電氣的に接続されており、回路は、第 1 のモードにおいて、デジタル信号を、第 1 の配線群及び第 2 の配線群に供給される  $M$  個の電圧を用いて、第 1 のアナログ信号及び第 2 のアナログ信号に変換して、第 1 のアナログ信号または第 2 のアナログ信号を第 1 のサブ画素及び第 2 のサブ画素に選択的に入力し、第 2 のモードにおいて、デジタル信号を、第 3 の配線群及び第 4 の配線群に供給される  $M$  個の電圧を用いて、第 3 のアナログ信号及び第 4 のアナログ信号に変換し、第 3 のアナログ信号または第 4 のアナログ信号を第 1 のサブ画素及び第 2 のサブ画素に選択的に入力する機能を有し、第 1 のサブ画素及び第 2 のサブ画素は、各々、液晶素子を駆動するための電極を有する液晶表示装置である。

【 0 0 2 3 】

また本発明の一様態は、第 1 のモードと、第 2 のモードとを有し、第 1 のサブ画素及び第 2 のサブ画素を有する画素と、第 1 の回路と、第 2 の回路と、第 3 の回路と、第 4 の回路と、を有し、第 1 の回路には、 $N$  ( $N$  は 2 以上の自然数) ビットのデジタル信号を供給するための  $N$  本の配線と、 $M$  ( $M$  は 2 以上の自然数) 個の異なる電圧を供給するための  $M$  本の配線を有する第 1 の配線群と、が電氣的に接続されており、第 2 の回路には、 $N$  ビットのデジタル信号を供給するための  $N$  本の配線と、 $M$  個の異なる電圧を供給するための  $M$  本の配線を有する第 2 の配線群と、が電氣的に接続されており、第 3 の回路には、 $N$  ビットのデジタル信号を供給するための  $N$  本の配線と、 $M$  個の異なる電圧を供給するための  $M$  本の配線を有する第 3 の配線群と、が電氣的に接続されており、第 4 の回路には、 $N$  ビットのデジタル信号を供給するための  $N$  本の配線と、 $M$  個の異なる電圧を供給するための  $M$  本の配線を有する第 4 の配線群と、が電氣的に接続されており、第 1 の回路及び第 2 の回路は、第 1 のモードにおいて、デジタル信号を、第 1 の配線群及び第 2 の配線群に供給される  $M$  個の電圧を用いて、第 1 のアナログ信号及び第 2 のアナログ信号に変換して、第 1 のアナログ信号または第 2 のアナログ信号を第 1 のサブ画素及び第 2 のサブ画素に選択的に入力する機能を有し、第 3 の回路及び第 4 の回路は、第 2 のモードにおいて、デジタル信号を、第 3 の配線群及び第 4 の配線群に供給される  $M$  個の電圧を用いて、第 3 のアナログ信号及び第 4 のアナログ信号に変換し、第 3 のアナログ信号または第 4 のアナログ信号を第 1 のサブ画素及び第 2 のサブ画素に選択的に入力する機能を有し、第 1 のサブ画素及び第 2 のサブ画素は、各々、液晶素子を駆動するための電極を有する液晶表示装置である。

【 0 0 2 4 】

また本発明の一様態は、第 1 のモードと、第 2 のモードとを有し、第 1 のサブ画素及び第 2 のサブ画素を有する画素と、第 1 の回路と、第 2 の回路と、第 3 の回路と、第 4 の回路と、第 5 の回路と、第 6 の回路と、を有し、第 1 の回路は、 $N$  ( $N$  は 2 以上の自然数) ビットの第 1 のデジタル信号をデコードして第 2 のデジタル信号に変換し、 $2^N$  本の配線により第 2 のデジタル信号を第 3 の回路及び第 4 の回路にそれぞれ入力する機能を有し、第 2 の回路は、 $N$  ビットの第 1 のデジタル信号をデコードして第 3 のデジタル信号に変換し、 $2^N$  本の配線により第 3 のデジタル信号を第 3 の回路及び第 4 の回路にそれぞれ入力す

10

20

30

40

50

る機能を有し、第3の回路には、M（Mは2以上の自然数）個の異なる電圧を供給するためのM本の配線を有する第1の配線群が電氣的に接続されており、第4の回路には、M（Mは2以上の自然数）個の異なる電圧を供給するためのM本の配線を有する第2の配線群が電氣的に接続されており、第5の回路には、M（Mは2以上の自然数）個の異なる電圧を供給するためのM本の配線を有する第3の配線群が電氣的に接続されており、第6の回路には、M（Mは2以上の自然数）個の異なる電圧を供給するためのM本の配線を有する第3の配線群が電氣的に接続されており、第3の回路及び第4の回路は、第1のモードにおいて、第2のデジタル信号を、 $2^N$ 本の配線及び配線群に供給されるM個の電圧を用いて、第1のアナログ信号及び第2のアナログ信号に変換し、第1のアナログ信号または第2のアナログ信号を第1のサブ画素及び第2のサブ画素に選択的に入力する機能を有する機能を有し、第5の回路及び第6の回路は、第2のモードにおいて、第3のデジタル信号を、配線群に供給されるM個の電圧を用いて、第3のアナログ信号及び第4のアナログ信号に変換し、第3のアナログ信号または第4のアナログ信号を第1のサブ画素及び第2のサブ画素に選択的に入力する機能を有する機能を有し、第1のサブ画素及び第2のサブ画素は、各々、液晶素子を駆動するための電極を有する液晶表示装置である。

10

## 【0025】

なお、スイッチは、様々な形態のものを用いることができる。例としては、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されない。例えば、スイッチとして、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）などを用いることが出来る。または、これらを組み合わせた論理回路をスイッチとして用いることが出来る。

20

## 【0026】

機械的なスイッチの例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが出来る電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

30

## 【0027】

なお、Nチャネル型トランジスタとPチャネル型トランジスタの両方を用いて、CMOS型のスイッチをスイッチとして用いてもよい。

## 【0028】

なお、スイッチとしてトランジスタを用いる場合、スイッチは、入力端子（ソース端子またはドレイン端子の一方）と、出力端子（ソース端子またはドレイン端子の他方）と、導通を制御する端子（ゲート端子）とを有している。一方、スイッチとしてダイオードを用いる場合、スイッチは、導通を制御する端子を有していない場合がある。そのため、トランジスタよりもダイオードをスイッチとして用いた方が、端子を制御するための配線を少なくすることが出来る。

40

## 【0029】

なお、AとBとが接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合と、AとBとが機能的に接続されている場合と、AとBとが直接接続されている場合とを含むものとする。ここで、A、Bは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも含むものとする。

## 【0030】

例えば、AとBとが電氣的に接続されている場合として、AとBとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオードなど）が、AとBとの間に1個以上接続されていてもよい。あるいは、AとBとが

50

機能的に接続されている場合として、AとBとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、AとBとの間に1個以上接続されていてもよい。例えば、AとBとの間に別の回路を挟んでいても、Aから出力された信号がBへ伝達される場合は、AとBとは機能的に接続されているものとする。

【0031】

なお、AとBとが電氣的に接続されている、と明示的に記載する場合は、AとBとが電氣的に接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟んで接続されている場合）と、AとBとが機能的に接続されている場合（つまり、AとBとの間に別の回路を挟んで機能的に接続されている場合）と、AとBとが直接接続されている場合（つまり、AとBとの間に別の素子や別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

【0032】

なお、表示素子、表示素子を有する装置である表示装置、発光素子、発光素子を有する装置である発光装置は、様々な形態を用いたり、様々な素子を有することが出来る。例えば、表示素子、表示装置、発光素子または発光装置としては、EL（エレクトロルミネセンス）素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタルマイクロミラーデバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用により、コントラスト、輝度、反射率、透過率などが変化する表示媒体を有することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミッションディスプレイ（FED）やSED方式平面型ディスプレイ（SED：Surface-conduction Electron-emitter Display）など、液晶素子を用いた表示装置としては液晶ディスプレイ（透過型液晶ディスプレイ、半透過型液晶ディスプレイ、反射型液晶ディスプレイ、直視型液晶ディスプレイ、投射型液晶ディスプレイ）、電子インクや電気泳動素子を用いた表示装置としては電子ペーパーがある。

【0033】

なお、液晶素子とは、液晶の光学的変調作用によって光の透過または非透過を制御する素子であり、一対の電極、及び液晶により構成される。なお、液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界又は斜め方向の電界を含む）によって制御される。なお、液晶素子としては、ネマチック液晶、コレステリック液晶、スメクチック液晶、ディスコチック液晶、サーモトロピック液晶、リオトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（PDLC）、強誘電液晶、反強誘電液晶、主鎖型液晶、側鎖型高分子液晶、プラズマアドレス液晶（PALC）、バナナ型液晶、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、MVA（Multi-domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）、ASV（Advanced Super View）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、ECB（Electrically Controlled

10

20

30

40

50

Birefringence)モード、FLC(Ferroelectric Liquid Crystal)モード、AFLC(AntiFerroelectric Liquid Crystal)モード、PDLC(Polymer Dispersed Liquid Crystal)モード、ゲストホストモード、ブルー相(Blue Phase)モードなどを用いることができる。ただし、これに限定されず、液晶素子として様々なものを用いることができる。

【0034】

なお、トランジスタとして、様々な形態のトランジスタを用いることが出来る。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコン、多結晶シリコン、微結晶(マイクロクリスタル、ナノクリスタル、セミアモルファスとも言う)シリコンなどに代表される非単結晶半導体膜を有する薄膜トランジスタ(TFT)などを用いることが出来る。TFTを用いる場合、様々なメリットがある。例えば、単結晶シリコンの場合よりも低い温度で製造できるため、製造コストの削減、又は製造装置の大型化を図ることができる。製造装置を大きくできるため、大型基板上に製造できる。そのため、同時に多くの個数の表示装置を製造できるため、低コストで製造できる。さらに、製造温度が低いため、耐熱性の弱い基板を用いることができる。そのため、透光性を有する基板上にトランジスタを製造できる。そして、透光性を有する基板上のトランジスタを用いて表示素子の光の透過を制御することが出来る。あるいは、トランジスタの膜厚が薄いため、トランジスタを構成する膜の一部は、光を透過させることが出来る。そのため、開口率が向上させることができる。

10

20

【0035】

なお、多結晶シリコンを製造するときに、触媒(ニッケルなど)を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。

【0036】

なお、微結晶シリコンを製造するときに、触媒(ニッケルなど)を用いることにより、結晶性をさらに向上させ、電気特性のよいトランジスタを製造することが可能となる。このとき、レーザー照射を行うことなく、熱処理を加えるだけで、結晶性を向上させることも可能である。

【0037】

ただし、触媒(ニッケルなど)を用いずに、多結晶シリコンや微結晶シリコンを製造することは可能である。

30

【0038】

なお、シリコンの結晶性を、多結晶または微結晶などへと向上させることは、パネル全体で行うことが望ましいが、これに限定されない。パネルの一部の領域のみにおいて、シリコンの結晶性を向上させてもよい。選択的に結晶性を向上させることは、レーザー光を選択的に照射することなどにより可能である。例えば、画素以外の領域である周辺回路領域にのみ、レーザー光を照射してもよい。または、ゲートドライバ回路、ソースドライバ回路等の領域にのみ、レーザー光を照射してもよい。あるいは、ソースドライバ回路の一部(例えば、アナログスイッチ)の領域にのみ、レーザー光を照射してもよい。

【0039】

または、半導体基板やSOI基板などを用いてトランジスタを形成することが出来る。

40

【0040】

または、ZnO、a-InGaZnO、SiGe、GaAs、IZO、ITO、SnOなどの化合物半導体または酸化物半導体を有するトランジスタや、さらに、これらの化合物半導体または酸化物半導体を薄膜化した薄膜トランジスタなどを用いることが出来る。なお、これらの化合物半導体または酸化物半導体を、トランジスタのチャネル部分に用いるだけでなく、それ以外の用途で用いることも出来る。例えば、これらの化合物半導体または酸化物半導体を抵抗素子、画素電極、透光性を有する電極として用いることができる。

【0041】

または、インクジェットや印刷法を用いて形成したトランジスタなどを用いることが出来

50

る。

【 0 0 4 2 】

または、有機半導体やカーボンナノチューブを有するトランジスタ等を用いることができる。

【 0 0 4 3 】

さらに、様々な構造のトランジスタを用いることができる。例えば、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどをトランジスタとして用いることができる。

【 0 0 4 4 】

なお、MOS型トランジスタ、バイポーラトランジスタなどを1つの基板に混在させて形成してもよい。

【 0 0 4 5 】

その他、様々なトランジスタを用いることができる。

【 0 0 4 6 】

なお、トランジスタは、様々な基板を用いて形成することが出来る。基板の種類は、特定のものに限定されることはない。その基板としては、例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることが出来る。

【 0 0 4 7 】

なお、トランジスタの構成は、様々な形態をとることができ、特定の構成に限定されない。例えば、ゲート電極が2個以上のマルチゲート構造を適用することができる。マルチゲート構造にすると、チャンネル領域が直列に接続されるため、複数のトランジスタが直列に接続された構成となる。

【 0 0 4 8 】

別の例として、チャンネルの上下にゲート電極が配置されている構造を適用することができる。

【 0 0 4 9 】

チャンネル領域の上にゲート電極が配置されている構造、チャンネル領域の下にゲート電極が配置されている構造、正スタガ構造、逆スタガ構造、チャンネル領域を複数の領域に分けた構造、チャンネル領域を並列に接続した構造、またはチャンネル領域が直列に接続する構成も適用できる。さらに、チャンネル領域(もしくはその一部)にソース電極やドレイン電極が重なっている構造も適用できる。

【 0 0 5 0 】

なお、トランジスタは、様々なタイプを用いることができ、様々な基板を用いて形成させることができる。したがって、所定の機能を実現させるために必要な回路の全てが、同一の基板に形成することも可能である。例えば、所定の機能を実現させるために必要な回路の全てが、ガラス基板、プラスチック基板、単結晶基板、またはSOI基板などの様々な基板を用いて形成することも可能である。所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていることにより、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、所定の機能を実現させるために必要な回路の一部が、ある基板に形成され、所定の機能を実現させるために必要な回路の別の一部が、別の基板に形成されていることも可能である。つまり、所定の機能を実現させるために必要な回路の全てが同じ基板を用いて形成されていなくてもよい。例えば、所定の機能を実現させるために必要な回路の一部は、ガラス基板上にトランジスタにより形成され、所定の機能を実現させるために必要な回路の別の一部は、単結晶基板に形成され、単結晶基板を用いて形成されたトランジスタで構成されたICチップをCOG(Chip On Glass)でガラス基板に接続して、ガラス基板上にそのICチップを配置することも可能である。あるいは、そのICチップをTAB(Tape Automated Bonding)やプリント基板を用いてガラス基板と接続することも可能である。このように、回路の一部が同じ基板に形成されていること

10

20

30

40

50

により、部品点数の削減によるコストの低減、又は回路部品との接続点数の低減による信頼性の向上を図ることができる。あるいは、駆動電圧が高い部分及び駆動周波数が高い部分の回路は、消費電力が大きくなってしまいうので、そのような部分の回路は同じ基板に形成せず、そのかわりに、例えば、単結晶基板にその部分の回路を形成して、その回路で構成されたICチップを用いるようにすれば、消費電力の増加を防ぐことができる。

**【0051】**

なお、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子であり、ドレイン領域とソース領域の間にチャンネル領域を有しており、ドレイン領域とチャンネル領域とソース領域とを介して電流を流すことができる。ここで、ソースとドレインとは、トランジスタの構造や動作条件等によって変わるため、いずれがソースまたはドレインであるかを限定することが困難である。そこで、ソース及びドレインとして機能する領域を、ソースもしくはドレインと呼ばない場合がある。その場合、一例としては、それぞれを第1端子、第2端子と表記する場合がある。あるいは、それぞれを第1電極、第2電極と表記する場合がある。あるいは、第1領域、第2領域と表記する場合がある。

10

**【0052】**

なお、トランジスタは、ベースとエミッタとコレクタとを含む少なくとも三つの端子を有する素子であってもよい。この場合も同様に、エミッタとコレクタとを、第1端子、第2端子などと表記する場合がある。

**【0053】**

なお、半導体装置とは半導体素子（トランジスタ、ダイオード、サイリスタなど）を含む回路を有する装置のことをいう。さらに、半導体特性を利用することで機能しうる装置全般を半導体装置と呼んでもよい。または、半導体材料を有する装置のことを半導体装置と言う。

20

**【0054】**

なお、表示装置とは、表示素子を有する装置のことを言う。なお、表示装置は、表示素子を含む複数の画素を含んでもよい。なお、表示装置は、複数の画素を駆動させる周辺駆動回路を含んでもよい。なお、複数の画素を駆動させる周辺駆動回路は、複数の画素と同一基板上に形成されてもよい。なお、表示装置は、ワイヤボンディングやバンプなどによって基板上に配置された周辺駆動回路、いわゆる、チップオンガラス（COG）で接続されたICチップ、または、TABなどで接続されたICチップを含んでもよい。なお、表示装置は、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたフレキシブルプリントサーキット（FPC）を含んでもよい。なお、表示装置は、フレキシブルプリントサーキット（FPC）などを介して接続され、ICチップ、抵抗素子、容量素子、インダクタ、トランジスタなどが取り付けられたプリント配線基板（PCB）を含んでもよい。なお、表示装置は、偏光板または位相差板などの光学シートを含んでもよい。なお、表示装置は、照明装置、筐体、音声入出力装置、光センサなどを含んでもよい。

30

**【0055】**

なお、照明装置は、バックライトユニット、導光板、プリズムシート、拡散シート、反射シート、光源（LED、冷陰極管など）、冷却装置（水冷式、空冷式）などを有していてもよい。

40

**【0056】**

なお、発光装置とは、発光素子などを有している装置のことをいう。表示素子として発光素子を有している場合は、発光装置は、表示装置の具体例の一つである。

**【0057】**

なお、反射装置とは、光反射素子、光回折素子、光反射電極などを有している装置のことをいう。

**【0058】**

なお、液晶表示装置とは、液晶素子を有している表示装置をいう。液晶表示装置には、直

50

視型、投写型、透過型、反射型、半透過型などがある。

【0059】

なお、駆動装置とは、半導体素子、電気回路、電子回路を有する装置のことを言う。例えば、ソース信号線から画素内への信号の入力を制御するトランジスタ（選択用トランジスタ、スイッチング用トランジスタなどと呼ぶことがある）、画素電極に電圧または電流を供給するトランジスタ、発光素子に電圧または電流を供給するトランジスタなどは、駆動装置の一例である。さらに、ゲート信号線に信号を供給する回路（ゲートドライバ、ゲート線駆動回路などと呼ぶことがある）、ソース信号線に信号を供給する回路（ソースドライバ、ソース線駆動回路などと呼ぶことがある）などは、駆動装置の一例である。

【0060】

なお、表示装置、半導体装置、照明装置、冷却装置、発光装置、反射装置、駆動装置などは、互いに重複して有している場合がある。例えば、表示装置が、半導体装置および発光装置を有している場合がある。あるいは、半導体装置が、表示装置および駆動装置を有している場合がある。

【発明の効果】

【0061】

本発明の一樣態によれば、一つのデジタル信号を複数のアナログ信号に変換することができるため、ルックアップテーブルを用いないことができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。または、各サブ画素に応じた信号をパネル上で生成することができるため、パネルと外部部品との接続数を少なくすることができる。または、パネルと外部部品との接続部分の接続不良を低減することができ、信頼性が高くすることができる。または、表示装置を生産する際の歩留まりが高くすることができる。または、表示装置を生産するコストを削減することができる。または、パネルと外部部品との接続数を低減することができるため、表示部を高精細にすることができる。または、パネルと外部部品との接続数を低減することができるため、ノイズに強くして表示品位を高くすることができる。

【図面の簡単な説明】

【0062】

【図1】本発明の一樣態に係る回路を説明する図。

【図2】本発明の一樣態に係る回路を説明する図。

【図3】本発明の一樣態に係る回路を説明する図。

【図4】本発明の一樣態に係る回路を説明する図。

【図5】本発明の一樣態に係る回路を説明する図。

【図6】本発明の一樣態に係る回路を説明する図。

【図7】本発明の一樣態に係る回路を説明する図。

【図8】本発明の一樣態に係る回路を説明する図。

【図9】本発明の一樣態に係る回路を説明する図。

【図10】本発明の一樣態に係る回路を説明する図。

【図11】本発明の一樣態に係る回路、および駆動方法を説明する図。

【図12】本発明の一樣態に係る回路を説明する図。

【図13】本発明の一樣態に係るトランジスタを説明する断面図。

【図14】本発明の一樣態に係るトランジスタを説明する断面図。

【図15】本発明の一樣態に係る電子機器を説明する図。

【図16】本発明の一樣態に係る電子機器を説明する図。

【発明を実施するための形態】

【0063】

以下、実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って本実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成

10

20

30

40

50

において、同様のものを指す符号は異なる図面間で共通の符号を用いて示し、同一部分又は同様な機能を有する部分の詳細な説明は省略する。

【0064】

なお、以下に、各々の実施の形態において、様々な図を用いて述べていく。その場合、ある一つの実施の形態において、各々の図で述べる内容（一部の内容でもよい）は、別の図で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、ある一つの実施の形態において述べる図において、各々の部分に関して、別の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0065】

同様に、一つまたは複数の実施の形態の各々の図で述べる内容（一部の内容でもよい）は、一つまたは複数の別の実施の形態の図で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを自由に行うことが出来る。さらに、一つまたは複数の実施の形態の図において、各々の部分に関して、一つまたは複数の別の実施の形態の部分を組み合わせることにより、さらに多くの図を構成させることが出来る。

【0066】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0067】

なお、一つまたは複数の実施の形態で述べる内容（一部の内容でもよい）は、一つまたは複数の他の実施の形態で述べる内容（一部の内容でもよい）を、具現化した場合の一例、少し変形した場合の一例、一部を変更した場合の一例、改良した場合の一例、詳細に述べた場合の一例、応用した場合の一例、関連がある部分についての一例などを示している。したがって、一つまたは複数の他の実施の形態で述べる内容（一部の内容でもよい）は、一つまたは複数の実施の形態で述べる内容（一部の内容でもよい）への適用、組み合わせ、又は置き換えを自由に行うことができる。

【0068】

（実施の形態1）

本実施の形態では、デジタルアナログ変換部について説明する。本実施の形態のデジタルアナログ変換部は、一つのデジタル信号（例えば、Nビットのデジタル信号：Nは2以上の自然数）を、n（n：2以上の自然数）個のアナログ信号に変換する。これを実現するために、n個の群（例えば、電圧群、電流群など）が、デジタルアナログ変換部に入力される。ただし、デジタルアナログ変換部に入力する各々の群の一部を共有化して、共用する構成とすることも可能である。この場合、n個より少ない群が、デジタルアナログ変換部に入力される。

【0069】

なお、n個のアナログ信号の値（例えば、電圧、電流など）は、お互いに異なる。ただし、n個のアナログ信号のうちの一部は、値が同じ場合もある。またはn個のアナログ信号の全てが同じ値の場合がある。一例としては、最大階調または最小階調のデジタル信号の場合、各サブ画素に供給されるアナログ信号が全て同じ値となることもある。

【0070】

図1（A）を参照して、例えば一つのデジタル信号を二つのアナログ信号に変換する場合のデジタルアナログ変換部について説明する。

【0071】

デジタルアナログ変換部100は、配線群111、配線群112\_1、配線群112\_2

10

20

30

40

50

、配線 1 1 3 \_\_ 1、および配線 1 1 3 \_\_ 2 と接続される。

【 0 0 7 2 】

配線群 1 1 1、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 は、各々、複数の配線を有する。

【 0 0 7 3 】

配線群 1 1 1 には、デジタル信号が入力される。よって、デジタル信号のビット数と、配線群 1 1 1 の配線数とは、一致する場合が多い。例えば、デジタル信号が N ビットの場合、配線群 1 1 1 は、配線 1 1 1 \_\_ 1 ~ 1 1 1 \_\_ N ( N : 自然数 ) という、N 本の配線を有する。

【 0 0 7 4 】

配線群 1 1 2 \_\_ 1 には、第 1 の電圧群が入力される。よって、第 1 の電圧群の電圧の数と、配線群 1 1 2 \_\_ 1 の配線数とは、一致する場合が多い。例えば、第 1 の電圧群の数が M 個の場合、配線群 1 1 2 \_\_ 1 は、配線 1 1 2 \_\_ 1 1 ~ 1 1 2 \_\_ 1 M ( M : 2 以上の自然数 ) という、M 本の配線を有する。すなわち配線群 1 1 2 \_\_ 1 では、M 個の異なる電圧が M 本の配線に供給されていることとなる。また配線群 1 1 2 \_\_ 1 は、デジタルアナログ変換部 1 0 0 に設けられる配線群の数に応じて、第 1 の配線群と呼ぶことがある。

【 0 0 7 5 】

なお本明細書にて用いる第 1、第 2、第 3、乃至第 N ( N は自然数 ) という用語は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【 0 0 7 6 】

配線群 1 1 2 \_\_ 2 には、第 2 の電圧群が入力される。よって、第 2 の電圧群の電圧の数と、配線群 1 1 2 \_\_ 2 の配線数とは、一致する場合が多い。例えば、第 2 の電圧群の数が M 個の場合、配線群 1 1 2 \_\_ 2 は、配線 1 1 2 \_\_ 2 1 ~ 1 1 2 \_\_ 2 M という、M 本の配線を有する。すなわち配線群 1 1 2 \_\_ 2 では、M 個の異なる電圧が M 本の配線に供給されていることとなる。また配線群 1 1 2 \_\_ 2 は、デジタルアナログ変換部 1 0 0 に設けられる配線群の数に応じて、第 2 の配線群と呼ぶことがある。

【 0 0 7 7 】

なお、これに限定されず、配線群 1 1 1、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 には、様々な信号、様々な電圧、または様々な電流などが入力されることが可能である。または、配線群 1 1 1、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 から様々な信号、様々な電圧、または様々な電流など出力することが可能である。

【 0 0 7 8 】

N ビットのデジタル信号は、デジタルアナログ変換部 1 0 0 の出力信号の値を決定する役割を持つ。

【 0 0 7 9 】

なお、N ビットのデジタル信号と記載される場合、N ビットのデジタル信号と、その反転信号 ( 以下、N ビットの反転デジタル信号ともいう ) とを含む場合もある。

【 0 0 8 0 】

なお、N ビットのデジタル信号、または N ビットのデジタル信号とおおむね等しい振幅電圧の信号は、トランジスタのゲートに入力される場合が多く、さらに第 1 の電圧群、および第 2 の電圧群は、当該トランジスタのソースとドレインとの一方に入力される場合が多い。よって、当該トランジスタがオフ、またはオフしやすくなるように、例えば、N ビットのデジタル信号の振幅電圧は、第 1 の電圧群の最小値と最大値との差、または第 2 の電圧群の最小値と最大値との差よりも大きい、または等しいことが好ましい。ただし、これに限定されず、小さくすることも可能である。

【 0 0 8 1 】

第 1 の電圧群は、お互いに値が異なる複数の電圧を有し、第 2 の電圧群は、お互いに値が異なる複数の電圧を有する場合が多い。そして、第 1 の電圧群と第 2 の電圧群とは、お互いに値が異なる場合が多い。ただし、第 1 の電圧群の一の電圧と第 2 の電圧群の一の電圧

10

20

30

40

50

、または第1の電圧群の複数の電圧と第2の電圧群の複数の電圧とは、値が同じ場合もある。この場合、配線を共有し、共用することによって、配線群112\_\_1及び配線群112\_\_2の配線数を減らすことができる。

【0082】

なお、第1の電圧群として、正極性の第1の電圧群と負極性の第1の電圧群を用い、第2の電圧群として、正極性の第2の電圧群と負極性の第2の電圧群を用いることが可能である。これを実現するために、例えば、配線群112\_\_1の配線の数、および配線群112\_\_2の配線の数を増やす（例えば、おおむね2倍）ことが可能である。この場合、正極性の第1の電圧群、および負極性の第1の電圧群は、同時に配線群112\_\_1に入力され、正極性の第2の電圧群、および負極性の第2の電圧群は、同時に配線群112\_\_2に入力される。

10

【0083】

別の例として、一つの動作期間が、第1のサブ動作期間と第2のサブ動作期間とを有することも可能である。そして、各々の期間に、正極性と負極性とを切り替える。このような場合、配線の数が増えないので、好適である。例えば、第1のサブ動作期間において、正極性の第1の電圧群が、配線群112\_\_1に入力され、正極性の第2の電圧群が、配線群112\_\_2に入力される。第2のサブ動作期間において、負極性の第1の電圧群が、配線群112\_\_1に入力され、負極性の第2の電圧群が、配線群112\_\_2に入力される。

【0084】

なお、正極性の電圧とは、例えば、液晶表示装置において、正極性の電圧が画素電極に入力される場合に、コモン電極（以下、共通電極ともいう）の電位（以下、コモン電位ともいう）よりも、画素電極の電位の方が大きくなる電圧である。一方、負極性の電圧とは、コモン電位よりも、画素電極の電位の方が小さくなる電圧である。

20

【0085】

なお第1の電圧群及び第2の電圧群として、正極性の電圧と、負極性の電圧とがデジタルアナログ変換部100に入力される場合、当該デジタルアナログ変換部100を液晶表示装置に用いることによって、反転駆動を実現することが可能となる。反転駆動とは、一定期間毎、1画面ずつ（1フレームずつ）、または1画素ずつに、液晶素子における共通電極の電位（コモン電位）に対して、画素電極に印加される電圧の極性を反転させる駆動である。反転駆動によって、画像のちらつき（フリッカ）などの表示ムラ、及び液晶材料の劣化を抑制することができる。なお、反転駆動の例としては、フレーム反転駆動をはじめ、ソースライン反転駆動、ゲートライン反転駆動、ドット反転駆動などが挙げられる。

30

【0086】

なお、第1の電圧群、および第2の電圧群の各々の値（または極性）を、時間的に変化させることが可能である。このような場合、一つの動作期間は、複数のサブ動作期間を有する。そして、サブ動作期間毎に、第1の電圧群、および第2の電圧群の各々の値（または極性）が、変化する。こうして、第1の電圧群の電圧の数、および第2の電圧群の電圧の数、つまり配線群112\_\_1の配線の数、および配線群112\_\_2の配線数を減らすことができる。または、第1の電圧群と第2の電圧群との一方を省略することができる。

【0087】

なお、電流群が、配線群112\_\_1、および配線群112\_\_2に入力されることが可能である。電流によって動作する画素回路、素子などを駆動することが可能になる。または、電流群と電圧群とが、配線群112\_\_1、および配線群112\_\_2に入力されることが可能である。

40

【0088】

なお、例えば、配線群111、配線群112\_\_1、配線群112\_\_2、配線113\_\_1、および配線113\_\_2は、各々、第1の信号線群、第1の電源線群、第2の電源線群、第2の信号線、第3の信号線として機能させることが可能である。

【0089】

なお、デジタルアナログ変換部100には、上述した信号、または電圧の他にも様々な信

50

号、電圧、または電流が入力されることが可能である。

【0090】

例えば、Nビットのデジタル信号の反転信号（以下、反転デジタル信号ともいう）が入力されることが可能である。この場合、新たな配線群（例えば、N本の配線）を追加し、その配線群を介してNビットの反転デジタル信号をデジタルアナログ変換部100に入力するとよい。なお、この新たな配線群は、例えば、信号線群として機能する。

【0091】

なお、デジタルアナログ変換部100を回路、または半導体装置と呼ぶことが可能である。

【0092】

次に、図1(A)に示すデジタルアナログ変換部100の動作を説明する。

【0093】

Nビットのデジタル信号、第1の電圧群、および第2の電圧群が、デジタルアナログ変換部100に入力される。

【0094】

デジタルアナログ変換部100は、Nビットのデジタル信号にしたがって、配線群112\_\_1のいずれかーと配線113\_\_1とを導通状態とし、その他の配線群112\_\_1と配線113\_\_1とを非導通状態とすることによって、配線群112\_\_1のいずれかーと配線113\_\_1とをおおむね等しい電位とする。同時に、デジタルアナログ変換部100は、Nビットのデジタル信号にしたがって、配線群112\_\_2のいずれかーと配線113\_\_2とを導通状態とし、その他の配線群112\_\_2と配線113\_\_2とを非導通状態とすることによって、配線群112\_\_2のいずれかーと配線113\_\_2とをおおむね等しい電位とする。こうして、デジタルアナログ変換部100は、Nビットのデジタル信号、第1の電圧群、および第2の電圧群にしたがって、配線113\_\_1の電位と配線113\_\_2の電位とを決定する。

【0095】

なお、おおむね等しいとは、ノイズの影響によって生じる誤差を考慮したものである。したがって、例えば、その誤差は、10%以下、より好ましくは5%以下、さらに好ましくは3%以下である。

【0096】

このようにして、デジタルアナログ変換部100は、Nビットのデジタル信号を第1のアナログ信号、および第2のアナログ信号に変換し、第1のアナログ信号を配線113\_\_1に出力し、第2のアナログ信号を配線113\_\_2に出力する。または、デジタルアナログ変換部100は、Nビットのデジタル信号に基づいて、第1の電圧群のいずれかー、および第2の電圧群のいずれかーを選択し、第1の電圧群のいずれかーを第1のアナログ信号として配線113\_\_1に出力し、第2の電圧群のいずれかーを第2のアナログ信号として配線113\_\_2に出力する。

【0097】

なお、第1のアナログ信号と、第2のアナログ信号とは、お互いに異なる値である場合が多い。ただし、これに限定されない。第1の電圧群、および第2の電圧群によっては、または、デジタル信号の値によっては、第1のアナログ信号と、第2のアナログ信号とは、おおむね等しい値の場合もある。

【0098】

なお、第1のアナログ信号、および第2のアナログ信号の電位は、第1の電圧群のいずれかー、第2の電圧群のいずれかーと等しい場合が多いが、これに限定されない。例えば、第1の電圧群、または第2の電圧群のいずれかの電圧を抵抗素子または容量素子などで分圧し、新たな電圧を生成する。そして、この新たに生成した電圧をアナログ信号として出力することも可能である。

【0099】

なお、配線群112\_\_1、および配線群112\_\_2が有する配線は、配線111が有する

10

20

30

40

50

配線の幅よりも大きい幅の部分を含むことが好ましい。なぜなら、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 には、アナログ電圧が入力される場合が多いので、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 の単位長さあたりの配線抵抗は、配線群 1 1 1 の単位長さあたりの配線抵抗よりも小さいことが好ましいからである。

【 0 1 0 0 】

ただし、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 が有する配線は、配線群 1 1 1 が有する配線の幅よりも小さい幅の部分を含むこともできる。この場合、例えば、配線群 1 1 2 \_\_ 1 の配線数、および配線群 1 1 2 \_\_ 2 の配線数は、配線群 1 1 1 の配線数よりも多いので、デジタルアナログ変換部 1 0 0 のレイアウト面積を小さくすることができる。

【 0 1 0 1 】

なお、配線 1 1 3 \_\_ 1、および配線 1 1 3 \_\_ 2 も、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 と同様に、配線群 1 1 1 が有する配線の幅よりも大きい幅の部分を含むことが好ましい。ただし、配線群 1 1 2 \_\_ 1、および配線群 1 1 2 \_\_ 2 と同様に、配線群 1 1 1 が有する配線の幅よりも小さい幅の部分を含むこともできる。

【 0 1 0 2 】

なお、配線群 1 1 1 が有する配線は、例えば、トランジスタのゲート電極と接続される場合が多い。よって、配線群 1 1 1 が有する配線は、デジタルアナログ変換部 1 0 0 と接続される部分では、トランジスタのゲート電極と同じ材料で構成されることが好ましい。

【 0 1 0 3 】

なお、配線群 1 1 2 \_\_ 1 が有する配線、配線群 1 1 2 \_\_ 2 が有する配線、配線 1 1 3 \_\_ 1、および配線 1 1 3 \_\_ 2 は、例えば、トランジスタのソース電極又はドレイン電極と接続される場合が多い。よって、デジタルアナログ変換部 1 0 0 と接続される部分では、トランジスタにおいて半導体層に接続される導電層と、同じ材料で構成されることが好ましい。

【 0 1 0 4 】

なお、図 1 ( A ) では、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号を第 1 のアナログ信号、および第 2 のアナログ信号に変換する場合について説明したが、これに限定されない。図 1 ( B ) に示すように、N ビットのデジタル信号を n ( n : 自然数 ) 個のアナログ信号に変換することが可能である。

【 0 1 0 5 】

図 1 ( B ) に示すデジタルアナログ変換部 1 0 0 は、例えば、配線群 1 1 1、配線群 1 1 2 \_\_ 1 ~ 1 1 2 \_\_ n、配線 1 1 3 \_\_ 1 ~ 1 1 3 \_\_ n と接続される。

【 0 1 0 6 】

例えば、第 1 の電圧群 ~ 第 n の電圧群が、配線群 1 1 2 \_\_ 1 ~ 1 1 2 \_\_ n に入力され、第 1 のアナログ信号 ~ 第 n のアナログ信号が配線 1 1 3 \_\_ 1 ~ 1 1 3 \_\_ n から出力される。

【 0 1 0 7 】

デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、配線群 1 1 2 \_\_ 1 ~ 1 1 2 \_\_ n の各々のいずれか一と、配線 1 1 3 \_\_ 1 ~ 1 1 3 \_\_ n とを導通状態し、等しい電位とする。例えば、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、配線群 1 1 2 \_\_ i ( i : 1 ~ n のいずれか一 ) のいずれか一と、配線 1 1 3 \_\_ i とを導通状態とし、等しい電位とする。こうして、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号、および n 個の電圧群にしたがって、配線 1 1 3 \_\_ 1 ~ 1 1 3 \_\_ n の電位を決定する。

【 0 1 0 8 】

このようにして、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号を n 個のアナログ信号 ( 第 1 のアナログ信号 ~ 第 n のアナログ信号 ) に変換し、n 個のアナログ信号を配線 1 1 3 \_\_ 1 ~ 1 1 3 \_\_ n にそれぞれ出力する。または、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、n 個の電圧群 ( 第 1 の電圧群 ~ 第 n の電圧群 ) の各々のいずれか一を選択し、n 個の電圧群の各々のいずれか一を配線 1 1 3 \_\_ 1 ~ 1 1 3 \_\_ n にそれぞれ出力する。

10

20

30

40

50

## 【0109】

なお上述の $n$ 、 $N$ 、 $M$ の大小関係は、 $n < N < M$ の関係とすることが好ましい。ただし、これに限定されない。

## 【0110】

なお、図1(B)のデジタルアナログ変換部100が表示装置に用いられる場合、画素が $n$ 個のサブ画素に分割される場合が多い。このとき、 $n$ が大きいと、サブ画素の数が多くなるので、1画素分の面積が増大し、解像度が低下することがある。この解像度の低下を防ぐために、 $n \leq 5$ であることが好ましい。より好ましくは、サブ画素の数が3個以下でも、視野角改善の効果は大きいので、 $n \leq 3$ である。さらに好ましくは、 $n = 2$ であることが好ましい。ただし、これに限定されない。

10

## 【0111】

なお、図1(B)に示すデジタルアナログ変換部100が表示装置に用いられる場合、画素が $n$ 個のサブ画素に分割されることが好ましい。そして、 $n$ 個のサブ画素は、各々、配線113\_\_1~113\_\_ $n$ と接続される。ただし、 $n$ 個のサブ画素は、各々、バッファを介して配線113\_\_1~113\_\_ $n$ と接続されることも可能である。デジタルアナログ変換部100は、各々、 $N$ ビットのデジタル信号に応じた $n$ 個のアナログ信号を、配線113\_\_1~113\_\_ $n$ を介して $n$ 個のサブ画素に出力する。

## 【0112】

ただし、配線113\_\_1~113\_\_ $n$ を画素、またはサブ画素以外の回路、例えば、デジタルアナログ変換部100とは別のデジタルアナログ変換部に接続することも可能である。そして、デジタルアナログ変換部100とは別のデジタルアナログ変換部は、画素、またはサブ画素と接続されることが可能である。例えば、デジタルアナログ変換部100は、上位ビットのDACとして機能し、いくつかの電圧を選択し、デジタルアナログ変換部100とは別のデジタルアナログ変換部に出力する。一方、デジタルアナログ変換部100とは別のデジタルアナログ変換部は、下位ビットのDACとして機能し、上位ビットのDAC(デジタルアナログ変換部100)が出力するいくつかの電圧を抵抗素子または容量素子などで分圧して、新たな電圧を生成し、画素、またはサブ画素に出力する。こうすることによって、電圧群の電圧数、または配線群112\_\_1~配線群112\_\_ $n$ の各々の配線数を減らすことができる。

20

## 【0113】

なお、図1(C)に示すように、デジタルアナログ変換部100が、デジタルアナログ変換回路(以下、D/A変換回路、またはDACともいう)として機能する回路を $n$ 個有することが可能である。

30

## 【0114】

DACとして機能する $n$ 個の回路として、回路101\_\_1~101\_\_ $n$ が用いられる。例えば、回路101\_\_1~101\_\_ $n$ としては、各々、抵抗ラダー型のDAC、抵抗ストリング型のDAC、電流出力形のDAC、デルタシグマ形のDAC、ROMデコーダ型のDAC、トーナメント型のDAC、またはデマルチプレクサを用いたDACなどを用いることが可能である。ただし、これに限定されない。

## 【0115】

回路101\_\_1~101\_\_ $n$ は、配線群111と接続される。回路101\_\_1~101\_\_ $n$ は、各々、配線群112\_\_1~112\_\_ $n$ と接続される。回路101\_\_1~101\_\_ $n$ は、各々、配線113\_\_1~113\_\_ $n$ と接続される。例えば、回路101\_\_ $i$ ( $i: 1 \sim n$ のいずれか)は、配線群111、配線群112\_\_ $i$ 、および配線113\_\_ $i$ と接続される。

40

## 【0116】

例えば、回路101\_\_ $i$ は、 $N$ ビットのデジタル信号にしたがって、配線群112\_\_ $i$ のいずれか一と配線113\_\_ $i$ とを導通状態し、等しい電位とする。こうして、回路101\_\_ $i$ は、 $N$ ビットのデジタル信号、および入力される電圧群にしたがって、配線113\_\_ $i$ の電位を決定する。

50

## 【0117】

このようにして、回路101<sub>i</sub>は、Nビットのデジタル信号をアナログ信号に変換し、当該アナログ信号を配線113<sub>i</sub>に出力する。または、回路101<sub>i</sub>は、Nビットのデジタル信号に基づいて、入力される電圧群のいずれかーを選択し、当該電圧群のいずれかーをアナログ信号として配線113<sub>i</sub>に出力する。

## 【0118】

以上のように、本実施の形態のデジタルアナログ変換部は、一つのデジタル信号を複数のアナログ信号に変換することができるため、ルックアップテーブルを用いないことができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。

10

## 【0119】

さらに、例えば、表示装置において、本実施の形態のデジタルアナログ変換部を用いてビデオ信号が生成される場合、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、パネルと外部部品との接続部分の接続不良を低減することができ、信頼性の向上、歩留まりの向上、生産コストの削減、または高精細化などを図ることができる。

## 【0120】

(実施の形態2)

本実施の形態では、図1(A)に示す一つのデジタル信号を二つのアナログ信号に変換する場合のデジタルアナログ変換部100の一例について、図2(A)を参照して説明する。

20

## 【0121】

デジタルアナログ変換部100は、回路201、回路202<sub>1</sub>、および回路202<sub>2</sub>を有する。

## 【0122】

回路201は、配線群111、および配線群114と接続される。回路202<sub>1</sub>は、配線群112<sub>1</sub>、配線113<sub>1</sub>、および回路201の出力端子と接続される。回路202<sub>2</sub>は、配線群112<sub>2</sub>、配線113<sub>2</sub>、および回路201の出力端子と接続される。

## 【0123】

配線群114は、複数の配線を有する。例えば、配線群114は、配線114<sub>1</sub>~114<sub>N</sub>というN本の配線を有する。

30

## 【0124】

配線群114には、反転デジタル信号が入力される。よって、反転デジタル信号のビット数と、配線群114の配線数とは、一致する場合が多い。例えば、反転デジタル信号がNビットの場合、配線群114の配線数は、N本である。ただし、これに限定されず、配線群114には、様々な信号、様々な電圧、様々な電流が入力されることが可能である。

## 【0125】

なお、Nビットの反転デジタル信号の振幅電圧は、Nビットの振幅電圧と等しいことが好ましい。ただし、これに限定されない。

40

## 【0126】

なお、配線群111と配線群114とが、インバータなどの入力信号を反転して出力する機能を有する回路を介して接続されることも可能である。例えば、インバータの入力端子が配線111<sub>j</sub>(j:1乃至Nのいずれかー)のいずれかーと接続され、インバータの出力端子が配線114<sub>j</sub>のいずれかーと接続される。このような場合、配線群111に入力されるNビットのデジタル信号が、インバータによって反転されてから、配線群114に入力される。よって、Nビットの反転デジタル信号を省略することができる。

## 【0127】

なお、回路201がNビットの反転デジタル信号を生成する機能を有していれば、配線群114を省略することが可能である。

50

## 【 0 1 2 8 】

なお、回路 2 0 1 の構成によっては、N ビットの反転デジタル信号を必要としない場合もある。この場合、配線群 1 1 4 を省略することが可能である。

## 【 0 1 2 9 】

回路 2 0 1 は、例えばデコーダ回路として機能し、BCD - DEC (Binary Coded Decimal Decoder) 回路、優先順位付き BCD - DEC 回路、またはアドレスデコーダ回路などを用いることが可能である。ただし、これに限定されず、回路 2 0 1 は、複数の論理回路、または複数の組み合わせ論理回路を有していればよい。

## 【 0 1 3 0 】

回路 2 0 2 \_\_ 1、および回路 2 0 2 \_\_ 2 は、セクタとして機能する。例えば、回路 2 0 2 \_\_ 1、および回路 2 0 2 \_\_ 2 としては、各々、図 2 ( B ) に示すセクタ回路 2 0 2 \_\_ 1 a、セクタ回路 2 0 2 \_\_ 2 a を用いることが可能である。

10

## 【 0 1 3 1 】

セクタ回路 2 0 2 \_\_ 1 a、およびセクタ回路 2 0 2 \_\_ 2 a は、各々、複数の端子を有する。例えば、第 1 の電圧群の電圧数、または第 2 の電圧群の電圧数が M 個の場合、端子の数は、M + 1 個である。セクタ回路 2 0 2 \_\_ 1 a において、第 1 ~ 第 M の端子は、各々、配線群 1 1 2 \_\_ 1 (配線 1 1 2 \_\_ 1 1 ~ 1 1 2 \_\_ 1 M) と接続され、第 M + 1 の端子は、配線 1 1 3 \_\_ 1 と接続される。一方、セクタ回路 2 0 2 \_\_ 2 a において、第 1 ~ 第 M の端子は、各々、配線群 1 1 2 \_\_ 2 (配線 1 1 2 \_\_ 2 1 ~ 1 1 2 \_\_ 2 M) と接続され、第 M + 1 の端子は、配線 1 1 3 \_\_ 2 と接続される。

20

## 【 0 1 3 2 】

セクタ回路 2 0 2 \_\_ 1 a、およびセクタ回路 2 0 2 \_\_ 2 a は、回路 2 0 1 の出力信号によって制御される。例えば、回路 2 0 1 の出力信号にしたがって、セクタ回路 2 0 2 \_\_ 1 a は、配線群 1 1 2 \_\_ 1 のいずれか一と配線 1 1 3 \_\_ 1 とを導通状態とし、セクタ回路 2 0 2 \_\_ 2 a は、配線群 1 1 2 \_\_ 2 のいずれか一と配線 1 1 3 \_\_ 2 とを導通状態とする。

## 【 0 1 3 3 】

次に、図 2 ( A ) に示すデジタルアナログ変換部 1 0 0 の動作を説明する。

## 【 0 1 3 4 】

N ビットのデジタル信号、および N ビットの反転デジタル信号が、回路 2 0 1 に入力される。

30

## 【 0 1 3 5 】

回路 2 0 1 は、N ビットのデジタル信号、および N ビットの反転デジタル信号にしたがって、デジタル信号を生成する。言い換えると、N ビットのデジタル信号、および N ビットの反転デジタル信号をデコード (復号化) する。具体的には、例えば、回路 2 0 1 は、複数の論理回路、または複数の組み合わせ論理回路に、N ビットのデジタル信号、および N ビットの反転デジタル信号を入力し、各論理回路の出力信号を H 信号とするのか L 信号とするのかを制御する。

## 【 0 1 3 6 】

回路 2 0 1 が生成するデジタル信号のビット数は、第 1 の電圧群の電圧数、または第 2 の電圧群の電圧数と等しい場合が多いので、当該デジタル信号のビット数を M ビットとし、M ビットのデジタル信号と示す。ただし、デジタル信号のビット数は M ビットに限定されず、M ビット以下、または M ビット以上とすることが可能である。

40

## 【 0 1 3 7 】

なお、M ビットのデジタル信号の振幅電圧は、N ビットのデジタル信号の振幅電圧と等しい場合が多い。このような場合、回路 2 0 1 に用いられる正電源電圧、負電源電圧は、各々、N ビットのデジタル信号の H 信号の値、L 信号の値と等しいことが好ましい。ただし、回路 2 0 1 がレベルシフト機能を有している場合、M ビットのデジタル信号の振幅電圧は、N ビットのデジタル信号の振幅電圧よりも大きいことも可能である。

## 【 0 1 3 8 】

50

その後、回路 2 0 1 は、M ビットのデジタル信号を回路 2 0 2 \_\_ 1、および回路 2 0 2 \_\_ 2 に入力し、回路 2 0 2 \_\_ 1、および回路 2 0 2 \_\_ 2 を制御する。

【 0 1 3 9 】

具体的には、回路 2 0 2 \_\_ 1 は、M ビットのデジタル信号にしたがって、配線群 1 1 2 \_\_ 1 のいずれか一と配線 1 1 3 \_\_ 1 とを導通状態とし、等しい電位とする。同時に、回路 2 0 2 \_\_ 2 は、M ビットのデジタル信号にしたがって、配線群 1 1 2 \_\_ 2 のいずれか一と配線 1 1 3 \_\_ 2 とを導通状態とし、等しい電位とする。

【 0 1 4 0 】

こうして、回路 2 0 2 \_\_ 1 は、M ビットのデジタル信号を第 1 のアナログ信号に変換し、第 1 のアナログ信号を配線 1 1 3 \_\_ 1 に出力する。回路 2 0 2 \_\_ 2 は、M ビットのデジタル信号を第 2 のアナログ信号に変換し、第 2 のアナログ信号を配線 1 1 3 \_\_ 2 に出力する。または、回路 2 0 2 \_\_ 1 は、M ビットのデジタル信号に基づいて、第 1 の電圧群のいずれか一を選択し、第 1 の電圧群のいずれか一を第 1 のアナログ信号として配線 1 1 3 \_\_ 1 に出力する。回路 2 0 2 \_\_ 2 は、M ビットのデジタル信号に基づいて、第 2 の電圧群のいずれか一を選択し、第 2 の電圧群のいずれか一を第 2 のアナログ信号として配線 1 1 3 \_\_ 2 に出力する。

【 0 1 4 1 】

なお、N ビットのデジタル信号、および N ビットの反転デジタル信号をまとめて、第 1 のデジタル信号と示すことが可能である。したがって、第 1 のデジタル信号と示す場合、N ビットのデジタル信号と N ビットの反転デジタル信号とを含む場合がある。ただし、N ビットの反転信号を含めずに、N ビットのデジタル信号だけを第 1 のデジタル信号と示すことも可能である。

【 0 1 4 2 】

なお、M ビットのデジタル信号を、第 2 のデジタル信号と示すことが可能である。ただし、回路 2 0 1 が M ビットのデジタル信号と、M ビットのデジタル信号の反転信号（以下、M ビットの反転デジタル信号ともいう）とを生成する場合、これらをまとめて第 2 のデジタル信号と示すことも可能である。

【 0 1 4 3 】

なお、回路 2 0 1 が有する素子（例えば、スイッチ、トランジスタなど）数は、回路 2 0 2 \_\_ 1 が有する素子数、または回路 2 0 2 \_\_ 2 が有する素子数よりも大きいことが好ましい。こうすることで、回路 2 0 2 \_\_ 1、および回路 2 0 2 \_\_ 2 が有する素子数が少なくなるので、回路規模の縮小を図ることができる。ただし、これに限定されず、回路 2 0 1 が有する素子数は、回路 2 0 2 \_\_ 1 が有する素子数、または回路 2 0 2 \_\_ 2 が有する素子数よりも小さいことも可能である。

【 0 1 4 4 】

なお、図 1 ( B ) において説明したように、図 2 ( A ) においても、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号を n 個のアナログ信号に変換することが可能である。この場合、例えば、図 3 に示すように、回路 2 0 1 と、回路 2 0 2 \_\_ 1 ~ 2 0 2 \_\_ n が用いられる。

【 0 1 4 5 】

回路 2 0 2 \_\_ 1 ~ 2 0 2 \_\_ n は、各々、回路 2 0 1 の出力端子、配線群 1 1 2 \_\_ 1 ~ 1 1 2 \_\_ n、および配線 1 1 3 \_\_ 1 ~ 1 1 3 \_\_ n と接続される。例えば、回路 2 0 2 \_\_ i ( i : 1 ~ n のいずれか一 ) は、回路 2 0 1 の出力端子、配線群 1 1 2 \_\_ i、および配線 1 1 3 \_\_ i と接続される。

【 0 1 4 6 】

回路 2 0 2 \_\_ 1 ~ 2 0 2 \_\_ n は、各々、図 2 ( A ) に示す回路 2 0 2 \_\_ 1、または回路 2 0 2 \_\_ 2 に対応する。

【 0 1 4 7 】

次に、図 4 ( A ) を参照して、図 2 ( A ) に示す回路 2 0 1、回路 2 0 2 \_\_ 1、および回路 2 0 2 \_\_ 2 の具体的な一例について説明する。

## 【 0 1 4 8 】

回路 2 0 1 は、複数の論理回路を有する。論理回路の数は、第 1 の電圧群の電圧数、または第 2 の電圧群の電圧数と一致する場合が多い。よって、例えば、第 1 の電圧群の電圧数、または第 2 の電圧群の電圧数が M 個の場合、回路 2 0 1 は、論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M という M 個の論理回路を有する。

## 【 0 1 4 9 】

論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M は、各々、複数の入力端子と、1 個の出力端子とを有する。入力端子の数は、配線群 1 1 1 の配線数、または配線群 1 1 4 の配線数と一致する場合が多い。よって、例えば、配線群 1 1 1 の配線数、または配線群 1 1 4 の配線数が N 本の場合、論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M は、各々、N 個の入力端子を有する。ただし、論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M に配線群 1 1 1、および配線群 1 1 4 とは別の配線が接続される場合、入力端子の数は、配線群 1 1 1 の配線数、または配線群 1 1 4 の配線数と、当該別の配線の配線数との和と一致する場合が多い。

10

## 【 0 1 5 0 】

回路 2 0 2 \_\_ 1、および回路 2 0 2 \_\_ 2 は、各々、複数のスイッチを有する。スイッチの数は、第 1 の電圧群の電圧数、または第 2 の電圧群の電圧数と一致する場合が多い。よって、例えば、第 1 の電圧群の電圧数、または第 2 の電圧群の電圧数が、M 個の場合、回路 2 0 2 \_\_ 1 は、スイッチ 2 0 4 \_\_ 1 1 ~ 2 0 4 \_\_ 1 M という M 個のスイッチを有し、回路 2 0 2 \_\_ 2 は、スイッチ 2 0 4 \_\_ 2 1 ~ 2 0 4 \_\_ 2 M という M 個のスイッチを有する。

## 【 0 1 5 1 】

論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M の N 個の入力端子は、各々、配線 1 1 1 \_\_ 1 ~ 1 1 1 \_\_ N、または配線 1 1 4 \_\_ 1 ~ 1 1 4 \_\_ N と接続される。例えば、論理回路 2 0 3 \_\_ k ( k : 1 ~ M のいずれか ) の j ( j : 1 ~ N のいずれか、または自然数 ) 番目の入力端子は、配線 1 1 1 \_\_ j、または配線 1 1 4 \_\_ j と接続される。この組み合わせは、すべての論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M で異なっており、例えば、最大で 2 N 通りである。ただし、いくつかの論理回路において、入力端子の接続関係が同じことも可能である。したがって、M = 2 N であることが好ましい。より好ましくは、M = 2 N である。

20

## 【 0 1 5 2 】

論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M の出力端子は、各々、スイッチ 2 0 4 \_\_ 1 1 ~ 2 0 4 \_\_ 1 M の制御端子、およびスイッチ 2 0 4 \_\_ 2 1 ~ 2 0 4 \_\_ 2 M の制御端子と接続される。例えば、論理回路 2 0 3 \_\_ k の出力端子は、スイッチ 2 0 4 \_\_ 1 k の制御端子、およびスイッチ 2 0 4 \_\_ 2 k の制御端子と接続される。

30

## 【 0 1 5 3 】

スイッチ 2 0 4 \_\_ 1 1 ~ 2 0 4 \_\_ 1 M の第 1 の端子は、各々、配線 1 1 2 \_\_ 1 1 ~ 1 1 2 \_\_ 1 M と接続され、スイッチ 2 0 4 \_\_ 1 1 ~ 2 0 4 \_\_ 1 M の第 2 の端子は、全て配線 1 1 3 \_\_ 1 と接続される。例えば、スイッチ 2 0 4 \_\_ 1 k の第 1 の端子は、配線 1 1 2 \_\_ 1 k と接続され、スイッチ 2 0 4 \_\_ 1 k の第 2 の端子は、配線 1 1 3 \_\_ 1 と接続される。ただし、スイッチ 2 0 4 \_\_ 1 1 ~ 2 0 4 \_\_ 1 M の第 2 の端子は、各々、異なる配線と接続されることも可能である。

## 【 0 1 5 4 】

スイッチ 2 0 4 \_\_ 2 1 ~ 2 0 4 \_\_ 2 M の第 1 の端子は、各々、配線 1 1 2 \_\_ 2 1 ~ 1 1 2 \_\_ 2 M と接続され、スイッチ 2 0 4 \_\_ 2 1 ~ 2 0 4 \_\_ 2 M の第 2 の端子は、全て配線 1 1 3 \_\_ 2 と接続される。例えば、スイッチ 2 0 4 \_\_ 2 k の第 1 の端子は、配線 1 1 2 \_\_ 2 k と接続され、スイッチ 2 0 4 \_\_ 2 k の第 2 の端子は、配線 1 1 3 \_\_ 2 と接続される。ただし、スイッチ 2 0 4 \_\_ 2 1 ~ 2 0 4 \_\_ 2 M の第 2 の端子は、各々、異なる配線と接続されることも可能である。

40

## 【 0 1 5 5 】

次に、図 4 ( A ) に示すデジタルアナログ変換部 1 0 0 の動作について説明する。

## 【 0 1 5 6 】

N ビットのデジタル信号、および N ビットの反転デジタル信号が、論理回路 2 0 3 \_\_ 1 ~

50

203\_\_MのN個の入力端子に入力される。例えば、jビット目のデジタル信号、またはjビット目の反転デジタル信号が、論理回路203\_\_1~203\_\_Mの各々のj番目の入力端子に入力される。

【0157】

論理回路203\_\_1~203\_\_Mは、各々、論理回路203\_\_1~203\_\_Mにそれぞれ入力されるNビットのデジタル信号とNビットの反転デジタル信号との組み合わせにしたがって、H信号、またはL信号を出力する。この論理回路203\_\_1~203\_\_Mの出力信号が、図2(A)において説明したMビットのデジタル信号に対応する。

【0158】

その後、論理回路203\_\_1~203\_\_Mは、Mビットのデジタル信号をスイッチ204\_\_11~204\_\_1Mの制御端子、およびスイッチ204\_\_21~204\_\_2Mの制御端子に入力し、スイッチ204\_\_11~204\_\_1M、およびスイッチ204\_\_21~204\_\_2Mのオンとオフとを制御する。例えば、論理回路203\_\_k(k:1~Mのいずれか一)は、デジタル信号をスイッチ204\_\_1kの制御端子、およびスイッチ204\_\_2kの制御端子に入力し、スイッチ204\_\_1k、およびスイッチ204\_\_2kのオンとオフとを制御する。したがって、スイッチ204\_\_1k、およびスイッチ204\_\_2kのオンとオフとタイミングは、おおむね等しくなる。

【0159】

具体的には、Mビットのデジタル信号にしたがって、スイッチ204\_\_11~204\_\_1Mのいずれか一がオンすることによって、スイッチ204\_\_11~204\_\_1Mは、配線群112\_\_1のいずれか一と配線113\_\_1とを導通し、等しい電位とする。同時に、Mビットのデジタル信号にしたがって、スイッチ204\_\_21~204\_\_2Mのいずれか一がオンすることによって、スイッチ204\_\_21~204\_\_2Mは、配線群112\_\_2のいずれか一と配線113\_\_2とを導通し、等しい電位とする。

【0160】

なお、各スイッチが、制御端子にH信号が入力される場合にオンする場合、スイッチ204\_\_11~204\_\_1Mのいずれか一、およびスイッチ204\_\_21~204\_\_2Mのいずれか一をオンするために、論理回路203\_\_1~203\_\_Mのいずれか一がH信号を出力し、その他の論理回路203\_\_1~203\_\_MがL信号を出力することが好ましい。

【0161】

一方、各スイッチが、制御端子にL信号が入力される場合にオンする場合、スイッチ204\_\_11~204\_\_1Mのいずれか一、およびスイッチ204\_\_21~204\_\_2Mのいずれか一をオンするために、論理回路203\_\_1~203\_\_Mのいずれか一がL信号を出力し、その他の論理回路203\_\_1~203\_\_MがH信号を出力することが好ましい。

【0162】

なお、回路202\_\_1が有するスイッチの数と、回路202\_\_2が有するスイッチの数とは、一致する場合が多い。ただし、回路202\_\_1が有するスイッチの数と、回路202\_\_2が有するスイッチの数とは、異なることも可能である。

【0163】

なお、論理回路203\_\_1~203\_\_Mとしては、例えば、AND回路、OR回路、NAND回路、NOR回路、XOR回路、またはXNOR回路などのいずれか一、またはこれらのうちいくつかの組み合わせ論理回路を用いることが可能である。

【0164】

なお、スイッチ204\_\_11~204\_\_1M、およびスイッチ204\_\_21~204\_\_2Mとしては、例えば、Pチャネル型トランジスタ、Nチャネル型トランジスタ、またはNチャネル型トランジスタとPチャネル型トランジスタとを組み合わせたCMOS型のスイッチを用いることが可能である。なお、各トランジスタのゲート、第1の端子(ソースまたはドレインの一方)、第2の端子(ソースまたはドレインの他方)は、各スイッチの制御端子、第1の端子、第2の端子に相当し、同様の接続構成となる。

【0165】

10

20

30

40

50

例えば、図4(A)に示すスイッチとして、Nチャンネル型トランジスタを用いた場合のデジタルアナログ変換部100を図4(B)に示す。

【0166】

トランジスタ204\_\_11a~204\_\_1Maは、スイッチ204\_\_11~204\_\_1Mに対応し、Nチャンネル型である。トランジスタ204\_\_21a~204\_\_2Maは、スイッチ204\_\_21~2Mに対応し、Nチャンネル型である。

【0167】

NOR回路203\_\_1a~203\_\_Maは、論理回路203\_\_1~203\_\_Mに対応する。NOR回路が用いられた理由は、Nチャンネル型トランジスタは、ゲートにH信号が入力される場合にオンするからである。そして、入力信号が全てL信号の場合に、NOR回路はH信号を出力し、入力信号のいずれかがH信号の場合に、論理回路はL信号を出力するからである。ただし、これに限定されない。例えば、論理回路203\_\_1~203\_\_Mとして、AND回路、NAND回路とインバータとが直列に接続される回路、または様々な組み合わせ論理回路などを用いることが可能である。

【0168】

どのトランジスタがオンして、どの電圧が選択されても、第1のアナログ信号のスイッチングノイズがおおむね等しくなるように、例えば、トランジスタ204\_\_11a~204\_\_1MaのW/L(W:チャンネル幅、L:チャンネル長)比は、各々、等しいことが好ましい。こうすることで、図4(B)のデジタルアナログ変換部100が表示装置に用いられる場合、どのトランジスタがオンしても、第1のサブ画素は、おおむね等しいスイッチングノイズを有する第1のアナログ信号にしたがって、階調を表現する。よって、第1のアナログ信号のスイッチングノイズの影響を低減することができる。ただし、これに限定されない。例えば、トランジスタ204\_\_1kaのW/L比をW/L1a(k)で示すと、 $W/L1a(k-1) < W/L1a(k) < W/L1a(k+1)$ であることが可能である。このとき、トランジスタ204\_\_1kaの第1の端子の電位(配線112\_\_1kの電位)をV1a(k)で示すと、 $V1a(k-1) < V1a(k) < V1a(k+1)$ であることが好ましい。

【0169】

トランジスタ204\_\_11a~204\_\_1Maと同様に、例えば、トランジスタ204\_\_21a~204\_\_2MaのW/L(W:チャンネル幅、L:チャンネル長)比は、各々、等しいことが好ましい。ただし、これに限定されない。例えば、トランジスタ204\_\_2kaのW/L比をW/L2a(k)で示すと、 $W/L2a(k-1) < W/L2a(k) < W/L2a(k+1)$ であることが可能である。このとき、トランジスタ204\_\_2kaの第1の端子の電位(配線112\_\_1kの電位)をV2a(k)で示すと、 $V2a(k-1) < V2a(k) < V2a(k+1)$ であることが好ましい。

【0170】

第1のアナログ信号のスイッチングノイズと、第2のアナログ信号のスイッチングノイズがおおむね等しくなるように、例えば、トランジスタ204\_\_1kaのW/L比と、トランジスタ204\_\_2kaのW/L比とは、等しいことが好ましい。こうすることで、図4(B)のデジタルアナログ変換部100が表示装置に用いられる場合、第1のサブ画素と第2のサブ画素とは、各々、おおむね等しいスイッチングノイズを有する信号にしたがって、階調を表現する。よって、各アナログ信号のスイッチングノイズの影響を低減することができる。ただし、これに限定されない。

【0171】

各トランジスタがオンするときに、ゲートとソースとの間の電圧(Vgs)が大きくなるように、例えば、回路201の出力信号のH信号の値は、第1の電圧群の最大値、および第2の電圧群の最大値よりも大きいことが好ましい。こうして、各トランジスタのサイズを小さくできる。一方で、例えば、各トランジスタがオフするときに、ゲートとソースとの間の電圧(Vgs)は、しきい値電圧以下であればよい。よって、回路201の出力信号の振幅が小さくなるように、例えば、回路201の出力信号のL信号の値は、第1の電

10

20

30

40

50

圧群の最小値と第2の電圧群の最小値のうち小さい方と等しい、または小さいことが好ましい。こうして、消費電力の削減を図ることができる。

【0172】

例えば、図4(A)に示すスイッチとして、Pチャネル型トランジスタを用いた場合のデジタルアナログ変換部100を図5(A)に示す。

【0173】

トランジスタ204\_\_11b~204\_\_1Mbは、スイッチ204\_\_11~204\_\_1Mに対応し、Pチャネル型である。トランジスタ204\_\_21b~204\_\_2Mbは、スイッチ204\_\_21~2Mに対応し、Pチャネル型である。

【0174】

NAND回路203\_\_1b~203\_\_Mbは、論理回路203\_\_1~203\_\_Mに対応する。NAND回路が用いられた理由は、Pチャネル型トランジスタは、ゲートにL信号が入力される場合にオンするからである。そして、入力信号が全てH信号の場合に、NAND回路はL信号を出力し、入力信号のいずれかがL信号の場合に、NAND回路はH信号を出力するからである。ただし、これに限定されない。例えば、論理回路203\_\_1~203\_\_Mとして、OR回路、NOR回路とインバータとが直列に接続される回路、または様々な組み合わせ論理回路などを用いることが可能である。

【0175】

図4(B)に示すトランジスタ204\_\_11a~204\_\_1Maと同様に、トランジスタ204\_\_21b~204\_\_2MbのW/L(W:チャネル幅、L:チャネル長)比は、各々、等しいことが好ましい。ただし、これに限定されない。例えば、トランジスタ204\_\_1kbのW/L比をW/L1b(k)で示すと、 $W/L1b(k-1) < W/L1b(k) < W/L1b(k+1)$ であることが好ましい。このとき、トランジスタ204\_\_1kbの第1の端子の電位(配線112\_\_1kの電位)をV1b(k)で示すと、 $V1b(k-1) > V1b(k) > V1b(k+1)$ であることが好ましい。

【0176】

図4(B)に示すトランジスタ204\_\_21a~204\_\_2Maと同様に、トランジスタ204\_\_21b~204\_\_2MbのW/L(W:チャネル幅、L:チャネル長)比は、各々、等しいことが好ましい。ただし、これに限定されない。例えば、トランジスタ204\_\_2kbのW/L比をW/L2b(k)で示すと、 $W/L2b(k-1) < W/L2b(k) < W/L2b(k+1)$ であることが好ましい。このとき、トランジスタ204\_\_2kbの第1の端子の電位(配線112\_\_1kの電位)をV2b(k)で示すと、 $V2b(k-1) > V2b(k) > V2b(k+1)$ であることが好ましい。

【0177】

図4(B)と同様に、トランジスタ204\_\_1kbのW/L比と、トランジスタ204\_\_2kbのW/L比とは、等しいことが好ましい。ただし、これに限定されない。

【0178】

各トランジスタがオンするときに、ゲートとソースとの間の電圧(Vgs)の絶対値が大きくなるように、例えば、回路201の出力信号のL信号の値は、第1の電圧群の最小値、および第2の電圧群の最小値よりも小さいことが好ましい。こうして、各トランジスタのサイズを小さくできる。一方で、例えば、各トランジスタがオフするときに、ゲートとソースとの間の電圧(Vgs)の絶対値は、しきい値電圧の絶対値以下であればよい。よって、回路201の出力信号の振幅が小さくなるように、例えば、回路201の出力信号のH信号の値は、第1の電圧群の最大値と第2の電圧群の最大値のうち大きい方と等しい、または大きいことが好ましい。こうして、消費電力の削減を図ることができる。

【0179】

なお、CMOS型のスイッチが、各スイッチとして用いられることが可能である。各CMOS型のスイッチは、Nチャネル型トランジスタの第1の端子と、Pチャネル型トランジスタの第1の端子とが接続され、Nチャネル型トランジスタの第2の端子と、Pチャネル型トランジスタの第2の端子とが接続される構成である。Pチャネル型トランジスタのゲ

10

20

30

40

50

ート、およびNチャンネル型トランジスタのゲートは、各々、異なる配線と接続される。例えば、Pチャンネル型トランジスタのゲートは、論理回路203\_kの出力端子と接続され、Nチャンネル型トランジスタのゲートは、インバータなどの入力信号を反転する機能を有する回路を介して論理回路203\_kの出力端子と接続される。または、Pチャンネル型トランジスタのゲートは、インバータなどの入力信号を反転する機能を有する回路を介して論理回路203\_kの出力端子と接続され、Nチャンネル型トランジスタのゲートは、論理回路203\_kの出力端子と接続される。

【0180】

各スイッチとして、CMOS型のスイッチが用いられる場合、回路201の出力信号のH信号の値は、第1の電圧群の最大値と、第2の電圧群の最大値との大きい方と同程度、または同程度以上であればよい。回路201の出力信号のL信号の値は、第1の電圧群の最小値と、第2の電圧群の最小値との小さい方と同程度、または同程度以下であればよい。よって、回路201の出力信号の振幅電圧が小さくなるため、消費電力の低減を図ることができる。

10

【0181】

なお、デジタルアナログ変換部100が、複数の論理回路、および複数のスイッチを有する場合について説明したが、これに限定されない。デジタルアナログ変換部100は、複数(例えばN個)の入力端子、および1個の出力端子を有する論理回路と、第1のスイッチと、第2のスイッチとを有していればよい。論理回路において、ある入力端子(例えば、j番目の入力端子)は、第1の配線、または第2の配線と接続され、出力端子は、第1のスイッチの制御端子、および第2のスイッチの制御端子と接続される。第1のスイッチの第1の端子は、第3の配線と接続され、第1のスイッチの第2の端子は、第4の配線と接続される。第2のスイッチの第1の端子は、第5の配線と接続され、第2のスイッチの第2の端子は、第6の配線と接続される。

20

【0182】

なお、第1の配線、第2の配線、第3の配線、第4の配線、第5の配線、第6の配線は、各々、配線群111に含まれる配線のいずれか一、配線群114に含まれる配線のいずれか一、配線群112\_1に含まれる配線のいずれか一、配線113\_1、配線群112\_2のいずれか一、配線113\_2に対応する。第1のスイッチ、第2のスイッチは、各々、スイッチ204\_1\_1~204\_1\_Mのいずれか一、スイッチ204\_2\_1~204\_2\_Mのいずれか一に対応する。

30

【0183】

なお、図1(B)、および図3において説明したように、図4(A)においても、デジタルアナログ変換部100は、Nビットのデジタル信号をn個のアナログ信号に変換することが可能である。この場合、例えば、図5(B)に示すように、回路201と、回路202\_1~回路202\_nが用いられる。

【0184】

回路202\_1~回路202\_nは、各々、複数のスイッチを有する。例えば、回路202\_iは、スイッチ204\_i\_1~204\_i\_Mを有する。スイッチ204\_i\_1~204\_i\_Mは、図4(A)に示すスイッチ204\_1\_1~204\_1\_M、またはスイッチ204\_2\_1~204\_2\_Mに対応する。

40

【0185】

スイッチ204\_i\_1~204\_i\_Mの第1の端子は、各々、配線群112\_iと接続され、スイッチ204\_i\_1~204\_i\_Mの第2の端子は、すべて配線113\_iと接続され、スイッチ204\_i\_1~204\_i\_Mの制御端子は、各々、回路201の出力端子と接続される。

【0186】

以上のように、本実施の形態のデジタルアナログ変換部は、一つのデジタル信号を複数のアナログ信号に変換することができるため、ルックアップテーブルを用いないことができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、

50

または消費電力の増大などを防ぐことができる。

【0187】

さらに、例えば、表示装置において、本実施の形態のデジタルアナログ変換部を用いてビデオ信号が生成される場合、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、パネルと外部部品との接続部分の接続不良を低減することができ、信頼性の向上、歩留まりの向上、生産コストの削減、または高精細化などを図ることができる。

【0188】

(実施の形態3)

本実施の形態では、各アナログ信号の極性を個別に設定することが可能なデジタルアナログ変換部100の一例について、図6(A)を参照して説明する。

10

【0189】

各アナログ信号の極性を個別に設定するために、例えば、デジタルアナログ変換部100は、第1のモードと、第2のモードとを有する。同じNビットのデジタル信号が入力される場合でも、各アナログ信号の値(または極性)は、第1のモードのときと、第2のモードのときとで異なる場合が多い。

【0190】

例えば、第1のモードにおいて、各アナログ信号は、正極性の電位となり、第2のモードにおいて、各アナログ信号は、負極性となる。こうすることによって、各アナログ信号の極性を個別に設定することが可能になる。ただし、これに限定されない。各アナログ信号の値、または極性は、第1のモードのときと、第2のモードのときとで同じこともある。または、第1のモード、および第2のモードにおいて、各アナログ信号の極性が異なることも可能である。

20

【0191】

第1のモードと、第2のモードとを切り替えるために、例えば、選択信号が入力される。そのために、デジタルアナログ変換部100は、例えば、配線115と接続される。選択信号は、配線115に入力される。選択信号は、例えば、デジタル信号であり、デジタルアナログ変換部100が第1のモードで動作するのか、第2のモードで動作するのかを選択する役割を持つ。ただし、nビットのデジタル信号が、選択信号と同じ役割を含む場合、選択信号を省略することが可能である。

30

【0192】

なお、選択信号の反転信号(以下、反転選択信号)をデジタルアナログ変換部100に入力することも可能である。この場合、例えば、新たな配線をデジタルアナログ変換部100に接続し、その配線を介して反転選択信号をデジタルアナログ変換部100に入力する。この配線は、例えば、信号線として機能することが可能である。なお、選択信号と記載する場合、選択信号と反転選択信号とを含む場合もある。

【0193】

なお、選択信号、および反転選択信号は、Nビットのデジタル信号と同じ回路に入力される場合が多いので、例えば、選択信号の振幅電圧、および反転選択信号の振幅電圧は、Nビットのデジタル信号の振幅電圧と等しいことが好ましい。ただし、これに限定されない。

40

【0194】

各アナログ信号の極性を個別に設定するために、正極性の第1の電圧群、負極性の第1の電圧群、正極性の第2の電圧群、および負極性の第2の電圧群が、デジタルアナログ変換部100に入力される。本実施の形態では、配線数を増やすことによって、これらの電圧群が同時にデジタルアナログ変換部100に入力される。例えば、正極性の第1の電圧群、負極性の第1の電圧群、正極性の第2の電圧群、負極性の第2の電圧群は、各々、配線群112p<sub>1</sub>、配線群112n<sub>1</sub>、配線群112p<sub>2</sub>、および配線群112n<sub>2</sub>に入力されることとする。

【0195】

50

なお、配線群 1 1 2 p \_\_ 1 と、配線群 1 1 2 n \_\_ 1 とをまとめて、配線群 1 1 2 \_\_ 1 と示すことも可能である。配線群 1 1 2 p \_\_ 2 と、配線群 1 1 2 n \_\_ 2 とをまとめて、配線群 1 1 2 \_\_ 2 と示すことも可能である。

【 0 1 9 6 】

なお、正極性の第 1 の電圧群と、負極性の第 1 の電圧群とをまとめて、第 1 の電圧群と示すことも可能である。正極性の第 2 の電圧群と、負極性の第 2 の電圧群とをまとめて、第 2 の電圧群と示すことも可能である。

【 0 1 9 7 】

なお、正極性の第 1 の電圧群の最小の電圧と、負極性の第 1 の電圧群の最大の電圧とは、等しい場合がある。同様に、正極性の第 2 の電圧群の最小の電圧と、負極性の第 2 の電圧群の最大の電圧とは、等しい場合がある。

10

【 0 1 9 8 】

次に、図 6 ( A ) に示すデジタルアナログ変換部 1 0 0 の動作を説明する。

【 0 1 9 9 】

N ビットのデジタル信号、正極性の第 1 の電圧群、負極性の第 1 の電圧群、正極性の第 2 の電圧群、負極性の第 2 の電圧群、および選択信号が、デジタルアナログ変換部 1 0 0 に入力される。

【 0 2 0 0 】

第 1 のモードにおいて、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、配線群 1 1 2 p \_\_ 1 のいずれか一と配線 1 1 3 \_\_ 1 とを導通状態とし、等しい電位とする。同時に、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、配線群 1 1 2 p \_\_ 2 のいずれか一と配線 1 1 3 \_\_ 2 とを導通状態とし、等しい電位とする。

20

【 0 2 0 1 】

こうして、第 1 のモードにおいて、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号を正極性の第 1 のアナログ信号、および正極性の第 2 のアナログ信号に変換する。または、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、正極性の第 1 の電圧群のいずれか一を正極性の第 1 のアナログ信号として配線 1 1 3 \_\_ 1 に出力し、正極性の第 2 の電圧群のいずれか一を正極性の第 2 のアナログ信号として配線 1 1 3 \_\_ 2 に出力する。

30

【 0 2 0 2 】

一方、第 2 のモードにおいて、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、配線群 1 1 2 n \_\_ 1 のいずれか一と配線 1 1 3 \_\_ 1 とを導通状態とし、等しい電位とする。同時に、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、配線群 1 1 2 n \_\_ 2 のいずれか一と配線 1 1 3 \_\_ 2 とを導通状態とし、等しい電位とする。

【 0 2 0 3 】

こうして、第 2 のモードにおいて、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号を負極性の第 1 のアナログ信号、および負極性の第 2 のアナログ信号に変換する。または、デジタルアナログ変換部 1 0 0 は、N ビットのデジタル信号にしたがって、負極性の第 1 の電圧群のいずれか一を負極性の第 1 のアナログ信号として配線 1 1 3 \_\_ 1 に出力し、負極性の第 2 の電圧群のいずれか一を負極性の第 2 のアナログ信号として配線 1 1 3 \_\_ 2 に出力する。

40

【 0 2 0 4 】

なお、デジタルアナログ変換部 1 0 0 は、各モードにおいて、第 1 のアナログ信号の極性と第 2 のアナログ信号の極性とをお互いに異なる極性に設定することが可能である。これを実現するために、例えば、正極性の第 2 の電圧群を配線群 1 1 2 n \_\_ 2 に入力し、負極性の第 2 の電圧群を配線群 1 1 2 p \_\_ 2 に入力する。

【 0 2 0 5 】

次に、図 6 ( A ) に示すデジタルアナログ変換部 1 0 0 の一例について、図 6 ( B ) を参

50

照して説明する。

【0206】

デジタルアナログ変換部100は、回路201p、回路201n、回路202p\_\_1、回路202n\_\_1、回路202p\_\_2、および回路202n\_\_2を有している。

【0207】

回路201p、および回路201nは、図4(A)に示す回路201に対応する。回路202p\_\_1、および回路202n\_\_1は、図4(A)に示す回路202\_\_1に対応する。回路202p\_\_2、および回路202n\_\_2は、図4(A)に示す回路202\_\_2に対応する。

【0208】

なお、回路201p、および回路201nをまとめて、第1の回路と呼ぶことも可能である。回路202p\_\_1、および回路202n\_\_1をまとめて、第2の回路と呼ぶことも可能である。回路202p\_\_2、および回路202n\_\_2をまとめて、第3の回路と呼ぶことが可能である。

【0209】

回路201pは、配線群111、配線群114、および配線115と接続される。回路201nは、配線群111、配線群114、および配線116と接続される。回路202p\_\_1は、配線群112p\_\_1、配線113\_\_1、および回路201pの出力端子と接続される。回路202n\_\_1は、配線群112n\_\_1、配線113\_\_1、および回路201nの出力端子と接続される。回路202p\_\_2は、配線群112p\_\_2、配線113\_\_2、および回路201pの出力端子と接続される。回路202n\_\_2は、配線群112n\_\_2、配線113\_\_2、および回路201nの出力端子と接続される。

【0210】

配線116には、例えば、反転選択信号が入力される。ただし、配線115と、配線116とが、インバータを介して接続されることによって、配線115に入力される選択信号が、インバータによって反転され、配線116に入力される。こうして、反転選択信号を省略することが可能である。

【0211】

次に、図6(B)に示すデジタルアナログ変換部100の動作を説明する。

【0212】

Nビットのデジタル信号、Nビットの反転デジタル信号、および選択信号が、回路201pに入力され、Nビットのデジタル信号、Nビットの反転デジタル信号、および反転選択信号が、回路201nに入力される。

【0213】

図2(A)の回路201と同様に、回路201pは、Nビットのデジタル信号、Nビットの反転デジタル信号、および選択信号をデジタル信号に変換し、回路201nは、Nビットのデジタル信号、Nビットの反転デジタル信号、および反転選択信号をデジタル信号に変換する。

【0214】

この回路201pが生成するデジタル信号のビット数、および回路202nが生成するデジタル信号のビット数は、図2(A)の回路201と同様に、正極性の第1の電圧群の電圧数、負極性の第1の電圧群の電圧数、正極性の第2の電圧群の電圧数、または負極性の第2の電圧群の電圧数と一致する場合が多い。よって、例えば、これらの電圧数が、M個の場合、回路201pが生成するデジタル信号のビット数、および回路202nが生成するデジタル信号のビット数は、図2(A)の回路201と同様に、Mビットである。ここで、回路201pが生成するデジタル信号を第1のMビットのデジタル信号と示し、回路201nが生成するデジタル信号を第2のMビットのデジタル信号と示す。

【0215】

その後、回路201pは、第1のMビットのデジタル信号を回路202p\_\_1、および回路202p\_\_2に入力し、回路202p\_\_1、および回路202p\_\_2を制御する。回路

10

20

30

40

50

201nは、第2のMビットのデジタル信号を回路202n\_1、および回路202n\_2に入力し、回路202n\_1、および回路202n\_2を制御する。

【0216】

具体的には、第1のモードにおいて、回路202p\_1は、第1のMビットのデジタル信号にしたがって、配線群112p\_1のいずれか一と配線113\_1とを導通状態とし、等しい電位とする。同時に、回路202p\_2は、第1のMビットのデジタル信号にしたがって、配線群112p\_2のいずれか一と配線113\_2とを導通状態とし、等しい電位とする。このとき、回路202n\_1は、配線群112n\_1と配線113\_1とを非導通状態とし、回路202n\_2は、配線群112n\_2と配線113\_2とを非導通状態とする。

10

【0217】

こうして、第1のモードにおいて、回路202p\_1は、第1のMビットのデジタル信号を正極性の第1のアナログ信号に変換し、正極性の第1のアナログ信号を配線113\_1に出力する。回路202p\_2は、第1のMビットのデジタル信号を正極性の第2のアナログ信号に変換し、正極性の第2のアナログ信号を配線113\_2に出力する。または、第1のモードにおいて、回路202p\_1は、第1のMビットのデジタル信号にしたがって、正極性の第1の電圧群のいずれか一を正極性の第1のアナログ信号として配線113\_1に出力する。回路202p\_2は、第1のMビットのデジタル信号にしたがって、正極性の第2の電圧群のいずれか一を正極性の第2のアナログ信号として配線113\_2に出力する。

20

【0218】

一方、第2のモードにおいて、回路202n\_1は、第2のMビットのデジタル信号にしたがって、配線群112n\_1のいずれか一と配線113\_1とを導通状態とし、等しい電位とする。同時に、回路202n\_2は、第2のMビットのデジタル信号にしたがって、配線群112n\_2のいずれか一と配線113\_2とを導通状態とし、等しい電位とする。このとき、回路202p\_1は、配線群112p\_1と配線113\_1とを非導通状態とし、回路202p\_2は、配線群112p\_2と配線113\_2とを非導通状態とする。

【0219】

こうして、第2のモードにおいて、回路202n\_1は、第2のMビットのデジタル信号を負極性の第1のアナログ信号に変換し、負極性の第1のアナログ信号を配線113\_1に出力する。回路202n\_2は、第2のMビットのデジタル信号を負極性の第2のアナログ信号に変換し、負極性の第2のアナログ信号を配線113\_2に出力する。または、第2のモードにおいて、回路202n\_1は、第2のMビットのデジタル信号にしたがって、負極性の第1の電圧群のいずれか一を負極性の第1のアナログ信号として配線113\_1に出力し、回路202n\_2は、第2のMビットのデジタル信号にしたがって、負極性の第2の電圧群のいずれか一を負極性の第2のアナログ信号として配線113\_2に出力する。

30

【0220】

なお、第1のMビットのデジタル信号、および第2のMビットのデジタル信号は、各々、図2(A)で説明したMビットのデジタル信号に対応する。

40

【0221】

なお、第1のMビットのデジタル信号と第2のMビットのデジタル信号とをまとめて、第2のデジタル信号と示すことも可能である。

【0222】

なお、選択信号を第3のデジタル信号と示すことが可能である。ただし、選択信号、および反転選択信号をまとめて、第3のデジタル信号と示すことも可能である。

【0223】

なお、第1のアナログ信号の極性と、第2のアナログ信号の極性とをお互いに異ならせることが可能である。例えば、これを実現するために、正極性の第2の電圧群が配線群11

50

2 n \_\_ 2 に入力され、負極性の第 2 の電圧群が配線群 1 1 2 p \_\_ 2 に入力される。

【 0 2 2 4 】

次に、図 7 を参照して、図 6 ( B ) に回路 2 0 1 p、回路 2 0 1 n、回路 2 0 2 p \_\_ 1、回路 2 0 2 n \_\_ 1、回路 2 0 2 p \_\_ 2、および回路 2 0 2 n \_\_ 2 の具体的な一例について説明する。

【 0 2 2 5 】

図 4 ( A ) に示す回路 2 0 1 と同様に、回路 2 0 1 p は、複数の論理回路、例えば論理回路 2 0 3 p \_\_ 1 ~ 2 0 3 p \_\_ M を有し、回路 2 0 1 n は、複数の論理回路、例えば論理回路 2 0 3 n \_\_ 1 ~ 2 0 3 n \_\_ M を有する。

【 0 2 2 6 】

図 4 ( A ) に示す論理回路 2 0 3 \_\_ 1 ~ 2 0 3 \_\_ M と同様に、論理回路 2 0 3 p \_\_ 1 ~ 2 0 3 p \_\_ M、および論理回路 2 0 3 n \_\_ 1 ~ 2 0 3 n \_\_ M は、複数の入力端子を有する。例えば、配線群 1 1 1、および配線群 1 1 4 とは別に、回路 2 0 1 p には配線 1 1 5 が接続され、回路 2 0 1 n には配線 1 1 6 が接続されているので、入力端子の数は、( N + 1 ) 個である。

【 0 2 2 7 】

図 4 ( A ) に示す回路 2 0 2 \_\_ 1 と同様に、回路 2 0 2 p \_\_ 1 は、複数のスイッチ、例えばスイッチ 2 0 4 p \_\_ 1 1 ~ 2 0 4 p \_\_ 1 M を有し、回路 2 0 2 n \_\_ 1 は、複数のスイッチ、例えばスイッチ 2 0 4 n \_\_ 1 1 ~ 2 0 4 n \_\_ 1 M を有する。

【 0 2 2 8 】

図 4 ( A ) に示す回路 2 0 2 \_\_ 2 と同様に、回路 2 0 2 p \_\_ 2 は、複数のスイッチ、例えばスイッチ 2 0 4 p \_\_ 2 1 ~ 2 0 4 p \_\_ 2 M を有し、回路 2 0 2 n \_\_ 2 は、複数のスイッチ、例えばスイッチ 2 0 4 n \_\_ 2 1 ~ 2 0 4 n \_\_ 2 M を有する。

【 0 2 2 9 】

論理回路 2 0 3 p \_\_ k の出力端子は、スイッチ 2 0 4 p \_\_ 1 k の制御端子、およびスイッチ 2 0 4 p \_\_ 2 k の制御端子と接続される。論理回路 2 0 3 n \_\_ k の出力端子は、スイッチ 2 0 4 n \_\_ 1 k の制御端子、およびスイッチ 2 0 4 n \_\_ 2 k の制御端子と接続される。

【 0 2 3 0 】

スイッチ 2 0 4 p \_\_ 1 k の第 1 の端子は、配線 1 1 2 p \_\_ 1 k と接続され、スイッチ 2 0 4 p \_\_ 1 k の第 2 の端子は、配線 1 1 3 \_\_ 1 と接続される。スイッチ 2 0 4 n \_\_ 1 k の第 1 の端子は、配線 1 1 2 n \_\_ 1 k と接続され、スイッチ 2 0 4 n \_\_ 1 k の第 2 の端子は、配線 1 1 3 \_\_ 1 と接続される。スイッチ 2 0 4 p \_\_ 2 k の第 1 の端子は、配線 1 1 2 p \_\_ 2 k と接続され、スイッチ 2 0 4 p \_\_ 2 k の第 2 の端子は、配線 1 1 3 \_\_ 2 と接続される。スイッチ 2 0 4 n \_\_ 2 k の第 1 の端子は、配線 1 1 2 n \_\_ 2 k と接続され、スイッチ 2 0 4 n \_\_ 2 k の第 2 の端子は、配線 1 1 3 \_\_ 2 と接続される。

【 0 2 3 1 】

次に、図 7 に示すデジタルアナログ変換部 1 0 0 の動作について説明する。

【 0 2 3 2 】

N ビットのデジタル信号、N ビットの反転デジタル信号、および選択信号が、論理回路 2 0 3 p \_\_ 1 ~ 2 0 3 p \_\_ M の入力端子に入力される。N ビットのデジタル信号、N ビットの反転デジタル信号、および反転選択信号が、論理回路 2 0 3 n \_\_ 1 ~ 2 0 3 n \_\_ M の入力端子に入力される。

【 0 2 3 3 】

論理回路 2 0 3 p \_\_ 1 ~ 2 0 3 p \_\_ M は、各々、入力される N ビットのデジタル信号と N ビットの反転デジタル信号と選択信号との組み合わせにしたがって、H 信号、または L 信号を出力する。論理回路 2 0 3 n \_\_ 1 ~ 2 0 3 n \_\_ M は、各々、入力される N ビットのデジタル信号と N ビットの反転デジタル信号と反転選択信号との組み合わせにしたがって、H 信号、または L 信号を出力する。

【 0 2 3 4 】

例えば、各スイッチの制御端子に H 信号が入力される場合にオンするとき、第 1 のモード

10

20

30

40

50

において、論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>のいずれか一が H 信号を出力し、その他の論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>、および論理回路 203 n<sub>1</sub> ~ 203 n<sub>M</sub>は、全て L 信号を出力する。一方、第 2 のモードにおいて、論理回路 203 n<sub>1</sub> ~ 203 n<sub>M</sub>のいずれか一が H 信号を出力し、その他の論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>、および論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>は、全て L 信号を出力する。

【0235】

別の例として、各スイッチの制御端子に L 信号が入力される場合にオンするとき、第 1 のモードにおいて、論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>のいずれか一が L 信号を出力し、その他の論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>、および論理回路 203 n<sub>1</sub> ~ 203 n<sub>M</sub>は、全て H 信号を出力する。一方、第 2 のモードにおいて、論理回路 203 n<sub>1</sub> ~ 203 n<sub>M</sub>のいずれか一が L 信号を出力し、その他の論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>、および論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>は、全て H 信号を出力する。

10

【0236】

なお、論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>の出力信号が、図 6 ( B ) の第 1 の M ビットのデジタル信号に対応する。論理回路 203 n<sub>1</sub> ~ 203 n<sub>M</sub>の出力信号が、図 6 ( B ) の第 2 の M ビットのデジタル信号に対応する。

【0237】

その後、論理回路 203 p<sub>1</sub> ~ 203 p<sub>M</sub>は、第 1 の M ビットのデジタル信号をスイッチ 204 p<sub>11</sub> ~ 204 p<sub>1M</sub>の制御端子、およびスイッチ 204 p<sub>21</sub> ~ 204 p<sub>2M</sub>の制御端子に入力し、スイッチ 204 p<sub>11</sub> ~ 204 p<sub>1M</sub>、およびスイッチ 204 p<sub>21</sub> ~ 204 p<sub>2M</sub>のオンとオフとを制御する。例えば、論理回路 203 p<sub>k</sub> ( k : 1 ~ M のいずれか一 ) は、デジタル信号をスイッチ 204 p<sub>1k</sub> の制御端子、およびスイッチ 204 p<sub>2k</sub> の制御端子に入力し、スイッチ 204 p<sub>1k</sub>、およびスイッチ 204 p<sub>2k</sub> のオンとオフとを制御する。したがって、スイッチ 204 p<sub>1k</sub>、およびスイッチ 204 p<sub>2k</sub> のオンとオフとのタイミングは、おおむね等しくなる場合が多い。

20

【0238】

同時に、論理回路 203 n<sub>1</sub> ~ 203 n<sub>M</sub>は、第 2 の M ビットのデジタル信号をスイッチ 204 n<sub>11</sub> ~ 204 n<sub>1M</sub>の制御端子、およびスイッチ 204 n<sub>21</sub> ~ 204 n<sub>2M</sub>の制御端子に入力し、スイッチ 204 n<sub>11</sub> ~ 204 n<sub>1M</sub>、およびスイッチ 204 n<sub>21</sub> ~ 204 n<sub>2M</sub>のオンとオフとを制御する。例えば、論理回路 203 n<sub>k</sub> ( k : 1 ~ M のいずれか一 ) は、デジタル信号をスイッチ 204 n<sub>1k</sub> の制御端子、およびスイッチ 204 n<sub>2k</sub> の制御端子に入力し、スイッチ 204 n<sub>1k</sub>、およびスイッチ 204 n<sub>2k</sub> のオンとオフとを制御する。したがって、スイッチ 204 n<sub>1k</sub>、およびスイッチ 204 n<sub>2k</sub> のオンとオフとのタイミングは、おおむね等しくなる場合が多い。

30

【0239】

具体的には、例えば、第 1 のモードにおいて、第 1 の M ビットのデジタル信号にしたがって、スイッチ 204 p<sub>11</sub> ~ 204 p<sub>1M</sub>のいずれか一がオンすることによって、スイッチ 204 p<sub>11</sub> ~ 204 p<sub>1M</sub>は、配線群 112 p<sub>1</sub>のいずれか一と配線 113<sub>1</sub>とを導通状態とし、等しい電位とする。同時に、例えば、第 1 のモードにおいて、第 1 の M ビットのデジタル信号にしたがって、スイッチ 204 p<sub>21</sub> ~ 204 p<sub>2M</sub>のいずれか一がオンすることによって、スイッチ 204 p<sub>21</sub> ~ 204 p<sub>2M</sub>は、配線群 112 p<sub>2</sub>のいずれか一と配線 113<sub>2</sub>とを導通状態とし、等しい電位とする。このとき、スイッチ 204 n<sub>11</sub> ~ 204 n<sub>1M</sub>、およびスイッチ 204 n<sub>21</sub> ~ 204 n<sub>2M</sub>は、第 2 の M ビットのデジタル信号にしたがって全てオフしている。

40

【0240】

一方、例えば、第 2 のモードにおいて、第 2 の M ビットのデジタル信号にしたがって、スイッチ 204 n<sub>11</sub> ~ 204 n<sub>1M</sub>のいずれか一がオンすることによって、スイッチ 204 n<sub>11</sub> ~ 204 n<sub>1M</sub>は、配線群 112 n<sub>1</sub>のいずれか一と配線 113<sub>1</sub>

50

とを導通状態とし、等しい電位とする。同時に、例えば、第2のモードにおいて、第2のMビットのデジタル信号にしたがって、スイッチ204n<sub>2</sub>1~204n<sub>2</sub>Mのいずれかーがオンすることによって、スイッチ204n<sub>2</sub>1~204n<sub>2</sub>Mは、配線群112n<sub>2</sub>のいずれかーと配線113<sub>2</sub>とを導通状態とし、等しい電位とする。このとき、スイッチ204p<sub>1</sub>1~204p<sub>1</sub>M、およびスイッチ204p<sub>2</sub>1~204p<sub>2</sub>Mは、第1のMビットのデジタル信号にしたがって全てオフしている。

【0241】

なお、第1のアナログ信号の極性と、第2のアナログ信号の極性とをお互いに異ならせることが可能である。例えば、これを実現するために、正極性の第2の電圧群が配線群112n<sub>2</sub>に入力され、負極性の第2の電圧群が配線群112p<sub>2</sub>に入力される。

10

【0242】

なお、図4(A)に示す論理回路と同様に、論理回路203p<sub>1</sub>~203p<sub>M</sub>、および論理回路203n<sub>1</sub>~203n<sub>M</sub>としては、例えば、AND回路、OR回路、NAND回路、NOR回路、XOR回路、またはXNOR回路などのいずれかー、またはこれらの組み合わせ論理回路を用いることが可能である。

【0243】

なお、図4(A)に示すスイッチと同様に、スイッチ204p<sub>1</sub>1~204p<sub>1</sub>M、スイッチ204n<sub>1</sub>1~204n<sub>1</sub>M、スイッチ204p<sub>2</sub>1~204p<sub>2</sub>M、およびスイッチ204n<sub>2</sub>1~204n<sub>2</sub>Mとして、例えば、Pチャネル型トランジスタ、Nチャネル型トランジスタ、またはNチャネル型トランジスタとPチャネル型トランジスタとを組み合わせさせたCMOS型のスイッチを用いることが可能である。

20

【0244】

なお、デジタルアナログ変換部100が、複数の論理回路、および複数のスイッチを有する場合について説明したが、これに限定されない。デジタルアナログ変換部100は、(N+1)個の入力端子、および1個の出力端子を有する第1の論理回路と、(N+1)個の入力端子、および1個の出力端子を有する第2の論理回路と、第1のスイッチと、第2のスイッチと、第3のスイッチと、第4のスイッチとを有していればよい。第1の論理回路において、j(j:1~Nのいずれかー)番目の入力端子は、第1の配線、または第2の配線と接続され、N+1番目の入力端子は、第3の配線と接続され、出力端子は、第1のスイッチの制御端子、および第2のスイッチの制御端子と接続される。第2の論理回路において、j番目の入力端子は、第1の配線、または第2の配線と接続され、N+1番目の入力端子は、第4の配線と接続され、出力端子は、第3のスイッチの制御端子、および第4のスイッチの制御端子と接続される。第1のスイッチの第1の端子は、第5の配線と接続され、第1のスイッチの第2の端子は、第6の配線と接続される。第2のスイッチの第1の端子は、第7の配線と接続され、第2のスイッチの第2の端子は、第8の配線と接続される。第3のスイッチの第1の端子は、第9の配線と接続され、第3のスイッチの第2の端子は、第6の配線と接続される。第4のスイッチの第1の端子は、第10配線と接続され、第4のスイッチの第2の端子は、第8の配線と接続される。

30

【0245】

なお、第1の配線、第2の配線、第3の配線、第4の配線、第5の配線、第6の配線、第7の配線、第8の配線、第9の配線、および第10の配線は、各々、配線群111のいずれかー、配線群114のいずれかー、配線115、配線116、配線群112p<sub>1</sub>のいずれかー、配線113<sub>1</sub>、配線群112p<sub>2</sub>のいずれかー、配線113<sub>2</sub>、配線112n<sub>1</sub>のいずれかー、配線群112n<sub>2</sub>のいずれかーに対応する。

40

【0246】

なお、第1の論理回路、第2の論理回路、第1のスイッチ、第2のスイッチ、第3のスイッチ、および第4のスイッチは、各々、複数の論理回路203p<sub>1</sub>~203p<sub>M</sub>のいずれかー、論理回路203n<sub>1</sub>~203n<sub>M</sub>のいずれかー、スイッチ204p<sub>1</sub>1~204p<sub>1</sub>Mのいずれかー、スイッチ204p<sub>2</sub>1~204p<sub>2</sub>Mのいずれかー、スイッチ204n<sub>1</sub>1~204n<sub>1</sub>Mのいずれかー、スイッチ204n<sub>2</sub>1~2

50

0 4 n \_ 2 M のいずれか一に対応する。

【 0 2 4 7 】

以上のように、本実施の形態のデジタルアナログ変換部は、一つのデジタル信号を複数のアナログ信号に変換することができるため、ルックアップテーブルを用いないことができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。

【 0 2 4 8 】

さらに、例えば、表示装置において、本実施の形態のデジタルアナログ変換部を用いてビデオ信号が生成される場合、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、パネルと外部部品との接続部分の接続不良を低減することができ、信頼性の向上、歩留まりの向上、生産コストの削減、または高精細化などを図ることができる。

10

【 0 2 4 9 】

(実施の形態 4)

本実施の形態では、実施の形態 3 とは別の方法で、各アナログ信号の極性を個別に設定することが可能なデジタルアナログ変換部 1 0 0 の一例について、図 8 ( A ) を参照して説明する。

【 0 2 5 0 】

本実施の形態のデジタルアナログ変換部 1 0 0 は、実施の形態 3 と同様に、第 1 のモードと第 2 のモードとを有する。

20

【 0 2 5 1 】

デジタルアナログ変換部 1 0 0 は、回路 2 0 1、回路 2 0 2 p \_ 1、回路 2 0 2 n \_ 1、回路 2 0 2 p \_ 2、回路 2 0 2 n \_ 2、回路 4 0 0 \_ 1、および回路 4 0 0 \_ 2 を有する。

【 0 2 5 2 】

回路 2 0 1 は、配線群 1 1 1、および配線群 1 1 4 と接続される。回路 2 0 2 p \_ 1 は、配線群 1 1 2 p \_ 1、配線 4 1 1 p \_ 1、および回路 2 0 1 の出力端子と接続される。回路 2 0 2 n \_ 1 は、配線群 1 1 2 n \_ 1、配線 4 1 1 n \_ 1、および回路 2 0 1 の出力端子と接続される。回路 2 0 2 p \_ 2 は、配線群 1 1 2 p \_ 2、配線 4 1 1 p \_ 2、および回路 2 0 1 の出力端子と接続される。回路 2 0 2 n \_ 2 は、配線群 1 1 2 n \_ 2、配線 4 1 1 n \_ 2、および回路 2 0 1 の出力端子と接続される。回路 4 0 0 \_ 1 は、配線 4 1 1 p \_ 1、配線 4 1 1 n \_ 1、配線 1 1 3 \_ 1、配線 1 1 5、および配線 1 1 6 と接続される。回路 4 0 0 \_ 2 は、配線 4 1 1 p \_ 2、配線 4 1 1 n \_ 2、配線 1 1 3 \_ 2、配線 1 1 5、および配線 1 1 6 と接続される。

30

【 0 2 5 3 】

次に、図 8 ( A ) に示すデジタルアナログ変換部 1 0 0 の動作を説明する。

【 0 2 5 4 】

N ビットのデジタル信号、および N ビットの反転デジタル信号が、回路 2 0 1 に入力される。

【 0 2 5 5 】

回路 2 0 1 は、図 4 ( A ) と同様に、N ビットのデジタル信号、および N ビットの反転デジタル信号に基づいて M ビットのデジタル信号を生成する。

40

【 0 2 5 6 】

その後、回路 2 0 1 は、M ビットのデジタル信号を、回路 2 0 2 p \_ 1、回路 2 0 2 n \_ 1、回路 2 0 2 p \_ 2、および回路 2 0 2 n \_ 2 に入力し、回路 2 0 2 p \_ 1、回路 2 0 2 n \_ 1、回路 2 0 2 p \_ 2、および回路 2 0 2 n \_ 2 を制御する。

【 0 2 5 7 】

回路 2 0 2 p \_ 1 は、M ビットのデジタル信号にしたがって、配線群 1 1 2 p \_ 1 のいずれか一と配線 4 1 1 p \_ 1 とを導通状態とし、おおむね等しい電位とする。回路 2 0 2 n \_ 1 は、M ビットのデジタル信号にしたがって、配線群 1 1 2 n \_ 1 のいずれか一と配線

50

4 1 1 n<sub>1</sub>とを導通状態とし、おおむね等しい電位とする。回路 2 0 2 p<sub>2</sub>は、Mビットのデジタル信号にしたがって、配線群 1 1 2 p<sub>2</sub>のいずれか一と配線 4 1 1 p<sub>2</sub>とを導通状態とし、おおむね等しい電位とする。回路 2 0 2 n<sub>2</sub>は、Mビットのデジタル信号にしたがって、配線群 1 1 2 n<sub>2</sub>のいずれか一と配線 4 1 1 n<sub>2</sub>とを導通状態とし、おおむね等しい電位とする。

【 0 2 5 8 】

こうして、回路 4 0 0<sub>1</sub>には、回路 2 0 2 p<sub>1</sub>から配線 4 1 1 p<sub>1</sub>を介して正極性の第 1 の電圧群のいずれか一が入力され、回路 2 0 2 n<sub>1</sub>から配線 4 1 1 n<sub>1</sub>を介して負極性の第 1 の電圧群のいずれか一が入力される。同時に、回路 4 0 0<sub>2</sub>には、回路 2 0 2 p<sub>2</sub>から配線 4 1 1 p<sub>2</sub>を介して正極性の第 2 の電圧群のいずれか一が入力され、回路 2 0 2 n<sub>2</sub>から配線 4 1 1 n<sub>2</sub>を介して負極性の第 2 の電圧群のいずれか一が入力される。

10

【 0 2 5 9 】

そして、回路 4 0 0<sub>1</sub>は、選択信号、および反転選択信号にしたがって、正極性の第 1 の電圧群のいずれか一と、負極性の第 1 の電圧群のいずれか一との一方を第 1 のアナログ信号として配線 1 1 3<sub>1</sub>に出力する。例えば、第 1 のモードにおいて、回路 4 0 0<sub>1</sub>は、選択信号、および反転選択信号にしたがって、配線 4 1 1 p<sub>1</sub>と配線 1 1 3<sub>1</sub>とを導通状態とし、おおむね等しい電位とする。こうして、正極性の第 1 の電圧群のいずれか一を正極性の第 1 のアナログ信号として配線 1 1 3<sub>1</sub>に出力する。一方、例えば、第 2 のモードにおいて、回路 4 0 0<sub>1</sub>は、選択信号、および反転選択信号にしたがって、配線 4 1 1 n<sub>1</sub>と配線 1 1 3<sub>1</sub>とを導通状態とし、おおむね等しい電位とする。こうして、負極性の第 1 の電圧群のいずれか一を負極性の第 1 のアナログ信号として配線 1 1 3<sub>1</sub>に出力する。

20

【 0 2 6 0 】

さらに、回路 4 0 0<sub>2</sub>は、選択信号、および反転選択信号にしたがって、正極性の第 2 の電圧群のいずれか一と、負極性の第 2 の電圧群のいずれか一との一方を第 2 のアナログ信号として配線 1 1 3<sub>2</sub>に出力する。例えば、第 1 のモードにおいて、回路 4 0 0<sub>2</sub>は、選択信号、および反転選択信号にしたがって、配線 4 1 1 p<sub>2</sub>と配線 1 1 3<sub>2</sub>とを導通状態とし、おおむね等しい電位とする。こうして、正極性の第 2 の電圧群のいずれか一を正極性の第 2 のアナログ信号として配線 1 1 3<sub>2</sub>に出力する。一方、例えば、第 2 のモードにおいて、回路 4 0 0<sub>2</sub>は、選択信号、および反転選択信号にしたがって、配線 4 1 1 n<sub>2</sub>と配線 1 1 3<sub>2</sub>とを導通状態とし、おおむね等しい電位とする。こうして、負極性の第 2 の電圧群のいずれか一を負極性の第 2 のアナログ信号として配線 1 1 3<sub>2</sub>に出力する。

30

【 0 2 6 1 】

なお、回路 4 0 0<sub>1</sub>、および回路 4 0 0<sub>2</sub>の具体例としては、図 8 ( B ) に示す回路を用いることが可能である。回路 4 0 0<sub>1</sub>は、スイッチ 4 0 1、およびスイッチ 4 0 2 を有し、回路 4 0 0<sub>2</sub>は、スイッチ 4 0 3、およびスイッチ 4 0 4 を有する。スイッチ 4 0 1 の第 1 の端子は、配線 4 1 1 p<sub>1</sub>と接続され、スイッチ 4 0 1 の第 2 の端子は、配線 1 1 3<sub>1</sub>と接続され、スイッチ 4 0 1 の制御端子は、配線 1 1 5 と接続される。スイッチ 4 0 2 の第 1 の端子は、配線 4 1 1 n<sub>1</sub>と接続され、スイッチ 4 0 2 の第 2 の端子は、配線 1 1 3<sub>1</sub>と接続され、スイッチ 4 0 2 の制御端子は、配線 1 1 6 と接続される。スイッチ 4 0 3 の第 1 の端子は、配線 4 1 1 p<sub>2</sub>と接続され、スイッチ 4 0 3 の第 2 の端子は、配線 1 1 3<sub>2</sub>と接続され、スイッチ 4 0 3 の制御端子は、配線 1 1 5 と接続される。スイッチ 4 0 4 の第 1 の端子は、配線 4 1 1 n<sub>2</sub>と接続され、スイッチ 4 0 4 の第 2 の端子は、配線 1 1 3<sub>2</sub>と接続され、スイッチ 4 0 4 の制御端子は、配線 1 1 6 と接続される。

40

【 0 2 6 2 】

回路 4 0 0<sub>1</sub>、および回路 4 0 0<sub>2</sub>の動作について説明する。

【 0 2 6 3 】

50

第1のモードにおいて、スイッチ401は、選択信号にしたがってオンし、配線411p\_\_1と配線113\_\_1とを導通し、おおむね等しい電位とする。同時に、スイッチ403は、選択信号にしたがってオンし、配線411p\_\_2と配線113\_\_2とを導通し、おおむね等しい電位とする。このとき、スイッチ402、およびスイッチ404は、反転選択信号にしたがってオフする。

【0264】

一方、第2のモードにおいて、スイッチ402は、反転選択信号にしたがってオンし、配線411n\_\_1と配線113\_\_1とを導通し、おおむね等しい電位とする。同時に、スイッチ404は、反転選択信号にしたがってオンし、配線411n\_\_2と配線113\_\_2とを導通し、おおむね等しい電位とする。このとき、スイッチ401、およびスイッチ403は、選択信号にしたがってオフする。

10

【0265】

なお、第1のアナログ信号と第2のアナログ信号との極性をお互いに異ならせるために、スイッチ403の制御端子が配線116と接続され、スイッチ404の制御端子が配線115と接続されることが可能である。

【0266】

なお、スイッチ401、スイッチ402、スイッチ403、スイッチ404としては、Pチャンネル型トランジスタ、Nチャンネル型トランジスタ、またはNチャンネル型トランジスタとPチャンネル型トランジスタとを組み合わせたCMOS型のスイッチを用いることが可能である。なお、各トランジスタのゲート、第1の端子(ソースまたはドレインの一方)、第2の端子(ソースまたはドレインの他方)は、各スイッチの制御端子、第1の端子、第2の端子に相当し、同様の接続構成となる。

20

【0267】

特に、図8(C)に示すように、スイッチ401、スイッチ402、スイッチ403、スイッチ404として、トランジスタ401a、トランジスタ402a、トランジスタ403a、トランジスタ404aを用いることが好ましい。トランジスタ401a、およびトランジスタ403aは、Pチャンネル型であり、トランジスタ402a、およびトランジスタ404aは、Nチャンネル型である。そして、トランジスタ401a、トランジスタ402a、トランジスタ403a、トランジスタ404aの制御端子は、全て同じ配線(図8(C)では配線116)に接続される。よって、配線115と配線116との一方を省略することができる。

30

【0268】

ここで、トランジスタ401aの第1の端子、およびトランジスタ403aの第1の端子には、正極性の電圧が入力されるので、トランジスタ401aの第1の端子、およびトランジスタ403aの第1の端子の電位は高くなる。トランジスタ401a、およびトランジスタ403aは、Pチャンネル型トランジスタなので、トランジスタ401a、およびトランジスタ403aのゲートとソースとの間の電位差( $V_{gs}$ )の絶対値が大きくなる。よって、トランジスタ401a、およびトランジスタ403aのトランジスタサイズ(例えば、チャンネル幅 $W$ )を小さくできる。一方、トランジスタ402aの第1の端子、およびトランジスタ404aの第1の端子には、負極性の電圧が入力されるので、トランジスタ402aの第1の端子、およびトランジスタ404aの第1の端子の電位は低くなる。トランジスタ402a、およびトランジスタ404aは、Nチャンネル型トランジスタなので、トランジスタ402a、およびトランジスタ404aのゲートとソースとの間の電位差( $V_{gs}$ )が大きくなる。よって、トランジスタ402a、およびトランジスタ404aのトランジスタサイズ(例えば、チャンネル幅 $W$ )を小さくできる。

40

【0269】

なお、第1のアナログ信号のスイッチングノイズと第2のアナログ信号のスイッチングノイズとがおおむね等しくなるように、例えば、トランジスタ401aの $W/L$ 比と、トランジスタ403aの $W/L$ 比とは、等しいことが好ましい。こうすることで、図8(C)のデジタルアナログ変換部100が表示装置に用いられる場合、第1のサブ画素と第2の

50

サブ画素とは、各々、おおむね等しいスイッチングノイズを有する信号にしたがって、階調を表現する。よって、各アナログ信号のスイッチングノイズの影響を低減することができる。ただし、これに限定されない。

【0270】

なお、トランジスタ401a、およびトランジスタ403aと同様に、例えば、トランジスタ402aのW/L比と、トランジスタ404aのW/L比とは、等しいことが好ましい。ただし、これに限定されない。

【0271】

なお、回路202p\_1、回路202n\_1、回路202p\_2、および回路202n\_2がトランジスタを有している場合、当該トランジスタのW/L比は、トランジスタ401a~404aのW/L比よりも小さいことが好ましい。ただし、これに限定されない。

10

【0272】

以上のように、本実施の形態のデジタルアナログ変換部は、一つのデジタル信号を複数のアナログ信号に変換することができるため、ルックアップテーブルを用いないことができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。

【0273】

さらに、例えば、表示装置において、本実施の形態のデジタルアナログ変換部を用いてビデオ信号が生成される場合、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、パネルと外部部品との接続部分の接続不良を低減することができ、信頼性の向上、歩留まりの向上、生産コストの削減、または高精細化などを図ることができる。

20

【0274】

(実施の形態5)

本実施の形態では、実施の形態1~実施の形態4において説明したデジタルアナログ変換部100を表示装置に用いる場合について説明する。なお、一例として、一つのデジタル信号を2個のアナログ信号に変換するデジタルアナログ変換部を表示装置に用いる場合について、図9(A)を参照して説明する。

【0275】

表示装置は、デジタルアナログ変換部100、回路501\_1、回路501\_2、および第1のサブ画素502\_1と第2のサブ画素502\_2とを有する画素502を有する。

30

【0276】

デジタルアナログ変換部100は、配線群111、配線群112\_1、配線群112\_2、配線113\_1、および配線113\_2と接続される。回路501\_1は、配線群112\_1と接続される。回路501\_2は、配線群112\_2と接続される。第1のサブ画素502\_1は、配線113\_1と接続される。第2のサブ画素502\_2は、配線113\_2と接続される。

【0277】

回路501\_1は、複数の電圧を生成し、配線群112\_1を介してデジタルアナログ変換部100に入力する。回路501\_2は、複数の電圧を生成し、配線群112\_2を介してデジタルアナログ変換部100に入力する。

40

【0278】

なお、回路501\_1によって生成される複数の電圧は、第1の電圧群に対応し、回路501\_2によって生成される複数の電圧は、第2の電圧群に対応する。

【0279】

なお、回路501\_1、および回路501\_2は、各々、第1のリファレンスドライバ、第2のリファレンスドライバとして機能することが可能である。

【0280】

デジタルアナログ変換部100は、Nビットのデジタル信号、回路501\_1の出力電圧(例えば、第1の電圧群)、および回路501\_2の出力電圧(例えば、第2の電圧群)

50

に基づいて、実施の形態 1 ~ 実施の形態 4 において説明したように、第 1 のアナログ信号、および第 2 のアナログ信号を生成する。そして、第 1 のアナログ信号を配線 1 1 3 \_\_ 1 を介して第 1 のサブ画素 5 0 2 \_\_ 1 に入力し、第 1 のサブ画素 5 0 2 \_\_ 1 の階調を制御する。第 2 のアナログ信号を配線 1 1 3 \_\_ 2 を介して第 2 のサブ画素 5 0 2 \_\_ 2 に入力し、第 2 のサブ画素 5 0 2 \_\_ 2 の階調を制御する。

【 0 2 8 1 】

第 1 のサブ画素 5 0 2 \_\_ 1 は、第 1 のアナログ信号にしたがって階調を表現し、第 2 のサブ画素 5 0 2 \_\_ 2 は、第 2 のアナログ信号にしたがって階調を表現する。例えば、第 1 のサブ画素 5 0 2 \_\_ 1、および第 2 のサブ画素 5 0 2 \_\_ 2 が、各々、液晶素子を有している場合、第 1 のサブ画素 5 0 2 \_\_ 1 が有する液晶素子の配向は、第 1 のアナログ信号にしたがって変化し、当該液晶素子の透過率が変化する。同様に、第 2 のサブ画素 5 0 2 \_\_ 2 が有する液晶素子の配向は、第 2 のアナログ信号にしたがって変化し、当該液晶素子の透過率が変化する。例えば、第 1 のアナログ信号と第 2 のアナログ信号の値がお互いに異なる場合、第 1 のサブ画素 5 0 2 \_\_ 1 が有する液晶素子の配向状態と、第 2 のサブ画素 5 0 2 \_\_ 2 が有する液晶素子の配向状態とは、お互いに異なる。したがって、視野角特性の向上を図ることができる。

10

【 0 2 8 2 】

なお、回路 5 0 1 \_\_ 1、および回路 5 0 1 \_\_ 2 としては、複数の電圧を生成できる構成であれば、様々な回路を用いることが可能である。例えば、複数の抵抗素子が直列に接続された構成を用いることが可能である。図 9 ( B )、図 9 ( C ) に示す一例では、回路 5 0 1 \_\_ 1 は、抵抗素子 5 0 1 \_\_ 1 1 ~ 5 0 1 \_\_ 1 M という複数の抵抗素子を有し、回路 5 0 1 \_\_ 2 は、抵抗素子 5 0 1 \_\_ 2 1 ~ 5 0 1 \_\_ 2 M という複数の抵抗素子を有する。抵抗素子 5 0 1 \_\_ 1 1 ~ 5 0 1 \_\_ 1 M は、電源 V 1 と電源 V 2 との間に、直列に接続される。抵抗素子 5 0 1 \_\_ 2 1 ~ 5 0 1 \_\_ 2 M は、電源 V 3 と電源 V 4 との間に、直列に接続される。抵抗素子 5 0 1 \_\_ 1 1 ~ 5 0 1 \_\_ 1 M は、電源 V 1 から供給される電圧と、電源 V 2 から供給される電圧とを分圧することによって、複数の電圧 ( 第 1 の電圧群 ) を生成する。抵抗素子 5 0 1 \_\_ 2 1 ~ 5 0 1 \_\_ 2 M は、電源 V 3 から供給される電圧と、電源 V 4 から供給される電圧とを分圧することによって、複数の電圧 ( 第 2 の電圧群 ) を生成する。第 1 の電圧群、および第 2 の電圧群は、抵抗素子の抵抗値、および電源電圧によって決定される。

20

30

【 0 2 8 3 】

なお、電源数、および配線数を減らすために、例えば、回路 5 0 1 \_\_ 1、および回路 5 0 1 \_\_ 2 において、電源を共有することが可能である。具体的な一例として、電源 V 1 と電源 V 3 とが共有される場合、抵抗素子 5 0 1 \_\_ 1 1 ~ 5 0 1 \_\_ 1 M は、電源 V 1 と電源 V 2 との間に、直列に接続される。そして、抵抗素子 5 0 1 \_\_ 2 1 ~ 5 0 1 \_\_ 2 M は、電源 V 1 と電源 V 4 との間に、直列に接続される。

【 0 2 8 4 】

なお、第 1 の電圧群の特性を自由に設定するために、例えば、抵抗素子 5 0 1 \_\_ 1 1 ~ 5 0 1 \_\_ 1 M のいずれか一、または複数を可変抵抗素子とすることが可能である。同様に、第 2 の電圧群の特性を自由に設定するために、例えば、抵抗素子 5 0 1 \_\_ 2 1 ~ 5 0 1 \_\_ 2 M のいずれか一、または複数を可変抵抗素子とすることが可能である。

40

【 0 2 8 5 】

なお、第 1 の電圧群、および第 2 の電圧群の特性を自由に設定するために、例えば、電源 V 1 の電圧、電源 V 2 の電圧、電源 V 3 の電圧、または電源 V 4 の電圧を可変電源とすることが可能である。可変電源の一例としては、複数の電源の中からいずれか一を選択するものがある。複数の電源は、各々、スイッチを介して抵抗素子 ( 例えば、抵抗素子 5 0 1 \_\_ 1 1 ) と接続される。そして、各スイッチのオンとオフとを制御することによって、供給する電圧を制御する。

【 0 2 8 6 】

なお、第 1 のアナログ信号の極性と、第 2 のアナログ信号の極性とを個別に設定する場合

50

には、図10(A)に示す一例のように、正極性の第1の電圧群を生成する回路501p\_\_1、負極性の第2の電圧群を生成する回路501n\_\_1、正極性の第1の電圧群を生成する回路501p\_\_2、負極性の第2の電圧群を生成する回路501n\_\_2が用いられる。これらの回路の一例としては、図9(B)、図9(C)に示した回路501\_\_1、または回路501\_\_2と同様に、複数の抵抗素子が、二つの電源の間に、直列に接続される構成である。なお、正極性の電圧群を出力するために、例えば、回路501p\_\_1、および回路501p\_\_2において用いられる電源電圧の少なくとも一つを、コモン電圧よりも大きくすることが好ましい。一方、負極性の電圧群を出力するために、例えば、回路501n\_\_1、および回路501n\_\_2において用いられる電源電圧の少なくとも一つを、コモン電圧よりも小さくする。

10

## 【0287】

なお、回路501p\_\_1と、回路501n\_\_1とをまとめて、回路501\_\_1と示し、回路501p\_\_2と、回路501n\_\_2とをまとめて、回路501\_\_2と示すことも可能である。この場合、例えば、回路501\_\_1、および回路501\_\_2は、各々、正極性の電圧群と負極性の電圧群との両方を生成する。

## 【0288】

なお、Nビットのデジタル信号をn個のアナログ信号に変換する場合には、図10(B)に示す一例のように、回路501\_\_1~501\_\_nが用いられる。回路501\_\_1~501\_\_nは、各々、複数の電圧を生成し、複数の電圧をデジタルアナログ変換部100に出力する。回路501\_\_1~501\_\_nの一例としては、図9(B)、図9(C)に示した回路501\_\_1、または回路501\_\_2と同様に、複数の抵抗素子が、二つの電源の間に、直列に接続される構成である。デジタルアナログ変換部100は、n個の電圧群とNビットのデジタル信号にしたがって、n個のアナログ信号を生成する。そして、n個のアナログ信号をn個のサブ画素502\_\_1~502\_\_nに入力する。例えば、第i(i:1~nのいずれか)のアナログ信号をサブ画素502\_\_iに出力する。

20

## 【0289】

次に、図9(A)よりも詳細な表示装置の一例について、図11(A)を参照して説明する。

## 【0290】

表示装置は、信号線駆動回路601、走査線駆動回路602、画素部603、回路501\_\_1、および回路501\_\_2を有する。信号線駆動回路601は、シフトレジスタ621、第1のラッチ部622、第2のラッチ部623、複数のデジタルアナログ変換部100、およびバッファ部625を有する。画素部603は、複数の画素605を有し、複数の画素605は、各々、第1のサブ画素606a、および第2のサブ画素606bを有する。第1のサブ画素606a、および第2のサブ画素606bは、書き込まれた信号を保持する手段を有する。

30

## 【0291】

第1の信号線S1\_\_1~S1\_\_m、及び第2の信号線S2\_\_1~S2\_\_mは、信号線駆動回路601から列方向に伸張して配置されている。走査線G1~Gnは、走査線駆動回路602から行方向に伸張して配置されている。

40

## 【0292】

なお、第1の信号線S1\_\_1~S1\_\_m、第2の信号線S2\_\_1~S2\_\_m、及び走査線G1~Gnは、第1の信号線、第2の信号線、第3の信号線として機能することが可能である。

## 【0293】

なお、画素の構成によっては、容量線、電源線、新たな走査線、新たな信号線などの新たな配線を追加して配置することが可能である。例えば、容量線は、査線G1~Gnと並列に配置されている場合が多く、容量線にはある一定の電圧が供給されている場合が多い。ただし、容量線に、信号が入力されている場合もある。

## 【0294】

50

各画素605は、第1の信号線S1\_\_1～S1\_\_mと、第2の信号線S2\_\_1～S2\_\_mと、走査線G1～Gnとに対応して、マトリクス状に配置されている。第1のサブ画素606aは、第1の信号線S1\_\_j（第1の信号線S1\_\_1～S1\_\_mのうちのいずれか）と、走査線Gi（走査線G1～Gnのうちのいずれか）とに接続されている。第2のサブ画素606bは、第2の信号線S2\_\_j（第2の信号線S2\_\_1～S2\_\_mのうちのいずれか）と、走査線Gi（走査線G1～Gnのうちのいずれか）とに接続されている。

【0295】

シフトレジスタ621には、スタートパルス(SSP)、クロック信号(SCK)、反転クロック信号(SCKB)が入力される。シフトレジスタ621は、これらの信号にしたがって、サンプリングパルスを第1のラッチ部622に出力する。

10

【0296】

なお、シフトレジスタ621としては、サンプリングパルスを出力することができれば、例えば、カウンタ、またはデコーダなどを用いることが可能である。

【0297】

第1のラッチ部622には、サンプリングパルス、および映像信号(Vdata)が入力される。第1のラッチ部622は、サンプリングパルスにしたがって、各列ずつ映像信号を順次保持する。最終列の映像信号の保持が終了すると、第1のラッチ部622は、各列において保持した映像信号を第2のラッチ部623に一齐に出力する。なお、映像信号(Vdata)は、実施の形態1～実施の形態4において説明したNビットのデジタル信号に対応する。

20

【0298】

第2のラッチ部623には、第1のラッチ部622から入力される映像信号、およびラッチパルス(LAT\_Pulse)が入力される。第2のラッチ部623は、ラッチパルスにしたがって、第1のラッチ部622から入力される映像信号を一齐に保持する。その後、第2のラッチ部623は、一齐に映像信号を複数のデジタルアナログ変換部100に出力する。

【0299】

なお、ラッチパルスとして、例えば、シフトレジスタの出力信号、又はスタートパルスなどを用いて、ラッチパルスを省略することが可能である。

【0300】

なお、第2のラッチ部623が各列において出力する映像信号は、例えば、実施の形態1～実施の形態4において説明したNビットのデジタル信号に対応する。

30

【0301】

複数のデジタルアナログ変換部100は、各々、実施の形態1～実施の形態4において説明したように、映像信号を第1のアナログ信号、および第2のアナログ信号に変換する。そして、複数のデジタルアナログ変換部100は、各々、第1のアナログ信号をバッファ部625を介して第1のサブ画素502\_\_1に書き込み、第2のアナログ信号をバッファ部625を介して第2のサブ画素502\_\_2に書き込む。

【0302】

ここで、映像信号の振幅電圧を小さくするために、例えば、第1のラッチ部622、および/または第2のラッチ部623は、レベルシフト機能、またはレベルシフトを有することが可能である。この場合、第1のラッチ部622に入力される映像信号の振幅電圧は、例えば、第1のラッチ部622が各列において出力する映像信号の振幅電圧、または第2のラッチ部623が各列において出力する映像信号の振幅電圧よりも小さい。こうすることによって、例えば、シフトレジスタ621、第1のラッチ部622、または第2のラッチ部623の駆動電圧を小さくすることができるので、消費電力の削減を図ることができる。

40

【0303】

次に、表示装置の動作の一例について、図11(B)を参照して説明する。図11(B)のタイミングチャートの一例は、1画面分の画像を表示する期間に相当する1フレーム期

50

間を示す。この1フレーム期間内に、画素の行が1行目からn行目まで順に選択される。1フレーム期間の周期は、画像をみる人がちらつき（フリッカ）を感じないように1/60秒以下（60Hz以上）であることが望ましい。より望ましくは、1/120秒以下（周波数が120Hz以上）であることが望ましい。より望ましくは、1/180秒以下（周波数が180Hz以上）であることが望ましい。ただし、フレーム周波数が高くなる場合、表示装置のフレーム周波数と元の画像データのフレーム周波数とが一致しないことがある。したがって、画像データを補完する必要がある。例えば、この画像データの補完は、動きベクトルを検出することで行われる。こうすることで、高いフレーム周波数で表示することができる。以上のようにして、画像の動きが滑らかに表示され、残像の少ない表示を行う事ができる。

10

## 【0304】

走査線駆動回路602は、スタートパルス（GSP）、クロック信号（GCK）、反転クロック信号（GCKB）にしたがって、走査信号を走査線G1～Gnに出力する。走査信号によって、1行目からn行目までの画素の行が、順に選択される。選択された行に属する画素には、ビデオ信号を書き込むことが可能となる。この画素の行が選択されるたびに、信号線駆動回路601は、第1のアナログ信号を第1のサブ画素606aに書き込み、第2のアナログ信号を第2のサブ画素606aに書き込む。なお、1行分の画素が選択されている期間を1ゲート選択期間と呼ぶ。

## 【0305】

以上のように、図11（A）に示す表示装置では、各デジタルアナログ変換部100は、一つのデジタル信号を複数のアナログ信号に変換することができるので、画素が複数のサブ画素に分割されても、映像信号のデータ量は増加しない。したがって、映像信号を処理する回路（例えば、シフトレジスタ、第1のラッチ部、第2のラッチ部など）の規模を縮小することができる。

20

## 【0306】

さらに、図11（A）に示す表示装置では、一つのデジタル信号を複数のアナログ信号に変換するために、ルックアップテーブル、つまり記憶部を必要としないので、画素部とその周辺回路（例えば、信号線駆動回路、走査線駆動回路、リファレンスドライバなど）とを同じ基板に形成することが容易にできる。

## 【0307】

なお、信号線駆動回路601の構成は、図11（A）の構成に限定されない。例えば、デジタルアナログ変換部100の電流能力が高ければ、バッファ部625を省略することが可能である。別の例として、回路501\_\_1、および回路501\_\_2が生成する電圧群が、バッファを介してデジタルアナログ変換部100に入力される場合、バッファ部625を省略することが可能である。例えば、電圧群の電圧数が信号線の数よりも小さい場合には、バッファの数が減るので、回路501\_\_1、および回路501\_\_2が生成する電圧群が、バッファを介してデジタルアナログ変換部100に入力されることが好ましい。

30

## 【0308】

なお、1画素ずつドット反転駆動を実現するために、図12（A）に示す信号線駆動回路の一例が表示装置に用いられる。例えば、図10（A）において説明した回路501p\_\_1、回路501p\_\_2、回路501n\_\_1、および回路501n\_\_2がそれぞれ出力する正極性の第1の電圧群、正極性の第2の電圧群、負極性の第1の電圧群、負極性の第2の電圧群が、複数のデジタルアナログ変換部100に入力される。さらに、選択信号、および反転選択信号が、1列ずつ互い違いに入力される。そして、選択信号、および反転選択信号は、1ゲート選択期間毎に、H信号とL信号とが入れ替わる。よって、例えば、選択信号、および反転選択信号として、クロック信号（GCK）、および反転クロック信号（GCKB）を用いることによって、選択信号、および反転選択信号を省略することが可能である。こうして、ドット反転駆動を実現することが可能となる。

40

## 【0309】

なお、図12（A）では、1画素ずつドット反転駆動を実現する場合の信号線駆動回路の

50

一例について説明したが、これに限定されない。例えば、1サブ画素ずつドット反転駆動を実現することも可能である。この場合、実施の形態3、および実施の形態4において説明したように、正極性の第1の電圧群と負極性の第2の電圧群とを入れ替えて各デジタルアナログ変換部100に入力することによって、第1のビデオ信号と第2のビデオ信号との極性をお互いに異ならせることができる。

【0310】

別の例として、選択信号、および反転選択信号が、n列ずつ互い違いに入力され、選択信号、および反転選択信号は、nゲート選択期間毎に、H信号とL信号とが入れ替わることによって、n個の画素ずつドット反転駆動を実現することが可能である。

【0311】

別の例として、選択信号と反転選択信号が、1フレーム期間毎にH信号とL信号とが切り替わることによって、ソースライン反転駆動を実現することが可能である。

【0312】

次に、画素605が液晶素子を有する場合の一例について、図12(B)を参照して説明する。画素605は、トランジスタ701a、液晶素子702a、および容量素子703aを有する第1のサブ画素606aと、トランジスタ701b、液晶素子702b、および容量素子703bを有する第2のサブ画素606bとを有する。トランジスタ701aの第1の端子は、信号線S1<sub>j</sub>と接続され、トランジスタ701aの第2の端子は、液晶素子702aの一方の電極と接続され、トランジスタ701aのゲートは、走査線Giと接続される。容量素子703aは、トランジスタ701aの第2の端子と、容量線705との間に接続される。液晶素子702aの他方の電極は、共通電極704に対応する。一方、トランジスタ701bの第1の端子は、信号線S2<sub>j</sub>と接続され、トランジスタ701bの第2の端子は、液晶素子702bの一方の電極と接続され、トランジスタ701bのゲートは、走査線Giと接続される。容量素子703bは、トランジスタ701bの第2の端子と、容量線705との間に接続される。液晶素子702bの他方の電極は、共通電極704に対応する。

【0313】

例えば、i行目が選択されると、H信号が走査線駆動回路602から走査線Giに入力され、トランジスタ701a、およびトランジスタ701bがオンする。すると、第1のビデオ信号が信号線駆動回路601から信号線S1<sub>j</sub>を介して第1のサブ画素606aに書き込まれ、第1のビデオ信号と容量線705の電位との電位差が、容量素子703aに保持される。そして、液晶素子704aは、第1のビデオ信号にしたがった透過率となり、第1のビデオ信号にしたがった階調を表現する。同時に、第2のビデオ信号が信号線駆動回路601から信号線S2<sub>j</sub>を介して第2のサブ画素606bに書き込まれ、第2のビデオ信号と容量線705の電位との電位差が、容量素子703bに保持される。そして、液晶素子704bは、第2のビデオ信号にしたがった透過率となり、第2のビデオ信号にしたがった階調を表現する。

【0314】

以上のように、本実施の形態の表示装置は、実施の形態1～実施の形態4において説明したデジタルアナログ変換部を用いることによって、一つのデジタル信号を複数のアナログ信号に変換することができるため、ルックアップテーブルを用いないことができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。

【0315】

さらに、ルックアップテーブルを用いないので、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、パネルと外部部品との接続部分の接続不良を低減することができる。信頼性の向上、歩留まりの向上、生産コストの削減、または高精細化などを図ることができる。

【0316】

10

20

30

40

50

さらに、ビデオ信号を生成する部分と、画素部とを近くに配置することができる。よって、ビデオ信号が生成されてから、画素に入力されるまでの経路を短くすることができる。したがって、ビデオ信号に発生するノイズを低減することができるので、表示品位の向上を図ることができる。

【0317】

(実施の形態6)

本実施の形態においては、トランジスタの構造について説明する。

【0318】

図13は、トランジスタの断面図の一例である。ただし、トランジスタの構造は、図13に限定されず、様々な構造を用いることができる。

10

【0319】

なお、図13には、複数のトランジスタの断面図の一例を並置して示しているが、これは、トランジスタの構造を説明するための表現である。よって、トランジスタが、実際に図13のように並置されている必要はなく、必要に応じて作り分けることができる。

【0320】

トランジスタ5051は、シングルドレイントランジスタの一例である。トランジスタ5052は、ゲート電極5063に一定以上のテーパ角を有するトランジスタの一例である。トランジスタ5053は、ゲート電極5063が少なくとも2層で構成され、下層のゲート電極が上層のゲート電極よりも長い形状を有するトランジスタの一例である。トランジスタ5054は、ゲート電極5063の側面に接して、サイドウォール5066を有するトランジスタの一例である。トランジスタ5055は、半導体層にマスクを用いてドーピングすることにより、LDD(Loff)領域を形成したトランジスタの一例である。

20

【0321】

次に、トランジスタを構成する各層の特徴について説明する。

【0322】

基板5057の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板、又はステンレスを含む金属基板などがある。他にも、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。

30

【0323】

絶縁膜5058は、下地膜として機能する。絶縁膜5058の一例としては、酸化珪素( $SiO_x$ )、窒化珪素( $SiN_x$ )、酸化窒化珪素( $SiO_xN_y$ )( $x > y$ )、窒化酸化珪素( $SiN_xO_y$ )( $x > y$ )等の酸素又は窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造などがある。絶縁膜5058が2層構造で設けられる場合の一例としては、1層目の絶縁膜として窒化酸化珪素膜を設け、2層目の絶縁膜として酸化窒化珪素膜を設けることが可能である。別の例として、絶縁膜5058が3層構造で設けられる場合、1層目の絶縁膜として酸化窒化珪素膜を設け、2層目の絶縁膜として窒化酸化珪素膜を設け、3層目の絶縁膜として酸化窒化珪素膜を設けることが可能である。

【0324】

半導体層5059、半導体層5060、半導体層5061の一例としては、非晶質(アモルファス)半導体、微結晶(マイクロクリスタル)半導体、セミアモルファス半導体(SAS)、多結晶半導体、又は単結晶半導体などがある。

40

【0325】

なお、半導体層5059、半導体層5060、半導体層5061は、各々、不純物濃度が異なることが好ましい。例えば、半導体層5059はチャネル領域、半導体層5060は低濃度ドレイン(Lightly Doped Drain:LDD)領域、半導体層5061はソース領域及びドレイン領域として機能する。

【0326】

絶縁膜5062の一例としては、絶縁膜5058と同様に、酸化珪素( $SiO_x$ )、窒化

50

珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) 等の酸素又は窒素を有する絶縁膜の単層構造、若しくはこれらの積層構造などがある。

【0327】

ゲート電極 5063 の一例としては、単層の導電膜、多層 (例えば、二層、三層など) の導電膜の蓄積構造などがある。このゲート電極 5063 に用いられる導電膜の一例としては、タンタル (Ta)、チタン (Ti)、モリブデン (Mo)、タングステン (W)、クロム (Cr)、シリコン (Si) などの元素の単体膜、当該元素の窒化膜 (例えば、窒化タンタル膜、窒化タングステン膜、窒化チタン膜)、当該元素を組み合わせた合金膜 (例えば、Mo-W合金、Mo-Ta合金)、又は当該元素のシリサイド膜 (例えば、タングステンシリサイド膜、チタンシリサイド膜) などがある。

10

【0328】

なお、上述した単体膜、窒化膜、合金膜、シリサイド膜などは、単層とすることも可能であるし、積層構造とすることも可能である。

【0329】

絶縁膜 5064 の一例としては、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) 等の酸素又は窒素を有する絶縁膜の単層構造、DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜の単層構造、若しくはこれらの積層構造などがある。

【0330】

20

絶縁膜 5065 の一例としては、シロキサン樹脂がある。または、酸化珪素 ( $\text{SiO}_x$ )、窒化珪素 ( $\text{SiN}_x$ )、酸化窒化珪素 ( $\text{SiO}_x\text{N}_y$ ) ( $x > y$ )、窒化酸化珪素 ( $\text{SiN}_x\text{O}_y$ ) ( $x > y$ ) 等の酸素又は窒素を有する絶縁膜がある。または、DLC (ダイヤモンドライクカーボン) 等の炭素を含む膜がある。または、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテン、アクリル等の有機材料がある。または、これらの単層構造、または積層構造がある。

【0331】

なお、シロキサン樹脂の一例としては、Si-O-Si 結合を含む樹脂がある。例えば、シロキサンは、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される。そして、置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が

30

【0332】

なお、絶縁膜 5064 を設けずにゲート電極 5063 を覆うように直接絶縁膜 5065 を設けることも可能である。

【0333】

導電膜 5067 の一例としては、単層の導電膜、多層 (例えば、二層、三層など) の導電膜の蓄積構造などがある。導電膜 5067 の材料の一例としては、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mn などの元素の単体膜、当該元素の窒化膜、当該元素を組み合わせた合金膜、または当該元素のシリサイド膜などがある。当該元素を組み合わせた合金膜の一例としては、C 及び Ti を含有した Al 合金、Ni を含有した Al

40

【0334】

なお、上述した導電層が積層構造で設けられる場合、例えば、Al を Mo 又は Ti などで挟み込んだ構造とすることが好ましい。こうすることで、Al の熱や化学反応に対する耐性を向上することができる。

【0335】

サイドウォール 5066 の一例としては、酸化珪素 ( $\text{SiO}_x$ ) 又は窒化珪素 ( $\text{SiN}_x$ ) を用いることができる。

【0336】

以上のように、本実施の形態で説明したトランジスタの構成は、実施の形態 1 ~ 実施の形

50

態 4 において説明したデジタルアナログ変換部を構成するトランジスタに採用することができる。実施の形態 1 ~ 実施の形態 4 において説明したデジタルアナログ変換部は、ルックアップテーブルを用いずに、各サブ画素に応じた信号を生成することができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。

【 0 3 3 7 】

さらに、ルックアップテーブルを用いないので、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、信頼性の向上、歩留まりの向上、コストの削減、または高精細化などを図ることができる。

【 0 3 3 8 】

( 実施の形態 7 )

本実施の形態では、半導体層の形成方法の一例について説明する。本実施の形態の半導体層の形成方法は、実施の形態 4 において説明したトランジスタの構造及び作製方法に用いることができる。

【 0 3 3 9 】

本発明に係る S O I 基板を図 1 4 ( A ) に示す。図 1 4 ( A ) においてベース基板 9 2 0 0 は絶縁表面を有する基板若しくは絶縁基板であり、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスのような電子工業用に使われる各種ガラス基板を適用される。その他に石英ガラス、シリコンウエハーのような半導体基板も適用可能である。S O I 層 9 2 0 2 は単結晶半導体であり、代表的には単結晶シリコンが適用される。その他に、水素イオン注入剥離法のようにして単結晶半導体基板若しくは多結晶半導体基板から剥離可能であるシリコン、ゲルマニウム、その他、ガリウムヒ素、インジウムリンなどの化合物半導体による結晶性半導体層を適用することもできる。

【 0 3 4 0 】

このようなベース基板 9 2 0 0 と S O I 層 9 2 0 2 の間には、平滑面を有し親水性表面を形成する接合層 9 2 0 4 を設ける。この接合層 9 2 0 4 として酸化シリコン膜が適している。特に有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。有機シランガスとしては、珪酸エチル ( T E O S : 化学式  $S i ( O C _ 2 H _ 5 ) _ 4$  )、テトラメチルシラン ( T M S : 化学式  $S i ( C H _ 3 ) _ 4$  )、テトラメチルシクロテトラシロキサン ( T M C T S )、オクタメチルシクロテトラシロキサン ( O M C T S )、ヘキサメチルジシラザン ( H M D S )、トリエトキシシラン (  $S i H ( O C _ 2 H _ 5 ) _ 3$  )、トリシメチルアミノシラン (  $S i H ( N ( C H _ 3 ) _ 2 ) _ 3$  ) 等のシリコン含有化合物を用いることができる。

【 0 3 4 1 】

上記平滑面を有し親水性表面を形成する接合層 9 2 0 4 は 5 n m 乃至 5 0 0 n m の厚さで設けられる。この厚さであれば、被成膜表面の表面荒れを平滑化すると共に、当該膜の成長表面の平滑性を確保することが可能である。また、接合する基板との歪みを緩和することができる。ベース基板 9 2 0 0 にも同様の酸化シリコン膜を設けておいても良い。すなわち、絶縁表面を有する基板若しくは絶縁性のベース基板 9 2 0 0 に S O I 層 9 2 0 2 を接合するに際し、接合を形成する面の一方若しくは双方に、好ましくは有機シランを原材料として成膜した酸化シリコン膜でなる接合層 9 2 0 4 設けることで強固な接合を形成することができる。

【 0 3 4 2 】

このような S O I 基板の製造方法について図 1 4 ( B ) 乃至 ( E ) を参照して説明する。

【 0 3 4 3 】

図 1 4 ( B ) に示す半導体基板 9 2 0 1 は清浄化されており、その表面から電界で加速されたイオンを所定の深さに注入し、イオンドーピング層 9 2 0 3 を形成する。イオンの注入はベース基板に転置する S O I 層の厚さを考慮して行われる。当該 S O I 層の厚さは 5 n m 乃至 5 0 0 n m、好ましくは 1 0 n m 乃至 2 0 0 n m の厚さとする。イオンを注入す

10

20

30

40

50

る際の加速電圧はこのような厚さを考慮して、半導体基板 9 2 0 1 に注入されるようにする。イオンドーピング層 9 2 0 3 は水素、ヘリウム若しくはフッ素に代表されるハロゲンのイオンを注入することで形成される。この場合、一又は複数の同一の原子から成る質量数の異なるイオンを注入することが好ましい。水素イオンを注入する場合には、 $H^+$ 、 $H_2^+$ 、 $H_3^+$  イオンを含ませると共に、 $H_3^+$  イオンの割合を高めておくことが好ましい。水素イオンを注入する場合には、 $H^+$ 、 $H_2^+$ 、 $H_3^+$  イオンを含ませると共に、 $H_3^+$  イオンの割合を高めておくことと注入効率を高めることができ、注入時間を短縮することができる。このような構成とすることで、剥離を容易に行うことができる。

#### 【0344】

イオンを高ドーズ条件で注入する必要がある、半導体基板 9 2 0 1 の表面が粗くなってしまう場合がある。そのためイオンが注入される表面に窒化シリコン膜若しくは窒化酸化シリコン膜などによりイオン注入に対する保護膜を 5 0 n m 乃至 2 0 0 n m の厚さで設けておいても良い。

10

#### 【0345】

次に、図 1 4 ( C ) で示すようにベース基板と接合を形成する面に接合層 9 2 0 4 として酸化シリコン膜を形成する。酸化シリコン膜としては上述のように有機シランガスを用いて化学気相成長法により作製される酸化シリコン膜が好ましい。その他に、シランガスを用いて化学気相成長法により作製される酸化シリコン膜を適用することもできる。化学気相成長法による成膜では、単結晶半導体基板に形成したイオンドーピング層 9 2 0 3 から脱ガスが起こらない温度として、例えば 3 5 0 以下の成膜温度が適用される。また、単結晶若しくは多結晶半導体基板から S O I 層を剥離する熱処理は、成膜温度よりも高い熱処理温度が適用される。

20

#### 【0346】

図 1 4 ( D ) はベース基板 9 2 0 0 と半導体基板 9 2 0 1 の接合層 9 2 0 4 が形成された面とを密接させ、この両者を接合させる態様を示す。接合を形成する面は、十分に清浄化しておく。そして、ベース基板 9 2 0 0 と接合層 9 2 0 4 を密着させることにより接合が形成される。この接合はファン・デル・ワールス力が作用しており、ベース基板 9 2 0 0 と半導体基板 9 2 0 1 とを圧接することで水素結合により強固な接合を形成することが可能である。

#### 【0347】

良好な接合を形成するために、表面を活性化しておいても良い。例えば、接合を形成する面に原子ビーム若しくはイオンビームを照射する。原子ビーム若しくはイオンビームを利用する場合には、アルゴン等の不活性ガス中性原子ビーム若しくは不活性ガスイオンビームを用いることができる。その他に、プラズマ照射若しくはラジカル処理を行う。このような表面処理により 2 0 0 乃至 4 0 0 の温度であっても異種材料間の接合を形成することが容易となる。

30

#### 【0348】

ベース基板 9 2 0 0 と半導体基板 9 2 0 1 を接合層 9 2 0 4 を介して貼り合わせた後は、加熱処理又は加圧処理を行うことが好ましい。加熱処理又は加圧処理を行うことで接合強度を向上させることが可能となる。加熱処理の温度は、ベース基板 9 2 0 0 の耐熱温度以下であることが好ましい。加圧処理においては、接合面に垂直な方向に圧力が加わるように行い、ベース基板 9 2 0 0 及び半導体基板 9 2 0 1 の耐圧性を考慮して行う。

40

#### 【0349】

図 1 4 ( E ) において、ベース基板 9 2 0 0 と半導体基板 9 2 0 1 を貼り合わせた後、熱処理を行いイオンドーピング層 9 2 0 3 を劈開面として半導体基板 9 2 0 1 をベース基板 9 2 0 0 から剥離する。熱処理の温度は接合層 9 2 0 4 の成膜温度以上、ベース基板 9 2 0 0 の耐熱温度以下で行うことが好ましい。例えば、4 0 0 乃至 6 0 0 の熱処理を行うことにより、イオンドーピング層 9 2 0 3 に形成された微小な空洞の堆積変化が起こり、イオンドーピング層 9 2 0 3 に沿って劈開することが可能となる。接合層 9 2 0 4 はベース基板 9 2 0 0 と接合しているため、ベース基板 9 2 0 0 上には半導体基板 9 2 0 1 と

50

同じ結晶性のSOI層9202が残存することとなる。

【0350】

このように、本形態によれば、ガラス基板等の耐熱温度が700以下のベース基板9200であっても接合部の接着力が強固なSOI層9202を得ることができる。ベース基板9200として、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスの如き無アルカリガラスと呼ばれる電子工業用に使われる各種ガラス基板を適用することが可能となる。すなわち、一辺が1メートルを超える基板上に単結晶半導体層を形成することができる。このような大面積基板を使って液晶ディスプレイのような表示装置のみならず、半導体集積回路を製造することができる。

【0351】

上述した半導体層を用いたトランジスタは、ガラス基板などの光を透過する基板に形成することが可能である。したがって、表示装置の画素部と、実施の形態1において説明したデジタルアナログ変換部を同じ基板に形成することができる。

【0352】

上述した半導体層を用いたトランジスタは、移動度が高く、特性ばらつきが小さい。したがって、当該トランジスタを用いて実施の形態1において説明したデジタルアナログ変換部を作製することによって、デジタルアナログ変換部のレイアウト面積を小さくできる。

【0353】

以上のように、本実施の形態で説明したトランジスタの構成は、実施の形態1～実施の形態4において説明したデジタルアナログ変換部を構成するトランジスタに採用することができる。実施の形態1～実施の形態4において説明したデジタルアナログ変換部は、ルックアップテーブルを用いずに、各サブ画素に応じた信号を生成することができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。

【0354】

さらに、ルックアップテーブルを用いないので、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、信頼性の向上、歩留まりの向上、コストの削減、または高精細化などを図ることができる。

【0355】

(実施の形態8)

本実施の形態においては、電子機器の例について説明する。

【0356】

図15(A)乃至図15(H)、図16(A)乃至図16(D)は、電子機器を示す図である。これらの電子機器は、筐体5000、表示部5001、スピーカ5003、LEDランプ5004、操作キー5005、接続端子5006、センサ5007(力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、におい又は赤外線測定する機能を含むもの)、マイクロフォン5008、等を有することができる。

【0357】

図15(A)はモバイルコンピュータであり、上述したものの他に、スイッチ5009、赤外線ポート5010、等を有することができる。図15(B)は記録媒体を備えた携帯型の画像再生装置(たとえば、DVD再生装置)であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図15(C)はゴーグル型ディスプレイであり、上述したものの他に、第2表示部5002、支持部5012、イヤホン5013、等を有することができる。図15(D)は携帯型遊技機であり、上述したものの他に、記録媒体読込部5011、等を有することができる。図15(E)はプロジェクタであり、上述したものの他に、光源5033、投射レンズ5034、等を有することができる。図15(F)は携帯型遊技機であり、上述したものの他に、第2表示部5002、記録媒体読込部5011、等を有することができる。図15(G)はテレビ受

10

20

30

40

50

像器であり、上述したものの他に、チューナ、画像処理部、等を有することができる。図15(H)は持ち運び型テレビ受像器であり、上述したものの他に、信号の送受信が可能な充電器5017、等を有することができる。図16(A)はディスプレイであり、上述したものの他に、支持台5018、等を有することができる。図16(B)はカメラであり、上述したものの他に、外部接続ポート5019、シャッターボタン5015、受像部5016、等を有することができる。図16(C)はコンピュータであり、上述したものの他に、ポインティングデバイス5020、外部接続ポート5019、リーダ/ライタ5021、等を有することができる。図16(D)は携帯電話機であり、上述したものの他に、アンテナ5014、携帯電話・移動端末向けの1セグメント部分受信サービス用チューナ、等を有することができる。

10

**【0358】**

図15(A)乃至図15(H)、図16(A)乃至図16(D)に示す電子機器は、様々な機能を有することができる。例えば、様々な情報(静止画、動画、テキスト画像など)を表示部に表示する機能、タッチパネル機能、カレンダー、日付又は時刻などを表示する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、無線通信機能、無線通信機能を用いて様々なコンピュータネットワークに接続する機能、無線通信機能を用いて様々なデータの送信又は受信を行う機能、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能、等を有することができる。さらに、複数の表示部を有する電子機器においては、一つの表示部を主として画像情報を表示し、別の一つの表示部を主として文字情報を表示する機能、または、複数の表示部に視差を考慮した画像を表示することで立体的な画像を表示する機能、等を有することができる。さらに、受像部を有する電子機器においては、静止画を撮影する機能、動画を撮影する機能、撮影した画像を自動または手動で補正する機能、撮影した画像を記録媒体(外部又はカメラに内蔵)に保存する機能、撮影した画像を表示部に表示する機能、等を有することができる。なお、図15(A)乃至図15(H)、図16(A)乃至図16(D)に示す電子機器が有することのできる機能はこれらに限定されず、様々な機能を有することができる。

20

**【0359】**

本実施の形態において述べた電子機器は、何らかの情報を表示するための表示部を有することを特徴とする。実施の形態5において説明した表示装置が電子機器の表示部に用いられることによって、視野角特性の向上を図ることができる。実施の形態5において説明した表示装置は少ない信号数で駆動することができるので、電子機器の部品点数を少なくすることができる。さらに、実施の形態5において説明した表示装置はルックアップテーブルを必要としないので、安価に電子機器を製造することができる。

30

**【0360】**

次に、半導体装置の応用例を説明する。

**【0361】**

図16(E)に、半導体装置を、建造物と一体にして設けた例について示す。図16(E)は、筐体5022、表示部5023、操作部であるリモコン装置5024、スピーカ5025等を含む。半導体装置は、壁かけ型として建物と一体となっており、設置するスペースを広く必要とすることなく設置可能である。

40

**【0362】**

図16(F)に、建造物内に半導体装置を、建造物と一体にして設けた別の例について示す。表示パネル5026は、ユニットバス5027と一体に取り付けられており、入浴者は表示パネル5026の視聴が可能になる。

**【0363】**

なお、本実施の形態において、建造物として壁、ユニットバスを例としたが、本実施の形態はこれに限定されず、様々な建造物に半導体装置を設置することができる。

**【0364】**

次に、半導体装置を、移動体と一体にして設けた例について示す。

**【0365】**

50

図16(G)は、半導体装置を、自動車に設けた例について示した図である。表示パネル5028は、自動車の車体5029に取り付けられており、車体の動作又は車体内外から入力される情報をオンデマンドに表示することができる。なお、ナビゲーション機能を有していてもよい。

【0366】

図16(H)は、半導体装置を、旅客用飛行機と一体にして設けた例について示した図である。図16(H)は、旅客用飛行機の座席上部の天井5030に表示パネル5031を設けたときの、使用時の形状について示した図である。表示パネル5031は、天井5030とヒンジ部5032を介して一体に取り付けられており、ヒンジ部5032の伸縮により乗客は表示パネル5031の視聴が可能になる。表示パネル5031は乗客が操作することで情報を表示する機能を有する。

10

【0367】

なお、本実施の形態において、移動体としては自動車車体、飛行機車体について例示したがこれに限定されず、自動二輪車、自動四輪車(自動車、バス等を含む)、電車(モノレール、鉄道等を含む)、船舶等、様々なものに設置することができる。

【0368】

以上のように、本実施の形態で説明した電子機器または半導体装置における表示装置の構成は、実施の形態5において説明したデジタルアナログ変換部を具備する表示装置に採用することができる。実施の形態1～実施の形態4において説明したデジタルアナログ変換部は、ルックアップテーブルを用いずに、各サブ画素に応じた信号を生成することができる。したがって、メモリ素子からのルックアップテーブルの読み出しに伴う発熱の発生、または消費電力の増大などを防ぐことができる。

20

【0369】

さらに、ルックアップテーブルを用いないので、ビデオ信号を生成する部分と、画素部とを同じ基板に形成することができる。したがって、パネルと外部部品との接続数を少なくすることができるので、信頼性の向上、歩留まりの向上、コストの削減、または高精細化などを図ることができる。

【符号の説明】

【0370】

100 デジタルアナログ変換部  
 101\_\_1～101\_\_n 回路  
 111 配線群  
 111\_\_1～111\_\_n 配線  
 112\_\_1～112\_\_n 配線群  
 112\_\_11～112\_\_nM 配線  
 113\_\_1～113\_\_n 配線  
 114 配線群  
 114\_\_1～114\_\_N 配線  
 115 配線  
 116 配線  
 201 回路  
 201\_\_1 回路  
 201\_\_2 回路  
 202 回路  
 202\_\_1 回路  
 202\_\_2 回路  
 202\_\_1a セレクタ回路  
 202\_\_2b セレクタ回路  
 203 論理回路  
 203\_\_1～203\_\_1M 論理回路

30

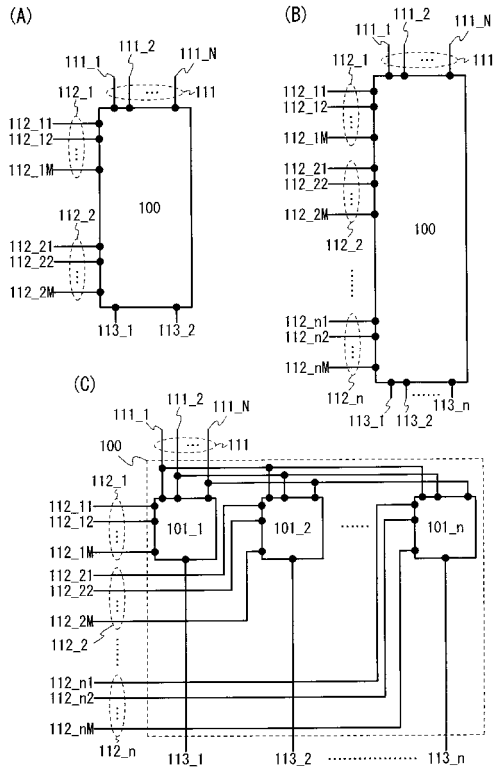
40

50

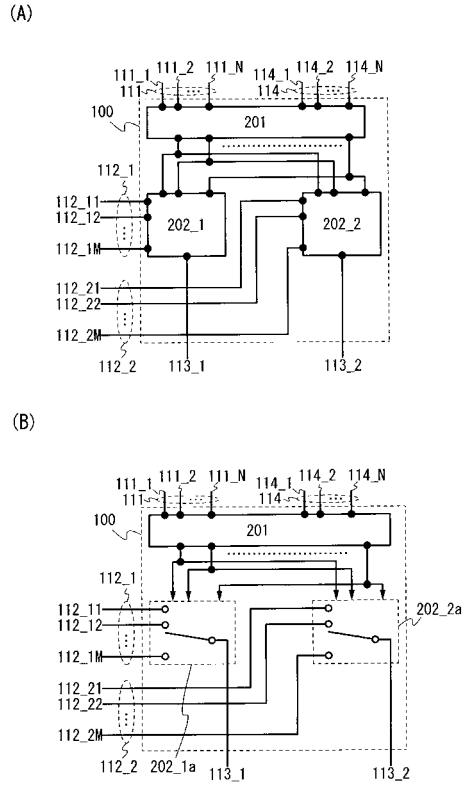
2 0 3 _ 1 a ~ 2 0 3 _ M a	N O R 回路	
2 0 3 _ 1 b ~ 2 0 3 _ M b	N A N D 回路	
2 0 4 _ 1 1 ~ 2 0 4 _ 1 M	スイッチ	
2 0 4 _ 2 1 ~ 2 0 4 _ 2 M	スイッチ	
2 0 4 _ 1 1 a ~ 2 0 4 _ 1 M a	トランジスタ	
2 0 4 _ 1 1 b ~ 2 0 4 _ 1 M b	トランジスタ	
4 0 0 _ 1	回路	
4 0 0 _ 2	回路	
4 0 1	スイッチ	
4 0 2	スイッチ	10
4 0 3	スイッチ	
4 0 4	スイッチ	
5 0 1 _ 1	回路	
5 0 1 _ 2	回路	
5 0 1 _ 1 1 ~ 5 0 1 _ 1 M	抵抗素子	
5 0 1 _ 2 1 ~ 5 0 1 _ 2 M	抵抗素子	
5 0 2 _ 1	サブ画素	
5 0 2 _ 2	サブ画素	
5 0 2 _ 1 ~ 5 0 2 _ n	サブ画素	
6 0 1	信号線駆動回路	20
6 0 2	走査線駆動回路	
6 0 3	画素部	
6 0 5	画素	
6 2 1	シフトレジスタ	
6 2 2	第1のラッチ部	
6 2 3	第2のラッチ部	
6 2 5	バッファ部	
7 0 1 a	トランジスタ	
7 0 1 b	トランジスタ	
7 0 2 a	液晶素子	30
7 0 2 b	液晶素子	
7 0 3 a	容量素子	
7 0 3 b	容量素子	
7 0 4 a	液晶素子	
7 0 4 b	液晶素子	
7 0 4	共通電極	
7 0 5	容量線	
5 0 0 0	筐体	
5 0 0 1	表示部	
5 0 0 2	表示部	40
5 0 0 3	スピーカ	
5 0 0 4	L E D ランプ	
5 0 0 5	操作キー	
5 0 0 6	接続端子	
5 0 0 7	センサ	
5 0 0 8	マイクロフォン	
5 0 0 9	スイッチ	
5 0 1 0	赤外線ポート	
5 0 1 1	記録媒体読込部	
5 0 1 2	支持部	50

5 0 1 3	イヤホン	
5 0 1 4	アンテナ	
5 0 1 5	シャッターボタン	
5 0 1 6	受像部	
5 0 1 7	充電器	
5 0 1 8	支持台	
5 0 1 9	外部接続ポート	
5 0 2 0	ポインティングデバイス	
5 0 2 1	リーダー/ライター	
5 0 2 2	筐体	10
5 0 2 3	表示部	
5 0 2 4	リモコン装置	
5 0 2 5	スピーカ	
5 0 2 6	表示パネル	
5 0 2 7	ユニットバス	
5 0 2 8	表示パネル	
5 0 2 9	車体	
5 0 3 0	天井	
5 0 3 1	表示パネル	
5 0 3 2	ヒンジ部	20
5 0 3 3	光源	
5 0 3 4	投射レンズ	
5 0 5 1	トランジスタ	
5 0 5 2	トランジスタ	
5 0 5 3	トランジスタ	
5 0 5 4	トランジスタ	
5 0 5 5	トランジスタ	
5 0 5 7	基板	
5 0 5 8	絶縁膜	
5 0 5 9	半導体層	30
5 0 6 0	半導体層	
5 0 6 1	半導体層	
5 0 6 2	絶縁膜	
5 0 6 3	ゲート電極	
5 0 6 4	絶縁膜	
5 0 6 5	絶縁膜	
5 0 6 6	サイドウォール	
5 0 6 7	導電膜	
9 2 0 0	ベース基板	
9 2 0 1	半導体基板	40
9 2 0 2	S O I 層	
9 2 0 3	イオンドーピング層	
9 2 0 4	接合層	

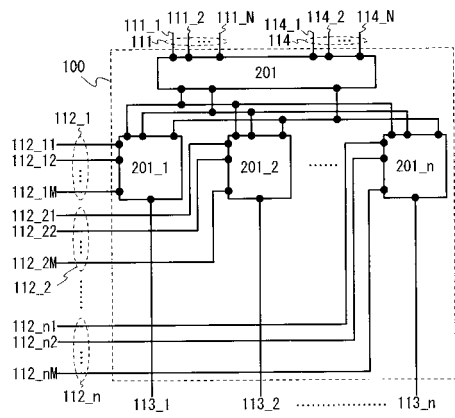
【図1】



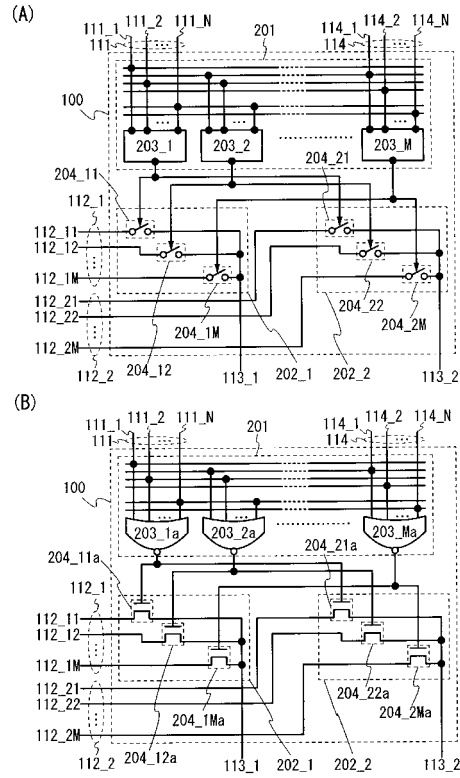
【図2】



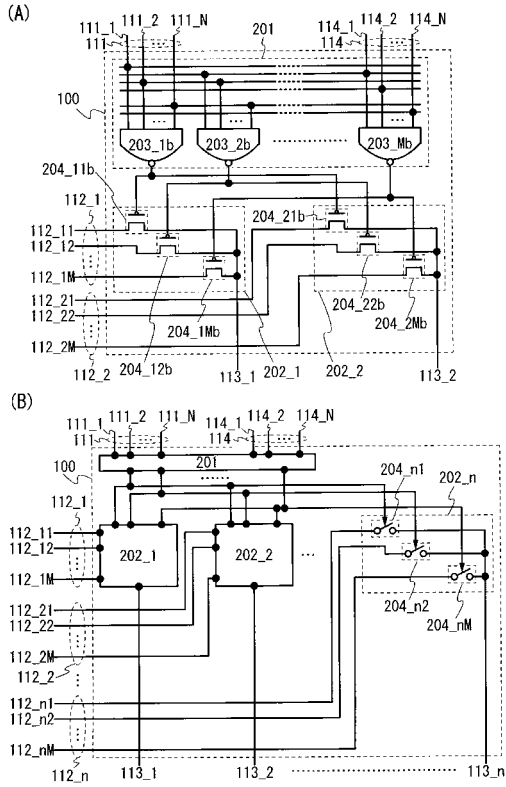
【図3】



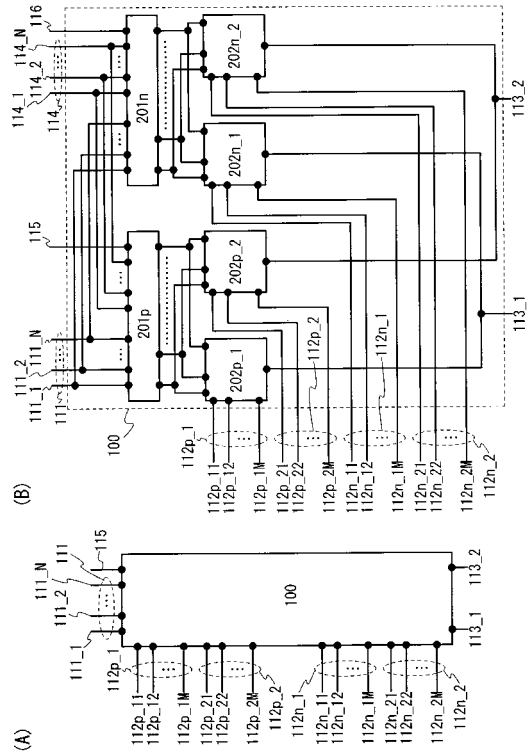
【図4】



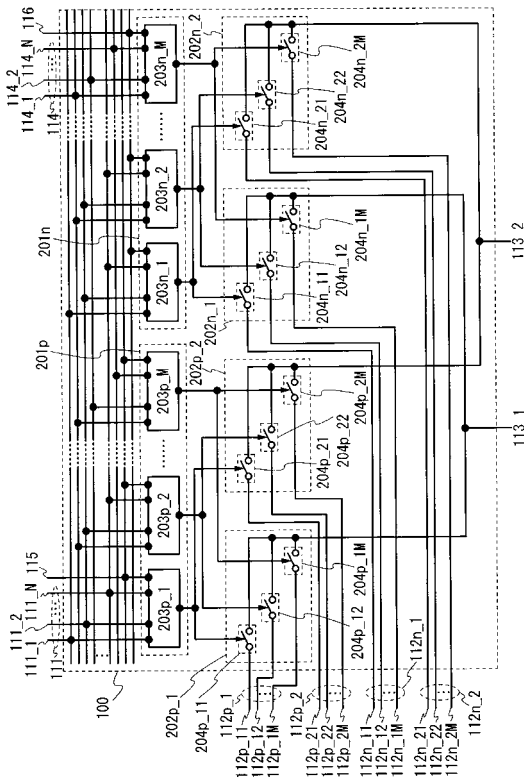
【図5】



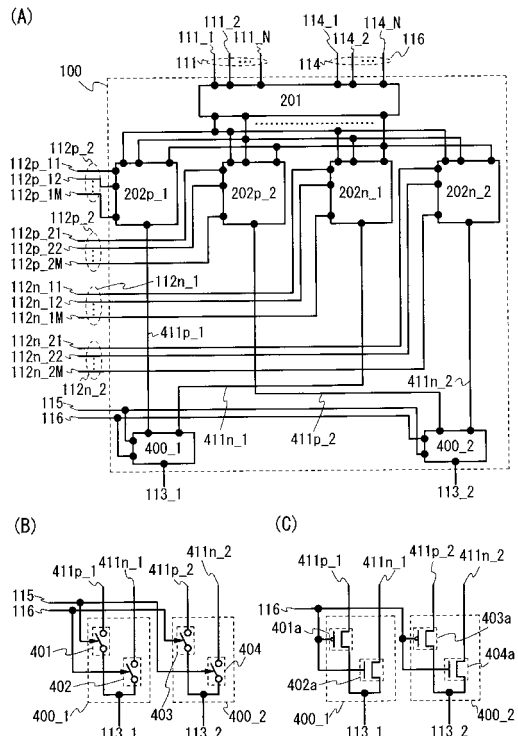
【図6】



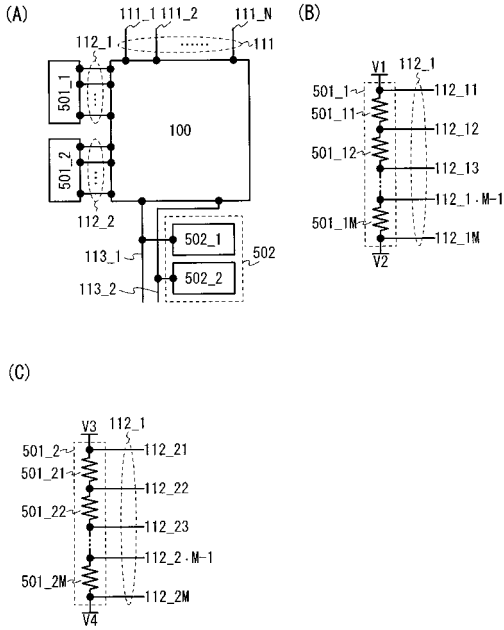
【図7】



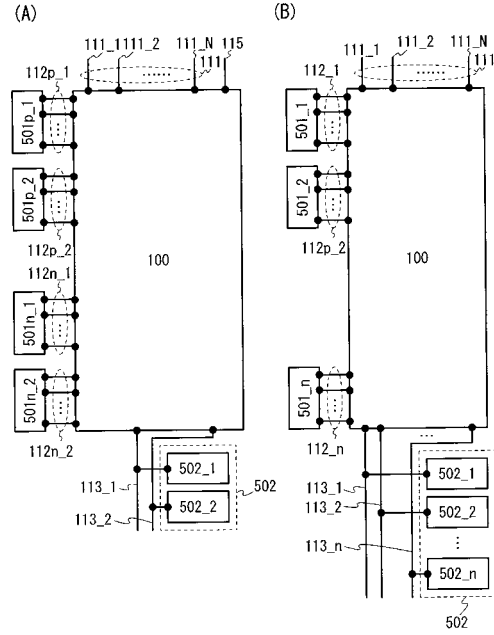
【図8】



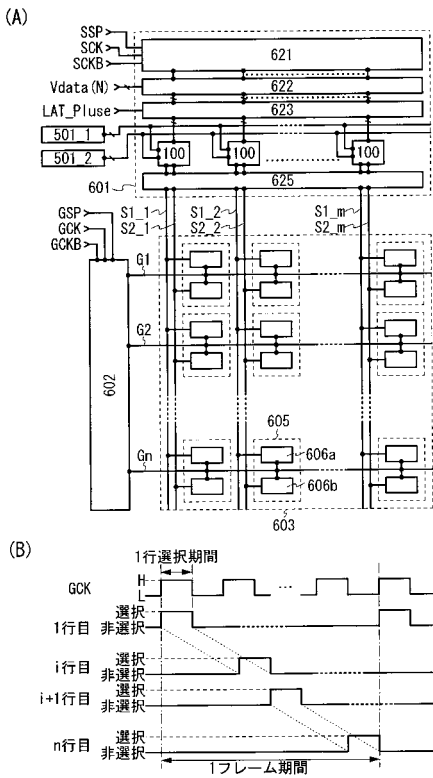
【図9】



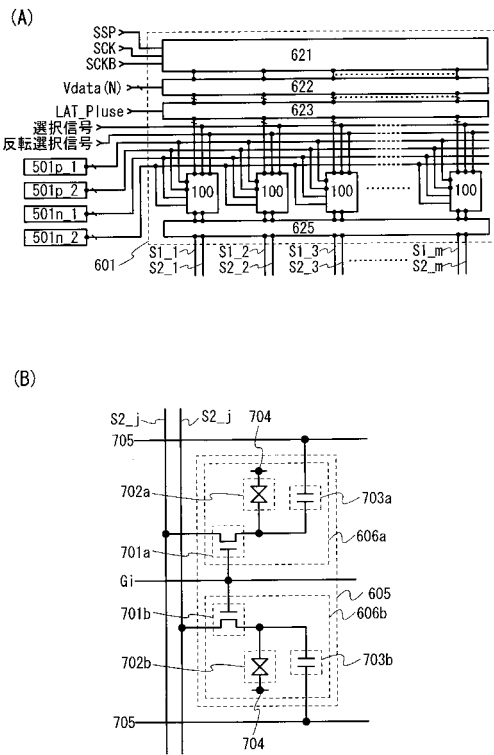
【図10】



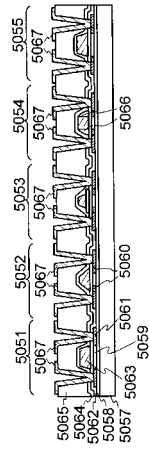
【図11】



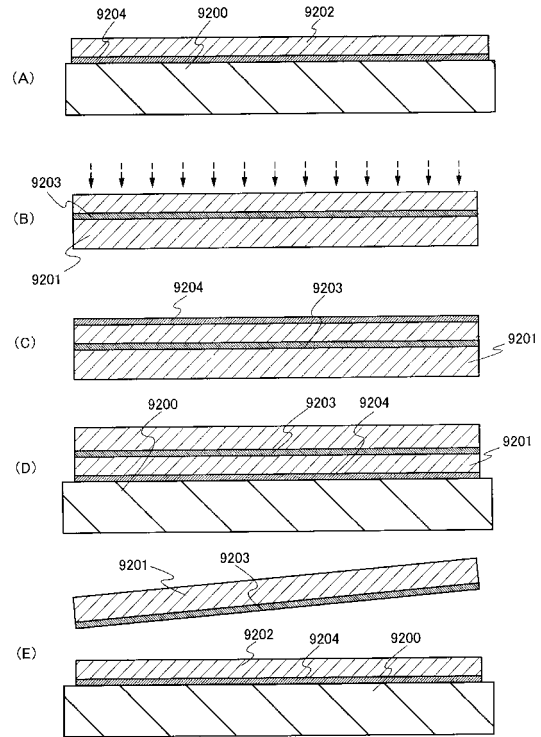
【図12】



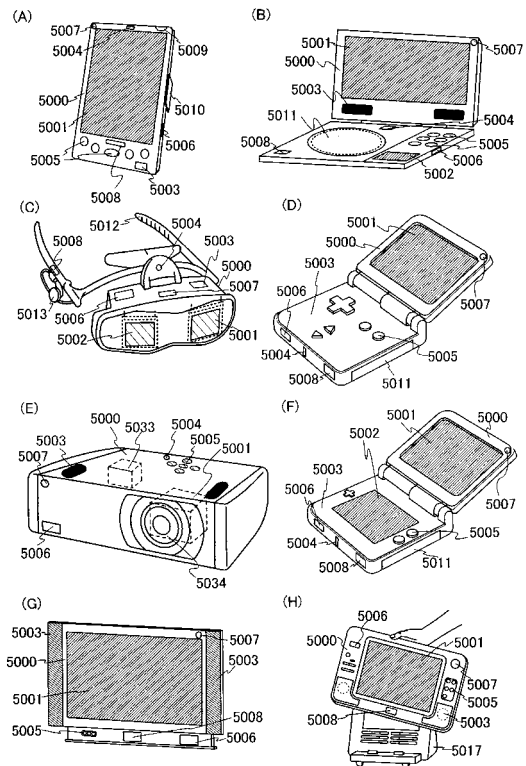
【 図 1 3 】



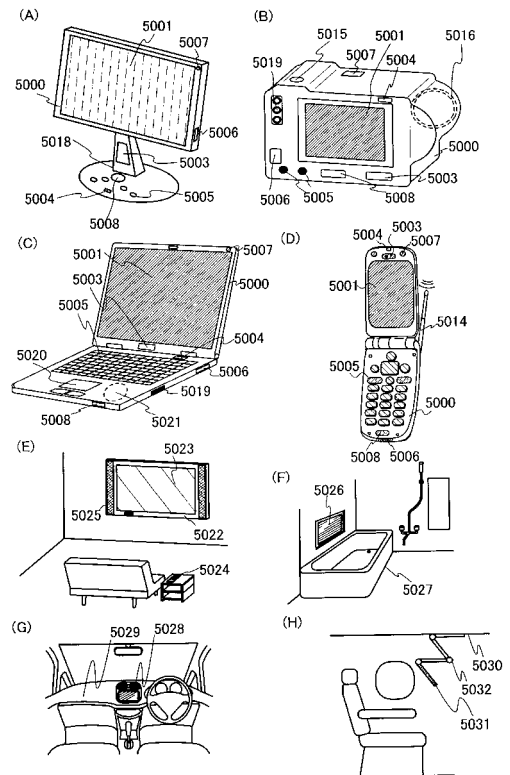
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



## フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 1 1 Z  
G 0 9 G 3/20 6 1 2 F  
G 0 9 G 3/20 6 3 1 R  
G 0 9 G 3/20 6 1 1 A  
G 0 9 G 3/20 6 4 1 G  
G 0 9 G 3/36  
G 0 2 F 1/133 5 0 5

(56)参考文献 特公昭61-165734(JP,B1)  
特公昭61-219992(JP,B1)  
特開2006-201757(JP,A)  
特開2007-101630(JP,A)  
特開2006-270858(JP,A)  
特開2007-058217(JP,A)  
特開2007-124606(JP,A)  
特開2003-098998(JP,A)  
特開2007-025701(JP,A)  
特開2008-034955(JP,A)  
特開2008-085711(JP,A)

(58)調査した分野(Int.Cl.,DB名)

G 0 9 G 3 / 2 0 - 3 / 3 8  
G 0 2 F 1 / 1 3 3

专利名称(译)	液晶表示装置		
公开(公告)号	<a href="#">JP5376723B2</a>	公开(公告)日	2013-12-25
申请号	JP2009132731	申请日	2009-06-02
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	木村肇 梅崎敦司		
发明人	木村 肇 梅崎 敦司		
IPC分类号	G09G3/20 G09G3/36 G02F1/133		
CPC分类号	G09G3/3688 G09G3/3696 G09G2310/027 G09G2320/0673 G09G2320/068 G09G3/3413 G09G3/3607 G09G3/3655 G09G2330/023		
FI分类号	G09G3/20.680.G G09G3/20.680.H G09G3/20.623.F G09G3/20.621.B G09G3/20.641.P G09G3/20.611.Z G09G3/20.612.F G09G3/20.631.R G09G3/20.611.A G09G3/20.641.G G09G3/36 G02F1/133.505		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZC02 2H193/ZC12 2H193/ZD23 2H193/ZF04 2H193/ZF12 2H193/ZF18 2H193/ZF32 2H193/ZF33 2H193/ZF34 2H193/ZF44 2H193/ZF45 2H193/ZH41 2H193/ZQ11 5C006/AC21 5C006/AC25 5C006/AC26 5C006/AC27 5C006/AC28 5C006/AF83 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BF26 5C006/BF34 5C006/BF43 5C006/FA41 5C006/FA44 5C006/FA47 5C006/FA51 5C006/FA55 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD07 5C080/DD22 5C080/DD26 5C080/DD27 5C080/EE29 5C080/FF01 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ06 5C080/KK01 5C080/KK07 5C080/KK43 5C080/KK47		
优先权	2008150608 2008-06-09 JP		
其他公开文献	JP2010020292A5 JP2010020292A		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

要解决的问题：通过提高可靠性或良率来提供更精细的显示装置，而不会在将像素划分为多个子像素时显著增加面板和外部部件的连接数量。  
 解决方案：液晶显示装置包括具有第一至第n ( n是2或更大的自然数 ) 个子像素的像素和电路。对于电路，N ( N是2或更多的自然数 ) 布线用于提供具有N位的数字信号，并且第一至第n布线组具有M ( M是2或更多的自然数 ) 布线，用于提供M个不同的布线电压是电连接的。液晶显示装置具有通过使用提供给第一至第n布线组的M个电压并将n个模拟信号输入第一至第n个子像素将数字信号转换为n个模拟信号的功能。第一至第n子像素均包括用于驱动液晶元件的电极。

3】

