

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5370169号
(P5370169)

(45) 発行日 平成25年12月18日 (2013.12.18)

(24) 登録日 平成25年9月27日 (2013.9.27)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)

H04N 5/66 (2006.01)

G09G 3/36

G09G 3/20 641P

G09G 3/20 650M

G09G 3/20 612U

G09G 3/20 642D

請求項の数 6 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2010-6567 (P2010-6567)
 (22) 出願日 平成22年1月15日 (2010.1.15)
 (65) 公開番号 特開2011-145501 (P2011-145501A)
 (43) 公開日 平成23年7月28日 (2011.7.28)
 審査請求日 平成25年1月7日 (2013.1.7)

(73) 特許権者 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100095728
 弁理士 上柳 雅誉
 (74) 代理人 100107261
 弁理士 須澤 修
 (74) 代理人 100127661
 弁理士 宮坂 一彦
 (72) 発明者 飯坂 英仁
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 (72) 発明者 保坂 宏行
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 映像処理回路、その処理方法、液晶表示装置および電子機器

(57) 【特許請求の範囲】

【請求項1】

画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、

映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび前フレームでそれぞれ検出する境界検出部と、

前記現フレームの境界のうち、前記前フレームの境界と1画素分だけ離れた境界部分を挟んだ位置にある前記第1画素または前記第2画素の少なくとも一方に対応する液晶素子への印加電圧を、前記第1画素および前記第2画素で生じる横電界を低減する方向に、入力した映像信号を補正する補正部と、

を備えることを特徴とする映像処理回路。

【請求項2】

前記補正部は、

現フレームの境界のうち、前フレームの境界と1画素分だけ離れた境界部分を挟んだ位置にある前記第1画素および前記第2画素が、前フレームにおいていずれも前記第2画素であった場合に、前記境界部分を挟んだ位置にある前記第1画素および前記第2画素を補正対象から除外する

ことを特徴とする請求項1に記載の映像処理回路。

【請求項3】

前記補正部は、

現フレームの境界のうち、前フレームの境界と1画素分だけ離れた境界部分を挟んだ位置にある前記第1画素または前記第2画素に対して当該境界部分の反対側で隣接し、当該部分から離れる方向に向かって連続する1以上の画素に対応する液晶素子への印加電圧を、前記横電界を低減する方向に補正する

ことを特徴とする請求項1または2に記載の映像処理回路。

【請求項4】

画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理方法であって、

映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび前フレームでそれぞれ検出し、

検出した前記現フレームの境界のうち、検出した前記前フレームの境界と1画素分だけ離れた境界部分を挟んだ位置にある前記第1画素または前記第2画素の少なくとも一方に対応する液晶素子への印加電圧を、前記第1画素および前記第2画素で生じる横電界を低減する方向に、入力した映像信号を補正する

ことを特徴とする映像処理方法。

【請求項5】

第1基板に複数の画素の各々に対応して設けられた画素電極と第2基板に設けられたコモン電極とにより液晶が挟持された液晶素子を有する液晶パネルと、

画素毎に前記液晶素子の印加電圧を指定する映像信号を入力するとともに、補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路とを、有し、

前記映像処理回路は、

入力した映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび前フレームでそれぞれ検出する境界検出部と、

前記現フレームの境界のうち、前記前フレームの境界と1画素分だけ離れた境界部分を挟んだ位置にある前記第1画素または前記第2画素の少なくとも一方に対応する液晶素子への印加電圧を、前記第1画素および前記第2画素で生じる横電界を低減する方向に、入力した映像信号を補正する補正部と、

を備えることを特徴とする液晶表示装置。

【請求項6】

請求項5に記載された液晶表示装置を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルにおける表示上の不具合を低減する技術に関する。

【背景技術】

【0002】

液晶パネルは、一対の基板のうち、一方の基板において画素毎に画素電極がマトリクス状に配列し、他方の基板においてコモン電極が各画素にわたって共通となるように設けられ、画素電極とコモン電極とで液晶を挟持した構成となっている。このような構成において、画素電極とコモン電極との間に、階調レベルに応じた電圧を印加・保持させると、液晶の配向状態が画素毎に規定され、これにより、透過率または反射率が制御される。したがって、上記構成では、液晶分子に作用する電界のうち、画素電極からコモン電極に向かう方向（またはその反対方向）、すなわち基板面に対して垂直方向（縦方向）の成分だけが、表示制御に寄与する、ということが出来る。

【0003】

ところで、近年のように小型化、高精細化のために画素ピッチが狭くなると、互いに隣接する画素電極同士で生じる電界、すなわち基板面に対して平行方向（横方向）の電界が

10

20

30

40

50

生じて、その影響が無視できなくなりつつある。例えばVA (Vertical Alignment) 方式やTN (Twisted Nematic) 方式などのように縦方向の電界により駆動されるべき液晶に対して、横電界が加わると、液晶の配向不良（リバースチルトドメイン）が発生し、表示上の不具合が発生してしまう、という問題が生じた。

このリバースチルトドメインの影響を低減するために、画素電極に合わせて遮光層（開口部）の形状を規定するなどして液晶パネルの構造を工夫する技術（例えば特許文献1参照）や、映像信号から算出した平均輝度値が閾値以下の場合にリバースチルトドメインが発生すると判断して、設定値以上の映像信号をクリップする技術（例えば特許文献2参照）などが提案されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開平6-34965号公報（図1）

【特許文献2】特開2009-69608号公報（図2）

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、液晶パネルの構造によってリバースチルトドメインを低減する技術では、開口率が低下しやすく、また、構造を工夫しないで既に製作された液晶パネルに適用することができないという欠点がある。一方、設定値以上の映像信号をクリップする技術では、表示される画像の明るさが設定値に一律に制限されてしまう、という欠点もある。

本発明は、上述した事情に鑑みてなされたもので、その目的の一つは、これらの欠点を解消しつつ、リバースチルトドメインを低減する技術を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成するために、本発明に係る映像処理回路は、画素毎に液晶素子の印加電圧を指定する映像信号を入力するとともに、補正した映像信号に基づいて前記液晶素子の印加電圧をそれぞれ規定する映像処理回路であって、映像信号で指定される印加電圧が第1電圧を下回る第1画素と、前記印加電圧が前記第1電圧よりも大きい第2電圧以上である第2画素との境界を、現フレームおよび前フレームでそれぞれ検出する境界検出部と、前記現フレームの境界のうち、前記前フレームの境界と1画素分だけ離れた境界部分を挟んだ位置にある前記第1画素または前記第2画素の少なくとも一方に対応する液晶素子への印加電圧を、前記第1画素および前記第2画素で生じる横電界を低減する方向に、入力した映像信号を補正する補正部と、を備えることを特徴とする。本発明によれば、液晶パネル100の構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。さらに、本発明によれば、現フレームの境界のうち、前フレームの境界と1画素分だけ離れた境界部分を挟んだ位置にある画素同士の横電界だけが小さくなるので、映像信号で規定される画像とは異なる画像が表示される部分（表示背反）を少なくした上で、リバースチルトドメインの発生を抑えることが可能となる。

【0007】

なお、現フレームの境界のうち、前フレームの境界から1画素移動した部分を挟んだ位置にある第1画素または第2画素で生じる横電界を低減する方向に、入力した映像信号を補正するには、第1画素の液晶素子への印加電圧を高める方向に補正する、第2画素の液晶素子への印加電圧を低める方向に補正する、および、第1画素の液晶素子への印加電圧を高める方向に補正するとともに、第2画素の液晶素子への印加電圧を低める方向に補正する3通りが存在する。

本発明において、前記補正部は、現フレームの境界のうち、前フレームの境界から1画素移動した部分を挟んだ位置にある第1画素および第2画素が、前フレームにおいていずれも第2画素であった場合に、当該部分を挟んだ位置にある第1画素および第2画素を補

10

20

30

40

50

正対象から除外してもよい。このように除外すると、表示背反となる画素を、より少なくすることが可能となる。

また、本発明において、前記補正部は、現フレームの境界のうち、前フレームの境界から1画素移動した部分に接する第1画素または第2画素に対して当該部分の反対側で隣接し、当該部分から離れる方向に向かって連続する1以上の画素に対応する液晶素子への印加電圧を、前記横電界を低減する方向に補正してもよい。このように補正画素数を増やすと、印加電圧の補正を目立たなくすることも可能となる。

なお、本発明は、映像処理回路のほか、映像処理方法、液晶表示装置および当該液晶表示装置を含む電子機器としても概念することが可能である。

【図面の簡単な説明】

10

【0008】

【図1】実施形態に係る映像処理回路を適用した液晶表示装置を示す図である。

【図2】同液晶表示装置における液晶素子の等価回路を示す図である。

【図3】同映像処理回路の構成を示す図である。

【図4】同液晶表示装置における表示特性を示す図である。

【図5】同液晶表示装置における表示動作を示す図である。

【図6】同映像処理回路における補正処理（1画素）の内容を示す図である。

【図7】同補正処理（1画素）による横電界の低減を示す図である。

【図8】実施形態における補正処理（2画素）の内容を示す図である。

【図9】実施形態における別の補正処理の内容を示す図である。

20

【図10】実施形態に係る映像処理回路の別の補正処理の内容を示す図である。

【図11】同補正処理による横電界の低減を示す図である。

【図12】実施形態におけるさらに別の補正処理の内容を示す図である。

【図13】同補正処理による横電界の低減を示す図である。

【図14】実施形態に係る液晶表示装置を適用したプロジェクターを示す図である。

【図15】横電界の影響による表示上の不具合の一例を示す図である。

【発明を実施するための形態】

【0009】

以下、本発明の実施形態について図面を参照して説明する。

図1は、実施形態に係る映像処理回路を適用した液晶表示装置の全体構成を示すブロック図である。

30

この図に示されるように、液晶表示装置1は、制御回路10と、液晶パネル100と、走査線駆動回路130と、データ線駆動回路140とを有する。

このうち、制御回路10には、映像信号Vid-inが、上位装置から同期信号Syncに同期して供給される。映像信号Vid-inは、液晶パネル100における各画素の階調レベルをそれぞれ指定するデジタルデータであり、同期信号Syncに含まれる垂直走査信号、水平走査信号およびドットクロック信号（いずれも図示省略）にしたがった走査の順番で供給される。

なお、映像信号Vid-inは、画素の階調レベルを指定するが、後述するように階調レベルに応じて液晶素子の印加電圧が定まるので、映像信号Vid-inは液晶素子の印加電圧を指定するものといって差し支えない。

40

【0010】

制御回路10は、走査制御回路20と映像処理回路30とにより構成される。このうち、走査制御回路20は、各種の制御信号を生成して、同期信号Syncに同期して各部を制御する。映像処理回路30は、詳細については後述するが、デジタルの映像信号Vid-inを処理して、アナログのデータ信号Vxを出力するものである。

【0011】

液晶パネル100は、素子基板（第1基板）100aと対向基板（第2基板）100bとが一定の間隙を保って貼り合わせられるとともに、この間隙に、縦方向の電界で駆動される液晶105が挟持された構成となっている。

50

素子基板 100a のうち、対向基板 100b との対向面には、複数 m 行の走査線 112 が図において X（横）方向に沿って設けられる一方、複数 n 列のデータ線 114 が、Y（縦）方向に沿って、かつ、各走査線 112 と互いに電氣的に絶縁を保つように設けられている。

なお、本実施形態では、走査線 112 を区別するために、図において上から順に 1、2、3、…、 $(m-1)$ 、 m 行目という呼び方をする場合がある。同様に、データ線 114 を区別するために、図において左から順に 1、2、3、…、 $(n-1)$ 、 n 列目という呼び方をする場合がある。

【0012】

素子基板 100a では、さらに、走査線 112 とデータ線 114 との交差のそれぞれに対応して、 n チャネル型の TFT 116 と矩形形状で透明性を有する画素電極 118 との組が設けられている。TFT 116 のゲート電極は走査線 112 に接続され、ソース電極はデータ線 114 に接続され、ドレイン電極が画素電極 118 に接続されている。

一方、対向基板 100b のうち、素子基板 100a との対向面には、透明性を有するコモン電極 108 が全面にわたって設けられる。コモン電極 108 には、図示省略した回路によって電圧 L_{com} が印加される。

なお、図 1 において、素子基板 100a の対向面は紙面裏側である。このため、当該対向面に設けられる走査線 112、データ線 114、TFT 116 および画素電極 118 については、破線で示すべきであるが、見難くなるので、それぞれ実線で示している。

【0013】

液晶パネル 100 の等価回路は、図 2 に示される通りとなり、走査線 112 とデータ線 114 との交差に対応して、画素電極 118 とコモン電極 108 とで液晶 105 を挟持した液晶素子 120 が配列した構成となる。

また、図 1 では省略したが、液晶パネル 100 における等価回路では、実際には図 2 に示されるように、液晶素子 120 に対して並列に補助容量（蓄積容量）125 が設けられる。この補助容量 125 は、一端が画素電極 118 に接続され、他端が容量線 115 に共通接続されている。容量線 115 は時間的に一定の電圧に保たれている。

このような構成において、走査線 112 が H レベルになると、当該走査線にゲート電極が接続された TFT 116 がオン状態になり、画素電極 118 がデータ線 114 に接続される。このため、走査線 112 が H レベルであるときに、データ線 114 に、階調に応じた電圧のデータ信号を供給すると、当該データ信号は、オン状態になった TFT 116 を介して画素電極 118 に印加される。走査線 112 が L レベルになると、TFT 116 はオフ状態になるが、画素電極に印加された電圧は、液晶素子 120 の容量性および補助容量 125 によって保持される。

液晶素子 120 では、画素電極 118 およびコモン電極 108 の間によって生じる電界に応じて液晶 105 の分子配向状態が変化する。このため、液晶素子 120 は、透過型であれば、印加・保持電圧に応じた透過率となる。

液晶パネル 100 では、液晶素子 120 毎に透過率が変化するので、液晶素子 120 が画素に相当する。そして、この画素の配列領域が表示領域 101 となる。なお、本実施形態において、液晶 105 を VA 方式として、液晶素子 120 が電圧無印加時において黒状態となるノーマリーブラックモードとする。

【0014】

走査線駆動回路 130 は、走査制御回路 20 による制御信号 Y_{ctr} にしたがって、1、2、3、…、 m 行目の走査線 112 に、走査信号 Y_1 、 Y_2 、 Y_3 、…、 Y_m を供給する。詳細には、走査線駆動回路 130 は、図 5 の (a) に示されるように、走査線 112 をフレームにわたって 1、2、3、…、 $(m-1)$ 、 m 行目という順番で選択するとともに、選択した走査線への走査信号を選択電圧 V_H （H レベル）とし、それ以外の走査線への走査信号を非選択電圧 V_L （L レベル）とする。

なお、フレームとは、映像信号 Vid-in が 1 コマ分供給される周期をいい、同期信号 Sync に含まれる垂直走査信号の周波数が 60 Hz であれば、その逆数である 16.7 ミリ秒

10

20

30

40

50

である。本実施形態では、フレームにわたって1、2、3、…、m行目の走査線112が順番に選択されるので、液晶パネル100は、映像信号Vid-inと等倍速で駆動される。このため、本実施形態では、液晶パネル100に1コマ分の画像を表示させるのに要する期間は、フレームと一致する。

【0015】

データ線駆動回路140は、映像処理回路30から供給されるデータ信号Vxを、走査制御回路20による制御信号Xctrにしたがって1～n列目のデータ線114にデータ信号X1～Xnとしてサンプリングする。

なお、本説明において電圧については、液晶素子120の印加電圧を除き、特に明記しない限り図示省略した接地電位を電圧ゼロの基準とする。液晶素子120の印加電圧は、コモン電極108の電圧LCcomと画素電極118との電位差であり、他の電圧と区別する必要があるからである。また、直流成分の印加による液晶105の劣化を防止するために、液晶素子120については交流駆動が実行される。詳細には、画素電極118には、振幅中心である電圧Vcntに対して高位側の正極性電圧と低位側の負極性電圧とにフレーム毎に交互に切り替えられながら印加される。このような交流駆動において、本実施形態では、同一フレーム内において各液晶素子120の書き込み極性をすべての同一とする面反転方式としている。

【0016】

本実施形態において、液晶素子120の印加電圧(V)と透過率(T)との関係は、液晶105をVA方式のノーマリーブラックモードとしているので、図4の(a)に示されるような特性で表される。液晶素子120を、映像信号Vid-inで指定された階調レベルに応じた透過率とさせるには、当該階調レベルに応じた電圧を、該液晶素子に印加すれば良いはずである。

しかしながら、液晶素子120の印加電圧を、映像信号Vid-inで指定される階調レベルに応じて単に規定するだけでは、リバースチルトドメインに起因する表示上の不具合が発生してしまう場合がある。

【0017】

この不具合は、液晶素子120において挟持された液晶分子が不安定な状態にあるときに、横電界の影響によって乱れる結果、以後、印加電圧に応じた配向状態になりにくくなることが原因の1つとして考えられている。

液晶素子120への印加電圧が、ノーマリーブラックモードにおける黒レベルの電圧Vbk以上であって閾値電圧Vth1(第1電圧)未満の電圧範囲Aにあると、縦電界による規制力が配向膜による規制力よりもわずかに上回る程度であるため、液晶分子の配向状態が乱れやすい。これが、液晶分子が不安定な状態にあるときである。

便宜的に、液晶素子の印加電圧が電圧範囲Aにある液晶素子の透過率範囲(階調範囲)を「a」とする。

【0018】

一方、横電界の影響を受ける場合とは、互いに隣り合う画素電極同士の電位差が大きくなる場合であり、これは、表示しようとする画像において黒レベルまたは黒レベルに近い暗画素と、白レベルまたは白レベルに近い明画素と、が隣接する場合である。

このうち、暗画素とは、図4の(a)のようなノーマリーブラックモードでは、印加電圧が電圧範囲Aにある液晶素子120であり、この暗画素に対して横電界を与えるのが明画素である。この明画素を特定するため、明画素を、印加電圧が閾値電圧Vth2(第2電圧)以上であってノーマリーブラックモードにおける白レベル電圧Vwt以下の電圧範囲Bにある液晶素子120とする。

便宜的に、液晶素子の印加電圧が電圧範囲Bにある液晶素子の透過率範囲(階調範囲)を「b」とする。

なお、ノーマリーブラックモードにおいて、閾値電圧Vth1は、液晶素子の相対透過率を10%とさせる光学的閾値電圧であり、閾値電圧Vth2は、液晶素子の相対透過率を90%とさせる光学的飽和電圧と考えてよい場合がある。

【0019】

印加電圧が電圧範囲Aにある液晶素子は、電圧範囲Bにある液晶素子に隣接したときに、横電界を受けてリバースチルトドメインが発生しやすい状況にある。

なお逆に、電圧範囲Bにある液晶素子は、電圧範囲Aにある液晶素子に隣接しても、縦電界の影響が支配的であり、安定状態にあるので、電圧範囲Aの液晶素子のようにリバースチルトドメインが発生しにくい。

【0020】

リバースチルトドメインに起因する表示上の不具合の例について説明する。映像信号Vid-inで示される画像が、例えば図15の(a)に示されるようなものである場合、詳細には、階調範囲bの明画素を背景として、階調範囲aの暗画素が連続する暗パターンがフレーム毎に1画素ずつ左方向に移動する場合、その暗パターンの右端縁部（動きの後縁部）において暗画素から明画素に変化すべき画素がリバースチルトドメインの発生によって明画素にならない、という一種の尾引き現象として顕在化する。

ここで、本実施形態のように、液晶パネル100が、映像信号Vid-inの供給速度と等倍速で駆動される場合において、明画素を背景とした暗画素の領域がフレーム毎に2画素以上ずつ移動するときに、このような尾引き現象は顕在化しない（または、視認されにくい）。この理由は、次のように考えられる。すなわち、あるフレームにおいて、暗画素と明画素とが隣接したときに、その明画素でリバースチルトドメインが発生しているかもしれないが、画像の動きを考えると、リバースチルトドメインが発生する画素が離散的となるので、視覚的には目立たない、と考えられるからである。

なお、図15の(a)については、見方を変えると、暗画素を背景として明画素が連続する明パターンがフレーム毎に1画素ずつ左方向に移動する場合に、その明パターンの左端縁部（動きの先端部）において暗画素から明画素に変化すべき画素がリバースチルトドメインの発生によって明画素にならない、ということもできる。

また、同図においては、説明の便宜上、画像のうち、1ラインの境界付近を抜き出している。

【0021】

ここで、リバースチルトドメインが発生する条件を整理すると、

(1) あるフレームの映像信号Vid-inで示される画像において、階調範囲aの暗画素と階調範囲bの明画素とが隣接する場合に

(2) そのような暗画素と明画素とが隣接する部分を示す境界が、前フレームから1画素分だけ移動しているとき、

(3) 境界に接する暗画素と明画素とのうち、印加電圧を低くすべき方の画素（ノーマリーブラックモードでは暗画素）で発生しやすい、

ということができる。

リバースチルトドメインが発生する主原因は、上述したように横電界であり、(1)および(2)を満たす境界で強い横電界が生じないような対策を施せば、(3)のリバースチルトドメインの発生を抑制することできる、と考えられる。

【0022】

このような観点にたって、本実施形態では、図1に示されるように、映像処理回路30が、映像信号Vid-inの供給経路において、液晶パネル100の上流側に設けられて、次のような処理を実行する。すなわち、映像処理回路30は、映像信号Vid-inで示される画像を解析して、階調範囲aの暗画素と階調範囲bの明画素とが隣接する境界を検出し、その検出した境界のうち、1フレーム前の境界から1画素分だけ移動したものだけを抽出して、抽出した境界（適用境界）に接する暗画素と明画素とのうち、印加電圧を低くすべき方の画素（ノーマリーブラックモードでは暗画素）の階調レベルを、階調範囲aから、階調範囲bでない別の階調範囲cに属する階調レベルc1に置換する処理を実行する。

これにより液晶パネル100では、当該暗画素に係る液晶素子120に対し、当該階調レベルc1に相当する電圧Vc1が印加されるので、適用境界において強い横電界が発生しないことになるからである。

【0023】

次に、映像処理回路30の詳細について図3を参照して説明する。この図に示されるように、映像処理回路30は、補正部300、境界検出部302、保存部306、適用境界決定部308、遅延回路312およびD/A変換器316を有する。

このうち、遅延回路312は、上位装置から供給される映像信号Vid-inを蓄積し、所定時間経過後に読み出して映像信号Vid-dとして出力するものであり、FIFO（Fast In Fast Out：先入れ先出し）メモリーや多段のラッチ回路などにより構成される。なお、遅延回路312における蓄積および読出は、走査制御回路20によって制御される。

【0024】

境界検出部302は、本実施形態においては、映像信号Vid-inで示される画像を解析して、階調範囲aにある画素と階調範囲bにある画素とが隣接する境界を検出し、その境界を示す境界情報を出力する。

なお、ここでいう境界とは、あくまでも階調範囲aにある画素と階調範囲bにある画素とが隣接する部分をいう。このため、例えば階調範囲aにある画素と階調範囲cにある画素とが隣接する部分や、階調範囲bにある画素と階調範囲cにある画素とが隣接する部分については、境界として扱わない。

また、映像信号Vid-in（Vid-d）は、表示すべき画像であるので、映像信号Vid-in（Vid-d）が示す画像のフレームを、現フレームと呼ぶ場合がある。

【0025】

一方、保存部306は、境界検出部302によって出力された境界の情報を保存するとともに、保存した境界の情報を1フレーム経過後に出力するものである。したがって、保存部306からは、境界検出部302から出力される現フレームの境界の情報よりも1フレーム前の境界の情報が出力される構成となっている。

なお、保存部306における情報の保存および出力は、走査制御回路20によって制御される。

【0026】

適用境界決定部308は、境界検出部302から出力される現フレームの境界のうち、保存部306から出力された前フレームの境界から上・下・左・右方向に1画素分移動した部分を適用境界として決定し、決定した適用境界の情報を出力するものである。

なお、適用境界とは、現フレームの映像信号で示される画像の境界のうち、前フレームの映像信号で示される画像の境界から1画素分移動した境界をいうので、前フレームから移動していない境界、および、2画素以上移動した境界は、適用境界として扱わない。

【0027】

補正部300は、判別部310とセレクター314とを有する。このうち、判別部310は、遅延回路312によって遅延された映像信号Vid-dで示される画素が、適用境界決定部308で決定された適用境界に接しているか否か（第1判別）、および、当該画素の階調レベルが階調範囲aに属するか否か（第2判別）を、それぞれ判別して、その判別結果がいずれも「Yes」である場合に出力信号のフラグQを例えば“1”とし、その判別結果がいずれか1つでも「No」であれば“0”とする。

なお、境界検出部302は、少なくとも複数行分の画素の映像信号を蓄積しないと、表示すべき画像における境界を検出することができないので、映像信号Vid-inの供給タイミングを調整する意味で、遅延回路312が設けられている。このため、上位装置から供給される映像信号Vid-inのタイミングと、遅延回路312から供給される映像信号Vid-dのタイミングとは異なるので、厳密に言えば、両者の水平走査期間等については一致しないことになるが、以降については特に区別しないで説明することにする。

【0028】

セレクター314は、制御端子Selに供給されたフラグQに応じて入力端a、bのいずれかを選択し、選択した入力端に供給された信号を出力端Outから映像信号Vid-outを出力するものである。詳細には、セレクター314では、入力端aに、遅延回路312による映像信号Vid-dが供給され、入力端bに、置換用として、階調レベルc1の映像信号が

10

20

30

40

50

供給されている。そして、セレクター 314 は、制御端子 Sel に供給されたフラグ Q が “ 1 ” であれば、入力端 b を選択し、該フラグ Q が “ 0 ” であれば、入力端 a に供給された映像信号 Vid-d を映像信号 Vid-out として出力する。

【0029】

D/A 変換器 316 は、デジタルデータである映像信号 Vid を、アナログのデータ信号 Vx に変換する。上述したように、本実施形態では、面反転方式としているので、データ信号 Vx の極性は、フレーム毎に切り替えられる構成となっている。

なお、コモン電極 108 に印加される電圧 LC com は、電圧 Vcnt とほぼ同電圧と考えてよいが、n チャンネル型の TFT 116 のオフリーク等を考慮して、電圧 Vcnt よりも低位となるように調整されることがある。

10

【0030】

このような構成において、フラグ Q が “ 1 ” であれば、それは、映像信号 Vid-in で示される画素が適用境界に接し、かつ、当該画素の階調レベルが階調範囲 a に含まれる、ということの意味している。フラグ Q が “ 1 ” であれば、セレクター 314 が入力端 b を選択するので、階調範囲 a の階調レベルを指定する映像信号 Vid-d は、階調レベル c1 を指定する映像信号に置換されて、映像信号 Vid-out として出力される。

一方、フラグ Q が “ 0 ” であれば、セレクター 314 では、入力端 a が選択されるので、遅延させた映像信号 Vid-d が映像信号 Vid として出力される。

【0031】

液晶表示装置 1 の表示動作について説明すると、上位装置からは、映像信号 Vid-in が、フレームにわたって 1 行 1 列～1 行 n 列、2 行 1 列～2 行 n 列、3 行 1 列～3 行 n 列、…、m 行 1 列～m 行 n 列の画素の順番で、供給される。映像処理回路 30 は、映像信号 Vid-in を遅延・置換等の処理をして映像信号 Vid-out として出力する。

20

ここで、1 行 1 列～1 行 n 列の映像信号 Vid-out が出力される水平有効走査期間 (Ha) でみたときに、処理された映像信号 Vid は、D/A 変換器 316 によって、図 5 の (b) で示されるように正極性または負極性のデータ信号 Vx に、ここでは例えば正極性に変換される。このデータ信号 Vx は、データ線駆動回路 140 によって 1～n 列目のデータ線 114 にデータ信号 X1～Xn としてサンプリングされる。

一方、1 行 1 列～1 行 n 列の映像信号 Vid-out が出力される水平走査期間では、走査制御回路 20 が走査線駆動回路 130 に対し走査信号 Y1 だけを H レベルとなるように制御する。走査信号 Y1 が H レベルであれば、1 行目の TFT 116 がオン状態になるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある TFT 116 を介して画素電極 118 に印加される。これにより、1 行 1 列～1 行 n 列の液晶素子には、それぞれ映像信号 Vid-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

30

続いて、2 行 1 列～2 行 n 列の映像信号 Vid-in は、同様に映像処理回路 30 によって処理されて、映像信号 Vid-out として出力されるとともに、D/A 変換器 316 によって正極性のデータ信号に変換された上で、データ線駆動回路 140 によって 1～n 列目のデータ線 114 にサンプリングされる。

2 行 1 列～2 行 n 列の映像信号 Vid-out が出力される水平走査期間では、走査線駆動回路 130 によって走査信号 Y2 だけが H レベルとなるので、データ線 114 にサンプリングされたデータ信号は、オン状態にある 2 行目の TFT 116 を介して画素電極 118 に印加される。これにより、2 行 1 列～2 行 n 列の液晶素子には、それぞれ映像信号 Vid-out で指定された階調レベルに応じた正極性電圧が書き込まれる。

40

以下同様な書込動作が 3、4、…、m 行目に対して実行され、これにより、各液晶素子に、映像信号 Vid-out で指定された階調レベルに応じた電圧が書き込まれて、映像信号 Vid-in で規定される透過像が作成されることとなる。

次のフレームでは、データ信号の極性反転によって映像信号 Vid-out が負極性のデータ信号に変換される以外、同様な書込動作が実行される。

【0032】

図 5 の (b) は、映像処理回路 30 から、水平走査期間 (H) にわたって 1 行 1 列～1

50

行 n 列の映像信号 V_{id-out} が出力されたときのデータ信号 V_x の一例を示す電圧波形図である。本実施形態では、ノーマリーブラックモードとしているので、データ信号 V_x は、正極性であれば、振幅中心電圧 V_{cnt} に対し、映像処理回路 30 によって処理された階調レベルが明るくなるにつれて高位側の電圧（図において↑で示す）になり、負極性であれば、電圧 V_{cnt} に対し、階調レベルが明るくなるにつれて低位側の電圧（図において↓で示す）になる。

詳細には、データ信号 V_x の電圧は、正極性であれば、白に相当する電圧 $V_w(+)$ から黒に相当する電圧 $V_b(+)$ までの範囲で、一方、負極性であれば、白に相当する電圧 $V_w(-)$ から黒に相当する電圧 $V_b(-)$ までの範囲で、それぞれ基準電圧 V_{cnt} から階調に応じた分だけ偏位させた電圧となる。

電圧 $V_w(+)$ および電圧 $V_w(-)$ は、電圧 V_{cnt} を中心に互いに対称の関係にある。電圧 $V_b(+)$ および $V_b(-)$ についても電圧 V_{cnt} を中心に互いに対称の関係にある。

なお、図 5 の (b) は、データ信号 V_x の電圧波形を示すものであって、液晶素子 120 に印加される電圧（画素電極 118 とコモン電極 108 との電位差）とは異なる。また、図 5 の (b) におけるデータ信号の電圧の縦スケールは、(a) における走査信号等の電圧波形と比較して拡大してある。

【0033】

続いて、映像処理回路 30 による処理の具体例について説明する。

映像信号 V_{id-in} で示される現フレームの画像の一部が例えば図 6 (2) の左欄に示されるようなものである場合、境界検出部 302 によって検出される境界は、図 6 (2) の右欄において破線で示される通りとなる。

一方、同じ部分において 1 フレーム前の画像が、例えば図 6 (1) の左欄に示されるようなものであった場合、保存部 306 から出力される境界は、図 6 (1) の右欄において破線で示される通りである。

適用境界決定部 308 は、図 6 (2) の右欄で検出された境界のうち、図 6 (1) で示される 1 フレーム前の境界から 1 画素分移動した部分（丸印で囲った部分）を、適用境界として出力する。

この例において、適用境界となる部分は、図 6 (3) の右欄で示されるように 3 箇所となるので、これらを区別するため、同図で示されるように適用境界 P、Q、R とする。

セレクター 314 では、適用境界に接する画素のうち、階調範囲 a に属する暗画素が階調レベル c1 の映像信号に置換されるので、図 6 (2) の左欄で示される画像は、図 6 (3) の左欄に示されるような階調レベルに補正される。詳細には、適用境界 P に対して上側に位置する暗画素、適用境界 Q に対して右側に位置する暗画素、および、適用境界 R に対して左側に位置する暗画素が、それぞれ階調レベル c1 に置換される。

【0034】

仮に、映像信号 V_{id-in} を映像処理回路 30 で処理しないで液晶パネル 100 に供給する構成としたとき、階調範囲 a に属する暗画素と階調範囲 b に属する明画素とにおいて、画素電極の電位は、正極性書込であれば、図 7 (a) で示される通りとなる。暗画素の画素電極の電位は、正極性書込であれば明画素の画素電極の電位よりも低くなるが、電位差が大きいので、横電界の影響を受けやすくなる。

なお、負極性であれば、電位の高低関係が逆転するが、電位差が大きいことに変わりはないので、やはり横電界の影響を受けやすくなる。

【0035】

これに対して、本実施形態では、階調範囲 a に属する暗画素と階調範囲 b に属する明画素とが隣接する境界から、適用境界を決定し、この適用境界に接する暗画素に対応する映像信号 V_{id-out} を、階調レベル c1 に置換する。このため、当該暗画素の液晶素子への印加電圧が高くなるように、換言すれば、当該暗画素の画素電極の電位が正極性書込であれば、図 7 (b) で示されるように、引き上げられる。

このため、映像信号 V_{id-in} で示される画像が、図 15 (a) に示されるように、黒画素から白画素に変化する部分が 1 画素ずつ移動するような場合であっても、液晶パネル 1

10

20

30

40

50

00では、図15(b)に示されるように、暗画素から明画素へと直接的に変化せず、暗画素から一旦階調レベルc1を経て明画素に変化する。

したがって、本実施形態では、横電界の大きさが段階的に変化して、適用境界において大きな横電界がかかるのが防止されるので、リバースチルトドメインによる表示上の不具合の発生を抑制することが可能となる。

【0036】

また、本実施形態において、適用境界は、映像信号Vid-inで示される現フレームの画像において、階調範囲aに属する暗画素と階調範囲bに属する明画素とが隣接する境界のうち、前フレームの境界から1画素分移動した部分のみとしている。このため、本実施形態では、元の映像信号Vid-inで指定される階調レベルをそれとは異なる階調レベルc1に置換する画素（表示背反画素）については、単に現フレームにおいて境界に接する画素を補正（置換）対象とする構成と比較して、少なく抑えられる。

【0037】

このように、本実施形態によれば、上述したリバースチルトドメインに起因する表示上の不具合の発生を事前に回避することが可能となる。さらに、映像信号Vid-inで規定される画像のうち、適用境界に接する画素の階調レベルが局所的に置換されるので、当該置換による表示画像の変更がユーザーに知覚される可能性も小さい。くわえて、本実施形態では、液晶パネル100の構造を変更する必要がないので、開口率の低下を招くこともないし、また、構造を工夫しないで既に製作された液晶パネルに適用することも可能である。

【0038】

<実施形態の応用・変形例>

上述した実施形態では、種々の応用・変形が可能である。

【0039】

<その1：置換する画素数>

実施形態では、適用境界に接する暗画素の1つのみを階調レベルc1に置換する構成であった。このような構成において、暗画素と明画素との適用境界で生じる横電界を小さくする、という観点からすると、適用境界に接する暗画素への印加電圧の引き上げ量を大きくすることが好ましい。ただし、印加電圧の引き上げ量（補正量）を大きくする、ということは、それだけ、元画像から乖離し、表示背反となることを意味する。

そこで、暗画素が連続するような場合には、適用境界に接する暗画素に加え、当該暗画素に対して適用境界から離れる方向（適用境界に直交する方向）に連続するK（Kは1以上の整数）個の暗画素についても 階調レベルを置換する構成としてもよい。

このためには、判別部310が、次のような場合にフラグQを“1”で出力すればよい。詳細には、映像信号Vid-dで示される画素の階調レベルが階調範囲aに属し、適用境界から当該画素までが階調範囲aで連続し、適用境界から当該画素までの距離が（K+1）画素以内である場合に、フラグQを“1”で出力すればよい。

なお、置換候補とする画素数については、適用境界に接する画素を含めて2～10個程度が好ましい。

【0040】

図8は、適用境界に接する暗画素と、当該暗画素に隣接する1つの暗画素との計2画素について階調レベルを置換する場合の処理例を示す図である。前フレームおよび現フレームの画像と、検出される境界および適用境界については、図6の例と同様であるが、本例では、適用境界Pから上方向に2画素以内で位置する暗画素がそれぞれ階調レベルc1に置換される。すなわち、適用境界Pに接する暗画素に加え、当該暗画素に上方向で隣接する暗画素の計2画素が、それぞれ階調レベルc1に置換される。同様に、適用境界Qに対して接する暗画素に加え、左方向に隣接する暗画素の計2画素が、それぞれ階調レベルc1に置換される。ただし、適用境界Rに接する暗画素は右方向に連続していないので、適用境界Rに接する暗画素のみが階調レベルc1に置換される。

このように適用境界に接する画素と、当該画素に対して適用境界から離れる方向に隣接

する1以上の画素についても階調レベルを置換する構成にすると、補正量を大きくしなくても、横電界を小さくすることが可能となる。

【0041】

＜その2：適用境界のさらなる絞り込み＞

実施形態では、階調範囲aの暗画素と階調範囲bの明画素とが隣接する境界を検出し、その検出した境界のうち、1フレーム前の境界から1画素分だけ移動したものを適用境界とした。このような適用境界については、前フレームから現フレームへの変化を考えたときに、次の3パターンが考えられる。すなわち、現フレームにおいて暗画素と明画素とが隣接する場合に、前フレームでは、その2つがともに暗画素であった場合（パターン1）、ともに明画素であった場合（パターン2）、前フレームでは明画素と暗画素であって、
10 現フレームにおいて入れ替わった場合（パターン3）の3つが考えられる。

リバースチルトドメインは、図15（a）で説明したように、また、上記条件（3）から推察されるように、前フレームで暗画素と明画素とが隣接したときに、印加電圧が低い方の画素（液晶分子が不安定な状態にある画素）が、現フレームにおいて印加電圧が高い方向に変化するときには発生しやすい。

したがって、上述した実施形態において決定した適用境界から、パターン2を排除しても影響が少ないことが判る。パターン2は、前フレームにおいて2つの画素がともに液晶分子が安定状態にある明画素であり、それが画像パターンの動きによって、いずれか一方が暗画素に変化する場合であるから、いずれの2画素においてもリバースチルトドメインが発生しにくい状況にある、ということが出来るためである。
20

【0042】

実施形態において適用境界決定部308は、現フレームにおいて暗画素と明画素とが隣接する境界を検出し、該検出した境界のうち、1フレーム前の境界から1画素分だけ移動したものを適用境界として決定する構成としたが、適用境界を決定する際に、現フレームにおける暗画素と明画素とが前フレームにおいていずれも明画素であったときには、適用境界として決定しない構成とすれば、パターン2の画素が、補正対象から除外されることになる。

【0043】

図9は、適用境界から上記パターン2を除外する場合の処理例を示す図である。前フレームおよび現フレームの画像と、検出される境界については、図6の例と同様である。図6の例では、P、Q、Rがいずれも適用境界として決定されたが、このうち、本例では、Rを挟む2つの画素が前フレームにおいていずれも明画素であるから、補正対象から除外される。
30

このようにパターン2を除外すると、表示背反となる画素をさらに少なくすることが可能となる。

なお、パターン2については、見方を変えると、明画素（電圧の高い方の画素）からなるパターンが暗画素（電圧の低い方の画素）からなるパターンに向かって移動したとき、と言い換えることもできる。

【0044】

＜その3：置換対象とする画素＞

実施形態では、適用境界を挟んだ暗画素および明画素のうち、暗画素を階調レベルc1に置換する構成とした。これは、ノーマリーブラックモードにおいて、液晶素子の印加電圧が低いために液晶分子が不安定状態となるのは、暗画素のためである。

一方、リバースチルトドメインの発生を抑えるためには、適用境界を挟む暗画素および明画素で生じる横電界を小さくすることだけでも効果的である。

ここで、適用境界を挟む暗画素および明画素で生じる横電界を小さくするには、実施形態のように、ノーマリーブラックモードにおいて暗画素を階調レベルc1に置換して明るくなる方向に補正する以外にも、明画素を暗くする方向に補正する処理、および、暗画素を明るくする方向に補正し、かつ、明画素を暗くする方向に補正する処理が考えられる。

そこで、この処理のそれぞれについて説明する。

10

20

30

40

50

【0045】

<高電圧側画素の補正>

まず、適用境界を挟む暗画素および明画素のうち、明画素、すなわち液晶素子の印加電圧が高い方の画素（高電圧側画素）を補正する場合について説明する。

この場合、判別部310が、映像信号Vid-dで示される画素が適用境界に接しているか否か、および、当該画素の階調レベルが階調範囲bに属するか否かを、それぞれ判別して、その判別結果がいずれも「Yes」である場合に出力信号のフラグQを“1”とする一方で、セレクター314の入力端bに階調レベルc2を供給する構成とすれば良い。ここで、階調レベルc2は、図4の(a)で示されるように、階調範囲cに属し、かつ、階調レベルc1よりも明るいレベルである。

10

このような構成において、映像信号Vid-inで示される画素の階調レベルが階調範囲bに含まれ、かつ、当該画素が適用境界に接しているときに、フラグQが“1”になる。フラグQが“1”になると、セレクター314が入力端bを選択するので、階調範囲bの階調レベルを指定する映像信号Vid-dが、階調レベルc2を指定する映像信号に置換されて、映像信号Vid-outとして出力される。

【0046】

図10は、適用境界に接する明画素の階調レベルを置換する場合の処理例を示す図である。前フレームおよび現フレームの画像と、検出される境界および適用境界については、図6の例と同様であるが、本例では、適用境界に接する画素のうち、階調範囲bに属する明画素が階調レベルc2の映像信号に置換されるので、図10(3)の左欄に示されるような階調レベルに補正される。詳細には、適用境界Pに対して下側に位置する明画素、適用境界Qに対して左側に位置する明画素、および、適用境界Rに対して右側に位置する明画素が、それぞれ階調レベルc2に置換される。

20

【0047】

したがって、本例では、当該明画素の液晶素子への印加電圧が低くなるように補正されるので、当該明画素の画素電極の電位が正極性書込であれば、図11(b)で示されるように、引き下げられる。このため、画素電極の電位差が段階的に小さくなって、大きな横電界の発生が抑えられるので、リバースチルトドメインによる表示上の不具合の発生を抑制することが可能となる。

なお、本例のように適用境界に接する明画素の階調レベルを置換する場合に、適用境界に接する明画素と、当該明画素に対して適用境界から離れる方向に隣接する1以上の明画素についても階調レベルを置換してもよい。

30

【0048】

<高電圧側画素および低電圧側画素の双方補正>

続いて、適用境界を挟む暗画素および明画素の双方を補正する場合について説明する。この場合、判別部310が、映像信号Vid-dで示される画素が適用境界に接しているか否か、接しているのであれば、当該画素の階調レベルが階調範囲aに属するか、または、当該画素の階調レベルが階調範囲bに属するかを判別する。一方、セレクター314は、映像信号Vid-dで示される画素が適用境界に接し、かつ、当該画素の階調レベルが階調範囲aに属していると判別されたときに、当該画素の階調レベルをc1に置換する一方、映像信号Vid-dで示される画素が適用境界に接し、かつ、当該画素の階調レベルが階調範囲bに属していると判別されたときに、当該画素の階調レベルをc2に置換する構成とすればよい。

40

【0049】

図12は、適用境界を挟む暗画素および明画素の双方の階調レベルを置換する場合の処理例を示す図である。前フレームおよび現フレームの画像と、検出される境界および適用境界については、図6の例と同様である。ただし、本例では、適用境界を挟む暗画素および明画素のうち、暗画素が階調レベルc1の映像信号に置換され、明画素が階調レベルc2の映像信号に置換されるので、図12(3)の左欄に示されるような階調レベルに補正される。

50

【0050】

したがって、本例では、当該暗画素の液晶素子の印加電圧が高くなるように補正されるとともに、当該明画素の液晶素子への印加電圧が低くなるように補正されるので、正極性書込であれば、図13(b)で示されるように、暗画素の画素電極の電位が引き上げられるとともに、明画素の画素電極の電位が引き下げられる。このため、画素電極の電位差が段階的に小さくなって、大きな横電界の発生が抑えられるので、リバースチルトドメインによる表示上の不具合の発生を抑制することが可能となる。

特に本例では、暗画素および明画素との双方の階調レベルが補正されるので、暗画素と明画素との境界が、そのまま補正された画像の輪郭として視認される。このため、本例では、元の映像信号Vid-inで示される画像の輪郭情報を、補正によって失われることを防

10

【0051】

<その4：ノーマリーホワイトモード>

本実施形態において、液晶105をVA方式としたノーマリーブラックモードとして説明したが、液晶105を例えばTN方式として、電圧無印加時において液晶素子120が白状態となるノーマリーホワイトモードとしてもよい。

ノーマリーホワイトモードとしたとき、液晶素子120の印加電圧と透過率との関係は、図4の(b)に示されるようなV-T特性で表され、印加電圧が高くなるにつれて透過率が減少する。

横電界の影響を受けやすい画素は、印加電圧が低い方の画素であることに変わりはないが、ノーマリーホワイトモードにおいて印加電圧が低い方の画素は明画素となる。このため、ノーマリーホワイトモードにおいて、映像処理回路30は、印加電圧が電圧範囲Aに属する明画素と電圧範囲Bに属する暗画素とが隣接する境界から、適用境界を決定し、例えば、適用境界に接する明画素に対応する映像信号Vid-outを、電圧範囲Aに相当する階調レベルよりも暗い階調レベルc1に置換する処理をすれば良いことになる。

20

【0052】

上述した各実施形態において、映像信号Vid-inは、画素の階調レベルを指定するものとしたが、液晶素子の印加電圧を直接的に指定するものとしても良い。映像信号Vid-inが液晶素子の印加電圧を指定する場合、指定される印加電圧によって境界を判別して、電圧を補正する構成とすれば良い。

30

【0053】

<電子機器>

次に、上述した実施形態に係る液晶表示装置を用いた電子機器の一例として、液晶パネル100をライトバルブとして用いた投射型表示装置（プロジェクター）について説明する。図14は、このプロジェクターの構成を示す平面図である。

この図に示されるように、プロジェクター2100の内部には、ハロゲンランプ等の白色光源からなるランプユニット2102が設けられている。このランプユニット2102から射出された投射光は、内部に配置された3枚のミラー2106および2枚のダイクロイックミラー2108によってR（赤）色、G（緑）色、B（青）色の3原色に分離されて、各原色に対応するライトバルブ100R、100Gおよび100Bにそれぞれ導かれる。なお、B色の光は、他のR色やG色と比較すると、光路が長いので、その損失を防ぐために、入射レンズ2122、リレーレンズ2123および出射レンズ2124からなるリレーレンズ系2121を介して導かれる。

40

【0054】

このプロジェクター2100では、液晶パネル100を含む液晶表示装置が、R色、G色、B色のそれぞれに対応して3組設けられる。ライトバルブ100R、100Gおよび100Bの構成は、上述した液晶パネル100と同様である。R色、G色、B色のそれぞれの原色成分の階調レベルを指定するに映像信号がそれぞれ外部上位回路から供給されて、ライトバルブ100R、100Gおよび100Bがそれぞれ駆動される構成となっている。

50

ライトバルブ100R、100G、100Bによってそれぞれ変調された光は、ダイクロイックプリズム2112に3方向から入射する。そして、このダイクロイックプリズム2112において、R色およびB色の光は90度に屈折する一方、G色の光は直進する。したがって、各原色の画像が合成された後、スクリーン2120には、投射レンズ2114によってカラー画像が投射されることとなる。

【0055】

なお、ライトバルブ100R、100Gおよび100Bには、ダイクロイックミラー2108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。また、ライトバルブ100R、100Bの透過像は、ダイクロイックプリズム2112により反射した後に投射されるのに対し、ライトバルブ100Gの透過像はそのまま投射されるので、ライトバルブ100R、100Bによる水平走査方向は、ライトバルブ100Gによる水平走査方向と逆向きにして、水平方向の左右を反転させた像を表示する構成となっている。

10

【0056】

液晶パネル100をライトバルブに用いる例としては、図14を参照して説明したプロジェクターの他にも、リヤ・プロジェクション型のテレビジョンが挙げられる。また、液晶パネル100については、ミラーレスのレンズ交換式のデジタルカメラや、ビデオカメラなどにおける電子ビューファインダー(EVF)にも適用可能である。

このほかにも、適用可能な電子機器として、ヘッドマウントディスプレイや、カーナビゲーション装置、ページャー、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、デジタルスチルカメラ、携帯電話機、タッチパネルを備えた機器等などが挙げられる。そして、これらの各種の電子機器に対して、上記液晶表示装置が適用可能なのは言うまでもない。

20

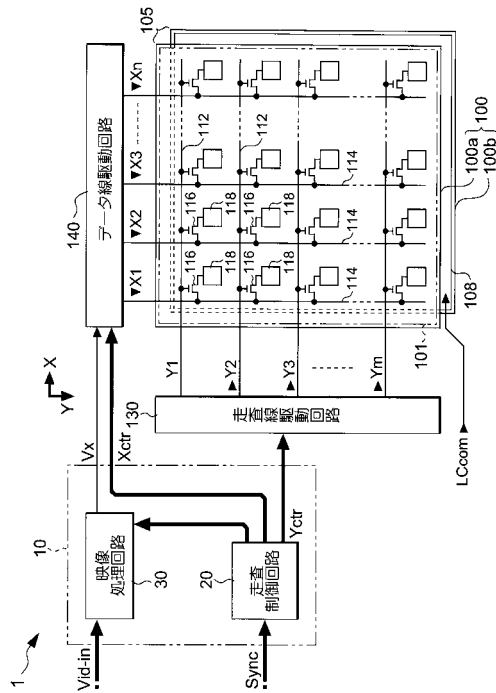
【符号の説明】

【0057】

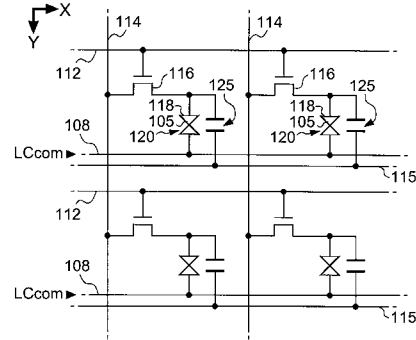
1…液晶表示装置、30…映像処理回路、100…液晶パネル、100a…素子基板、100b…対向基板、105…液晶、108…コモン電極、118…画素電極、120…液晶素子、300…補正部、302…境界検出部、308…適用境界決定部、310…判別部、314…セクター、310…判別部、314…セクター、316…D/A変換器、2100…プロジェクター

30

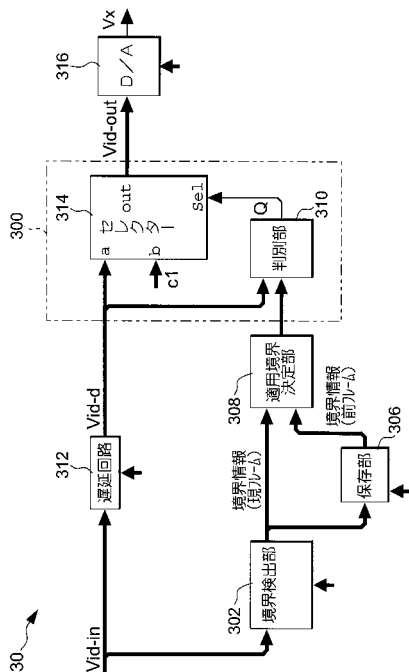
【図 1】



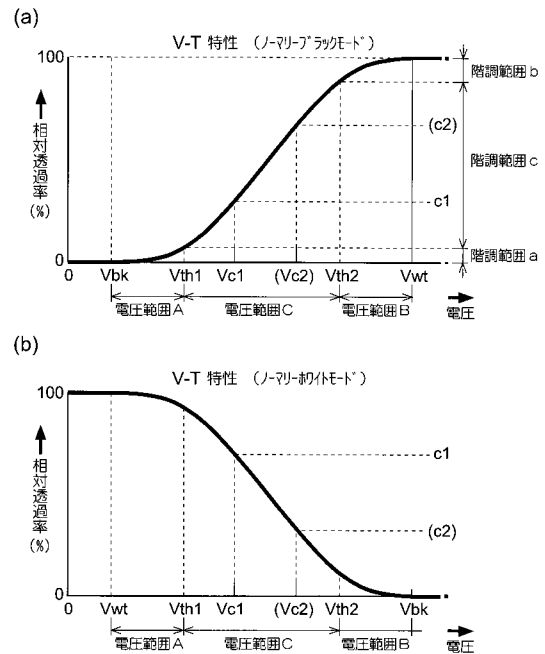
【図 2】



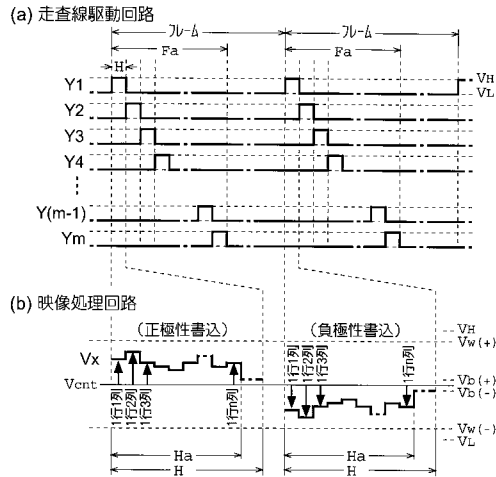
【図 3】



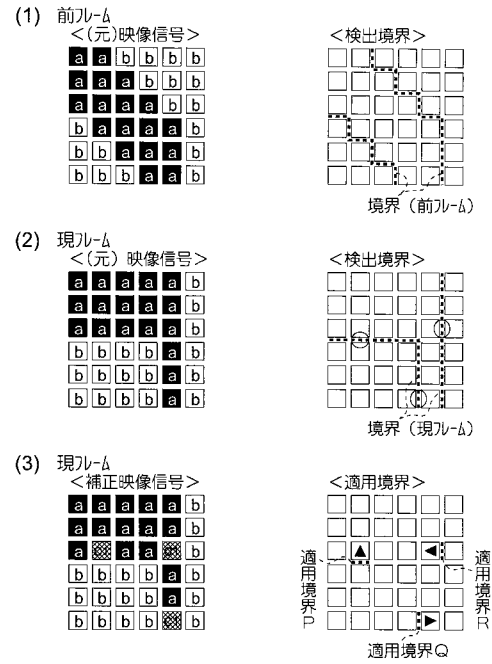
【図 4】



【図 5】



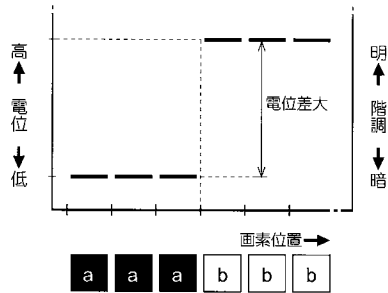
【図 6】



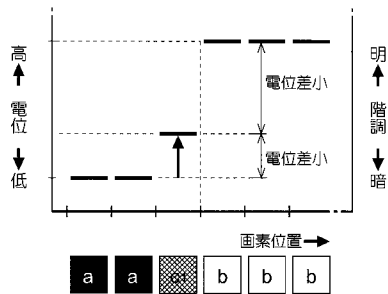
【図 7】

<ノーマリフ・ラケット>

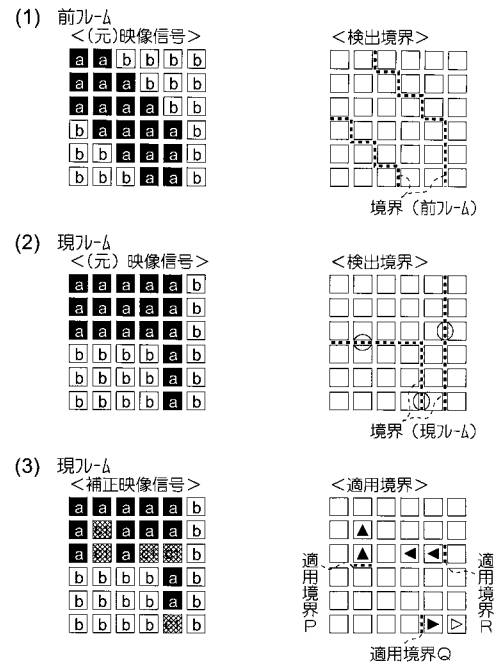
(a) 補正処理なし



(b) 補正処理あり



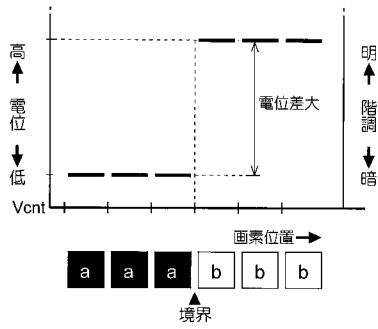
【図 8】



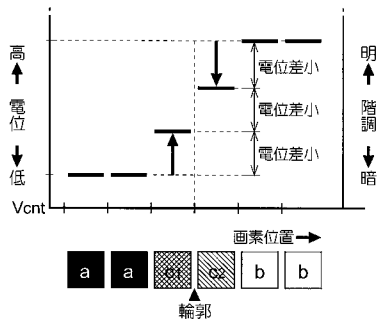
【図 1 3】

<ノーマリフランクモート>

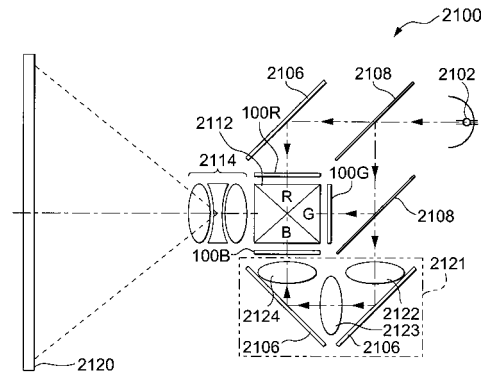
(a) 補正処理なし



(b) 補正処理あり

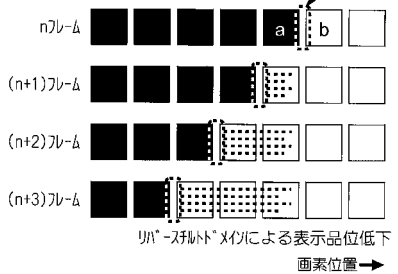


【図 1 4】

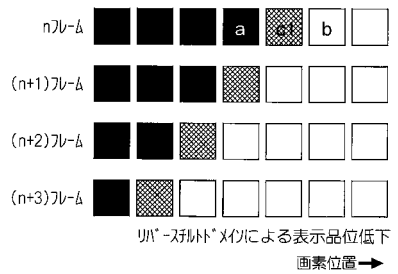


【図 1 5】

(a) 補正処理なし



(b) 補正処理あり



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 4 2 E
G 0 9 G	3/20	6 6 0 W
G 0 9 G	3/20	6 4 1 R
G 0 2 F	1/133	5 7 5
G 0 2 F	1/133	5 5 0
H 0 4 N	5/66	1 0 2 B
G 0 9 G	3/20	6 4 2 A

審査官 中村 直行

(56)参考文献 特開 2 0 0 9 - 1 6 9 4 1 1 (J P, A)

特開 2 0 0 9 - 1 6 9 4 1 2 (J P, A)

(58)調査した分野(Int.Cl., D B名)

G 0 9 G	3 / 0 0	—	3 / 3 8
G 0 2 F	1 / 1 3 3		
H 0 4 N	5 / 6 6		

专利名称(译)	图像处理电路，其处理方法，液晶显示装置和电子设备		
公开(公告)号	JP5370169B2	公开(公告)日	2013-12-18
申请号	JP2010006567	申请日	2010-01-15
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	飯坂英仁 保坂宏行		
发明人	飯坂 英仁 保坂 宏行		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 H04N5/66		
CPC分类号	G09G3/3614 G09G3/3648 G09G2300/0434 G09G2320/02 G09G2340/16 G09G2360/16		
FI分类号	G09G3/36 G09G3/20.641.P G09G3/20.650.M G09G3/20.612.U G09G3/20.642.D G09G3/20.642.E G09G3/20.660.W G09G3/20.641.R G02F1/133.575 G02F1/133.550 H04N5/66.102.B G09G3/20.642.A		
F-TERM分类号	2H193/ZA04 2H193/ZA07 2H193/ZB02 2H193/ZB06 2H193/ZB13 2H193/ZC16 2H193/ZC25 2H193/ZD01 2H193/ZD02 2H193/ZF18 2H193/ZQ06 2H193/ZQ11 2H193/ZR04 5C006/AA01 5C006/AA16 5C006/AA22 5C006/AB01 5C006/AC25 5C006/AC28 5C006/AF19 5C006/AF22 5C006/AF42 5C006/AF44 5C006/AF45 5C006/AF46 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF57 5C006/AF82 5C006/AF84 5C006/AF85 5C006/BB16 5C006/BC03 5C006/BC13 5C006/BF04 5C006/BF07 5C006/BF09 5C006/BF11 5C006/BF14 5C006/BF24 5C006/EC11 5C006/FA12 5C006/FA14 5C006/FA25 5C006/FA29 5C006/FA36 5C006/FA54 5C058/AA06 5C058/BA01 5C058/BA35 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD03 5C080/DD05 5C080/DD08 5C080/DD10 5C080/DD12 5C080/EE19 5C080/EE23 5C080/EE28 5C080/EE29 5C080/EE30 5C080/FF11 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/JJ05 5C080/KK02 5C080/KK07 5C080/KK23 5C080/KK43		
代理人(译)	须泽 修 宫坂和彦		
审查员(译)	中村直之		
其他公开文献	JP2011145501A		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制由于横向电场的影响而导致的显示质量下降。 解决方案：液晶面板100与设置在元件基板100a上的像素电极118相对 并且，公共电极108设置在基板100b上，液晶元件夹在其中的液晶元件105中 A.在常黑模式中，图像处理电路30产生视频信号Vid-in 对应于指定灰度级的液晶元件的施加电压低于电压Vth 1的暗像素，对于当前帧和前一帧中的每一个，检测当前像素和具有压力Vth 2或更高的亮像素之间的边界，到与从前一帧前面的边界移动一帧像素的部分接触的暗像素 从对应于当前帧的图像信号指定的灰度级的施加电压，电压Vc 1等于或高于电压Vth 1且低于电压Vth 2。点域1

【 2 図】

