

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5368590号
(P5368590)

(45) 発行日 平成25年12月18日(2013.12.18)

(24) 登録日 平成25年9月20日(2013.9.20)

(51) Int.Cl.	F I
GO2F 1/1343 (2006.01)	GO2F 1/1343
GO2F 1/1335 (2006.01)	GO2F 1/1335 5 O 5
GO2F 1/1368 (2006.01)	GO2F 1/1368
GO9F 9/30 (2006.01)	GO9F 9/30 3 9 O C

請求項の数 21 (全 20 頁)

(21) 出願番号	特願2011-551841 (P2011-551841)	(73) 特許権者	000005049
(86) (22) 出願日	平成23年1月24日(2011.1.24)		シャープ株式会社
(86) 国際出願番号	PCT/JP2011/051222		大阪府大阪市阿倍野区長池町22番22号
(87) 国際公開番号	W02011/093243	(74) 代理人	100101683
(87) 国際公開日	平成23年8月4日(2011.8.4)		弁理士 奥田 誠司
審査請求日	平成24年8月7日(2012.8.7)	(74) 代理人	100155000
(31) 優先権主張番号	特願2010-18220 (P2010-18220)		弁理士 喜多 修市
(32) 優先日	平成22年1月29日(2010.1.29)	(74) 代理人	100139930
(33) 優先権主張国	日本国(JP)		弁理士 山下 亮司
		(74) 代理人	100125922
			弁理士 三宅 章子
		(72) 発明者	杉原 利典
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の行および複数の列を有するマトリクス状に配列された複数の画素を有し、4個以上の偶数個の画素がカラー表示画素を構成する液晶表示装置であって、

列方向に延びる複数のソースバスラインを有し、

前記偶数個の画素は、相対的に大きな面積を有する大画素と、相対的に小さな面積を有する小画素とを含み、

前記複数のソースバスラインのそれぞれから信号電圧を供給される画素のセットの総面積が略同一である液晶表示装置。

【請求項2】

前記偶数個の画素のうちの半分は前記大画素であり、残りの半分は前記小画素である請求項1に記載の液晶表示装置。

【請求項3】

前記画素のセットは、前記大画素と前記小画素とを同じ個数含む請求項2に記載の液晶表示装置。

【請求項4】

前記複数の画素は、前記大画素から構成される画素列と、前記小画素から構成される画素列とが表示領域内で交互に並ぶように配置されている請求項3に記載の液晶表示装置。

【請求項5】

前記複数の画素のそれぞれは、前記複数のソースバスラインのうちの対応する1本のソ

ースバスラインに接続されたスイッチング素子を有し、

前記複数のソースバスラインのうちの任意の 1 本のソースバスラインに接続されたスイッチング素子は、前記任意の 1 本のソースバスラインに隣接する 1 対の画素列のうちの一方の画素列の画素のスイッチング素子と、他方の画素列の画素のスイッチング素子とを同じ個数含む請求項 4 に記載の液晶表示装置。

【請求項 6】

前記複数の画素は、表示を行わないダミー画素を含み、

前記複数の画素は、前記ダミー画素から構成される画素列が表示領域外に位置するように配置されており、

前記複数のソースバスラインのうちの行方向における両端に位置する 2 本のソースバスラインのそれぞれに接続されたスイッチング素子は、表示領域内の画素列の画素のスイッチング素子と、表示領域外の画素列の画素のスイッチング素子とを同じ個数含む請求項 5 に記載の液晶表示装置。

【請求項 7】

前記偶数個の画素は、 p 行 q 列 (p 、 q は 2 以上の整数) に配置されている請求項 5 または 6 に記載の液晶表示装置。

【請求項 8】

前記偶数個の画素は、1 行 r 列 (r は 4 以上の偶数) に配置されている請求項 5 または 6 に記載の液晶表示装置。

【請求項 9】

前記偶数個の画素は、 p 行 q 列 (p 、 q は 2 以上の整数) に配置されており、

前記偶数個の画素は、さらに、前記 p 行のうちの任意の行において異なる面積を有する画素が混在しないように配置されている請求項 1 に記載の液晶表示装置。

【請求項 10】

前記偶数個の画素のうちの半分は前記大画素であり、残りの半分は前記小画素である請求項 9 に記載の液晶表示装置。

【請求項 11】

前記画素のセットは、前記大画素と前記小画素とを同じ個数含む請求項 10 に記載の液晶表示装置。

【請求項 12】

前記複数の画素は、前記大画素から構成される画素行と、前記小画素から構成される画素行とが交互に並ぶように配置されている請求項 11 に記載の液晶表示装置。

【請求項 13】

行方向に延びる複数のゲートバスラインをさらに有し、

前記複数のゲートバスラインのそれぞれから走査電圧を供給される画素のセットの総面積が略同一である請求項 12 に記載の液晶表示装置。

【請求項 14】

前記複数のゲートバスラインのそれぞれから走査電圧を供給される画素のセットは、前記大画素と前記小画素とを同じ個数含む請求項 13 に記載の液晶表示装置。

【請求項 15】

行方向に延びる複数のゲートバスラインをさらに有し、

前記複数の画素のそれぞれは、前記複数のゲートバスラインのうちの対応する 1 本のゲートバスラインに接続されたスイッチング素子を有し、

前記複数のゲートバスラインのうちの任意の 1 本のゲートバスラインに接続されたスイッチング素子は、前記任意の 1 本のゲートバスラインに隣接する 1 対の画素行のうちの一方の画素行の画素のスイッチング素子と、他方の画素行の画素のスイッチング素子とを同じ個数含む請求項 12 から 14 のいずれかに記載の液晶表示装置。

【請求項 16】

前記複数の画素は、表示を行わないダミー画素を含み、

前記複数の画素は、前記ダミー画素から構成される画素行が表示領域外に位置するよう

10

20

30

40

50

に配置されており、

前記複数のゲートバスラインのうちの列方向における両端に位置する2本のゲートバスラインのそれぞれに接続されたスイッチング素子は、表示領域内の画素行の画素のスイッチング素子と、表示領域外の画素行の画素のスイッチング素子とを同じ個数含む請求項15に記載の液晶表示装置。

【請求項17】

前記偶数個の画素は、少なくとも赤画素、緑画素および青画素を含む請求項1から16のいずれかに記載の液晶表示装置。

【請求項18】

前記偶数個の画素は、黄画素をさらに含む請求項17に記載の液晶表示装置。

10

【請求項19】

前記赤画素および前記青画素は、前記大画素であり、

前記緑画素および前記黄画素は、前記小画素である請求項18に記載の液晶表示装置。

【請求項20】

前記偶数個の画素は、4個の画素である請求項1から19のいずれかに記載の液晶表示装置。

【請求項21】

前記偶数個の画素は、6個の画素である請求項1から19のいずれかに記載の液晶表示装置。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、カラー表示画素が4個以上の偶数個の画素によって構成される液晶表示装置に関する。

【背景技術】

【0002】

現在、液晶表示装置が様々な用途に利用されている。一般的な液晶表示装置では、光の三原色である赤、緑、青を表示する3個の画素によって1個のカラー表示画素が構成されており、そのことによってカラー表示が可能になっている。

【0003】

30

しかしながら、従来の液晶表示装置は、表示可能な色の範囲（「色再現範囲」と呼ばれる。）が狭いという問題を有している。色再現範囲が狭いと、物体色（自然界に存在する様々な物体の色である；非特許文献1参照）の一部を表示することができない。そこで、液晶表示装置の色再現範囲を広くするために、表示に用いる原色の数を増やす手法が提案されている。

【0004】

例えば、特許文献1には、図12に示すように、赤を表示する赤画素R、緑を表示する緑画素Gおよび青を表示する青画素Bに加えて黄を表示する黄画素Yを含む4個の画素によって1個のカラー表示画素Pが構成された液晶表示装置800が開示されている。この液晶表示装置800では、4個の画素によって表示される赤、緑、青、黄の4つの原色を混色することにより、カラー表示が行われる。

40

【0005】

表示に用いる原色の数を増やす、つまり、4つ以上の原色を用いて表示を行うことにより、三原色を用いて表示を行う従来の液晶表示装置よりも色再現範囲を広くすることができる。本願明細書では、4つ以上の原色を用いて表示を行う液晶表示装置を「多原色液晶表示装置」と称する。

【0006】

ただし、表示に用いる原色の数を増やすと、カラー表示画素を構成する画素の数が増えるので、1カラー表示画素の面積が同じままであれば各画素の面積は必然的に小さくなる。そのため、各画素が表示する色の明度が低くなる。例えば、表示に用いる原色の数を3

50

つから４つに増やすと、各画素の面積は約 $3/4$ となり、各画素の明度も約 $3/4$ となる。また、表示に用いる原色の数を３つから６つに増やすと、各画素の面積は約 $1/2$ となり、各画素の明度も約 $1/2$ となる。

【０００７】

緑や黄を表示する画素については、多少明度が低下しても種々の物体色を十分に表示することができるが、赤を表示する画素については、明度が低下すると一部の物体色の表示品位が低下する。このように、用いる原色の数を増やすことによって明度が低下すると、赤の表示品位が低下し、赤がどす黒い赤（つまり暗い赤）となってしまう。

【０００８】

この問題を解決するための技術が特許文献２に提案されている。図１３に、特許文献２に開示されている液晶表示装置９００を示す。液晶表示装置９００のカラー表示画素Ｐは、赤画素Ｒ、緑画素Ｇ、青画素Ｂおよび黄画素Ｙによって構成されている。ただし、液晶表示装置９００では、図１３に示すように、赤画素Ｒおよび青画素Ｂの面積が相対的に大きく、緑画素Ｇおよび黄画素Ｙの面積が相対的に小さい。このように、１個のカラー表示画素Ｐを単純に４つに等分割した場合と比べて赤画素Ｒの面積を大きくすることにより、赤の明度が向上するので、明るい赤を表示することができる。

10

【先行技術文献】

【特許文献】

【０００９】

【特許文献１】特表２００４－５２９３９６号公報

20

【特許文献２】国際公開第２００７／１４８５１９号

【非特許文献】

【００１０】

【非特許文献１】M. R. Pointer, "The gamut of real surface colors," Color Research and Application, Vol.5, No.3, pp.145-155 (1980)

【発明の概要】

【発明が解決しようとする課題】

【００１１】

しかしながら、特許文献２に開示されている画素配置を採用すると、図１３に示されているように、相対的に大きな面積を有する赤画素Ｒおよび青画素Ｂから構成される画素列と、相対的に小さな面積を有する緑画素Ｇおよび黄画素Ｙから構成される画素列とが交互に並ぶ。従って、前者の画素列に対応するソースバスラインと、後者の画素列に対応するソースバスラインとでは、接続されている画素の総面積が異なってしまう、容量負荷が異なってしまう。そのため、列方向に延びる表示ムラ（縦縞）が視認されるおそれがある。

30

【００１２】

なお、この表示ムラは、図１３に示したように赤画素Ｒおよび青画素Ｂの面積が相対的に大きく、緑画素Ｇおよび黄画素Ｙの面積が相対的に小さい構成においてのみ発生するわけではない。カラー表示画素を構成する複数の画素が、相対的に大きな面積を有する大画素と相対的に小さな面積を有する小画素とを含む構成においては、上述したような表示ムラが発生するおそれがある。

40

【００１３】

本発明は、上記問題に鑑みてなされたものであり、その目的は、カラー表示画素を構成する複数の画素が大画素と小画素とを含む液晶表示装置において、列方向に延びる表示ムラの発生を抑制することにある。

【課題を解決するための手段】

【００１４】

本発明による液晶表示装置は、複数の行および複数の列を有するマトリクス状に配列された複数の画素を有し、４個以上の偶数個の画素がカラー表示画素を構成する液晶表示装置であって、列方向に延びる複数のソースバスラインを有し、前記偶数個の画素は、相対的に大きな面積を有する大画素と、相対的に小さな面積を有する小画素とを含み、前記複

50

数のソースバスラインのそれぞれから信号電圧を供給される画素のセットの総面積は略同一である。

【0015】

ある好適な実施形態において、前記偶数個の画素のうちの半分は前記大画素であり、残りの半分は前記小画素である。

【0016】

ある好適な実施形態において、前記画素のセットは、前記大画素と前記小画素とを同じ個数含む。

【0017】

ある好適な実施形態において、前記複数の画素は、前記大画素から構成される画素列と、前記小画素から構成される画素列とが表示領域内で交互に並ぶように配置されている。

10

【0018】

ある好適な実施形態において、前記複数の画素のそれぞれは、前記複数のソースバスラインのうちの対応する1本のソースバスラインに接続されたスイッチング素子を有し、前記複数のソースバスラインのうちの任意の1本のソースバスラインに接続されたスイッチング素子は、前記任意の1本のソースバスラインに隣接する1対の画素列のうちの一方の画素列の画素のスイッチング素子と、他方の画素列の画素のスイッチング素子とを同じ個数含む。

【0019】

ある好適な実施形態において、前記複数の画素は、表示を行わないダミー画素を含み、前記複数の画素は、前記ダミー画素から構成される画素列が表示領域外に位置するように配置されており、前記複数のソースバスラインのうちの行方向における両端に位置する2本のソースバスラインのそれぞれに接続されたスイッチング素子は、表示領域内の画素列の画素のスイッチング素子と、表示領域外の画素列の画素のスイッチング素子とを同じ個数含む。

20

【0020】

ある好適な実施形態において、前記偶数個の画素は、 p 行 q 列（ p 、 q は2以上の整数）に配置されている。

【0021】

ある好適な実施形態において、前記偶数個の画素は、1行 r 列（ r は4以上の偶数）に配置されている。

30

【0022】

ある好適な実施形態において、前記偶数個の画素は、 p 行 q 列（ p 、 q は2以上の整数）に配置されており、前記偶数個の画素は、さらに、前記 p 行のうちの任意の行において異なる面積を有する画素が混在しないように配置されている。

【0023】

ある好適な実施形態において、前記偶数個の画素のうちの半分は前記大画素であり、残りの半分は前記小画素である。

【0024】

ある好適な実施形態において、前記画素のセットは、前記大画素と前記小画素とを同じ個数含む。

40

【0025】

ある好適な実施形態において、前記複数の画素は、前記大画素から構成される画素行と、前記小画素から構成される画素行とが交互に並ぶように配置されている。

【0026】

ある好適な実施形態において、本発明による液晶表示装置は、行方向に延びる複数のゲートバスラインをさらに有し、前記複数のゲートバスラインのそれぞれから走査電圧を供給される画素のセットの総面積が略同一である。

【0027】

ある好適な実施形態において、前記複数のゲートバスラインのそれぞれから走査電圧を

50

供給される画素のセットは、前記大画素と前記小画素とを同じ個数含む。

【 0 0 2 8 】

ある好適な実施形態において、本発明による液晶表示装置は、行方向に延びる複数のゲートバスラインをさらに有し、前記複数の画素のそれぞれは、前記複数のゲートバスラインのうちの対応する 1 本のゲートバスラインに接続されたスイッチング素子を有し、前記複数のゲートバスラインのうちの任意の 1 本のゲートバスラインに接続されたスイッチング素子は、前記任意の 1 本のゲートバスラインに隣接する 1 対の画素行のうちの一方の画素行の画素のスイッチング素子と、他方の画素行の画素のスイッチング素子とを同じ個数含む。

【 0 0 2 9 】

10

ある好適な実施形態において、前記複数の画素は、表示を行わないダミー画素を含み、前記複数の画素は、前記ダミー画素から構成される画素行が表示領域外に位置するように配置されており、前記複数のゲートバスラインのうちの列方向における両端に位置する 2 本のゲートバスラインのそれぞれに接続されたスイッチング素子は、表示領域内の画素行の画素のスイッチング素子と、表示領域外の画素行の画素のスイッチング素子とを同じ個数含む。

【 0 0 3 0 】

ある好適な実施形態において、前記偶数個の画素は、少なくとも赤画素、緑画素および青画素を含む。

【 0 0 3 1 】

20

ある好適な実施形態において、前記偶数個の画素は、黄画素をさらに含む。

【 0 0 3 2 】

ある好適な実施形態において、前記赤画素および前記青画素は、前記大画素であり、前記緑画素および前記黄画素は、前記小画素である。

【 0 0 3 3 】

ある好適な実施形態において、前記偶数個の画素は、4 個の画素である。

【 0 0 3 4 】

ある好適な実施形態において、前記偶数個の画素は、6 個の画素である。

【発明の効果】

【 0 0 3 5 】

30

本発明によると、カラー表示画素を構成する複数の画素が大画素と小画素とを含む液晶表示装置において、列方向に延びる表示ムラの発生を抑制することができる。

【図面の簡単な説明】

【 0 0 3 6 】

【図 1】本発明の好適な実施形態における液晶表示装置 1 0 0 を模式的に示す平面図である。

【図 2】本発明の好適な実施形態における液晶表示装置 1 0 0 の一部を模式的に示す平面図である。

【図 3】液晶表示装置 1 0 0 における、左端のソースバスライン 1 3 L 近傍の構造および右端のソースバスライン 1 3 R 近傍の構造を模式的に示す平面図である。

40

【図 4】本発明の好適な実施形態における液晶表示装置 1 0 0 の一部を模式的に示す平面図である。

【図 5】本発明の好適な実施形態における液晶表示装置 2 0 0 の一部を模式的に示す平面図である。

【図 6】液晶表示装置 2 0 0 における、左端のソースバスライン 1 3 L 近傍の構造および右端のソースバスライン 1 3 R 近傍の構造を模式的に示す平面図である。

【図 7】本発明の好適な実施形態における液晶表示装置 3 0 0 を模式的に示す平面図である。

【図 8】本発明の好適な実施形態における液晶表示装置 3 0 0 を模式的に示す平面図である。

50

【図 9】本発明の好適な実施形態における液晶表示装置 300 を模式的に示す平面図である。

【図 10】本発明の好適な実施形態における液晶表示装置 300 にマルチ画素構造を適用した構成を模式的に示す等価回路図である。

【図 11】PSA モードの液晶表示装置に好適に用いられる画素電極 11A を模式的に示す平面図である。

【図 12】従来の液晶表示装置 800 を模式的に示す図である。

【図 13】従来の液晶表示装置 900 を模式的に示す図である。

【発明を実施するための形態】

【0037】

10

本発明による液晶表示装置は、複数の行および複数の列を有するマトリクス状に配列された複数の画素と、列方向に延びる複数のソースバスラインとを有する。本発明による液晶表示装置では、4 個以上の偶数個の画素がカラー表示画素を構成し、これら偶数個の画素は、相対的に大きな面積を有する画素（「大画素」と称する。）と、相対的に小さな面積を有する画素（「小画素」と称する。）とを含む。

【0038】

本発明による液晶表示装置では、上述したように、1 個のカラー表示画素中に、大画素と小画素とが混在しているが、複数のソースバスラインのそれぞれに接続されている（つまり各ソースバスラインから信号電圧を供給される）画素のセットの総面積が略同一であるので、列方向に延びる表示ムラの発生を抑制することができる。

20

【0039】

以下、図面を参照しながら本発明の実施形態を説明する。なお、本発明は以下の実施形態に限定されるものではない。

【0040】

（実施形態 1）

図 1 に、本実施形態における液晶表示装置 100 を示す。液晶表示装置 100 は、図 1 に示すように、液晶表示パネル 1 と、液晶表示パネル 1 に駆動信号を供給するゲートドライバ（走査線駆動回路）2 およびソースドライバ（信号線駆動回路）3 とを備える。

【0041】

液晶表示パネル 1 は、複数の行および複数の列を有するマトリクス状に配列された複数の画素を有する。2 行 2 列に配置された 4 個の画素が、カラー表示画素 P を構成する。

30

【0042】

カラー表示画素 P を構成する 4 個の画素は、具体的には、赤を表示する赤画素 R、緑を表示する緑画素 G、青を表示する青画素 B および黄を表示する黄画素 Y である。つまり、互いに異なる色を表示する 4 種類の画素によって、1 個のカラー表示画素 P が構成されている。

【0043】

本実施形態では、赤画素 R および青画素 B の面積が相対的に大きく、緑画素 G および黄画素 Y の面積が相対的に小さい。つまり、赤画素 R および青画素 B が大画素であり、緑画素 G および黄画素 Y が小画素である。このように、カラー表示画素 P を構成する 4 個（偶数個）の画素のうちの半分（2 個の画素）が大画素であり、残りの半分（残り 2 個の画素）が小画素である。

40

【0044】

図 1 に示す例では、各カラー表示画素 P 内で、4 個の画素は、左上から反時計回りに、赤画素 R、青画素 B、黄画素 Y、緑画素 G の順に配置されている。従って、複数の画素によって構成される画素列を左側から順に 1 番目、2 番目、3 番目・・・と呼ぶことにしたとき、奇数番目の画素列は、赤画素 R および青画素 B から構成されており、偶数番目の画素列は、緑画素 G および黄画素 Y から構成されている。言い換えると、液晶表示装置 100 の複数の画素は、大画素から構成される画素列と、小画素から構成される画素列とが表示領域内で交互に並ぶように配置されている。

50

【 0 0 4 5 】

上述したように、本実施形態における液晶表示装置 1 0 0 では、1 個のカラー表示画素 P 中に、大画素と小画素とが混在している。以下、図 2 を参照しながら、液晶表示装置 1 0 0 のより具体的な構成を説明する。

【 0 0 4 6 】

液晶表示装置 1 0 0 は、図 2 に示すように、行方向に延びる複数のゲートバスライン（走査線）1 2 と、列方向に延びる複数のソースバスライン（信号線）1 3 とを有する。複数のゲートバスライン 1 2 は、ゲートドライバ 2 に接続されている。複数のソースバスライン 1 3 は、ソースドライバ 3 に接続されており、より具体的には、ソースドライバ 3 の複数の出力端子 3 a に一対一で接続される。個々の出力端子 3 a からは、正極性または負極性の階調電圧（信号電圧）が出力される。

10

【 0 0 4 7 】

また、液晶表示装置 1 0 0 の複数の画素は、図 2 に示すように、スイッチング素子としての薄膜トランジスタ（T F T）1 4 と、T F T 1 4 に電氣的に接続された画素電極 1 1 とを有する。T F T 1 4 は、複数のゲートバスライン 1 2 のうちの対応する 1 本のゲートバスライン 1 2 および複数のソースバスライン 1 3 のうちの対応する 1 本のソースバスライン 1 3 に接続されている。

【 0 0 4 8 】

ここでは図示していないが、液晶表示装置 1 0 0 の液晶表示パネル 1 は、アクティブマトリクス基板（T F T 基板）と、アクティブマトリクス基板に対向する対向基板（カラーフィルタ基板）と、これらの間に設けられた液晶層とを有しており、上述したゲートバスライン 1 2、ソースバスライン 1 3、T F T 1 4 および画素電極 1 1 はアクティブマトリクス基板に設けられている。対向基板には、画素電極 1 1 に対向する対向電極（これも不図示）が設けられており、画素電極 1 1、対向電極およびこれらの間に位置する液晶層によって、各画素の液晶容量が構成される。なお、表示モードとして I P S モードや F F S モードを用いる場合には、対向電極もアクティブマトリクス基板に形成される。

20

【 0 0 4 9 】

本実施形態の液晶表示装置 1 0 0 では、各ソースバスライン 1 3 に対する T F T 1 4 の配置関係が、一般的な液晶表示装置とは異なっている。図 2 に示されているように、各ソースバスライン 1 3 に対し、列方向に沿って、その右側の画素列の画素の T F T 1 4 と、その左側の画素列の画素の T F T 1 4 とが、交互に接続されている。具体的には、その左側に緑画素 G および黄画素 Y の画素列が位置し、その右側に赤画素 R および青画素 B の画素列が位置するソースバスライン 1 3 に着目すると、このソースバスライン 1 3 には、赤画素 R の T F T 1 4 と黄画素 Y の T F T 1 4 とが交互に接続されている。一方、その左側に赤画素 R および青画素 B の画素列が位置し、その右側に緑画素 G および黄画素 Y の画素列が位置するソースバスライン 1 3 に着目すると、このソースバスライン 1 3 には、緑画素 B の T F T 1 4 と青画素 B の T F T 1 4 とが交互に接続されている。

30

【 0 0 5 0 】

このように、各ソースバスライン 1 3 に対し、複数の T F T 1 4 が千鳥状に配置されている。従って、複数のソースバスライン 1 3 のうちの任意の 1 本のソースバスライン 1 3 に接続された複数の T F T 1 4 は、そのソースバスライン 1 3 に隣接する 1 対の画素列のうちの一方の画素列の画素の T F T 1 4 と、他方の画素列の画素の T F T 1 4 とを同じ個数含む。

40

【 0 0 5 1 】

そのため、各ソースバスライン 1 3 から信号電圧を供給される画素のセットは、大画素と小画素とを同じ個数含むので、上記画素のセット（1 本のソースバスライン 1 3 に接続されている画素セット）の総面積は、略同一である。その結果、本実施形態の液晶表示装置 1 0 0 では、列方向に延びる表示ムラ（縦縞）の発生が抑制される。

【 0 0 5 2 】

なお、各ソースバスライン 1 3 に接続されている画素のセットの総面積は、厳密に同一

50

である必要はないが、表示ムラの発生をより確実に抑制する観点からは、できるだけ近い値であることが好ましく、具体的には、そのばらつきが $\pm 15\%$ 以下であることが好ましい。本願明細書において、各ソースバスライン13に接続されている画素のセットの総面積が「略同一」であるとは、そのばらつきが $\pm 15\%$ 以下であることを指す。

【0053】

また、本実施形態の液晶表示装置100は、複数のソースバスライン13のうちの行方向における両端（つまりもっとも外側）に位置する2本のソースバスライン13についても、それらに接続されている画素のセットの総面積が略同一になるような構成を有している。図3を参照しながら、この構成を説明する。図3は、左端のソースバスライン13L近傍の構造および右端のソースバスライン13R近傍の構造を示す図である。

10

【0054】

図3に示すように、液晶表示装置100の複数の画素は、表示を行わないダミー画素Dを含んでおり、ダミー画素Dから構成される画素列（ダミー画素列）が表示領域外（非表示領域内）に位置している。

【0055】

左端のソースバスライン13L近傍のダミー画素Dは、緑画素Gおよび黄画素Yと同じ面積を有する小画素である。これに対し、右端のソースバスライン13R近傍のダミー画素Dは、赤画素Rおよび青画素Bと同じ面積を有する大画素である。複数のダミー画素Dのそれぞれには、画素電極11が設けられており、さらに、一部のダミー画素DにはTF T14も設けられている。

20

【0056】

図3に示されているように、両端のソースバスライン13Lおよび13Rに対しても、列方向に沿って、その右側の画素列の画素のTF T14と、その左側の画素列の画素のTF T14とが、交互に接続されている。具体的には、左端のソースバスライン13Lには、赤画素RのTF T14とダミー画素DのTF T14とが交互に接続されている。一方、右端のソースバスライン13Rには、ダミー画素DのTF T14と黄画素YのTF T14とが交互に接続されている。

【0057】

このように、両端のソースバスライン13Lおよび13Rに対しても、複数のTF T14が千鳥状に配置されている。従って、両端に位置する2本のソースバスライン13Lおよび13Rのそれぞれに接続された複数のTF T14は、表示領域内の画素列の画素のTF T14と、表示領域外の画素列（つまりダミー画素列）の画素のTF T14とを同じ個数含む。そのため、両端のソースバスライン13Lおよび13Rについても、それらに接続されている画素のセットの総面積を、他のソースバスライン13に接続されている画素のセットの総面積と略同一にすることができる。なお、TF T14の設けられていないダミー画素Dの画素電極11は、必ずしも設ける必要はなく、省略してもよい。ただし、TF T14の設けられていないダミー画素Dの画素電極11は、対向電極（共通電極と呼ばれることもある）と同じ電位を与えられる（つまり対向電極と電氣的に接続されている）ことがより好ましい。

30

【0058】

また、本実施形態では、各ソースバスライン13に対し、その右側の画素列のTF T14と、その左側の画素列のTF T14とが、列方向に沿って1行ごとに交互に接続されているが、本発明はこのような構成に限定されるものではない。各ソースバスライン13に対しては、その右側の画素列のTF T14と、その左側の画素列のTF T14とが同じ個数接続されていればよい。例えば、図4に示すように、各ソースバスライン13に対し、その右側の画素列のTF T14と、その左側の画素列のTF T14とが列方向に沿って2行ごとに接続されていてもよい。

40

【0059】

なお、本実施形態では、赤画素Rおよび青画素Bが大画素であり、緑画素Gおよび黄画素Yが小画素であるが、いずれの画素を大画素（あるいは小画素）としてもよい。ただし

50

、色再現性の観点からは、赤画素 R および青画素 B が大画素であることが好ましい。

【 0 0 6 0 】

(実施形態 2)

図 5 に、本実施形態における液晶表示装置 2 0 0 を示す。実施形態 1 における液晶表示装置 1 0 0 では、2 行 2 列に配置された 4 個の画素がカラー表示画素 P を構成する (図 1 および図 2 参照)。これに対し、本実施形態の液晶表示装置 2 0 0 では、図 5 に示すように、1 行 4 列に配置された 4 個の画素 (赤画素 R、緑画素 G、青画素 B および黄画素 Y) がカラー表示画素 P を構成する。つまり、液晶表示装置 2 0 0 では、カラーフィルタの配列がストライプ配列である。

【 0 0 6 1 】

本実施形態においても、赤画素 R および青画素 B の面積が相対的に大きく、緑画素 G および黄画素 Y の面積が相対的に小さい。つまり、赤画素 R および青画素 B が大画素であり、緑画素 G および黄画素 Y が小画素である。

【 0 0 6 2 】

図 5 に示す例では、各カラー表示画素 P 内で、4 個の画素は、左側から右側に向かって赤画素 R、緑画素 G、青画素 B、黄画素 Y の順に配置されている。従って、 n を 0 以上の整数としたとき、 $(4 n + 1)$ 番目の画素列は、赤画素 R から構成されており、 $(4 n + 2)$ 番目の画素列は、緑画素 G から構成されている。また、 $(4 n + 3)$ 番目の画素列は、青画素 B から構成されており、 $(4 n + 4)$ 番目の画素列は、黄画素 Y から構成されている。従って、本実施形態においても、大画素から構成される画素列と、小画素から構成される画素列とが表示領域内で交互に並んでいる。

【 0 0 6 3 】

本実施形態の液晶表示装置 2 0 0 においても、図 5 に示されているように、各ソースバスライン 1 3 に対し、列方向に沿って、その右側の画素列の画素の T F T 1 4 と、その左側の画素列の画素の T F T 1 4 とが、交互に接続されている。具体的には、黄画素 Y の画素列と赤画素 R の画素列との間に位置するソースバスライン 1 3 には、赤画素 R の T F T 1 4 と黄画素 Y の T F T 1 4 とが交互に接続されており、赤画素 R の画素列と緑画素 G の画素列との間に位置するソースバスライン 1 3 には、緑画素 G の T F T 1 4 と赤画素 R の T F T 1 4 とが交互に接続されている。また、緑画素 G の画素列と青画素 B の画素列との間に位置するソースバスライン 1 3 には、青画素 B の T F T 1 4 と緑画素 G の T F T 1 4 とが交互に接続されており、青画素 B の画素列と黄画素 Y の画素列との間に位置するソースバスライン 1 3 には、黄画素 Y の T F T 1 4 と青画素 B の T F T 1 4 とが交互に接続されている。

【 0 0 6 4 】

このように、各ソースバスライン 1 3 に対し、複数の T F T 1 4 が千鳥状に配置されている。従って、複数のソースバスライン 1 3 のうちの任意の 1 本のソースバスライン 1 3 に接続された複数の T F T 1 4 は、そのソースバスライン 1 3 に隣接する 1 対の画素列のうちの一方向の画素列の画素の T F T 1 4 と、他方の画素列の画素の T F T 1 4 とを同じ個数含む。

【 0 0 6 5 】

そのため、各ソースバスライン 1 3 から信号電圧を供給される画素のセットは、大画素と小画素とを同じ個数含むので、上記画素のセット (1 本のソースバスライン 1 3 に接続されている画素セット) の総面積は、略同一である。その結果、本実施形態の液晶表示装置 2 0 0 においても、列方向に延びる表示ムラ (縦縞) の発生が抑制される。

【 0 0 6 6 】

また、本実施形態の液晶表示装置 2 0 0 においても、図 6 に示すように、両端の 2 本のソースバスライン 1 3 L および 1 3 R の近傍にダミー画素 D が設けられている。左端のソースバスライン 1 3 L 近傍のダミー画素 D は、緑画素 G および黄画素 Y と同じ面積を有する小画素である。これに対し、右端のソースバスライン 1 3 R 近傍のダミー画素 D は、赤画素 R および青画素 B と同じ面積を有する大画素である。

【 0 0 6 7 】

図 6 に示されているように、両端のソースバスライン 1 3 L および 1 3 R に対しても、列方向に沿って、その右側の画素列の画素の T F T 1 4 と、その左側の画素列の画素の T F T 1 4 とが、交互に接続されている。具体的には、左端のソースバスライン 1 3 L には、赤画素 R の T F T 1 4 とダミー画素 D の T F T 1 4 とが交互に接続されている。一方、右端のソースバスライン 1 3 R には、ダミー画素 D の T F T 1 4 と黄画素 Y の T F T 1 4 とが交互に接続されている。

【 0 0 6 8 】

このように、両端のソースバスライン 1 3 L および 1 3 R に対しても、複数の T F T 1 4 が千鳥状に配置されている。従って、両端に位置する 2 本のソースバスライン 1 3 L および 1 3 R のそれぞれに接続された複数の T F T 1 4 は、表示領域内の画素列の画素の T F T 1 4 と、表示領域外の画素列（つまりダミー画素列）の画素の T F T 1 4 とを同じ個数含む。そのため、両端のソースバスライン 1 3 L および 1 3 R についても、それらに接続されている画素のセットの総面積を、他のソースバスライン 1 3 に接続されている画素のセットの総面積と略同一にすることができる。なお、実施形態 1 の液晶表示装置 1 0 0 について説明したのと同様に、T F T 1 4 の設けられていないダミー画素 D の画素電極 1 1 を省略してもよい。また、T F T 1 4 の設けられていないダミー画素 D の画素電極 1 1 は、対向電極と同じ電位を与えられる（つまり対向電極と電氣的に接続されている）ことがより好ましい。

【 0 0 6 9 】

（実施形態 3）

図 7 に、本実施形態における液晶表示装置 3 0 0 を示す。図 7 には、複数のゲートバスライン 1 2 および複数のソースバスライン 1 3 に加え、複数の C s バスライン（補助容量線）1 5 も示されている。また、液晶容量 C_{LC}と、液晶容量 C_{LC}に電氣的に並列に接続された補助容量 C_{CS}も示されている。

【 0 0 7 0 】

本実施形態の液晶表示装置 3 0 0 では、2 行 2 列に配置された 4 個の画素（赤画素 R、緑画素 G、青画素 B および黄画素 Y）がカラー表示画素 P を構成する。本実施形態においても、赤画素 R および青画素 B の面積が相対的に大きく、緑画素 G および黄画素 Y の面積が相対的に小さい。つまり、赤画素 R および青画素 B が大画素であり、緑画素 G および黄画素 Y が小画素である。

【 0 0 7 1 】

図 7 に示す例では、各カラー表示画素 P 内で、4 個の画素は、左上から反時計回りに、赤画素 R、緑画素 G、黄画素 Y、青画素 B の順に配置されている。従って、奇数番目の画素列は、赤画素 R および緑画素 G から構成されており、偶数番目の画素列は、青画素 B および黄画素 Y から構成されている。また、複数の画素によって構成される画素行を上側から順に 1 番目、2 番目、3 番目・・・と呼ぶことにしたとき、奇数番目の画素行は、赤画素 R および青画素 B から構成されており、偶数番目の画素行は、緑画素 G および黄画素 Y から構成されている。言い換えると、液晶表示装置 3 0 0 の複数の画素は、大画素から構成される画素行と、小画素から構成される画素行とが交互に並ぶように配置されている。

【 0 0 7 2 】

本実施形態では、カラー表示画素 P を構成する 4 個の画素（2 行 2 列に配置されている）は、図 7 に示されているように、カラー表示画素 P 内の（つまり 2 行のうちの）任意の行において異なる面積を有する画素が混在しないように配置されている。そのため、各ソースバスライン 1 3 から信号電圧を供給される画素のセットは、大画素と小画素とを同じ個数含むので、上記画素のセット（1 本のソースバスライン 1 3 に接続されている画素セット）の総面積は、略同一である。その結果、本実施形態の液晶表示装置 3 0 0 では、列方向に延びる表示ムラ（縦縞）の発生が抑制される。

【 0 0 7 3 】

なお、図 7 に示した構成では、奇数番目の画素行（赤画素 R および青画素 B から構成さ

10

20

30

40

50

れる)に対応するゲートバスライン12と、偶数番目の画素行(緑画素Gおよび黄画素Yから構成される)に対応するゲートバスライン12とでは、接続されている画素の総面積が異なってしまう、容量負荷が異なってしまう。複数のゲートバスライン12の容量負荷を揃える観点からは、図8に示す構成を採用することが好ましい。

【0074】

図8に示す構成では、各ゲートバスライン12に対するTF T 1 4の配置関係が、一般的な液晶表示装置とは異なっている。図8に示されているように、各ゲートバスライン12に対し、行方向に沿って、その上側の画素行の画素のTF T 1 4と、その下側の画素行の画素のTF T 1 4とが、交互に接続されている。具体的には、その上側に赤画素Rおよび青画素Bの画素行が位置し、その下側に緑画素Gおよび黄画素Yの画素行が位置するゲートバスライン12に着目すると、このゲートバスライン12には、赤画素RのTF T 1 4と黄画素YのTF T 1 4とが交互に接続されている。一方、その上側に緑画素Gおよび黄画素Yの画素行が位置し、その下側に赤画素Rおよび青画素Bの画素行が位置するゲートバスライン12に着目すると、このゲートバスライン12には、緑画素BのTF T 1 4と青画素BのTF T 1 4とが交互に接続されている。

【0075】

このように、各ゲートバスライン12に対し、複数のTF T 1 4が千鳥状に配置されている。従って、複数のゲートバスライン12のうちの任意の1本のゲートバスライン12に接続された複数のTF T 1 4は、そのゲートバスライン12に隣接する1対の画素行のうちの一方向の画素行の画素のTF T 1 4と、他方の画素行の画素のTF T 1 4とを同じ個数含む。

【0076】

そのため、各ゲートバスライン12から走査電圧を供給される画素のセットは、大画素と小画素とを同じ個数含むので、上記画素のセット(1本のゲートバスライン12に接続されている画素のセット)の総面積は、略同一(具体的にはそのばらつきが±15%以下)である。その結果、複数のゲートバスライン12の容量負荷を揃えることができる。

【0077】

なお、図8に示した構成を採用する場合には、複数のゲートバスライン12のうちの列方向における両端(つまりもっとも外側)に位置する2本のゲートバスライン12について、それらに接続されている画素のセットの総面積を略同一にするために、表示を行わないダミー画素から構成される画素行(ダミー画素行)を表示領域外(非表示領域内)に設けることが好ましい。ダミー画素行を設けることによって、両端のゲートバスライン12に対しても、複数のTF T 1 4を千鳥状に配置することができるので、両端に位置する2本のゲートバスライン12のそれぞれに接続された複数のTF T 1 4に、表示領域内の画素行の画素のTF T 1 4と、表示領域外の画素行(つまりダミー画素行)の画素のTF T 1 4とを同じ個数含ませることができる。そのため、両端のゲートバスライン12についても、それらに接続されている画素のセットの総面積を、他のゲートバスライン12に接続されている画素のセットの総面積と略同一にすることができる。なお、TF T 1 4の設けられていないダミー画素の画素電極11は、省略してもよい。ただし、TF T 1 4の設けられていないダミー画素の画素電極11は、対向電極と同じ電位を与えられる(つまり対向電極と電氣的に接続されている)ことがより好ましい。

【0078】

また、本実施形態では、各ゲートバスライン12に対し、その上側の画素行のTF T 1 4と、その下側の画素行のTF T 1 4とが、行方向に沿って1列ごとに交互に接続されているが、このような構成に限定されるものではない。各ゲートバスライン13に対しては、その上側の画素行のTF T 1 4と、その下側の画素列のTF T 1 4とが同じ個数接続されていればよい。例えば、図9に示すように、各ゲートバスライン12に対し、その上側の画素行のTF T 1 4と、その下側の画素行のTF T 1 4とが行方向に沿って2列ごとに接続されていてもよい。

【0079】

10

20

30

40

50

なお、上記実施形態 1、2 および 3 では、カラー表示画素 P が赤画素 R、緑画素 G、青画素 B および黄画素 Y によって構成される例を説明したが、カラー表示画素 P を構成する画素の種類（組み合わせ）は、この例に限定されるものではない。例えば、赤画素 R、緑画素 G および青画素 B と、シアンを表示するシアン画素とによってカラー表示画素 P が構成されてもよいし、赤画素 R、緑画素 G および青画素 B と、マゼンタを表示するマゼンタ画素によってカラー表示画素 P が構成されてもよい。あるいは、特開平 11 - 295717 号公報に開示されているように、赤画素 R、緑画素 G および青画素 B と、白を表示する白画素とによってカラー表示画素 P が構成されてもよい。この場合、追加された原色が白であるため、色再現範囲を広くするという効果は得られないが、カラー表示画素 P 全体の表示輝度を向上させることができる。

10

【0080】

また、カラー表示画素 P を構成する複数の画素は、4 個の画素に限定されるものではない。本発明は、カラー表示画素 P が、4 個以上の偶数個の画素によって構成される液晶表示装置に広く用いられる。カラー表示画素 P を構成する偶数個の画素は、カラー表示画素 P 内で p 行 q 列（p、q は 2 以上の整数）に配置されていてもよいし、1 行 r 列（r は 4 以上の偶数）に配置されていてもよい。

【0081】

例えば、カラー表示画素 P は、6 個の画素によって構成されてもよい。カラー表示画素 P が 6 個の画素によって構成される場合、これら 6 個の画素は、赤画素 R、緑画素 G、青画素 B および黄サブ画素 Y を含むことが好ましい。残り 2 個の画素としては、例えば、シアン画素およびマゼンタ画素を用いることができる。

20

【0082】

なお、カラー表示画素 P を構成する偶数個の画素は、必ずしも互いに異なる色を表示する必要はなく、互いに同じ色を表示する 2 つ以上の画素を含んでいてもよい。例えば、国際公開第 2007/034770 号に開示されているように、カラー表示画素 P を構成する 6 個の画素が、赤画素 R を 2 つ含んでいてもよい。

【0083】

また、マルチ画素構造を採用することも好ましい。マルチ画素構造とは、個々の画素が、ある中間調を表示するとき、表示すべき中間調よりも高い輝度を呈する明副画素と、表示すべき中間調よりも低い輝度を呈する暗副画素を有する構造を言う。マルチ画素構造を導入することによって、 γ 特性の視角依存性を改善することができる。マルチ画素構造として、例えば特開 2006 - 133577 号公報に記載されている構造を採用することができる。参考のために、特開 2006 - 133577 号公報の開示内容の全てを本明細書に援用する。

30

【0084】

図 10 を参照しながら、マルチ画素構造を有する液晶表示装置の構成と動作を説明する。図 10 は、実施形態 3 の液晶表示装置 300 に、特開 2006 - 133577 号公報に記載のマルチ画素構造を適用した場合の構成を示す図である。

【0085】

図 10 に示す構成では、赤画素 R、緑画素 G、青画素 B および黄画素 Y のそれぞれが副画素 S a と副画素 S b とを有している。ここでは、副画素 S a が明副画素、副画素 S b が暗副画素となる例を示す。明副画素 S a と暗副画素 S b は、各画素を列方向に 2 分割して形成されている。副画素 S a と副画素 S b との面積比は図示している例に限られず、適宜変更され得る。明副画素 S a は、液晶容量 C_{LC1} と補助容量 C_{CS1} とを含み、暗副画素 S b は、液晶容量 C_{LC2} と補助容量 C_{CS2} とを含む。

40

【0086】

各画素は、2 つの TFT 14 a および 14 b を有している。一方の TFT 14 a に明副画素 S a が接続されており、他方の TFT 14 b に暗副画素 S b が接続されている。TFT 14 a および 14 b のゲートは共通のゲートバスライン 12 に接続されており、TFT 14 a および 14 b のソースは共通のソースバスライン 13 に接続されている。すなわち

50

、副画素 S a、S b はそれぞれ、画素電極 1 1 に対応する副画素電極を有し、副画素 S a、S b の副画素電極は、それぞれ対応する T F T 1 4 a、1 4 b のドレインに接続されており、T F T 1 4 a、1 4 b を介して共通のソースバスライン 1 3 に接続されている。

【 0 0 8 7 】

各画素は、さらに 3 つ目の T F T 1 4 c を有している。この T F T 1 4 c は、図 1 0 に示すように、暗副画素 S b の画素容量 ($= C_{LC2} + C_{CS2}$) と、それに電氣的に並列に接続されたバッファ容量 C b との間の電氣的な接続をスイッチングする。この T F T 1 4 c のゲートは、次段のゲートバスライン (図中では参照符号「 1 2 ' 」を付して示している) に接続されているか、あるいは、別途に設けられたゲートドライバから次段の信号と同期してオン信号が入力されるように構成されており、次段、すなわち列方向に隣接するカラー表示画素 P の T F T 1 4 a、1 4 b と同じタイミングでオン状態となる。この第 3 の T F T 1 4 c をオン状態とすることによって、副画素 S b の輝度が副画素 S a の輝度よりも低くなる。

【 0 0 8 8 】

特開 2 0 0 6 - 1 3 3 5 7 7 号公報に記載のマルチ画素構造は、1 つの画素に複数の液晶ドメイン (典型的には少なくとも液晶層に電圧を印加したときに、液晶ドメインのディレクタの方位角 (右方向、時計の文字盤の 3 時方向を 0 ° とし、反時計回りを正とする) が、4 5 °、1 3 5 °、2 2 5 °、3 1 5 ° となる 4 つの液晶ドメインを含む) が形成される、ノーマリーブラックモードで表示を行う垂直配向型の液晶表示装置に好適に用いられる。

【 0 0 8 9 】

本発明の液晶表示装置に適用できる他のマルチ画素構造として、本出願人による特開 2 0 0 4 - 6 2 1 4 6 号公報 (米国特許第 6 9 5 8 7 9 1 号明細書) に開示されているものを挙げることができる。このマルチ画素構造は、1 つの画素内の複数の副画素ごとに補助容量を設け、補助容量を構成する補助容量対向電極 (C s バスラインに接続されている) を副画素ごとに電氣的に独立とし、補助容量対向電極に供給する電圧 (補助容量対向電圧という。) を変化させることによって、容量分割を利用して、複数の副画素の液晶層に印加される実効電圧を異ならせる。特開 2 0 0 4 - 6 2 1 4 6 号公報 (米国特許第 6 9 5 8 7 9 1 号明細書) の開示内容の全てを参考のために本明細書に援用する。

【 0 0 9 0 】

特開 2 0 0 6 - 1 3 3 5 7 7 号公報には、垂直配向型の表示装置として、いわゆる M V A モードの液晶表示装置が記載されている。M V A モードの液晶表示装置は、電極に形成された直線状のスリットや電極の液晶層側に形成された直線状の誘電体突起 (リブ) を、液晶層を介して対向する一对の基板に、基板の法線方向から見たときに、平行且つ交互になるように配置することによって、電圧印加時に形成される液晶ドメインのディレクタの方位を規制する。液晶ドメインの方位は、直線状のスリット又は誘電体突起 (これらを総称して「直線状構造体」ということにする。) の延びる方位に直交する方向になる。

【 0 0 9 1 】

M V A モードの液晶表示装置は、現在液晶テレビ用に広く用いられている。しかしながら、M V A モードの液晶表示装置においては、直線状構造体からの配向規制力で、液晶ドメインのディレクタの方位を規制するので、直線状構造体の近傍の液晶分子の応答は速く (配向方向の変化が速く)、直線状構造体から離れた位置の液晶分子の応答が遅いという問題がある。

【 0 0 9 2 】

M V A モードの液晶表示装置よりも応答特性に優れた垂直配向型の液晶表示装置として、P S A モードの液晶表示装置が知られている。P o l y m e r S u s t a i n e d A l i g n m e n t T e c h n o l o g y (以下、「P S A 技術」という) は、例えば、特開 2 0 0 2 - 3 5 7 8 3 0 号公報、特開 2 0 0 3 - 1 7 7 4 1 8 号公報、特開 2 0 0 6 - 7 8 9 6 8 号公報、K. Hanaoka et al. "A New MVA-LCD by Polymer Sustained Alignment Technology", SID 04 DIGEST1200-1203(2004) に開示されている。これら 4 つの文

10

20

30

40

50

献の開示内容の全てを参考のために本明細書に援用する。

【 0 0 9 3 】

P S A 技術は、液晶材料中に少量の重合性化合物（例えば光重合性モノマまたはオリゴマ）を混入しておき、液晶セルを組み立てた後、液晶層に所定の電圧を印加した状態で重合性材料に活性エネルギー線（例えば紫外線）を照射し、生成される重合体によって、液晶分子のプレチルト方向を制御する技術である。重合体が生成されるとき液晶分子の配向状態が、電圧を取り去った後（電圧を印加しない状態）においても維持（記憶）される。重合体で形成される層を、ここでは配向維持層ということにする。配向維持層は、配向膜の表面（液晶層側）に形成されるが、配向膜の表面を覆う膜の形態をとる必要は必ずしも無く、重合体の粒子が離散的に存在する形態であってもよい。

10

【 0 0 9 4 】

P S A 技術は、液晶層に形成される電界等を制御することによって、液晶分子のプレチルト方位およびプレチルト角度を調整することができるという利点を有している。また、配向維持層によって、液晶層に接するほぼ全ての面で配向規制力を発現するので、M V A モードの液晶表示装置よりも応答特性に優れるという特徴を有している。

【 0 0 9 5 】

本発明による実施形態の P S A モードの液晶表示装置は、例えば、液晶表示パネル 1 の画素電極 1 1 として、図 1 1 に示す画素電極 1 1 A を用い、上述の P S A 技術を適用することによって得られる。

【 0 0 9 6 】

20

画素電極 1 1 A は、一对の偏光板の偏光軸と重なるように配置された十字形状の幹部 1 1 t 1、1 1 t 2 と、十字形状の幹部 1 1 t 1、1 1 t 2 から略 4 5 ° 方向に延びる複数の枝部 1 1 b 1、1 1 b 2、1 1 b 3、および 1 1 b 4 とを有している。

【 0 0 9 7 】

幹部は、行方向（水平方向）に延びる幹部 1 1 t 1 と、列方向（垂直方向）に延びる幹部 1 1 t 2 とを有している。複数の枝部は、表示面の右方向（時計の文字盤の 3 時方向）の方位角を 0 ° とすると、幹部から 4 5 ° 方位に延びる第 1 群（枝部 1 1 b 1）と、1 3 5 ° 方位に延びる第 2 群（枝部 1 1 b 2）と、2 2 5 ° 方位に延びる第 3 群（枝部 1 1 b 3）と、3 1 5 ° 方位に延びる第 4 群（枝部 1 1 b 4）とを有している。垂直配向型の液晶層の液晶分子（誘電異方性が負）は、幹部および枝部からの斜め電界により、それぞれの枝部が延びる方位に傾斜する。これは、互いに平行に延びる枝部からの斜め電界は枝部が延びる方向に垂直な方位に液晶分子を傾斜させるように作用し、幹部からの斜め電界はそれぞれの枝部の延びる方位に液晶分子を傾斜させるように作用するからである。P S A 技術を用いると、液晶層に電圧を印加した際に形成される、液晶分子の上記の配向を安定化させることができる。

30

【産業上の利用可能性】

【 0 0 9 8 】

本発明は、カラー表示画素が 4 個以上の画素によって構成される液晶表示装置に好適に用いられる。本発明は、例えば、4 つ以上の原色を用いて表示を行う多原色液晶表示装置に好適に用いられる。

40

【符号の説明】

【 0 0 9 9 】

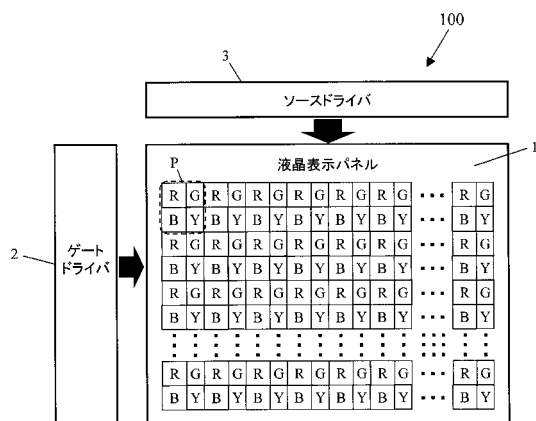
- 1 液晶表示パネル
- 2 ゲートドライバ（走査線駆動回路）
- 3 ソースドライバ（信号線駆動回路）
- 3 a 出力端子
- 1 1 画素電極
- 1 2 ゲートバスライン（走査線）
- 1 3 ソースバスライン（信号線）
- 1 3 R 右端のソースバスライン

50

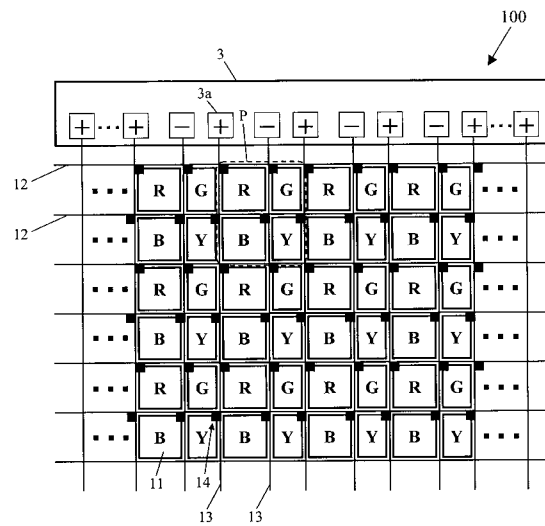
- 1 3 L 左端のソースバスライン
 1 4 薄膜トランジスタ (T F T)
 1 5 C s バスライン (補助容量線)
 1 0 0、2 0 0、3 0 0 液晶表示装置
 P カラー表示画素
 R 赤画素
 G 緑画素
 B 青画素
 Y 黄画素
 D ダミー画素

10

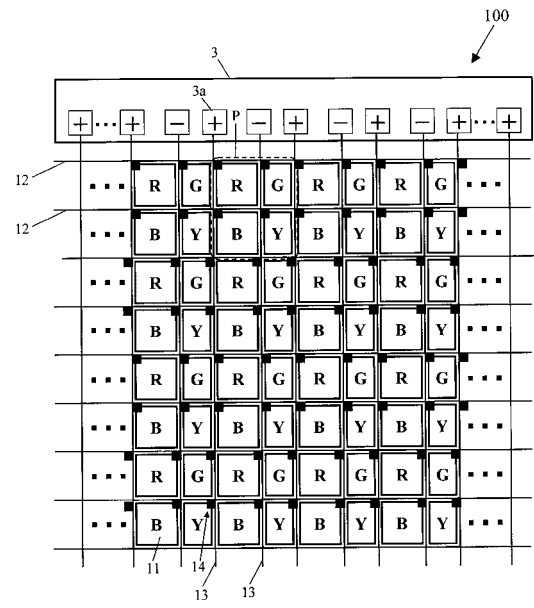
【図 1】



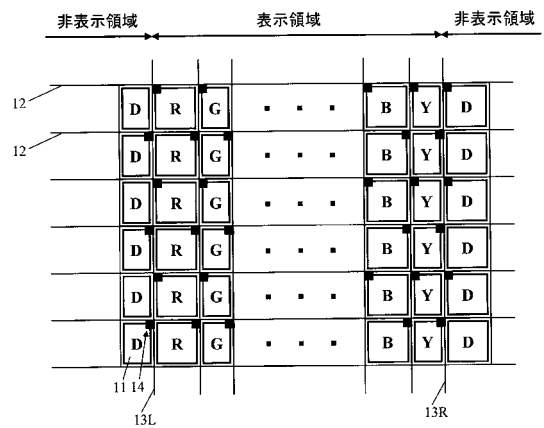
【図 2】



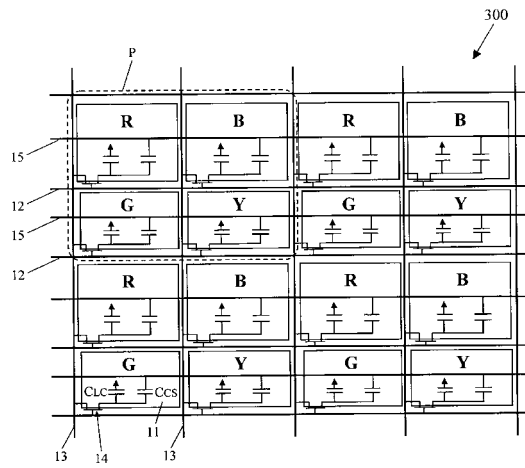
【圖 4】



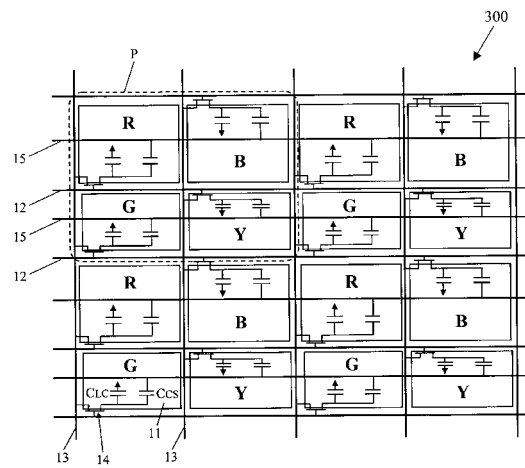
【 図 6 】



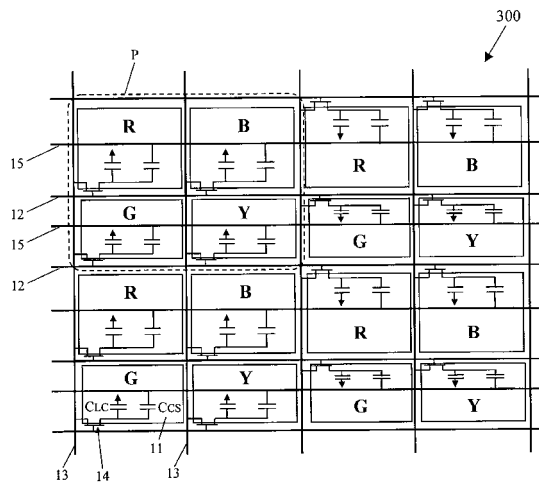
【図 7】



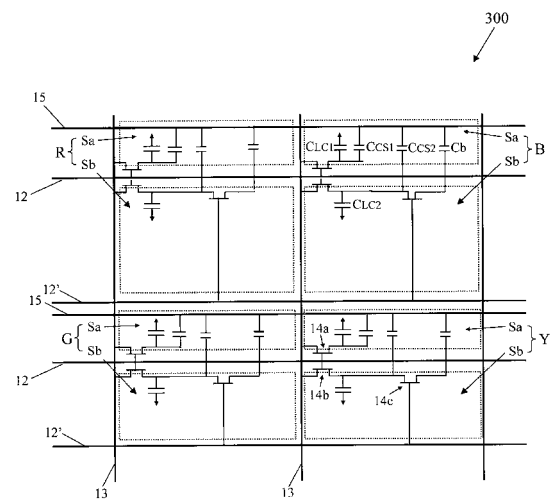
【図 8】



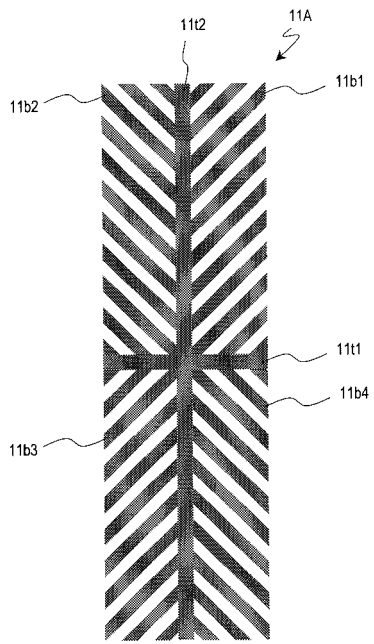
【図 9】



【図 10】



【図 1 1】



【図 1 2】

Diagram 12 shows a color filter layout. A bracket labeled P indicates a period. The layout is a 2x8 grid of color elements. The top row contains R, G, Y, B, R, G, Y, B. The bottom row contains R, G, Y, B, R, G, Y, B. A curved arrow labeled 800 points to the right side of the grid.

R	G	Y	B	R	G	Y	B
R	G	Y	B	R	G	Y	B

【図 1 3】

Diagram 13 shows a color filter layout. A bracket labeled P indicates a period. The layout is a 4x4 grid of color elements. The top row contains R, G, R, G. The second row contains B, Y, B, Y. The third row contains R, G, R, G. The bottom row contains B, Y, B, Y. A curved arrow labeled 900 points to the right side of the grid.

R	G	R	G
B	Y	B	Y
R	G	R	G
B	Y	B	Y

フロントページの続き

- (72)発明者 津幡 俊英
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 山下 祐樹
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 下敷領 文一
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 平田 貢祥
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 兵頭 賢一
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 逸見 郁未
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 杉坂 茜
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
- (72)発明者 北山 雅江
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 金高 敏康

- (56)参考文献 国際公開第 2 0 0 6 / 1 0 9 5 7 7 (W O , A 1)
特開 2 0 0 5 - 6 2 8 6 9 (J P , A)
特開 2 0 0 1 - 4 2 2 8 7 (J P , A)
特開平 1 1 - 1 0 2 1 7 4 (J P , A)
特開平 9 - 1 6 1 3 2 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3 - 1 / 1 3 3 5
G 0 2 F 1 / 1 3 5
G 0 9 F 9 / 3 0
G 0 9 F 9 / 3 5

专利名称(译)	液晶表示装置		
公开(公告)号	JP5368590B2	公开(公告)日	2013-12-18
申请号	JP2011551841	申请日	2011-01-24
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	杉原利典 津幡俊英 山下祐樹 下敷領文一 平田貢祥 兵頭賢一 逸見郁未 杉坂茜 北山雅江		
发明人	杉原 利典 津幡 俊英 山下 祐樹 下敷領 文一 平田 貢祥 兵頭 賢一 逸見 郁未 杉坂 茜 北山 雅江		
IPC分类号	G02F1/1343 G02F1/1335 G02F1/1368 G09F9/30		
CPC分类号	G02F1/134336 G02B5/201 G02F1/133514 G02F1/136286 G02F2001/134345 G02F2201/52 G02F2203/30 G09G3/3607 G09G3/3614 G09G2300/0413 G09G2300/0426 G09G2300/0447 G09G2300/0452 G09G2320/0233		
FI分类号	G02F1/1343 G02F1/1335.505 G02F1/1368 G09F9/30.390.C		
代理人(译)	奥田诚治 三宅明子		
优先权	2010018220 2010-01-29 JP		
其他公开文献	JPWO2011093243A1		
外部链接	Espacenet		

摘要(译)

根据本发明的液晶显示装置 (100) 具有以矩阵排列的多个像素，所述矩阵具有多行和多列，其中四个或更多偶数像素以这样的方式排列，即彩色显示像素配置。根据本发明的液晶显示装置 (100) 具有沿列方向延伸的多条源极总线 (13)。构成彩色显示像素 (P) 的偶数像素包括具有相对大的面积的大像素和具有相对小的面积的小像素。由来自多个源极总线 (13) 中的每一个的信号电压提供的像素组的总面积基本相同。根据本发明，在形成彩色显示像素的多个像素包括大像素和小像素的液晶显示装置中，可以抑制在列方向上延伸的显示不均匀的发生。

